

(19) 日本国特許庁 (JP)

(12) 公 開 特 許 公 報 (A)

(11) 特許出願公開番号

特開2012-103697

(P2012-103697A)

(43) 公開日 平成24年5月31日 (2012.5.31)

(51) Int.Cl.	F I	テーマコード (参考)
GO2F 1/1368 (2006.01)	GO2F 1/1368	2H092
HO1L 29/786 (2006.01)	HO1L 29/78 617T	5F110
HO1L 21/336 (2006.01)	HO1L 29/78 617U	
	HO1L 29/78 619B	
	HO1L 29/78 612Z	
審査請求 未請求 請求項の数 9 O L (全 10 頁)		

(21) 出願番号	特願2011-245425 (P2011-245425)	(71) 出願人	507134301 北京京東方光電科技有限公司 中華人民共和国北京經濟技術開發區西環中 路8號
(22) 出願日	平成23年11月9日 (2011.11.9)	(74) 代理人	100108453 弁理士 村山 靖彦
(31) 優先権主張番号	201020601738.0	(74) 代理人	100089037 弁理士 渡邊 隆
(32) 優先日	平成22年11月9日 (2010.11.9)	(74) 代理人	100110364 弁理士 実広 信哉
(33) 優先権主張国	中国 (CN)	(72) 発明者	謝 振宇 中華人民共和国100176北京經濟技術 開發區西環中路8號
		最終頁に続く	

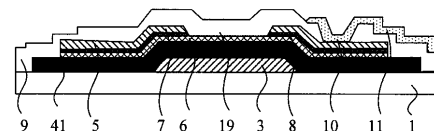
(54) 【発明の名称】 アレイ基板及び液晶ディスプレイ

(57) 【要約】

【課題】 本発明はアレイ基板及び液晶ディスプレイに関する。

【解決手段】 本発明は、アレイ基板と液晶ディスプレイを開示している。このアレイ基板は、サブストレートと、前記サブストレートに形成された、横縦方向に交差して複数の画素ユニットを囲んで形成したデータライン及びゲートラインと、を備え、各画素ユニットは画素電極と薄膜トランジスタスイッチ素子とを備え、前記薄膜トランジスタスイッチ素子は、ゲート電極、ソース電極、ドレイン電極、活性層を備え、前記ゲート電極と活性層との間にゲート絶縁層が設けられ、前記ゲート絶縁層は不透明絶縁層を含む。

【選択図】 図2



【特許請求の範囲】

【請求項 1】

サブストレートと、

前記サブストレート基板に形成され横縦方向に交差することで複数の画素ユニットを囲んで画成するデータラインとゲートラインとを備えるアレイ基板であって、

各画素ユニットは、画素電極と薄膜トランジスタスイッチ素子とを備え、前記薄膜トランジスタスイッチ素子は、ゲート電極、ソース電極、ドレイン電極、活性層を備え、

前記ゲート電極と活性層との間にゲート絶縁層が設けられ、前記ゲート絶縁層は不透明絶縁層を含むことを特徴とするアレイ基板。

【請求項 2】

前記ゲート絶縁層は更に透明絶縁層を備え、前記透明絶縁層は前記不透明絶縁層の下に形成されたことを特徴とする請求項 1 に記載のアレイ基板。

【請求項 3】

前記不透明絶縁層は前記データライン、ソース電極、及びドレイン電極に対応して設けられたことを特徴とする請求項 2 に記載のアレイ基板。

【請求項 4】

前記不透明絶縁層の面積はその上のデータライン又は活性層の面積よりも大きいことを特徴とする請求項 2 又は 3 に記載のアレイ基板。

【請求項 5】

前記不透明絶縁層は黒い樹脂絶縁層であることを特徴とする請求項 1 ～ 3 のいずれか一項に記載のアレイ基板。

【請求項 6】

前記不透明絶縁層の厚さは $10000 \sim 20000 \text{ \AA}$ であることを特徴とする請求項 1 ～ 3 のいずれか一項に記載のアレイ基板。

【請求項 7】

前記透明絶縁層の厚さは $500 \sim 5000 \text{ \AA}$ であることを特徴とする請求項 2 又は 3 に記載のアレイ基板。

【請求項 8】

対向するように設けられた対向基板と、請求項 1 ～ 7 のいずれか一項に記載のアレイ基板とを有する液晶パネルを備え、前記対向基板とアレイ基板との間に液晶層が挟まれるように形成されていることを特徴とする液晶ディスプレイ。

【請求項 9】

前記対向基板はカラーフィルター基板であることを特徴とする請求項 8 に記載の液晶ディスプレイ。

【発明の詳細な説明】

【技術分野】

【0001】

本発明はアレイ基板及び液晶ディスプレイに関する。

【背景技術】

【0002】

液晶ディスプレイは、現在ではよく使用されているパネルディスプレイであり、薄膜トランジスタ液晶ディスプレイ (Thin Film Transistor Liquid Crystal Display、TFT-LCD と略称される) は液晶ディスプレイにおける主流なタイプである。TFT-LCD は常にアレイ構造を有するアレイ基板を備える。

【0003】

図面 1 A は、従来の代表的なアレイ基板の一部を示した平面図であって、図面 1 B は図面 1 A における A-A の側面断面図である。

【0004】

図面 1 A と図面 1 B に示したように、通常の四回フォトリソグラフィ技術によって形成

10

20

30

40

50

されたアレイ基板は、サブストレート 1 を備える。このサブストレート 1 には、横縦方向に交差したデータライン 5 及びゲートライン 2 が形成されている。データライン 5 とゲートライン 2 により、マトリクスに配列された画素ユニットを画成している。各画素ユニットは薄膜トランジスタ（TFT）スイッチ素子 TFT と画素電極 11 とを備え、薄膜トランジスタスイッチ素子は、ゲート電極 3、ソース電極 7、ドレイン電極 8 と活性層 6 を備える。そこで、ゲート電極 3 はゲートライン 2 に接続され、ソース電極 7 はデータライン 5 に接続され、ドレイン電極 8 はパッシベーション層ビアホール 10 を介して画素電極 11 に接続されている。活性層 6 はソース電極 7 及びドレイン電極 8 とゲート電極 3 との間に形成され、ゲート電極 3 と活性層 6 との間にゲート絶縁層 4 が形成され、画素電極 11 とドレイン電極 8 との間にパッシベーション層 9 が形成されている。画素電極 11 はパッシベーション層ビアホール 10 を介してドレイン電極 8 に連通している。ゲートライン 2、データライン 5、ゲート電極 3、ソース電極 7、ドレイン電極 8、及び画素電極 11 等からなるパターンは合わせて導電パターンと称し、ゲート絶縁層 4 とパッシベーション層 9 は、合わせて絶縁層と称する。

10

【発明の概要】

【発明が解決しようとする課題】

【0005】

TFT-LCD は、例えば、バックライト等の外部光源が必要となるが、バックライトが TFT の活性層に照射した後に、TFT は漏れ電流（ I_{off} ）を生じやすくなり、表示品質が低下するようになるので、対向基板（例えば、カラーフィルタ基板）においてブラックマトリクスで遮光する必要がある。しかし、これによって TFT-LCD の開口率が低下するようになる。

20

【課題を解決するための手段】

【0006】

本発明の一実施例はアレイ基板を提供する。前記アレイ基板はサブストレートと、前記サブストレート基板に形成され、横縦方向に交差することにより複数の画素ユニットを囲まれて画成するデータライン及びゲートラインと、を備える。各画素ユニットは画素電極と薄膜トランジスタスイッチ素子とを備える。前記薄膜トランジスタスイッチ素子は、ゲート電極、ソース電極、ドレイン電極、活性層を備える。前記ゲート電極と活性層との間にはゲート絶縁層が設けられ、前記ゲート絶縁層は不透明絶縁層を備える。

30

【0007】

本発明の他実施例は液晶ディスプレイを更に提供する。前記ディスプレイは液晶パネルを備える。前記液晶パネルは対向して設置した対向基板と、本発明の何れか前記アレイ基板と、を備える。前記対向基板とアレイ基板との間に液晶層が挟まれて設置されている。

【図面の簡単な説明】

【0008】

【図 1 A】従来の代表的なアレイ基板の一部を示した平面図である。

【図 1 B】図面 1 A における A-A の側面断面図である

【図 2】本発明の実施例 1 に係わるアレイ基板の一部を示した側面図である。

【図 3】本発明の実施例 2 に係わるアレイ基板の一部を示した側面図である。

40

【図 4 A】本発明の実施例 2 に係わるアレイ基板にゲートラインとゲート電極が形成された状態を示した一部側面図である。

【図 4 B】本発明の実施例 2 に係わるアレイ基板に透明絶縁層が堆積された状態を示した一部側面図である。

【図 4 C】本発明の実施例 2 に係わるアレイ基板に不透明絶縁層が堆積された状態を示した一部側面図である。

【図 4 D】本発明の実施例 2 に係わるアレイ基板に活性層薄膜が堆積された状態を示した一部側面図である。

【図 5 A】本発明の実施例 2 に係わるアレイ基板にデータライン金属薄膜に塗布されたフォトリソを露光して現像することを示した図である。

50

【図 5 B】本発明の実施例 2 に係わるアレイ基板にデータライン金属薄膜をエッチングすることを示した図である。

【図 5 C】本発明の実施例 2 に係わるアレイ基板において活性層薄膜をエッチングすることを示した図である。

【図 5 D】本発明の実施例 2 に係わるアレイ基板に不透明絶縁層をエッチングすることを示した図である。

【図 5 E】本発明の実施例 2 に係わるアレイ基板のアッシング後の状態を示した図である。

【図 5 F】本発明の実施例 2 に係わるアレイ基板に余計な活性層薄膜をエッチングすることを示した図である。

【図 5 G】本発明の実施例 2 に係わるアレイ基板においてソース電極とドレイン電極をエッチングすることを示した図である。

【図 5 H】本発明の実施例 2 に係わるアレイ基板において T F T チャンネルをエッチングすることを示した図である。

【図 5 I】本発明の実施例 2 に係わるアレイ基板においてフォトリジストを剥離することを示した図である。

【発明を実施するための形態】

【0009】

本発明の実施例の目的、技術案及びメリットを更に明瞭にするために、以下は、本発明の実施例の図面を参照しながら、本発明の実施例を明瞭で完全に説明する。下記の実施例は明らかに本発明の一実施例に過ぎず、全部の実施例ではない。本発明の実施例に基づいて、当業者にとって自明な他の実施例は、本発明の保護範囲に属する。

【0010】

実施例 1

図面 2 は本発明の実施例 1 に係わるアレイ基板の一部を示した側面図である。図面 2 に示したように、このアレイ基板はサブストレート 1 を備える。サブストレート基板 1 には、横縦方向に交差して複数の画素ユニットを囲んで画成したデータライン 5 とゲートライン（図示しない）が形成されている。各画素ユニットは画素電極 1 1 と薄膜トランジスタ（T F T）スイッチ素子とを備える。各薄膜トランジスタスイッチ素子は、ゲート電極 3、ソース電極 7、ドレイン電極 8、活性層 6 を備える。ゲート電極 3 はサブストレート 1 に形成され、活性層 6 はゲート電極 3 の上に形成され、ソース電極 7 及びドレイン電極 8 は活性層 6 の上に形成されている。ゲート電極 3 と活性層 6 との間にはゲート絶縁層が設けられている。ゲート絶縁層は不透明絶縁層 4 1 を備える。

【0011】

本実施例のアレイ基板のゲート絶縁層は不透明絶縁層を備えるため、バックライトが T F T の活性層に照射することを阻止でき、T F T の照射による漏れ電流を低下させる。これによって、薄膜トランジスタスイッチ素子の性能を向上し、バックライト領域において光漏れを防止でき、対向基板（例えば、カラーフィルター基板）における黒マトリクス面積を減少し、T F T-L C D の開口率を高める。

【0012】

実施例 2

図面 3 は本発明の実施例 2 に係わるアレイ基板の一部を示した側面図である。図面 3 に示したように、このアレイ基板はサブストレート 1 を備える。サブストレート 1 には、横縦方向に交差して複数の画素ユニットを囲んで画成したデータライン 5 とゲートライン（図示しない）とが形成されている。各画素ユニットは画素電極 1 1 と薄膜トランジスタ（T F T）スイッチ素子とを備える。各薄膜トランジスタスイッチ素子は、ゲート電極 3、ソース電極 7、ドレイン電極 8、活性層 6 を備える。ゲート電極 3 はサブストレート 1 に形成され、活性層 6 はゲート電極 3 に形成され、ソース電極 7 及びドレイン電極 8 は活性層 6 に形成されている。ゲート電極 3 と活性層 6 との間には、ゲート絶縁層が設けられている。ゲート絶縁層は不透明絶縁層 4 1 を備える。更に、ゲート絶縁層は透明絶縁層 4

2を更に備え、透明絶縁層42は不透明絶縁層41の下に形成されている。

【0013】

ここで、ゲートラインはゲート電極3に接続され、データライン5はソース電極7に接続され、不透明絶縁層41はデータライン5、ソース電極7、及びドレイン電極8に対応して設けられている。このようにして、データライン5の下には不透明絶縁層41と透明絶縁層42とが備えられる。

【0014】

不透明絶縁層の面積をその上のデータライン又は活性層の面積よりも大きくすることが好ましい。不透明絶縁層41は黒い樹脂絶縁層でもよい。例えば、対向基板（例えば、カラーフィルター基板）におけるブラックマトリクスと同じ黒い樹脂材料を採用してもよい。この黒い樹脂絶縁層からなる不透明絶縁層の厚さは10000～20000 Åであることが好ましい。透明絶縁層42の厚さは500～5000 Åであることが好ましい。

【0015】

前記アレイ基板の製造方法の実施例は以下のステップを備える。

【0016】

ステップ101は、図面4Aに示すように、サブストレート1にマグネトロンスパッタ等の方法で一層のゲート金属薄膜を堆積し、フォトリソグラフィした後にゲートライン（図示しない）とゲート電極3を形成している。この図面4Aは本発明の実施例2に係わるアレイ基板にゲートラインとゲート電極が形成された状態を示した一部側面図である。

【0017】

ステップ102は、図面4Bに示すように、前記パターンを形成したサブストレート1に、プラズマ強化化学気相堆積法（Plasma Enhanced Chemical Vapor Deposition、PECVD）で、窒化ケイ素等の透明絶縁材料からなりゲート絶縁層の一部に属する透明絶縁層42を堆積する。図面4Bは本発明の実施例2に係わるアレイ基板に透明絶縁層が堆積された状態を示した一部側面図である。

【0018】

ステップ103は、図面4Cに示すように、前記パターンを形成したサブストレート1に、感光又は非感光的材料、例えば、黒い樹脂材料からなりゲート絶縁層の一部にも属する不透明絶縁層41を一層塗布（coating）してから、硬化する。図面4Cは本発明の実施例2に係わるアレイ基板に不透明絶縁層が堆積された状態を示した一部側面図である。

【0019】

ステップ104は、図面4Dに示すように、PECVD法で、半導体層（a-si）薄膜とその上にあるドーパされた半導体薄膜（n+a-si）を備えてもいい活性層薄膜60を堆積してから、マグネトロンスパッタ法でデータライン金属薄膜50を該ドーパされた半導体薄膜に一層堆積する。図面4Dは本発明の実施例2に係わるアレイ基板に活性層薄膜とデータライン金属薄膜が堆積された状態を示した一部側面図である。

【0020】

ステップ105では、ツートーンマスク、例えば、グレイトーンマスク（Gray Tone Mask、GTMと略称される）或ハーフトーンマスク（Half Tone Mask、HTMと略称される）を利用して、フォトリソグラフィを露光現像させてから、ウェットエッチングとドライエッチングを組み合わせることによって、パターンニングして活性層、データライン、ソース電極、及びドレイン電極を得る。

【0021】

前記ステップ105は、具体的に以下のステップをさらに備える。

【0022】

ステップ201は、図面5Aに示すように、ツートーンマスクを利用して、データライン金属薄膜50に塗布したフォトリソグラフィを露光・現像させ、ソース電極、ドレイン電極、及びデータラインを形成する必要がある位置にフォトリソグラフィ完全保留領域を形成し、TFTチャネルを形成する必要がある位置とゲートラインに対応した位置にフォトリ

10

20

30

40

50

ジスト一部保留領域を形成し、他の領域をフォトレジストの完全除去領域にする。この図面 5 A は本発明の実施例 2 に係わるアレイ基板にデータライン金属薄膜に塗布されたフォトレジストを露光して現像することを示した図である。

【0023】

ステップ 202 は、図面 5 B に示すように、ウェットエッチングにより、フォトレジスト完全除去領域が対応したデータライン金属薄膜 50 をエッチングして除去する。その後、フォトレジストの下にあるデータラインの一部をオーバーエッチングしてアンダーカット部分を形成し、データライン及び薄膜トランジスタスイッチ素子のソース電極とドレイン電極が位置する領域を形成する。この図面 5 B は本発明の実施例 2 に係わるアレイ基板にデータライン金属薄膜をエッチングすることを示した図である。

10

【0024】

ステップ 203 は、図面 5 C に示すように、ドライエッチングにより、フォトレジスト完全除去領域が対応した活性層薄膜を順次にエッチングして除去する。残留の活性層薄膜 60 の下には不透明絶縁層 41 と透明絶縁層 42 を備える。この図面 5 C は本発明の実施例 2 に係わるアレイ基板に活性層薄膜をエッチングすることを示した図である。

【0025】

ステップ 204 は、図面 5 D に示すように、フォトレジスト完全除去領域が対応した不透明絶縁層 41 をエッチングして除去する。この図面 5 D は本発明の実施例 2 に係わるアレイ基板に不透明絶縁層をエッチングすることを示した図である。

【0026】

ステップ 205 は、図面 5 E に示すように、フォトレジストの一部保留領域のフォトレジストをアッシングして除去し、フォトレジスト完全保留領域のフォトレジストのみを保留する（その厚みが小さくなる）。その後、TF T チャンルの位置に対応したフォトレジスト一部保留領域のフォトレジスト 17 をアッシングして除去し、データラインとソース・ドレイン電極の位置に対応したフォトレジスト完全保留領域のフォトレジスト 17 を保留する。この図面 5 E は本発明の実施例 2 に係わるアレイ基板においてアッシング後の状態を示した図である。

20

【0027】

ステップ 206 は、図 5 F に示すように、アッシングした後、フォトレジストが横方向においてエッチングされたため、データライン金属薄膜 50 の縁部から露出の余計な活性層薄膜をエッチングして除去する。この図面 5 F は本発明の実施例 2 に係わるアレイ基板において余計な活性層薄膜をエッチングすることを示した図である。余計な活性層薄膜 60 をエッチングした後、活性層 6 のパターンを形成してもよく、活性層 6 の下は不透明絶縁層 41 を備え、且つ不透明絶縁層 41 の面積が活性層の面積よりも大きくする。これにより、バックライトが活性層の半導体層に照射することを阻止できる。

30

【0028】

ステップ 207 は、図面 5 G に示すように、金属ドライエッチングにより、TF T チャンルの位置に対応した、例えば、Mo で形成されたデータライン金属薄膜をエッチングして除去し、データライン 5、ソース電極 7、及びドレイン電極 8 を形成する。この図面 5 G は本発明の実施例 2 に係わるアレイ基板においてソース電極とドレイン電極をエッチングすることを示した図である。データライン 5 の下には、それぞれデータライン、ソース電極、及びドレイン電極に対応する活性層薄膜とゲート絶縁層との不透明絶縁層 41、透明絶縁層 42 を順次に形成する。

40

【0029】

ステップ 208 は、図面 5 H に示すように、TF T チャンルの位置に対応した活性層を一部にエッチングし、TF T チャンネル 19 を形成する。この図面 5 H は本発明の実施例 2 に係わるアレイ基板においてTF T チャンネルをエッチングすることを示した図である。TF T チャンルの位置に対応した活性層 6 のドープ半導体層をエッチングして除去し、半導体層を保留して、TF T チャンネル 19 を形成する。これにより、薄膜トランジスタスイッチ素子の製造を完成する。

50

【0030】

ステップ209は、図面5Iに示すように、残留のフォトレジストを剥離する。この図面5Iは本発明の実施例2に係わるアレイ基板においてフォトレジストを剥離することを示した図である。

【0031】

前記ステップ201～ステップ209によって、活性層6、TF Tチャンネル19、ソース電極7、ドレイン電極8、及びデータライン5を形成する、その後、下記のステップ106により画素電極を形成できる。

【0032】

ステップ106は、図面3に示すように、パッシベーション層9を堆積し、パッシベーション層ビアホール10をエッチングにより形成した後に、画素電極導電薄膜を堆積し、それをパターニングすることにより画素電極11を形成する。画素電極11はパッシベーション層ビアホール10を介してドレイン電極8に連通している。

【0033】

本実施例においては、アレイ基板におけるTF Tゲート絶縁層は、不透明絶縁層（例えば、黒い樹脂絶縁層）をゲート絶縁層の一部として、具体的に二層樹脂構造となる。第一層は、透明絶縁層（例えば、窒化ケイ素などの無機材料）である。第二層は、不透明絶縁層を用いる。厚さが1000Å程度の透明絶縁層を形成した後、この第一層の透明絶縁層に黒い樹脂絶縁層を塗布し、画素領域の黒い樹脂をエッチングして除去してから、活性層の下に不透明絶縁層を提供するので、不透明絶縁層は、バックライトがTF Tの活性層に照射することを阻止し、光の照射によるTF Tの漏れ電流を効果的に減らし、TF Tの特性を向上する。この実施例のアレイ基板によれば、バックライト領域が光の漏れを生じないようにして、対向基板のブラックマトリクス面積を減少して、TF T-LCDの開口率を向上できる。また、不透明絶縁層の面積をその上のソース・ドレイン電極とデータラインとの面積よりも大きく設置することによって、アレイ基板における不透明絶縁層で対向基板のブラックマトリクスを取り替えて、TF T-LCDの開口率を更に向上することができる。

【0034】

実施例3

本発明の技術案の実施例3は液晶パネルを備える液晶ディスプレイを提供している。前記液晶パネルは、前記実施例により提供されたいずれの構造を有するアレイ基板及び対向基板を備え、前記対向基板とアレイ基板との間に液晶層が挟まれるように設けられている。この対向基板はカラーフィルター基板でもよい。即ち、その上に、例えば、RGBカラーフィルターユニットが形成されてもよい。アレイ基板にカラーフィルターユニットが形成されると、対向基板にカラーフィルターユニットを設置しなくても良い。

【0035】

本実施例に係わる液晶ディスプレイのアレイ基板においては、ゲート絶縁層は不透明絶縁層を備えるので、バックライトがTF Tの活性層に照射することを阻止し、光の照射によるTF Tの漏れ電流を低下して、TF Tの特性を向上できる。また、バックライト領域が光の漏れを生じないようにして、対向基板のブラックマトリクス面積を減少して、TF T-LCDの開口率を向上することができる。更には、ゲート絶縁層の不透明絶縁層の面積をデータラインと薄膜トランジスタスイッチ素子との面積よりも大きく設置することによって、バックライト領域が光の漏れを生じないようにし、カラーフィルター基板のブラックマトリクスを取り替えて、TF T-LCDの開口率を向上することができる。

【0036】

最後に、以下のことを説明する必要がある。即ち、前記実施例は、単なる本発明の技術案を説明することに用いられる。それを制限するものではない。前記実施例を参照して本発明を詳細に説明したが、依然として各実施例に記載の技術案を補正し、或いはその中の技術的特徴を同等の取替を行うことができ、この補正又は取替が相応の技術案の本質を本発明の各実施例の技術案の主旨と範囲から離脱することがない。

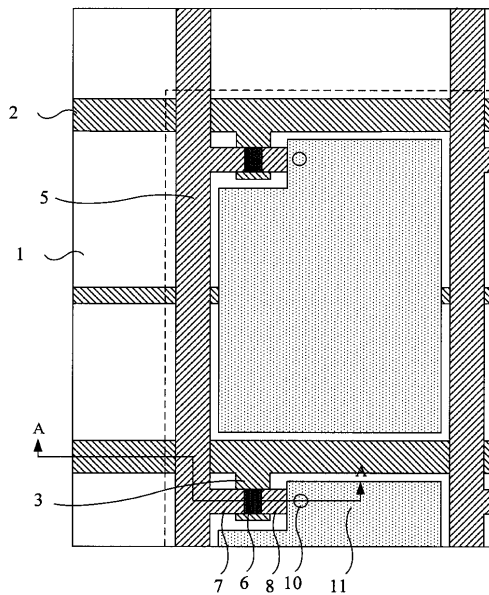
【符号の説明】

【0037】

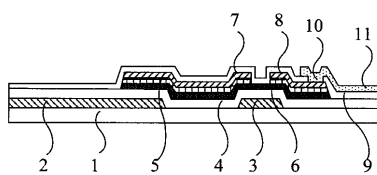
- 1、サブストレート
- 2、ゲートライン
- 3、ゲート電極
- 4、ゲート絶縁層
- 5、データライン
- 6、活性層
- 7、ソース電極
- 8、ドレイン電極
- 9、パッシベーション層
- 10、パッシベーション層ビアホール
- 11、画素電極
- 17、フォトリジスト
- 19、TFTチャネル
- 41、不透明絶縁層
- 42、透明絶縁層
- 50、データライン金属薄膜
- 60、活性層薄膜

10

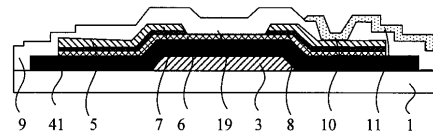
【図1A】



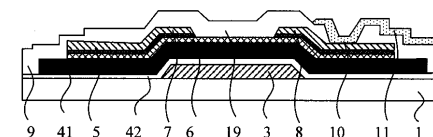
【図1B】



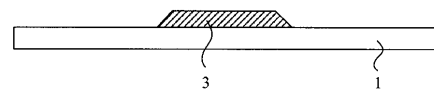
【図2】



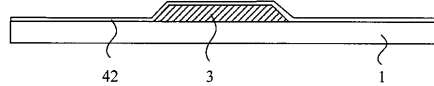
【図3】



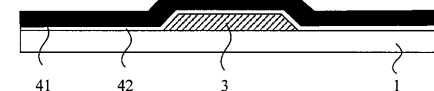
【図4A】



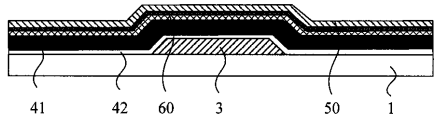
【図4B】



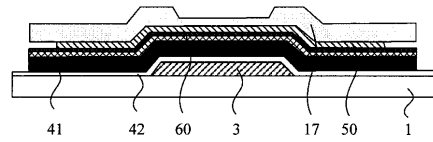
【図4C】



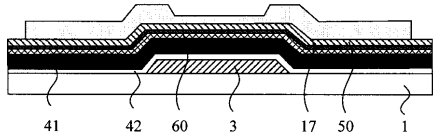
【図 4 D】



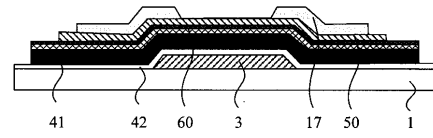
【図 5 D】



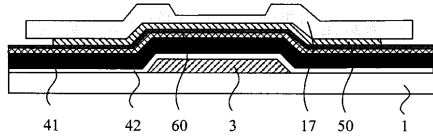
【図 5 A】



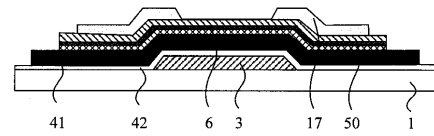
【図 5 E】



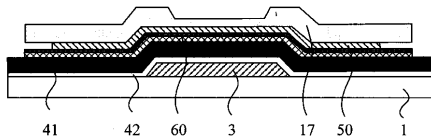
【図 5 B】



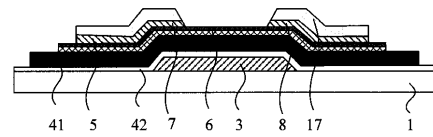
【図 5 F】



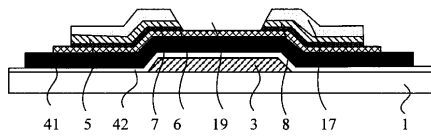
【図 5 C】



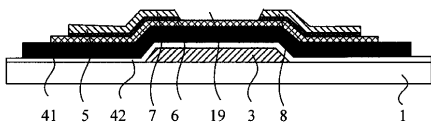
【図 5 G】



【図 5 H】



【図 5 I】



フロントページの続き

Fターム(参考)	2H092	GA29	JA26	JA35	JA36	JA46	JB51	JB57	KA11	MA05	MA08
		MA10	MA15	MA18	MA19	NA07	NA22	PA08	PA09		
	5F110	AA06	AA21	BB01	CC07	EE02	EE44	FF01	FF03	FF05	FF09
		FF27	FF30	GG02	GG15	GG45	HK09	HK16	HK21	HK33	HK35
		NN02	NN33	NN43	NN72	QQ02	QQ03				

专利名称(译)	阵列基板和液晶显示器		
公开(公告)号	JP2012103697A	公开(公告)日	2012-05-31
申请号	JP2011245425	申请日	2011-11-09
[标]申请(专利权)人(译)	北京京东方光电科技有限公司		
申请(专利权)人(译)	北京京东方光电科技有限公司		
[标]发明人	謝振宇		
发明人	謝 振宇		
IPC分类号	G02F1/1368 H01L29/786 H01L21/336		
CPC分类号	H01L29/4908 G02F1/136209 G02F1/1368 H01L27/1214 H01L27/124		
FI分类号	G02F1/1368 H01L29/78.617.T H01L29/78.617.U H01L29/78.619.B H01L29/78.612.Z		
F-TERM分类号	2H092/GA29 2H092/JA26 2H092/JA35 2H092/JA36 2H092/JA46 2H092/JB51 2H092/JB57 2H092/KA11 2H092/MA05 2H092/MA08 2H092/MA10 2H092/MA15 2H092/MA18 2H092/MA19 2H092/NA07 2H092/NA22 2H092/PA08 2H092/PA09 5F110/AA06 5F110/AA21 5F110/BB01 5F110/CC07 5F110/EE02 5F110/EE44 5F110/FF01 5F110/FF03 5F110/FF05 5F110/FF09 5F110/FF27 5F110/FF30 5F110/GG02 5F110/GG15 5F110/GG45 5F110/HK09 5F110/HK16 5F110/HK21 5F110/HK33 5F110/HK35 5F110/NN02 5F110/NN33 5F110/NN43 5F110/NN72 5F110/QQ02 5F110/QQ03 2H192/AA24 2H192/CB05 2H192/CB81 2H192/CB83 2H192/EA06 2H192/EA15 2H192/EA76		
代理人(译)	村山彦 渡边 隆		
优先权	201020601738.0 2010-11-09 CN		
外部链接	Espacenet		

摘要(译)

阵列基板和液晶显示器技术领域本发明涉及阵列基板和液晶显示器。 本发明公开了一种阵列基板和液晶显示器。 阵列基板包括基板以及形成在基板上的数据线和栅极线，其在水平和垂直方向上相交并围绕多个像素单元，每个像素单元具有像素电极。 一种薄膜晶体管开关元件，其中，所述薄膜晶体管开关元件包括栅电极，源电极，漏电极，有源层，在栅电极与有源层之间设置有栅绝缘层，以及栅绝缘层 包括不透明的绝缘层。 [选择图]图2

