

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2011-174964

(P2011-174964A)

(43) 公開日 平成23年9月8日(2011.9.8)

|                                      |                |             |
|--------------------------------------|----------------|-------------|
| (51) Int.Cl.                         | F I            | テーマコード (参考) |
| <b>G09G 3/36 (2006.01)</b>           | G09G 3/36      | 2H193       |
| <b>G02F 1/133 (2006.01)</b>          | G02F 1/133 560 | 5C006       |
| <b>G09G 3/20 (2006.01)</b>           | G09G 3/20 621B | 5C080       |
|                                      | G09G 3/20 624C |             |
|                                      | G09G 3/20 623C |             |
| 審査請求 未請求 請求項の数 8 O L (全 14 頁) 最終頁に続く |                |             |

(21) 出願番号 特願2010-36934 (P2010-36934)  
 (22) 出願日 平成22年2月23日 (2010.2.23)

(71) 出願人 304053854  
 エプソンイメージングデバイス株式会社  
 長野県安曇野市豊科田沢6925  
 (74) 代理人 100095728  
 弁理士 上柳 雅誉  
 (74) 代理人 100107261  
 弁理士 須澤 修  
 (74) 代理人 100127661  
 弁理士 宮坂 一彦  
 (72) 発明者 廣澤 考司  
 長野県安曇野市豊科田沢6925 エプソ  
 ンイメージングデバイス株式会社内  
 Fターム(参考) 2H193 ZA04 ZA05 ZC15 ZD21 ZE15  
 ZF01 ZF22 ZF31 ZF59 ZQ21

最終頁に続く

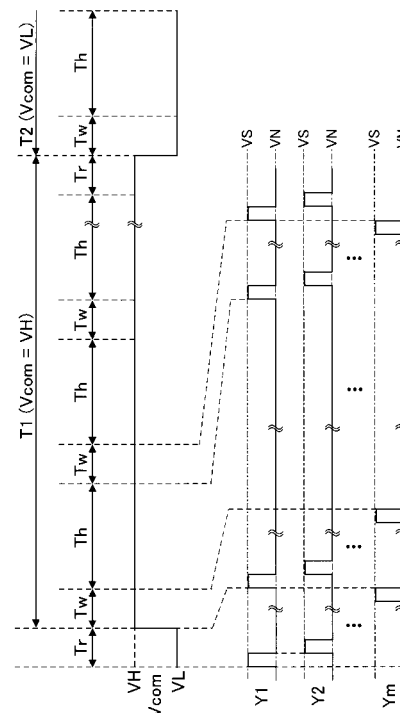
(54) 【発明の名称】 液晶表示装置、電子機器及び液晶表示装置の駆動方法

## (57) 【要約】

【課題】極性反転に起因した消費電力を低減する。

【解決手段】画素回路400は、画素電極112と対向電極114との間にメモリー性液晶116を挟持した液晶素子C1cと、画素電極112とデータ線103との間のトランジスタ401とを含む。電源回路500は、対向電極114の共通電位Vcomを、第1期間T1にて電位VHに設定するとともに第2期間T2にて電位VL(VL<VH)に設定し、第1期間T1と第2期間T2とを交互に繰り返す。書込期間Twでは、トランジスタ401がオン状態に制御されるとともにデータ信号Xjがデータ線103に供給される。保持期間Thではトランジスタ401はオフ状態に維持され、書込期間Twと保持期間Thとは交互に繰り返される。第1期間T1と第2期間T2との組を繰り返す周期は、書込期間Twと保持期間Thの組を繰り返す周期よりも長い。

【選択図】図6



**【特許請求の範囲】****【請求項 1】**

走査線とデータ線との交差に対応して配置された画素回路であって、相対向する画素電極及び対向電極と、両電極間に挟持された液晶と、前記画素電極と前記データ線との間に介在するとともにゲート電極が前記走査線に接続されたトランジスタとを含む画素回路と、

前記対向電極に供給される共通電位を、正極性期間において第 1 電位に設定し、負極性期間において前記第 1 電位よりも高い第 2 電位に設定し、前記正極性期間と前記負極性期間とを交互に繰り返す共通電位供給回路と、

書込期間において、前記トランジスタをオン状態にする走査信号を前記走査線に供給するとともに指定階調に応じたデータ信号を前記データ線に供給し、保持期間において、前記トランジスタをオフ状態にする走査信号を前記走査線に供給し、前記書込期間と前記保持期間とを交互に繰り返す駆動回路とを備え、

前記共通電位供給回路が前記正極性期間と前記負極性期間との組を繰り返す周期は、前記駆動回路が前記書込期間と前記保持期間の組を繰り返す周期よりも長い、

ことを特徴とする液晶表示装置。

**【請求項 2】**

前記駆動回路は、前記書込期間及び前記保持期間の経過後のリフレッシュ期間において、前記トランジスタをオン状態にする走査信号を前記走査線に供給するとともに、前記共通電位と同じ電位を前記データ信号として前記データ線に供給し、

前記共通電位供給回路は、前記リフレッシュ期間の終了以後に、前記共通電位を前記第 1 電位及び前記第 2 電位の一方から他方に变化させる

ことを特徴とする請求項 1 に記載の液晶表示装置。

**【請求項 3】**

前記トランジスタのチャネルは N チャネルであり、

前記駆動回路は、前記共通電位供給回路が前記共通電位を前記第 2 電位から前記第 1 電位に変化させる直前に前記リフレッシュ期間を設け、前記共通電位供給回路が前記共通電位を前記第 1 電位から前記第 2 電位に変化させる直前には前記リフレッシュ期間を設けない、

ことを特徴とする請求項 2 に記載の液晶表示装置。

**【請求項 4】**

前記トランジスタのチャネルは P チャネルであり、

前記駆動回路は、前記共通電位供給回路が前記共通電位を前記第 1 電位から前記第 2 電位に変化させる直前に前記リフレッシュ期間を設け、前記共通電位供給回路が前記共通電位を前記第 2 電位から前記第 1 電位に変化させる直前には前記リフレッシュ期間を設けない、

ことを特徴とする請求項 2 に記載の液晶表示装置。

**【請求項 5】**

前記駆動回路は、表示画像が静止画である場合に、表示画像が動画である場合と比較して、前記保持期間を長くすることを特徴とする請求項 1 乃至 4 のうちいずれか 1 項に記載の液晶表示装置。

**【請求項 6】**

前記液晶は、電圧保持率が 95% となる期間が 1 秒以上であり、且つ、直流電圧を 30 分印加した場合、TN 液晶と比較して、直流電圧の印加前と印加後とで印加電圧に対する透過率の変化量の大きさが小さいことを特徴とする請求項 1 乃至 5 のうちいずれか 1 項に記載の液晶表示装置。

**【請求項 7】**

請求項 1 乃至 6 のうちいずれか 1 項に記載の液晶表示装置を備えたことを特徴とする電子機器。

**【請求項 8】**

走査線とデータ線との交差に対応して配置された画素回路であって、相対向する画素電極及び対向電極と、両電極間に挟持された液晶と、前記画素電極と前記データ線との間に介在するとともにゲート電極が前記走査線に接続されたトランジスタを含む画素回路を具備する液晶表示装置の駆動方法であって、

前記対向電極に供給される共通電位を、正極性期間において第１電位に設定し、負極性期間において前記第１電位よりも高い第２電位に設定し、前記正極性期間と前記負極性期間とを交互に繰り返す一方、

書込期間において、前記トランジスタをオン状態にする走査信号を前記走査線に供給するとともに指定階調に応じたデータ信号を前記データ線に供給し、保持期間において、前記トランジスタをオフ状態にする走査信号を前記走査線に供給し、前記書込期間と前記保持期間とを交互に繰り返す、

前記共通電位供給回路が前記正極性期間と前記負極性期間との組を繰り返す周期は、前記駆動回路が前記書込期間と前記保持期間の組を繰り返す周期よりも長い

ことを特徴とする液晶表示装置の駆動方法。

#### 【発明の詳細な説明】

#### 【技術分野】

#### 【０００１】

本発明は、液晶表示装置及びその駆動方法、並びに液晶表示装置を用いた電子機器に関する。

#### 【背景技術】

#### 【０００２】

画素電極と対向電極との間に液晶を介在させた構成の液晶素子の駆動には、正極性電圧と負極性電圧とを交互に印加する交流駆動が採用される。交流駆動のもとで画素電極に供給される電位の振幅を低減するために、対向電極の電位（共通電位）を周期的に変動させる技術が従来から提案されている。また、特許文献１には、駆動回路に要求される耐圧の緩和を目的として、各液晶素子の画素電極の電位を共通電位の変動前に所定の電位（変動前の共通電位）に初期化する技術が開示されている。

#### 【先行技術文献】

#### 【特許文献】

#### 【０００３】

【特許文献１】特開２００４－１０９８２４号公報

#### 【発明の概要】

#### 【発明が解決しようとする課題】

#### 【０００４】

しかし、特許文献１のように液晶素子の印加電圧の極性が１フレーム毎に反転される構成のもとでは、１フレーム毎に所定の電位を画素電極に供給する必要があるため、消費電力が増大するという問題がある。以上の事情に鑑みて、本発明は、極性反転に起因した消費電力を低減することを解決課題とする。

#### 【課題を解決するための手段】

#### 【０００５】

以上の課題を解決するために、本発明の液晶表示装置は、走査線とデータ線との交差に対応して配置された画素回路であって、相対向する画素電極及び対向電極と、両電極間に挟持された液晶と、画素電極とデータ線との間に介在するとともにゲート電極が走査線に接続されたトランジスタを含む画素回路と、対向電極に供給される共通電位を、正極性期間（例えば図６の第２期間Ｔ２）において第１電位（例えば図６の電位ＶＬ）に設定し、負極性期間（例えば図６の第１期間Ｔ１）において第１電位よりも高い第２電位（例えば図６の電位ＶＨ）に設定し、正極性期間と負極性期間とを交互に繰り返す共通電位供給回路（例えば図１の電源回路５００）と、書込期間において、トランジスタをオン状態にする走査信号を走査線に供給するとともに指定階調に応じたデータ信号をデータ線に供給

10

20

30

40

50

し、保持期間において、トランジスタをオフ状態にする走査信号を走査線に供給し、書込期間と保持期間とを交互に繰り返す駆動回路とを備え、共通電位供給回路が正極性期間と負極性期間との組を繰り返す周期は、駆動回路が書込期間と保持期間の組を繰り返す周期よりも長い。

【0006】

以上の構成においては、正極性期間と負極性期間との組の周期が、書込期間と保持期間の組の周期よりも長いから、書込期間毎（フレーム毎）に共通電位を変動させる構成と比較して消費電力を低減することが可能である。なお、本発明の液晶表示装置は、各種の電子機器（例えば携帯電話機）の表示装置として好適に採用され得る。

【0007】

以上の構成の液晶としては、印加電圧を保持する能力が高く、印加電圧と透過率との関係が直流電圧の印加の前後で殆ど変化しない特性の液晶（メモリー性液晶）が好適に利用される。具体的には、例えば、電圧保持率が95%となる期間が1秒以上であり、且つ、直流電圧を30分印加した場合、TN液晶と比較して、直流電圧の印加前と印加後とで印加電圧に対する透過率の変化量の大きさが小さいという条件を満たす液晶が採用され得る。

【0008】

本発明の好適な態様において、駆動回路は、書込期間及び保持期間の経過後のリフレッシュ期間において、トランジスタをオン状態にする走査信号を走査線に供給するとともに、共通電位と同じ電位をデータ信号としてデータ線に供給し、共通電位供給回路は、リフレッシュ期間の終了以後に、共通電位を第1電位及び第2電位の一方から他方に变化させる。以上の態様においては、リフレッシュ期間にて画素電極の電位が共通電位と同電位に設定されるから、共通電位の変動に連動して画素電極の電位が変動する場合でも、トランジスタの電流のリークを低減することが可能である。

【0009】

トランジスタのチャネルがNチャネルである場合、共通電位の変動に起因した電流のリークは、共通電位が第2電位から第1電位に低下する場合に顕在化する。そこで、共通電位供給回路が共通電位を第2電位から第1電位に変化させる直前にリフレッシュ期間を設け、共通電位供給回路が共通電位を第1電位から第2電位に変化させる直前にはリフレッシュ期間を設けない構成が特に好適である。

他方、トランジスタのチャネルがPチャネルである場合、共通電位の変動に起因した電流のリークは、共通電位が第1電位から第2電位に上昇する場合に顕在化する。そこで、共通電位供給回路が共通電位を第1電位から第2電位に変化させる直前にリフレッシュ期間を設け、共通電位供給回路が共通電位を第2電位から第1電位に変化させる直前にはリフレッシュ期間を設けない構成が特に好適である。

【0010】

本発明の好適な態様において、駆動回路は、表示画像が静止画である場合に、表示画像が動画である場合と比較して、保持期間を長くする。以上の態様においては、保持期間を設定することで静止画の表示時に消費電力が低減されるとともに、動画の表示時に保持期間が静止画の表示時よりも短縮されることで、動画の非連続感（カクカク感）や残像感が抑制されるという利点がある。

【0011】

本発明は、相対向する画素電極及び対向電極と、両電極間に挟持された液晶と、画素電極とデータ線との間に介在するとともにゲート電極が走査線に接続されたトランジスタとを含む画素回路を具備する液晶表示装置の駆動方法としても特定される。本発明の駆動方法においては、対向電極に供給される共通電位を、正極性期間において第1電位に設定し、負極性期間において第1電位よりも高い第2電位に設定し、正極性期間と負極性期間とを交互に繰り返す一方、書込期間において、トランジスタをオン状態にする走査信号を走査線に供給するとともに指定階調に応じたデータ信号をデータ線に供給し、保持期間において、トランジスタをオフ状態にする走査信号を走査線に供給し、書込期間と保持期間と

10

20

30

40

50

を交互に繰り返し、共通電位供給回路が正極性期間と負極性期間との組を繰り返す周期は、駆動回路が書込期間と保持期間の組を繰り返す周期よりも長い。以上の方法によれば、本発明の液晶表示装置と同様の作用及び効果が実現される。

【図面の簡単な説明】

【 0 0 1 2 】

【図 1】本発明の実施形態に係る液晶表示装置のブロック図である。

【図 2】画素回路の回路図である。

【図 3】保持時間と電圧保持率との関係を示すグラフである。

【図 4】メモリー性液晶の印加電圧と透過率との関係を示すグラフである。

【図 5】TN型液晶の印加電圧と透過率との関係を示すグラフである。

10

【図 6】液晶表示装置の動作のタイミングチャートである。

【図 7】液晶表示装置で使用される電位の高低を示す模式図である。

【図 8】共通電位の変動時における画素電極の電位の変動を説明するための概念図である。

【図 9】電子機器（パーソナルコンピュータ）の斜視図である。

【図 10】電子機器（携帯電話機）の斜視図である。

【図 11】電子機器（携帯情報端末）の斜視図である。

【発明を実施するための形態】

【 0 0 1 3 】

< 1. 実施形態 >

20

図 1 は、本発明の実施形態に係る液晶表示装置のブロック図である。液晶表示装置 1 は、液晶パネル A A と電源回路 5 0 0 と制御回路 7 0 0 とを具備する。液晶パネル A A は、表示領域 A と走査線駆動回路 1 0 0 とデータ線駆動回路 2 0 0 とを含んで構成される。表示領域 A には、X 方向に延在する m 本の走査線 1 0 2 と、X 方向に直交する Y 方向に延在する n 本のデータ線 1 0 3 とが形成される（m 及び n は自然数）。走査線 1 0 2 とデータ線 1 0 3 との各交差に対応して画素回路 4 0 0 が配置される。

【 0 0 1 4 】

走査線駆動回路 1 0 0 は、m 本の走査線 1 0 2 の各々を順次に選択するための走査信号 Y 1、Y 2、Y 3、...、Y m を生成して各走査線 1 0 2 に出力する。データ線駆動回路 2 0 0 は、n 本のデータ線 1 0 3 の各々にデータ信号 X 1、X 2、X 3、...、X n を出力する。データ信号 X 1 ~ X n は、各画素回路 4 0 0 の指定階調に応じた電圧信号である。電源回路 5 0 0 は、共通電位 V c o m を可変に生成して表示領域 A に供給する。

30

【 0 0 1 5 】

制御回路 7 0 0 は、各種の制御信号を生成して走査線駆動回路 1 0 0 及びデータ線駆動回路 2 0 0 に出力する。また、制御回路 7 0 0 は、ガンマ補正等の画像処理を施した階調データ D を生成してデータ線駆動回路 2 0 0 に出力する。なお、図 1 の例示では、電源回路 5 0 0 及び制御回路 7 0 0 を液晶パネル A A の外部に設けたが、電源回路 5 0 0 及び制御回路 7 0 0 の一部又は全部を液晶パネル A A の内部に設けてもよく、更に、液晶パネル A A に設けられた要素（走査線駆動回路 1 0 0 やデータ線駆動回路 2 0 0 ）の一部を外部回路として設けてもよい。

40

【 0 0 1 6 】

図 2 は、画素回路 4 0 0 の回路図である。図 2 では、第 i 行目（i = 1 ~ m）の第 j 列（j = 1 ~ n）に位置する 1 個の画素回路 4 0 0 のみが代表的に図示されている。図 2 に示すように、画素回路 4 0 0 は、トランジスタ（例えば薄膜トランジスタ）4 0 1 と液晶素子 C 1 c とを含んで構成される。なお、液晶素子 C 1 c の両端間の電圧を保持する補助容量（蓄積容量）を液晶素子 C 1 c に対して並列に接続してもよい。

【 0 0 1 7 】

液晶素子 C 1 c は、相対向する画素電極 1 1 2 及び対向電極 1 1 4 と、両電極間に挟持されたメモリー性液晶 1 1 6 とを含む容量素子である。画素電極 1 1 2 は画素回路 4 0 0 毎に個別に形成され、対向電極 1 1 4 は複数の画素回路 4 0 0 にわたって連続する。対向

50

電極 114 には、電源回路 500 から共通電位  $V_{com}$  が供給される。以下の説明では、画素電極 112 の電位  $V_X$  が対向電極 114 の共通電位  $V_{com}$  と比較して高い場合の液晶素子 C1c の印加電圧の極性を「正極性」と表記し、画素電極 112 の電位  $V_X$  が共通電位  $V_{com}$  と比較して低い場合の印加電圧の極性を「負極性」と表記する。

#### 【0018】

図 2 のトランジスタ 401 は、液晶素子 C1c の画素電極 112 とデータ線 103 との間に介在して両者の電氣的な接続（導通 / 非導通）を制御するスイッチング素子である。具体的には、トランジスタ 401 のソース電極はデータ線 103 に接続され、トランジスタ 401 のドレイン電極は液晶素子 C1c の画素電極 112 に接続され、トランジスタ 401 のゲート電極は走査線 102 に接続される。本実施形態のトランジスタ 401 のチャネルは N チャンネルである。

10

#### 【0019】

液晶素子 C1c に利用されるメモリー性液晶 116 は、電圧保持率が高い液晶（高保持率液晶）である。図 3 は、メモリー性液晶 116 の電圧保持率を、比較の対象となる TN（Twisted Nematic）型液晶の電圧保持率とともに示すグラフである。図 3 の横軸は保持時間（電圧の印加終了時からの経過時間）を示し、縦軸は電圧保持率（印加終了時の電圧に対する比率）を示す。

#### 【0020】

メモリー性液晶 116 及び TN 型液晶のいずれも、保持時間が長くなるに従い電荷が放電されて電圧保持率が低下する。しかし、メモリー性液晶 116 は、TN 型液晶と比較すると、長時間にわたって高い電圧保持率を維持する。具体的には、メモリー性液晶 116 は、電圧保持率が 95% となる保持時間が 1 秒以上である。また、保持時間が長くなるほど、メモリー性液晶の電圧保持率と TN 型液晶の電圧保持率との差異は増大する。具体的には、両者間の電圧保持率の差異は、保持時間が 0.1 秒程度の時点では約 8% であるが、保持時間が 1 秒程度の時点では約 13% となり、保持時間が 10 秒程度の時点に至ると約 25% まで増大する。以上の説明の通り、本実施形態の液晶素子 C1c に利用されるメモリー性液晶 116 は、TN 型液晶と比較して電荷が放電し難く、長時間にわたり高い電圧保持率を維持することが可能である。したがって、後述のように画素回路 400 に対する書込期間の経過後に保持期間を設けた駆動が可能となる。

20

#### 【0021】

次に、図 4 及び図 5 は、液晶の印加電圧（横軸）と透過率（縦軸）との関係（V-T 特性）を示すグラフである。図 4 は、本実施形態で利用されるメモリー性液晶 116 の V-T 特性であり、図 5 は、TN 型液晶の V-T 特性である。図 4 及び図 5 の何れにも、直流電圧の印加前の V-T 特性（鎖線）と、直流電圧（10V）を 30 分間にわたって印加した直後の V-T 特性（実線）とが併記されている。

30

#### 【0022】

図 4 に示すように、メモリー性液晶 116 は、印加電圧が低い（0V ~ 約 10V）場合に透過率が約 100% を維持し、印加電圧が約 10V を上回る範囲では、印加電圧の増加とともに透過率が低下して最終的に 0% に至るという V-T 特性を示す。図 4 に示すように、メモリー性液晶 116 の V-T 特性は、直流電圧の印加の前後で殆ど変化しない。具体的には、透過率を 50% に設定するために必要な印加電圧の差異は、直流電圧の印加前と印加後とで約 50mV 程度である。

40

#### 【0023】

他方、TN 型液晶は、印加電圧が 0V の場合には約 100% の透過率を示し、印加電圧が増加すると透過率が低下し、印加電圧が 4V 以上に設定されると透過率がほぼ 0% に至るという V-T 特性を示す。図 5 に拡大して示すように、TN 型液晶においては、直流電圧の印加の前後で V-T 特性が変化する。具体的には、直流電圧の印加後に印加前と同等の透過率を実現するには、印加電圧を 50mV 程度増加させる必要がある。例えば、透過率を 50% に設定するために必要な印加電圧は、直流電圧の印加前であれば約 1.62V であるが、直流電圧の印加後には約 1.67V が必要となる。

50

## 【0024】

以上に説明したように、本実施形態のメモリー性液晶116は、直流電圧の印加（10V，30分）の前後にわたるV-T特性の変化が、TN型液晶と比較して小さいという特性を有する。すなわち、TN型液晶では、印加電圧の極性を1フレーム毎に反転させてV-T特性の変化を抑制する必要があるが、メモリー性液晶116では、印加電圧の極性を複数のフレームにわたって維持した場合でもV-T特性は殆ど変化しないから、印加電圧の極性を反転させる周期を、TN型液晶を利用した構成と比較して長い時間に設定することが可能である。したがって、後述のように液晶素子C1cに対する印加電圧の極性を長時間にわたって維持する駆動が可能となる。

## 【0025】

図6は、液晶表示装置1の動作のタイミングチャートである。液晶表示装置1の駆動中は、第1期間（負極性期間）T1と第2期間（正極性期間）T2とが交互に繰り返される。図6に示すように、電源回路500は、対向電極114に供給される共通電位Vcomを、電位VHと電位VLの一方から他方に順次に変化させる。具体的には、電源回路500は、第1期間T1では共通電位Vcomを電位VHに設定し、第2期間T2では共通電位Vcomを電位VLに設定する。電位VHは、電位VLと比較して高い（ $VH > VL$ ）。第1期間T1および第2期間T2の各々は、例えば10秒以上に設定される。

## 【0026】

図6に示すように、第1期間T1は、複数の書込期間Twと複数の保持期間Thと1個のリフレッシュ期間Trとを含む。書込期間Twとその経過後の保持期間Thとの組が複数回にわたって繰り返された後（第1期間T1の最後）にリフレッシュ期間Trが設定される。同様に、第2期間T2は、複数回にわたって交互に繰り返される書込期間Tw及び保持期間Thと、書込期間Tw及び保持期間Thの反復後（第2期間T2の最後）に設定されるリフレッシュ期間Trとを含んで構成される。すなわち、第1期間T1と第2期間T2との組を繰り返す周期（共通電位Vcomの変動の周期）は、書込期間Twと保持期間Thとの組を繰り返す周期（書込期間Twと保持期間Thとの時間の総和）よりも長い。

## 【0027】

第1期間T1及び第2期間T2の各々における書込期間Twは、各画素回路400の液晶素子C1cの印加電圧を指定階調（階調データD）に応じて設定する期間（1フレーム）であり、保持期間Thは、直前の書込期間Twで液晶素子C1cに設定された印加電圧を保持する期間である。保持期間Thは、書込期間Twよりも長い時間（例えば1秒以上）に設定される。また、リフレッシュ期間Trは、各画素回路400の画素電極112の電位Vxを所定値に初期化する期間である。第1期間T1内の各期間での動作を以下に詳述する。

## 【0028】

まず、第1期間T1内の書込期間Twでは、図6に示すように、走査線駆動回路100が走査信号Y1～Ymの各々を順次に選択電位VSに設定する。走査信号Yiは、書込期間Tw内の第i番目の水平走査期間にて選択電位VSに設定され、書込期間Tw内の他の期間では非選択電位VNに設定される。選択電位VSは、各画素回路400のトランジスタ401をオン状態にする電位であり、非選択電位VNは、トランジスタ401をオフ状態にする電位である。したがって、書込期間Tw内の第i番目の水平走査期間では、第j列目のデータ線103に供給されるデータ信号Xjが、第i行の第j列に位置する画素回路400のトランジスタ401を介して液晶素子C1cの画素電極112に供給される。すなわち、共通電位Vcom（電位VH）とデータ信号Xjとの差分に相当する電圧が液晶素子C1cに印加される。図7の部分(A)に示すように、第1期間T1の書込期間Tw内の第i番目の水平走査期間のデータ信号Xjは、共通電位Vcom（電位VH）を下回る範囲内で、第i行の第j列に位置する画素回路400の指定階調に応じて可変に設定される。したがって、各画素回路400の液晶素子C1cには、指定階調に応じた負極性の電圧が印加及び保持される。

10

20

30

40

50

## 【 0 0 2 9 】

図 6 に示すように、書込期間  $T_w$  に後続する保持期間  $T_h$  では、全区間にわたって走査信号  $Y_1 \sim Y_m$  が非選択電位  $V_N$  に維持される。したがって、各画素回路 400 に対するデータ信号  $X_j$  の書込は実行されない。液晶素子  $C_{1c}$  のメモリー性液晶 116 は長時間にわたって高い電圧保持率を維持するから、図 6 のように保持期間  $T_h$  でデータ信号  $X_j$  の書込が実行されなくても、直前の書込期間  $T_w$  で液晶素子  $C_{1c}$  に印加された電位が保持期間  $T_h$  でも保持される。以上に説明した書込期間  $T_w$  と保持期間  $T_h$  とが第 1 期間  $T_1$  内では複数回にわたって繰り返される。

## 【 0 0 3 0 】

書込期間  $T_w$  及び保持期間  $T_h$  の反復後に設定されたリフレッシュ期間  $T_r$  では、書込期間  $T_w$  と同様に、走査信号  $Y_1 \sim Y_m$  が順次に選択電位  $V_S$  に設定され、各画素回路 400 のトランジスタ 401 がオン状態に設定される。他方、リフレッシュ期間  $T_r$  では、各データ線 103 に供給されるデータ信号  $X_1 \sim X_n$  が共通電位  $V_{com}$  (第 1 期間  $T_1$  内では電位  $V_H$ ) と同電位に設定される。すなわち、リフレッシュ期間  $T_r$  では、液晶素子  $C_{1c}$  の画素電極 112 及び対向電極 114 の双方に電位  $V_H$  が供給され、液晶素子  $C_{1c}$  の印加電圧はゼロに初期化 (リフレッシュ) される。リフレッシュ期間  $T_r$  が終了すると (第 1 期間  $T_1$  が終了すると)、第 2 期間  $T_2$  が開始するとともに共通電位  $V_{com}$  が第 1 期間  $T_1$  内での電位  $V_H$  から電位  $V_L$  に変化する。

## 【 0 0 3 1 】

共通電位  $V_{com}$  が電位  $V_L$  に設定される第 2 期間  $T_2$  でも、第 1 期間  $T_1$  内と同様に書込期間  $T_w$  と保持期間  $T_h$  とが複数回にわたって繰り返される。具体的には、書込期間  $T_w$  においては、走査信号  $Y_1 \sim Y_m$  の各々が順次に選択電位  $V_S$  に設定され、各走査線 102 の選択に同期してデータ信号  $X_1 \sim X_n$  が各データ線 103 に出力される。図 7 の部分 (B) に示すように、第 2 期間  $T_2$  内のデータ信号  $X_1 \sim X_n$  は、共通電位  $V_{com}$  (電位  $V_L$ ) を上回る範囲内で指定階調に応じて可変に設定される。したがって、第 2 期間  $T_2$  内の書込期間  $T_w$  では、指定階調に応じた正極性の電圧が各画素回路 400 の液晶素子  $C_{1c}$  に印加される。液晶素子  $C_{1c}$  の印加電圧は保持期間  $T_h$  でも維持される。

## 【 0 0 3 2 】

第 2 期間  $T_2$  のうち以上の書込期間  $T_w$  及び保持期間  $T_h$  の反復後のリフレッシュ期間  $T_r$  では、第 1 期間  $T_1$  内のリフレッシュ期間  $T_r$  と同様に、走査信号  $Y_1 \sim Y_m$  が順次に選択電位  $V_S$  に設定されるとともにデータ信号  $X_1 \sim X_n$  が共通電位  $V_{com}$  (電位  $V_L$ ) と同電位に設定される。すなわち、各画素回路 400 の液晶素子  $C_{1c}$  の印加電圧がゼロに初期化 (リフレッシュ) される。リフレッシュ期間  $T_r$  が終了すると (第 2 期間  $T_2$  が終了すると)、第 1 期間  $T_1$  が開始するとともに共通電位  $V_{com}$  が第 2 期間  $T_2$  内の電位  $V_L$  から電位  $V_H$  に変化する。以上に説明した第 1 期間  $T_1$  と第 2 期間  $T_2$  とが交互に繰り返される。

## 【 0 0 3 3 】

以上の実施形態では、各走査線 102 の選択やデータ信号  $X_j$  の供給を実行しない保持期間  $T_h$  が各書込期間  $T_w$  の経過後に設定されるから、書込期間  $T_w$  のみを順次に繰り返す構成と比較して消費電力を低減することが可能である。また、液晶素子  $C_{1c}$  にメモリー性液晶 116 が採用されるから、保持期間  $T_h$  における液晶素子  $C_{1c}$  の印加電圧の低下が抑制される。したがって、書込期間  $T_w$  の直後に保持期間  $T_h$  を設ける構成に関わらず、液晶素子  $C_{1c}$  の印加電圧の低下に起因した表示品位の劣化を抑制することが可能である。しかも、共通電位  $V_{com}$  の変動の周期 (第 1 期間  $T_1$  と第 2 期間  $T_2$  との組を繰り返す周期) は、書込期間  $T_w$  と保持期間  $T_h$  との組の周期よりも長いから、書込期間  $T_w$  毎 (フレーム毎) に共通電位  $V_{com}$  を電位  $V_H$  及び電位  $V_L$  の一方から他方に变化させる構成と比較して消費電力を低減できるという利点もある。

## 【 0 0 3 4 】

ところで、画素電極 112 に対するデータ信号  $X_j$  の供給後にトランジスタ 401 がオフ状態に遷移することで画素電極 112 は電氣的なフローティング状態となる。したがっ

10

20

30

40

50

て、共通電位  $V_{com}$  の変化前に画素電極 112 の電位  $V_X$  をリフレッシュしない構成（以下「対比例」という）では、例えば共通電位  $V_{com}$  が電位  $V_H$  から電位  $V_L$  に低下すると、図 8 の部分 (A) に破線で示すように、画素電極 112 の電位  $V_X$  は、直前に供給及び保持されたデータ信号  $X_j$  の電位から、共通電位  $V_{com}$  の変化量（ $V_H - V_L$ ）に応じた変化量  $\Delta V$ （ $\Delta V = V_H - V_L$ ）だけ低下する。そして、以上のように画素電極 112 の電位  $V_X$ （トランジスタ 401 のソース電位）が低下すると、Nチャネル型のトランジスタ 401 のゲート - ソース間の電圧が増加し、トランジスタ 401 に電流のリークが発生する。対比例のもとで電流のリークを防止するには、走査信号  $Y_i$  の非選択電位  $V_N$  を十分に低い電位に設定する（走査信号  $Y_i$  のダイナミックレンジを十分に確保する）必要がある。

10

#### 【0035】

他方、本実施形態では、共通電位  $V_{com}$  の変化前に画素電極 112 の電位  $V_X$  が変化前の共通電位  $V_{com}$  と同電位にリフレッシュされる。具体的には、共通電位  $V_{com}$  が電位  $V_H$  から電位  $V_L$  に変化する直前に、画素電極 112 の電位  $V_X$  は、直前のデータ信号  $X_j$  の電位から電位  $V_H$  に初期化される。したがって、図 8 の部分 (B) に破線で示すように、共通電位  $V_{com}$  の低下とともに画素電極 112 の電位  $V_X$  が変化量  $\Delta V$  だけ低下しても、低下後の電位  $V_X$  は、トランジスタ 401 のゲートの電位（走査信号  $Y_i$  の非選択電位  $V_N$ ）と比較して高い。すなわち、トランジスタ 401 のゲート - ソース間の電圧（ $V_N - V_X$ ）は低い電圧に維持される。したがって、非選択電位  $V_N$  を低い電位に設定しなくても（すなわち、走査信号  $Y_i$  のダイナミックレンジを十分に確保しなくても）、各画素回路 400 のトランジスタ 401 の電流のリークを防止できるという利点がある。

20

#### 【0036】

また、前述のように本実施形態では、書込期間  $T_w$  及び保持期間  $T_h$  の組と比較して長い周期で共通電位  $V_{com}$  が変動するから、共通電位  $V_{com}$  の変動前に必要となるリフレッシュ期間  $T_r$  は、書込期間  $T_w$  と保持期間  $T_h$  との複数組毎に 1 回が設定される。したがって、書込期間  $T_w$  毎（フレーム毎）にリフレッシュ期間  $T_r$  が設定される構成（例えば特許文献 1）と比較して消費電力を低減することが可能である。

#### 【0037】

##### < 2. 変形例 >

以上の各形態は多様に変形され得る。具体的な変形の態様を以下に例示する。以下の例示から任意に選択された 2 以上の態様は適宜に併合され得る。

30

#### 【0038】

##### (1) 変形例 1

画素電極 112 の電位  $V_X$  を共通電位  $V_{com}$  と同電位に初期化するリフレッシュ期間  $T_r$  は省略され得る。リフレッシュ期間  $T_r$  を省略した構成では、各画素回路 400 のトランジスタ 401 に電流のリークが発生する可能性がある。しかし、以上の形態では、書込期間  $T_w$  及び保持期間  $T_h$  の複数組を含む期間（ $T_1$ ,  $T_2$ ）毎に共通電位  $V_{com}$  を変動させるから、リフレッシュ期間  $T_r$  を省略するとは言っても、書込期間  $T_w$  毎（フレーム毎）に共通電位  $V_{com}$  を変化させる構成と比較すれば、トランジスタ 401 の電流のリークを抑制することが可能である。

40

#### 【0039】

##### (2) 変形例 2

以上の形態では、共通電位  $V_{com}$  の低下前のリフレッシュ期間  $T_r$ （第 1 期間  $T_1$  内）と共通電位  $V_{com}$  の上昇前のリフレッシュ期間  $T_r$ （第 2 期間  $T_2$  内）との双方を設けたが、以下に例示するように、共通電位  $V_{com}$  の上昇前及び低下前の一方のリフレッシュ期間  $T_r$  は、各画素回路 400 のトランジスタ 401 の導電型に応じて適宜に省略され得る。

#### 【0040】

例えば、前述のようにトランジスタ 401 を Nチャネル型とした構成では、共通電位  $V_{com}$  の低下（ $V_H \rightarrow V_L$ ）に連動して画素電極 112 の電位  $V_X$  が低下し、結果的にト

50

ランジスタ401のソース電極（画素電極112）に対するゲート電極の電位が増加することでトランジスタ401の電流のリークが発生する。他方、共通電位Vcomの上昇時（VL→VH）には、画素電極112の電位VXが上昇することでトランジスタ401のゲート-ソース間の電圧は減少する。すなわち、共通電位Vcomの上昇は、トランジスタ401の電流のリークを低減する方向に作用する。したがって、トランジスタ401をNチャンネル型とした構成では、共通電位Vcomが電位VHから電位VLに低下する直前にリフレッシュ期間Trを設け、共通電位Vcomが電位VLから電位VHに上昇する直前のリフレッシュ期間Trを省略した構成が好適である。

#### 【0041】

また、トランジスタ401をPチャンネル型とした構成では、共通電位Vcomの上昇（VL→VH）に連動して画素電極112の電位VXが上昇し、結果的にトランジスタ401のソース電極（画素電極112）に対するゲート電極の電位が低下することでトランジスタ401の電流のリークが発生する。他方、共通電位Vcomの低下時（VH→VL）には、画素電極112の電位VXが低下することでトランジスタ401のゲート-ソース間の電圧は減少する。すなわち、共通電位Vcomの低下は、トランジスタ401の電流のリークを低減する方向に作用する。したがって、トランジスタ401をPチャンネル型とした構成では、共通電位Vcomが電位VLから電位VHに上昇する直前にリフレッシュ期間Trを設け、共通電位Vcomが電位VHから電位VLに低下する直前のリフレッシュ期間Trを省略した構成が好適である。

#### 【0042】

#### （3）変形例3

消費電力の低減という観点からすると保持期間Thは長いことが望ましいが、動画の表示時に保持期間Thが長い（フレームレートが低い）と、動画の時間的な不連続感（カクカク感）や残像感が顕在化する可能性がある。そこで、静止画の表示時と動画の表示時とで保持期間Thの時間長を変化させる構成も好適である。具体的には、走査線駆動回路100及びデータ線駆動回路200は、表示画像が静止画である場合には、表示画像が動画である場合と比較して保持期間Thが長い時間となるように各画素回路400を駆動する。静止画と動画との判別には公知の技術が任意に採用される。

#### 【0043】

#### <3. 応用例>

次に、上述した実施形態に係る液晶表示装置1を適用した電子機器について説明する。図9に、液晶表示装置1を適用したモバイル型のパーソナルコンピュータの構成を示す。パーソナルコンピュータ2000は、表示ユニットとしての液晶表示装置1と本体部2010を備える。本体部2010には、電源スイッチ2001及びキーボード2002が設けられている。

#### 【0044】

図10に、液晶表示装置1を適用した携帯電話機の構成を示す。携帯電話機3000は、複数の操作ボタン3001及びスクロールボタン3002、並びに表示ユニットとしての液晶表示装置1を備える。スクロールボタン3002を操作することによって、液晶表示装置1に表示される画面がスクロールされる。

#### 【0045】

図11に、液晶表示装置1を適用した情報携帯端末（PDA：Personal Digital Assistants）の構成を示す。情報携帯端末4000は、複数の操作ボタン4001及び電源スイッチ4002、並びに表示ユニットとしての液晶表示装置1を備える。電源スイッチ4002を操作すると、住所録やスケジュール帳といった各種の情報が液晶表示装置1に表示される。

#### 【0046】

なお、液晶表示装置1が適用される電子機器としては、図9～図11に示すものの他、デジタルスチルカメラ、液晶テレビ、ビューファインダ型、モニタ直視型のビデオテープレコーダ、カーナビゲーション装置、ページャ、電子手帳、電卓、ワードプロセッサ、ワ

10

20

30

40

50

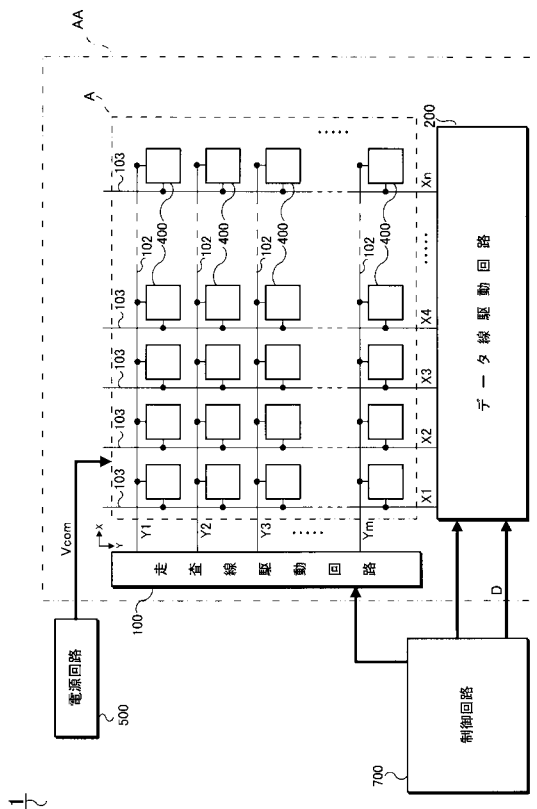
ークステーション、テレビ電話、POS端末、タッチパネルを備えた機器等などが挙げられる。

【符号の説明】

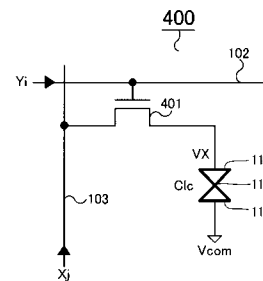
【0047】

1...液晶表示装置、100...走査線駆動回路、102...走査線、103...データ線、112...画素電極、114...対向電極、116...メモリー性液晶、200...データ線駆動回路、400...画素回路、500...電源回路、700...制御回路、C1c...液晶素子、X1~Xn...データ信号、Y1~Ym...走査信号、Vcom...共通電位。

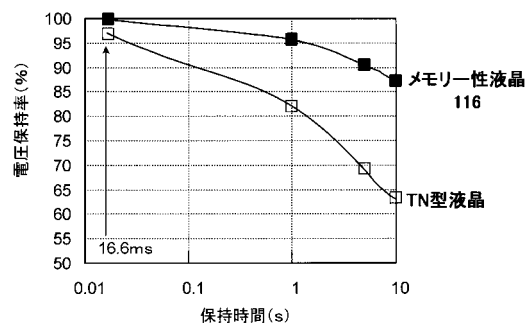
【図1】



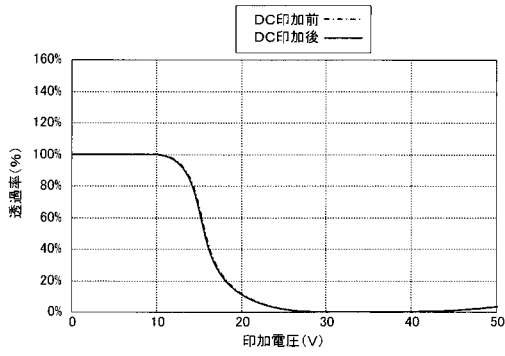
【図2】



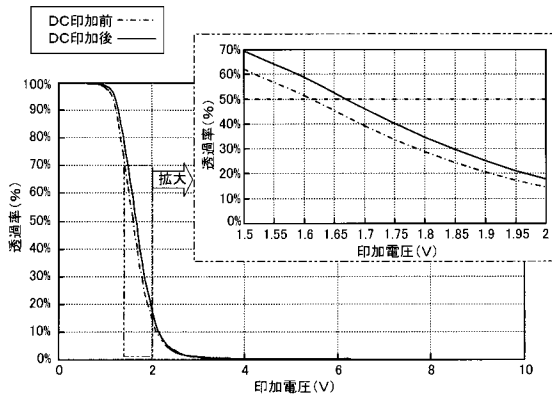
【図3】



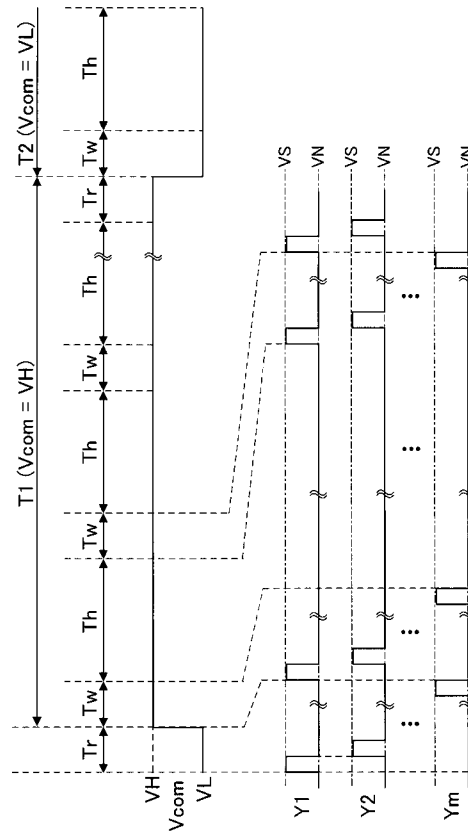
【図 4】



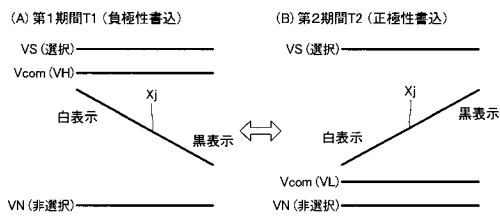
【図 5】



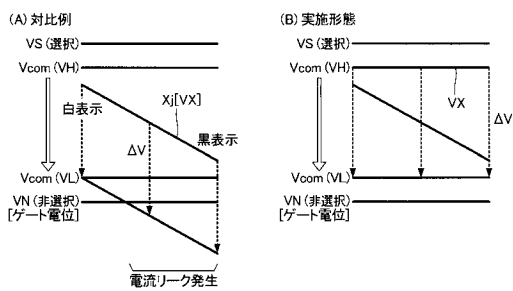
【図 6】



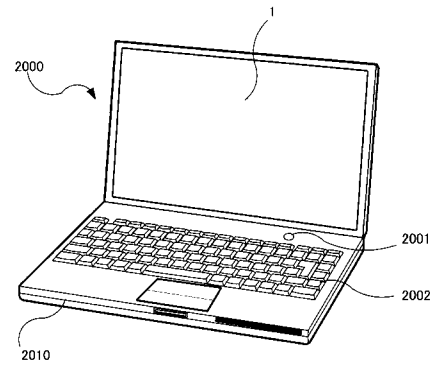
【図 7】



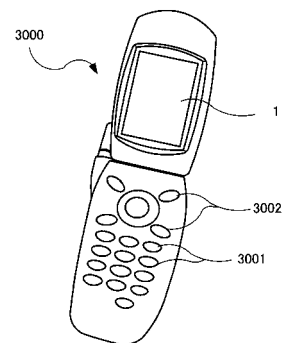
【図 8】



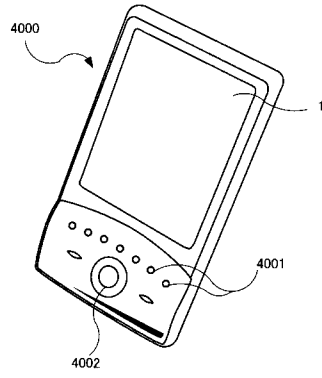
【図 9】



【図 10】



【図 11】



---

 フロントページの続き

(51) Int.Cl.

F I

テーマコード (参考)

|         |       |         |
|---------|-------|---------|
| G 0 9 G | 3/20  | 6 2 3 D |
| G 0 9 G | 3/20  | 6 2 4 B |
| G 0 9 G | 3/20  | 6 2 1 Z |
| G 0 9 G | 3/20  | 6 6 0 U |
| G 0 9 G | 3/20  | 6 6 0 V |
| G 0 9 G | 3/20  | 6 1 1 A |
| G 0 9 G | 3/20  | 6 1 1 D |
| G 0 9 G | 3/20  | 6 4 1 R |
| G 0 2 F | 1/133 | 5 5 0   |

F ターム(参考) 5C006 AA02 AA16 AC21 AC24 AC25 AC28 AF44 AF46 AF51 AF53  
                   BA11 BB16 BC06 BF42 FA29 FA36 FA47  
                   5C080 AA10 BB05 DD02 DD10 DD26 EE19 EE26 EE29 FF11 FF12  
                   GG05 JJ02 JJ03 JJ04 JJ05 JJ06 KK02 KK04 KK07 KK23  
                   KK25 KK29 KK43 KK47

|                |                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                  |         |            |
|----------------|----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|---------|------------|
| 专利名称(译)        | 液晶显示装置，电子装置和液晶显示装置的驱动方法                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                          |         |            |
| 公开(公告)号        | <a href="#">JP2011174964A</a>                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                    | 公开(公告)日 | 2011-09-08 |
| 申请号            | JP2010036934                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                     | 申请日     | 2010-02-23 |
| [标]申请(专利权)人(译) | 爱普生映像元器件有限公司                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                     |         |            |
| 申请(专利权)人(译)    | 爱普生影像设备公司                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                        |         |            |
| [标]发明人         | 廣澤考司                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                             |         |            |
| 发明人            | 廣澤 考司                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                            |         |            |
| IPC分类号         | G09G3/36 G02F1/133 G09G3/20                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                      |         |            |
| FI分类号          | G09G3/36 G02F1/133.560 G09G3/20.621.B G09G3/20.624.C G09G3/20.623.C G09G3/20.623.D G09G3/20.624.B G09G3/20.621.Z G09G3/20.660.U G09G3/20.660.V G09G3/20.611.A G09G3/20.611.D G09G3/20.641.R G02F1/133.550                                                                                                                                                                                                                                                                                                                                                                        |         |            |
| F-TERM分类号      | 2H193/ZA04 2H193/ZA05 2H193/ZC15 2H193/ZD21 2H193/ZE15 2H193/ZF01 2H193/ZF22 2H193/ZF31 2H193/ZF59 2H193/ZQ21 5C006/AA02 5C006/AA16 5C006/AC21 5C006/AC24 5C006/AC25 5C006/AC28 5C006/AF44 5C006/AF46 5C006/AF51 5C006/AF53 5C006/BA11 5C006/BB16 5C006/BC06 5C006/BF42 5C006/FA29 5C006/FA36 5C006/FA47 5C080/AA10 5C080/BB05 5C080/DD02 5C080/DD10 5C080/DD26 5C080/EE19 5C080/EE26 5C080/EE29 5C080/FF11 5C080/FF12 5C080/GG05 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 5C080/JJ06 5C080/KK02 5C080/KK04 5C080/KK07 5C080/KK23 5C080/KK25 5C080/KK29 5C080/KK43 5C080/KK47 |         |            |
| 代理人(译)         | 须泽 修<br>宫坂和彦                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                     |         |            |
| 外部链接           | <a href="#">Espacenet</a>                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                        |         |            |

# 摘要(译)

要解决的问题：降低液晶显示装置中极性反转引起的功耗。

ΣSOLUTION：像素电路400包括：液晶元件C1c，其具有保持在像素电极112和对电极114之间的存储型液晶116;像素电极112和数据线103之间的晶体管401.电源电路500将对电极114的公共电位Vcom设定为第一期间T1的电位VH和电位VL (  $VL < VH$  )。第二时段T2，并且交替地重复第一时段T1和第二时段T2。在写入时段Tw中，晶体管401被控制为处于导通状态，数据信号Xj被提供给数据线103.在保持时段Th中，晶体管401保持在截止状态。交替重复写入时段Tw和保持时段Th。重复第一时段T1和第二时段T2的设置的时段长于重复写入时段Tw和保留时段Th的设置的时段。Z

