

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-243741

(P2010-243741A)

(43) 公開日 平成22年10月28日(2010.10.28)

(51) Int.Cl.	F I	テーマコード (参考)
GO2F 1/1368 (2006.01)	GO2F 1/1368	2H092
HO1L 29/786 (2006.01)	HO1L 29/78 619A	5F110
HO1L 21/336 (2006.01)	HO1L 29/78 627G	5F152
HO1L 21/20 (2006.01)	HO1L 29/78 612D	
	HO1L 21/20	

審査請求 未請求 請求項の数 9 O L (全 16 頁)

(21) 出願番号 特願2009-91665 (P2009-91665)
 (22) 出願日 平成21年4月6日 (2009.4.6)

(71) 出願人 000006013
 三菱電機株式会社
 東京都千代田区丸の内二丁目7番3号
 (74) 代理人 100103894
 弁理士 冢入 健
 (74) 代理人 100129953
 弁理士 岩瀬 康弘
 (74) 代理人 100144428
 弁理士 須藤 雄一郎
 (72) 発明者 今村 卓司
 熊本県合志市御代志997番地 メルコ・
 ディスプレイ・テクノロジー株式会社内

最終頁に続く

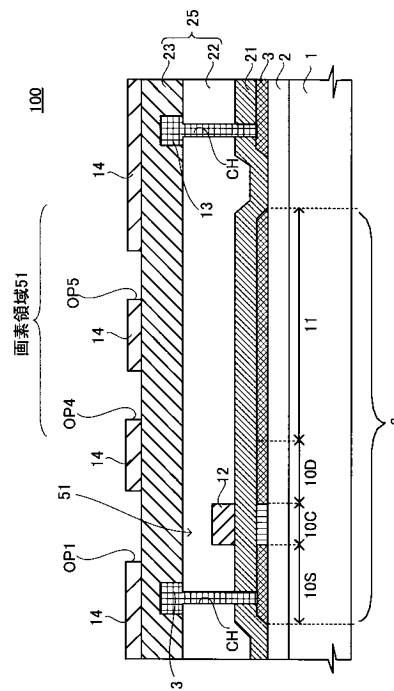
(54) 【発明の名称】 薄膜トランジスタアレイ基板、及びその製造方法、並びに液晶表示装置

(57) 【要約】

【課題】液晶分子を駆動するための画素電極と共通電極が、平面視上、重畳領域を有するTFTアレイ基板において、製造工程の短縮化を実現する。

【解決手段】本発明に係るTFTアレイ基板は、ドレイン領域10Dから延在される画素電極11を備える島状の結晶性半導体層3と、結晶性半導体層3の上層に形成されたゲート絶縁膜21と、ゲート絶縁膜上21であって、チャネル領域10Cと対向配置されるゲート電極12と、ゲート電極12より上層に配置され、絶縁層25に形成されたコンタクトホールCHを介してソース領域10Sと電氣的に接続されたソース電極13と、絶縁層25より上層に形成され、画素電極11と重畳する領域を有する共通電極14とを備える。

【選択図】図2



【特許請求の範囲】**【請求項 1】**

チャンネル領域、前記チャンネル領域を挟むソース領域及びドレイン領域、さらに前記ドレイン領域から延在される画素電極を備える島状の結晶性半導体層と、
前記結晶性半導体層の上層に形成されるゲート絶縁膜と、
前記ゲート絶縁膜上であって、前記チャンネル領域と対向配置されるゲート電極と、
前記ゲート電極より上層に配置され、絶縁層に形成されたコンタクトホールを介して前記ソース領域と電氣的に接続されるソース電極と、
前記絶縁層より上層に形成され、前記画素電極と、平面視上、重畳する領域を有する共通電極と
を備える薄膜トランジスタアレイ基板。

10

【請求項 2】

前記結晶性半導体層は、多結晶シリコン膜、又は単結晶シリコン膜であることを特徴とする請求項 1 に記載の薄膜トランジスタアレイ基板。

【請求項 3】

前記絶縁層は、第 1 層間絶縁膜と第 2 層間絶縁膜を備え、
前記第 2 層間絶縁膜は、有機系材料により構成されたものであることを特徴とする請求項 1 又は 2 に記載の薄膜トランジスタアレイ基板。

【請求項 4】

前記絶縁層は、第 1 層間絶縁膜と第 2 層間絶縁膜を備え、
前記画素電極と前記共通電極は、前記第 1 層間絶縁膜を介して対向配置されていることを特徴とする請求項 1 ～ 3 に記載の薄膜トランジスタアレイ基板。

20

【請求項 5】

請求項 1 ～ 4 のいずれか 1 項に記載の薄膜トランジスタアレイ基板が搭載された液晶表示装置。

【請求項 6】

基板上に、チャンネル領域、当該チャンネル領域を挟むソース領域、及びドレイン領域、さらに前記ドレイン領域から延在される画素電極を有する島状の結晶性半導体層を形成し、
前記結晶性半導体層上にゲート絶縁膜を形成し、
前記ゲート絶縁膜上にゲート電極を形成し、
前記ゲート電極より上層に第 1 層間絶縁膜を形成し、
前記第 1 層間絶縁膜から、前記ソース領域が露出するようにコンタクトホールを形成し、

30

前記第 1 層間絶縁膜の上層に、前記コンタクトホールを介して前記ソース領域と電氣的に接続されるソース電極を形成し、

前記ソース電極の上層に第 2 層間絶縁膜を形成した後に、前記画素電極と、平面視上、重畳する領域を有する共通電極を形成する薄膜トランジスタアレイ基板の製造方法。

【請求項 7】

前記結晶性半導体層は、結晶性シリコン膜、又は単結晶シリコン膜であることを特徴とする請求項 6 に記載の薄膜トランジスタアレイ基板の製造方法。

40

【請求項 8】

前記結晶性半導体層は、非晶質半導体層を成膜後、YAGレーザによりアニールすることにより形成されたものであることを特徴とする請求項 6 又は 7 に記載の薄膜トランジスタアレイ基板の製造方法。

【請求項 9】

画素領域において、前記画素電極と前記共通電極が前記第 1 層間絶縁膜を介して対向配置されるように、当該領域の前記第 2 層間絶縁膜を除去することを特徴とする請求項 6 ～ 8 のいずれか 1 項に記載の薄膜トランジスタアレイ基板の製造方法。

【発明の詳細な説明】**【技術分野】**

50

【 0 0 0 1 】

本発明は、薄膜トランジスタアレイ基板、及びその製造方法に関する。また、前記薄膜トランジスタアレイ基板が搭載された液晶表示装置に関する。

【 背景技術 】

【 0 0 0 2 】

液晶表示装置は、薄型パネルの一つであり低消費電力や小型軽量といったメリットを活かして、パーソナルコンピュータや携帯情報端末機器のモニタ等において広く用いられている。また、TV用途としても広く用いられ、従来のブラウン管に取って代わろうとしている。

【 0 0 0 3 】

10

近年の液晶表示装置の主流は、複数の表示信号配線と複数の走査信号配線が格子状に配置され、表示信号配線と走査信号配線とで囲まれた画素領域内にスイッチング素子として薄膜トランジスタ（以下、「TFT」（Thin Film Transistor）とも云う）が形成されたアクティブマトリクス型のものである。表示装置の用途や要求性能に応じて、TFTの構造や材料が適宜選択されている。TFTの構造としては、ボトムゲート型（逆スタガ型）やトップゲート型（スタガ型）等のMOS（Metal Oxide Semiconductor）構造が多く採用されている。TFTを構成する半導体膜としては、非晶質シリコン膜や多結晶シリコン（ポリシリコン）膜等がある。

【 0 0 0 4 】

20

チャネル活性層として多結晶シリコン膜を用いたTFTは、電子移動度が高い。多結晶シリコン膜を活用することにより、アクティブマトリクス型の表示装置の飛躍的な高性能化が進んでいる。多結晶シリコン膜を用いたTFTを表示装置周辺の回路形成に使用することにより、IC及びIC装着基板の使用を削減することができる。これにより、表示装置の構成を簡略化して小型化を実現し、かつ信頼性を高めることが可能となる。

【 0 0 0 5 】

30

一方、近年のマルチメディア産業の発展により、高画質の画像表示装置への要求が強くなっている。従来の液晶駆動方式であるTN(Twisted Nematic)モードは、基板に垂直な縦電界を印加し、電圧の印加状況に応じて液晶分子を基板面に対して立ち上がらせたり、倒したりすることにより表示状態を変化させる方式であり、その原理上、視野角特性が悪い。IPS(In-Plane Switching)モードは、基板に平行な横電界を印加することによって、基板に平行な面内において液晶分子を動かしてオンとオフの表示状態を変化させる方式であり、視野角による液晶層の位相差であるリタデーション変化が小さく、視野角特性が広いので、市場に広く受け入れられている。

【 0 0 0 6 】

40

近時においては、IPSモードをさらに改良したFFS(Fringe Field Switching)モードが開発されている（例えば、特許文献1～4）。FFSモードも、主として基板に平行な横電界を印加することによって液晶分子を動かす方式であり、視野角特性に優れる。FFSモードのIPSモードとの相違点は、以下の点である。すなわち、IPSモードにおいては、セルギャップや電極幅よりも、液晶を駆動するための画素電極と共通電極間の距離が大きいのに対し、FFSモードにおいては、セルギャップや電極幅よりも、前記画素電極及び共通電極間の距離が小さい点において相違する。また、IPSモードは、画素電極と共通電極が平面視上、重ならないように配置されているのに対し、FFSモードでは画素電極の上方に絶縁層を介して共通電極が重畳するように配置されている点において相違する。

【 0 0 0 7 】

50

IPSモードにおいては、平面視上、画素電極と共通電極の間に位置する液晶分子は駆動されるのに対し、其々の電極の上方に位置する液晶分子はほとんど駆動されない。このため、其々の電極上は表示に寄与することができず、高開口率化の妨げとなっている。一方、FFSモードの場合、其々の電極間に位置する液晶分子は勿論のこと、各電極の上方に位置する液晶分子も駆動することができる。このため、各電極をインジウム錫酸化物（

I T O : Indium Tin Oxide) 等の透明性導電膜により形成すれば、電極の部分も表示に寄与させることができる。従って、同様な画素サイズの I P S モードの液晶表示パネルに比して、F F S モードの方が高開口率化を図ることができる。

【 0 0 0 8 】

特許文献 4 には、ボトムゲート型の T F T を有する F F S モードの液晶表示装置が開示されている。同文献に記載の T F T アレイ基板は、ゲート電極、ゲート絶縁膜、島状の半導体層をこの順に形成した後に、板状の画素電極を形成することが提案されている。そして、さらに、画素電極の上層に絶縁層を形成し、その上層に柵状の共通電極層を形成することが提案されている。

【 先行技術文献 】

10

【 特許文献 】

【 0 0 0 9 】

【 特許文献 1 】 特開 2 0 0 0 - 3 5 6 7 8 6 号公報

【 特許文献 2 】 特開 2 0 0 7 - 1 7 8 7 3 7 号公報

【 特許文献 3 】 特開 2 0 0 7 - 1 7 8 9 0 7 号公報

【 特許文献 4 】 特開 2 0 0 1 - 8 3 5 4 0 号公報 第 1 0 段落 ~ 第 1 3 段落

【 発明の概要 】

【 発明が解決しようとする課題 】

【 0 0 1 0 】

しかしながら、F F S モードの液晶表示装置は、その構造ゆえ、絶縁層を介して 2 種類の透明性導電膜を 2 層形成する必要がある、従来の T N モードあるいは I P S モードの液晶表示装置に比して、マスク工数が増える。従って、生産性の低下や、製造コストが増大してしまうという問題がある。

20

【 0 0 1 1 】

本発明は、上記背景に鑑みてなされたものであり、その目的とするところは、液晶分子を駆動するための画素電極と共通電極が、平面視上、重畳領域を有する T F T アレイ基板において、製造工程の短縮化を実現することである。

【 課題を解決するための手段 】

【 0 0 1 2 】

本発明に係る T F T アレイ基板は、液晶表示装置に搭載される T F T アレイ基板であって、チャネル領域、前記チャネル領域を挟むソース領域及びドレイン領域、さらに前記ドレイン領域から延在される画素電極を備える島状の結晶性半導体層と、前記結晶性半導体層の上層に形成されるゲート絶縁膜と、前記ゲート絶縁膜上であって、前記チャネル領域と対向配置されるゲート電極と、前記ゲート電極より上層に配置され、絶縁層に形成されたコンタクトホールを介して前記ソース領域と電気的に接続されるソース電極と、前記絶縁層より上層に形成され、前記画素電極と、平面視上、重畳する領域を有する共通電極とを備えるものである。

30

【 発明の効果 】

【 0 0 1 3 】

本発明によれば、液晶分子を駆動するための画素電極と共通電極が、平面視上、重畳領域を有する T F T アレイ基板において、製造工程の短縮化を実現することができるという優れた効果を有する。

40

【 図面の簡単な説明 】

【 0 0 1 4 】

【 図 1 】 実施形態 1 に係る T F T アレイ基板の構成を示す模式的な部分拡大平面図。

【 図 2 】 図 1 の I I - I I 切断部断面図。

【 図 3 】 実施形態 1 に係る T F T アレイ基板の模式的平面図。

【 図 4 】 (a) ~ (c) 実施形態 1 に係る T F T アレイ基板の製造工程断面図。

【 図 5 】 (d) ~ (e) 実施形態 1 に係る T F T アレイ基板の製造工程断面図。

【 図 6 】 実施形態 2 に係る T F T アレイ基板の構成を示す模式的平面図。

50

【図 7】図 6 の V I I - V I I 切断部断面図。

【図 8】比較例に係る T F T アレイ基板の構成を示す模式的平面図。

【図 9】図 8 の I X - I X 切断部断面図。

【発明を実施するための形態】

【 0 0 1 5 】

以下、本発明を適用した実施形態の一例について説明する。なお、以降の図における各部材のサイズや比率は、説明の便宜上のものであり、実際のものとは異なる。

【 0 0 1 6 】

[実施形態 1]

本実施形態 1 に係る液晶表示装置には、スイッチング素子としてトップゲート型の M O S 構造の薄膜トランジスタ (T F T) を有するアクティブマトリクス型の T F T アレイ基板が搭載されている。液晶表示装置は、 F F S モードであり、ここでは透過型の液晶表示装置について説明する。

【 0 0 1 7 】

図 1 は、本実施形態 1 に係る液晶表示装置に搭載される T F T アレイ基板を部分拡大した模式的平面図であり、図 2 は、図 1 の I I - I I 切断部断面図である。なお、説明の便宜上、図 1 において、ゲート絶縁膜、絶縁層 (第 1 層間絶縁膜、第 2 層間絶縁膜) 、共通電極等の図示を省略する。その一方、図 1 において、共通電極のパターン開口部を明確にする観点から、同開口部の位置を図示する。以降の平面図においても同様とする。

【 0 0 1 8 】

本実施形態 1 に係る T F T アレイ基板 1 0 0 は、図 1 及び図 2 に示すように、絶縁性基板 1 、下地膜 2 、結晶性半導体層 3 、ソース領域 1 0 S , チャネル領域 1 0 C , ドレイン領域 1 0 D 、画素電極 1 1 、ゲート電極 1 2 、ソース電極 1 3 、共通電極 1 4 、ゲート絶縁膜 2 1 、絶縁層として機能する第 1 層間絶縁膜 2 2 、同じく絶縁層として機能する第 2 層間絶縁膜 2 3 、コンタクトホール C H 等を備える。なお、第 1 層間絶縁膜 2 2 、第 2 層間絶縁膜 2 3 を総称して絶縁層 2 5 とも云う。

【 0 0 1 9 】

絶縁性基板 1 は、ガラス基板や石英基板などの透過性を有する基板により構成することができる。下地膜 2 は、絶縁性基板 1 の一主面上に形成されている。下地膜 2 としては、例えば、透過性絶縁膜であるシリコン窒化膜 (S i N 膜) やシリコン酸化膜 (S i O ₂ 膜) の積層構造を用いることができる。下地膜 2 は 2 層構造に限られず、単層構造又は 3 層以上の多層構造であってもよい。

【 0 0 2 0 】

結晶性半導体層 3 は、下地膜 2 の上層に島状に形成されている (図 1 参照) 。なお、本明細書において「結晶性半導体層」とは、多結晶半導体層、及び単結晶半導体層等の結晶性構造を有する半導体層を総称するものとする。本実施形態 1 においては、結晶性半導体層 3 として、多結晶シリコン (ポリシリコン) 膜を適用した。単結晶シリコン膜も好適に適用することができる。多結晶シリコン膜は、非晶質シリコン膜を成膜し、これにレーザー光を照射することにより得ることができる。

【 0 0 2 1 】

島状の結晶性半導体層 3 には、チャネル領域 1 0 C 、及びチャネル領域 1 0 C を挟むソース領域 1 0 S 及びドレイン領域 1 0 D 、並びにドレイン領域 1 0 D から延在された画素電極 1 1 が形成されている。換言すると、結晶性半導体層 3 を T F T 5 0 の能動素子として利用するのみならず、画素電極 1 1 としても利用する。

【 0 0 2 2 】

ゲート絶縁膜 2 1 は、結晶性半導体層 3 、下地膜 2 を被覆するように形成されている。ゲート絶縁膜 2 1 は、単層構造としてもよいし、複数層からなる積層構造としてもよい。ゲート絶縁膜 2 1 の被覆性を良好にするためには、図 2 に示すように、結晶性半導体層 3 の端部をテーパ形状とすることが好ましい。これにより、絶縁破壊等の不良を十分抑制して、 T F T 5 0 の信頼性向上を図ることができる。

10

20

30

40

50

【 0 0 2 3 】

ゲート電極 1 2 は、ゲート絶縁膜 2 1 の上層に形成されている。ゲート電極 1 2 の形成位置は、結晶性半導体層 3 のうちのチャネル領域 1 0 C と対向配置される位置である。ゲート電極 1 2 と同一のレイヤには、ゲート配線（走査信号配線）1 2 L が、ゲート電極 1 2 と一体的に同一材料により形成されている。ゲート配線 1 2 L は、図 1 中の Y 方向に延在されており、図 1 中の X 方向に複数、互いに平行に配設されている。ゲート電極 1 2 は、ゲート配線 1 2 L から結晶性半導体層 3 の上部まで延設された領域であり、ゲート配線 1 2 L を介して、ゲート電極 1 2 にゲート信号が入力されるように構成されている。

【 0 0 2 4 】

第 1 層間絶縁膜 2 2 は、ゲート電極 1 2、及びゲート絶縁膜 2 1 を被覆するように形成されている。ゲート絶縁膜 2 1 及び第 1 層間絶縁膜 2 2 には、第 1 層間絶縁膜 2 2 の表面からソース領域 1 0 S の表面まで貫通するコンタクトホール C H が形成されている。

【 0 0 2 5 】

ソース電極 1 3 は、第 1 層間絶縁膜 2 2 上に形成されている。ソース電極 1 3 の形成位置は、第 1 層間絶縁膜 2 2 に形成されたコンタクトホール C H の上層であり、ソース電極 1 3 は、このコンタクトホール C H を介してソース領域 1 0 S と電氣的に接続されている。以上のような構成により、T F T 5 0 が形成されている。

【 0 0 2 6 】

ソース電極 1 3 と同一レイヤには、ソース配線（表示信号配線）1 3 L が、ソース電極 1 3 と一体的に同一材料により形成されている。ソース配線 1 3 L は、図 1 中の X 方向に延在され、図 1 中の Y 方向に複数、互いに平行に配設されている。すなわち、ソース配線 1 3 L は、第 1 層間絶縁膜 2 2 を介して、ゲート配線 1 2 L と互いに直交する方向に配設されている。ゲート配線 1 2 L 及びソース配線 1 3 L で囲まれた領域には、T F T 5 0 と、画素領域 5 1 が設けられている。なお、図 1 においては、T F T 5 0 の配置位置が、画素領域 5 1 とは別の領域に設けられている例を説明しているが、画素領域内に T F T が一部、又は全部設けられている構成でもよい。

【 0 0 2 7 】

画素領域 5 1 の各々には、図 1 に示すように、画素電極 1 1 が概ね全面に設けられている。画素電極 1 1 は、スイッチング素子としての T F T 5 0 に接続されている。具体的には、結晶性半導体層 3 のドレイン領域 1 0 D と画素電極 1 1 が一体的に形成されていることで、T F T 5 0 に画素電極 1 1 が接続されている。これにより、T F T 5 0 がオンすると、ソース配線 1 3 L に供給される表示信号が画素電極 1 1 に書き込まれることになる。

【 0 0 2 8 】

第 2 層間絶縁膜 2 3 は、ソース電極 1 3、第 1 層間絶縁膜 2 2 等を被覆するように形成されている。第 2 層間絶縁膜 2 3 の材料としては、特に限定されるものではなく、例えば、シリコン窒化膜、有機系材料からなる有機系樹脂膜、若しくはこれらの積層膜などを用いることができる。

【 0 0 2 9 】

共通電極 1 4 は、第 2 層間絶縁膜 2 3 上に形成されている。共通電極 1 4 の材料は、I T O（Indium Tin Oxide）、I Z O（Indium Zinc Oxide）等の透明な導電材で形成されている。共通電極 1 4 のパターンは、図 1 及び図 2 に示すように、開口部 O P 1 ~ O P 5 を有するように形成されている。画素領域 5 1 において、共通電極 1 4 は、第 1 層間絶縁膜 2 2 及び第 2 層間絶縁膜 2 3 を介して画素電極 1 3 と対向配置される。共通電極 1 4 の開口部 O P 2 ~ O P 5 は、ソース配線 1 3 L と概ね平行な方向に延在される幅細の開口部からなる。言い換えると、開口部 O P 2 ~ O P 5 により、共通電極 1 4 は、画素領域 5 1 において、ソース配線 1 3 L と平行に延在された細幅の分岐部と、分岐部の両端部にて其々の分岐部が互いに接続される細幅の連結部を備える。連結部を設けることにより、断線の確率を低減することができる。一方、開口部 O P 1 は、T F T 5 0 の上層に設けられている。

【 0 0 3 0 】

図 3 に、T F T アレイ基板 1 0 0 の模式的平面図を示す。図 3 中の表示領域 6 0 は、画素領域 5 1 が形成されている領域である。表示領域 6 0 の外側には額縁領域 6 1 が形成されている。額縁領域 6 1 には、ゲート配線 1 2 L と接続されるゲート駆動回路 6 2、ソース配線 1 3 L と接続されるソース駆動回路 6 3 等が形成されている。ゲート駆動回路 6 2 やソース駆動回路 6 3 からは、配線（不図示）が端子（不図示）まで延設され、端子を介して配線基板 6 4 に接続されている。

【 0 0 3 1 】

ゲート駆動回路 6 2 やソース駆動回路 6 3 に、上記 T F T 5 0 の構成を適用することにより、以下の効果を得ることができる。まず、非晶質半導体層を結晶性半導体層とすることにより、膜中の欠陥準位を減らし、電界効果移動度（ μ ）を高めることができる。また、半導体層として非晶質半導体層のみからなる T F T に比して、長時間動作時の V_{th} シフト量を小さくすることができる。その結果、T F T 性能向上と信頼性向上を実現することができる。また、ゲート駆動回路 6 2 やソース駆動回路 6 3 を絶縁性基板 1 上に画素領域の T F T と同時に形成することが可能となるので、I C チップの部品点数を減らすことが可能となる。すなわち、軽量化、減量化、さらには小型化の実現が期待できる。

10

【 0 0 3 2 】

本実施形態 1 に係る T F T アレイ基板 1 0 0 は、上記のような構成を備えている。そして、本実施形態 1 に係る液晶表示装置においては、さらに、以下の部材を備える。すなわち、共通電極 1 4 の上層に、パッシベーション膜（不図示）や、液晶分子の配向を制御するための配向膜（不図示）が形成される。また、絶縁性基板 1 の他の面上には、偏光板や光学補償フィルムなどからなる光学フィルムが配設されている。

20

【 0 0 3 3 】

上記のように構成された T F T アレイ基板 1 0 0 は、液晶表示装置の液晶表示パネルにおいて、カラーフィルタ基板（不図示）と所定のギャップを持って対向配置されている。T F T アレイ基板 1 0 0 とカラーフィルタ基板の間隙には、液晶層が挟持されている。カラーフィルタ基板は、透明な絶縁性基板の一面上に、遮光膜、カラーフィルタ膜等を備える。また、カラーフィルタ基板の他の面上には、偏光板や光学補償フィルム等の光学フィルムを備える。

【 0 0 3 4 】

上記のような構成の液晶表示装置は、ゲート配線 1 2 L に所定の電圧が供給されることにより T F T 5 0 がオンし、ソース配線 1 3 L に供給された表示信号を画素電極 1 1 に書き込む。そして、画素電極 1 1 と共通電極 1 4 との間に電位差が生じ、それによって電界が発生する。この電界は、液晶層を構成する液晶分子（不図示）に作用し、液晶分子を主として基板に水平な面内で回転させる。

30

【 0 0 3 5 】

次に、上記のように構成された薄膜トランジスタの製造方法について説明する。図 4 及び図 5 は、T F T アレイ基板 1 0 0 の製造方法を説明するための製造工程図である。まず、絶縁性基板 1 上に下地膜 2 を形成する。本実施形態 1 においては、絶縁性基板 1 上に C V D（Chemical Vapor Deposition）法により、第 1 下地膜として S i N 膜を成膜し、その上に第 2 下地膜として S i O₂ 膜を成膜した。S i N 膜の膜厚は、例えば、4 0 ~ 6 0 n m、S i O₂ 膜の膜厚は例えば、1 8 0 ~ 2 2 0 n m とする。なお、これらの下地膜は、主にガラス基板からの N a などの可動イオンが半導体層へ拡散することを防止する目的で設けたものであるため、上記膜構成、膜厚に限定されるものではない。また、下地膜を設けなくてもよい。

40

【 0 0 3 6 】

次に、下地膜 2 の上層に非晶質半導体層 3 A をプラズマ C V D 法により形成する。本実施形態 1 においては、非晶質半導体として非晶質シリコン膜（アモルファスシリコン膜）を用いた。非晶質シリコン膜は、例えば、その膜厚が 5 0 ~ 7 0 n m となるように成膜する。これら下地膜 2 及び非晶質半導体層 3 A は、同一装置あるいは同一チャンバ内にて連続的に成膜することが好ましい。これにより、大気雰囲気中に存在する B（ホウ素）など

50

の汚染物質が各膜の界面に取り込まれることを防止することができる。

【0037】

なお、非晶質半導体層3Aの成膜後に、高温中でアニールを行うことが好ましい。これは、CVD法によって成膜した非晶質半導体層3Aの膜中に、多量に含有された水素を低減するためである。本実施形態1では、窒素雰囲気の下真空状態で保持したチャンバ内を480℃程度に加熱し、非晶質半導体層3Aを成膜した基板を45分間保持した。このような処理により、非晶質半導体層3Aを結晶化する際に、温度が上昇しても水素の急激な脱離が起こらない。そして、非晶質半導体層3A表面の荒れを抑制することが可能となる。以上の工程により、図4(a)に示す構成となる。

【0038】

続いて、非晶質半導体層3A表面に形成された自然酸化膜をフッ酸などでエッチング除去する。その後、非晶質半導体層3Aに対して窒素などのガスを吹き付けながら、非晶質半導体層3Aの上からレーザアニール等を行う。レーザ光は、所定の光学系を通して線状のビーム形状に変換された後、非晶質半導体層3Aに照射される。これにより、非晶質半導体層3Aを溶融、冷却、固化し、多結晶半導体層3を得る。

【0039】

本実施形態1では、レーザ光としてYAGレーザの第2高調波(発振波長:532nm)を用いた。YAGレーザの第2高調波の代わりに、エキシマレーザを用いることもできる。非晶質半導体層3Aに窒素を吹き付けながらレーザ光照射を行うことにより、結晶粒界部分に発生する隆起高さを抑制することができる。本実施形態1においては、結晶表面の平均粗さRaを3nm以下にまで小さくしている。非晶質半導体層3Aにレーザ光を照射することにより、非晶質シリコン膜を溶融、冷却、固化し、結晶性半導体層3が形成される。本実施形態1においては、非晶質シリコン膜を多結晶シリコン膜に変換する。なお、多結晶シリコン膜に代えて、単結晶シリコン膜であってもよい。

【0040】

続いて、多結晶半導体層3を島状にパターン形成するために、感光性樹脂であるレジストをスピンコート等により塗布する。塗布したレジスト膜は、露光・現像等の一連の写真製版法により所望の形状にパターンニングする(不図示)。その後、レジストパターンをマスクとして、CF₄とO₂を混合したガスを用いたドライエッチング法により、結晶性半導体層3を島状に形成する。エッチングに用いられるガスにO₂が混合されているため、写真製版法によって形成したレジストを後退させながらエッチングすることが可能となる。従って、結晶性半導体層3の端部をテーパ形状とすることが可能となる。以上の工程により、図4(b)に示す構成となる。

【0041】

次に、洗浄処理を行い、結晶性半導体層3の上の基板表面全体を覆うようにゲート絶縁膜21を成膜する。本実施形態1においては、バッファードフッ酸(BHF:Buffered Hydrogen Fluoride)を用いて洗浄処理を行った。ゲート絶縁膜21としては、SiN膜、SiO₂膜等を用いることができる。本実施形態1では、ゲート絶縁膜21として、SiO₂膜を用い、CVD法によって70~100nmの膜厚に成膜した。本実施形態1によれば、結晶性半導体層3の端部をテーパ形状としているので、ゲート絶縁膜21の被覆性が高く、初期故障を大幅に低減することが可能となる。以上の工程により、図4(c)に示す構成となる。

【0042】

次に、ゲート電極12、ゲート配線12L(図1参照)を形成するための第1メタル膜を成膜する。この第1メタル膜は、例えば、Mo、Cr、W、Taやこれらを主成分とする合金膜を好適に用いることができる。本実施形態1では、膜厚200~400nmのMo膜を、DCマグネトロンを用いたスパッタリング法により形成した。そして、公知の写真製版法を用いて、所望の形状にパターンニングし、ゲート電極12、ゲート配線12L等を形成する。ゲート電極12等のエッチングには、燐酸と硝酸を混合した薬液を用いたウェットエッチング法により行った。以上の工程により、図5(d)に示す構成となる。

10

20

30

40

50

【 0 0 4 3 】

次に、形成したゲート電極 1 2 をマスクとして、結晶性半導体層 3 のソース領域 1 0 S、ドレイン領域 1 0 D、画素電極 1 1 となるドレイン延在領域に不純物元素を導入する。導入する不純物元素としては、P (磷)、B (ホウ素)、A s (砒素) を用いることができる。P や A s を導入すれば n 型 (N M O S : negative channel Metal Oxide Semiconductor) の T F T を得ることができ、B を導入すれば p 型 (P M O S : positive channel Metal Oxide Semiconductor) の T F T を得ることができる。また、ゲート電極 1 2 の加工を n 型 T F T 用ゲート電極と p 型 T F T 用ゲート電極の 2 回に分けて行えば、n 型と p 型の T F T を同一基板上に作り分けることができる。P や B の不純物元素の導入は、イオンドーピング法を用いて行った。

10

【 0 0 4 4 】

以上の工程により、セルフアラインによりソース領域 1 0 S、ドレイン領域 1 0 D、画素電極 1 1 が形成され、図 5 (e) に示す構成となる。なお、T F T 5 0 の信頼性向上のために、L D D (Lightly Doped Drain) 構造としてもよい。また、イオンドーピング法に代えて、イオン注入法を用いてもよい。

【 0 0 4 5 】

次に、ゲート電極 1 2 上に、基板表面全体を覆うように、第 1 層間絶縁膜 2 2 を成膜する。本実施形態 1 では、第 1 層間絶縁膜 2 2 として、膜厚 5 0 0 ~ 1 2 0 0 n m のシリコン酸化 (S i O ₂) 膜をプラズマ C V D 法により成膜した。シリコン酸化膜に代えてシリコン窒化膜を用いてもよい。成膜後、窒素雰囲気中で 4 0 0 以上に加熱したアニール炉に 1 時間程度保持した。これにより、結晶性半導体層 3 のソース・ドレイン領域に導入した不純物元素がさらに活性化する。

20

【 0 0 4 6 】

次に、第 1 層間絶縁膜 2 2 の表面からソース領域 1 0 S の表面まで貫通するコンタクトホール C H を形成する。本実施形態 1 では、コンタクトホール C H のエッチングは、C H F ₃ と A r の混合ガスを用いたドライエッチング法により行った。

【 0 0 4 7 】

次に、ソース電極 1 3、及びソース配線 1 3 L (図 1 参照) 等を形成するための第 2 メタル膜を成膜する。この第 2 メタル膜の材料としては、A l や、A l を主成分とする合金膜、若しくは M o、C r、W、A l、T a やこれらを主成分とする合金膜を好適に用いることができる。単層構造の他、これらを積層させた多層構造としてもよい。本実施形態 1 では、M o / A l / M o の 3 層構造とした。A l 膜の膜厚は、2 0 0 ~ 4 0 0 n m、M o 膜の膜厚は、5 0 ~ 2 0 0 n m とし、D C マグネトロンを用いたスパッタリング法により形成した。

30

【 0 0 4 8 】

次いで、第 2 メタル膜を公知の写真製版法を用いて所望の形状にパターニングして、ソース電極 1 3、ソース配線 1 3 L 等を形成する。本実施形態 1 では、これらを形成する手段として、S F ₆ と O ₂ の混合ガス及び C l ₂ と A r の混合ガスを用いたドライエッチング法を用いた。ドライエッチング法に代えてウェットエッチング法を用いてもよい。以上の工程により、ソース領域 1 0 S に接続されるソース電極 1 3 が形成される。これにより、図 5 (f) に示す構成となる。

40

【 0 0 4 9 】

その後、ソース電極 1 3 上に、基板表面全体を覆うように、第 2 層間絶縁膜 2 3 を成膜する。第 2 層間絶縁膜 2 3 の材料としては、本実施形態 1 においては有機系樹脂膜を用いた。次に、第 2 層間絶縁膜 2 3 の表面から第 2 メタル膜の表面まで貫通するコンタクトホール (不図示) を形成する。本実施形態 1 では、ドライエッチング法により行った。なお、有機系樹脂膜に感光性が付与されたものを適用してもよい。この場合には、有機系樹脂膜に露光、現像処理を行うことにより、エッチング工程やレジスト除去工程を経ずにパターン形成することができる。

【 0 0 5 0 】

50

コンタクトホール（不図示）を形成後、第２層間絶縁膜２３上に共通電極１４を形成するための透明性導電膜を成膜する。透明性導電膜としては、例えば、酸化インジウムを主成分とするITOやIZO等を適用することができる。本実施形態１では、DCマグネトロンを用いたスパッタリング法によりITO膜を形成した。膜厚は、例えば50～200nm程度とすることができる。透明性導電膜は、コンタクトホールを覆うようにパターンニングされる。以上の工程等を経て、図２に示すようなTFＴアレイ基板１００が製造される。

【００５１】

本実施形態１に係るTFＴアレイ基板１００は、液晶表示装置に搭載するので、上記工程にさらに追加で、パッシベーション膜（不図示）を成膜し、配向膜（不図示）を形成する。配向膜には、所望の方向にラビング処理を施す。また、TFＴアレイ基板１００の他面上には、偏光板等の光学フィルムを配設する。

【００５２】

（比較例）

ここで、比較例について検討する。比較例に係るTFＴアレイ基板は、以下の点を除く基本的な構成、及び動作は、実施形態１と同様である。すなわち、実施形態１においては、画素電極１１を結晶性半導体層３により形成していたのに対し、比較例においては、画素電極を透明性導電膜により形成している点において相違する。また、実施形態１においては、画素電極１１とドレイン領域１０Ｄが一体的に形成されていたのに対し、比較例においては、画素電極は、ドレイン領域１０Ｄより上層のレイヤに形成され、かつドレイン領域１０Ｄと画素電極１１にドレイン電極を介して接続されている点において相違する。また、実施形態１においては、ゲート電極１２と共通電極１４の間に、第１層間絶縁膜２２及び第２層間絶縁膜２３の２層を配設していたのに対し、比較例においては、ゲート電極１２と共通電極１４の間に、第１層間絶縁膜～第３層間絶縁膜と３層配設している点において相違する。以下、実施形態１との相違点を中心に説明する。

【００５３】

図８は、比較例に係る液晶表示装置に搭載されるTFＴアレイ基板２００を部分拡大した模式的平面図であり、図９は、図８のⅩ－Ⅹ切断部断面図である。なお、説明の便宜上、図８において、説明の便宜上、ドレイン電極の位置を点線で図示する。

【００５４】

比較例に係るTFＴアレイ基板２００は、図８及び図９に示すように、絶縁性基板１０１、下地膜１０２、結晶性半導体層１０３、画素電極１１１、ゲート電極１１２、ソース電極１１３、共通電極１１４、ドレイン電極１１５、ゲート絶縁膜１２１、絶縁層として機能する第１層間絶縁膜１２２、第２層間絶縁膜１２３、第３層間絶縁膜１２４、コンタクトホールＣＨ等を備える。

【００５５】

比較例に係る結晶性半導体層１０３は、下地膜１０２の上層に島状に形成されている。ここで、島状の結晶性半導体層１０３は、チャネル領域１１０Ｃ、及びチャネル領域１０Ｃを挟むソース領域１１０Ｓ及びドレイン領域１１０Ｄからなる。結晶性半導体層１０３の上層には、ゲート絶縁膜１２１が形成されている。そして、ゲート絶縁膜１２１を介してチャネル領域１１０Ｃと対向配置されるように、ゲート絶縁膜１２１の上層にゲート電極１１２が形成されている。

【００５６】

第１層間絶縁膜１２２は、ゲート電極１１２及びゲート絶縁膜１２１を被覆するように形成される。そして、第１層間絶縁膜１２２の上層に形成されるソース電極１１３は、第１層間絶縁膜１２２の表面からソース領域１１０Ｓの表面まで貫通するコンタクトホールＣＨａを介して、ソース領域１１０Ｓと電氣的に接続されている。同様にして、ソース電極１１３と同一レイヤに構成されるドレイン電極１１５は、第１層間絶縁膜１２２の表面からドレイン領域１１０Ｄの表面まで貫通するコンタクトホールＣＨｂを介して、ドレイン領域１１０Ｄと電氣的に接続されている。

【 0 0 5 7 】

ソース電極 1 1 3、ドレイン電極 1 1 5 の上層には、これらを被覆するように第 2 層間絶縁膜 1 2 3 が形成されている。第 2 層間絶縁膜 1 2 3 の上層には、透明性導電膜から構成される画素電極 1 1 1 が形成されている。画素電極 1 1 1 は、ドレイン電極 1 1 5 と第 2 層間絶縁膜 1 2 3 に形成されたコンタクトホール C H c を介して接続されている。

【 0 0 5 8 】

画素電極 1 1 1 の上層には、これを被覆するように第 3 層間絶縁膜 1 2 4 が形成されている。そして、その上層には、共通電極 1 1 4 が形成されている。共通電極 1 1 4 には、開口部 O P 1 0 1 ~ O P 1 0 5 が設けられている。比較例に係る T F T アレイ基板 2 0 0 は、以上のような構成となっている。

10

【 0 0 5 9 】

比較例に係る T F T アレイ基板 2 0 0 によれば、層間絶縁膜を 1 層余分に積層するのみならず、画素電極 1 1 1 の層を新たに設ける必要がある。このため、製造プロセスが大幅に増えてしまい、生産性の低下、及び製造コストの増大を招来する。

【 0 0 6 0 】

上記特許文献 4 に開示されたボトムゲート型の T F T アレイ基板においては、ゲート電極、ゲート絶縁膜、島状の半導体層をこの順に形成した後に、板状の画素電極を形成する。そして、さらに、画素電極の上層に絶縁層を形成し、その上層に柵状の共通電極層を形成する。画素電極と島状の半導体層は、ドレイン電極を介して接続する必要がある。

【 0 0 6 1 】

本実施形態 1 によれば、結晶性半導体層 3 を T F T 5 0 の能動素子として利用するのみならず、画素電極 1 1 としても利用している。しかも、画素電極 1 1 をドレイン領域 1 0 D から延在する領域に設ける構成を採用した。これにより、ドレイン電極を介してドレイン領域 1 0 D と画素電極 1 1 を接続する構成を採用する必要がなく、構成を簡便化することができる。その結果、製造プロセスを大幅に短縮することができる。そして、生産性に優れ、製造コストの削減を図った T F T アレイ基板を提供することができる。

20

【 0 0 6 2 】

しかも、能動素子として多結晶半導体層を適用することにより、電子移動度を高めることができる。多結晶半導体層を用いた T F T を液晶表示装置周辺の回路形成にも使用することにより、I C 及び I C 装着基板の使用を削減することができる。これにより、液晶表示装置の構成を簡略化して小型化を実現し、かつ信頼性を高めることが可能となる。

30

【 0 0 6 3 】

また、F F S モードを採用しているので、広視野角、高輝度、高開口率化を実現することができる。従って、広視野角、高輝度、及び高集積化を図りつつ、製造工程の短縮化が可能な液晶表示装置を提供することができる。

【 0 0 6 4 】

また、多結晶半導体層の端部をテーパ形状としているので、多結晶半導体層上に成膜するゲート絶縁膜が良好に被覆され、絶縁破壊などの不良を十分に抑制することができる。さらに、本実施形態 1 においては、結晶性シリコン膜を Y A G レーザによりレーザアニール処理を行っているので、ポリシリコンの透過率を向上させることができるという優れた効果を有する。

40

【 0 0 6 5 】

[実施形態 2]

次に、上記実施形態とは異なる構造の T F T アレイ基板の一例について説明する。なお、以降の説明において、上記実施形態 1 と同一の要素部材は同一の符号を付し、適宜その説明を省略する。

【 0 0 6 6 】

本実施形態 2 に係る T F T アレイ基板は、以下の点を除く基本的な構成、及び動作は、上記実施形態 1 と同様である。すなわち、上記実施形態 1 においては、画素領域 5 1 において、画素電極 1 1 と共通電極 1 4 は、第 1 層間絶縁膜 2 2 及び第 2 層間絶縁膜 2 3 を介

50

して対向配置されていたが、本実施形態 2 においては、画素領域において、画素電極と共通電極は、第 1 層間絶縁膜を介して対向配置されている点において相違する。

【0067】

図 6 は、本実施形態 2 に係る液晶表示装置に搭載される T F T アレイ基板 1 0 1 a を部分拡大した模式的平面図であり、図 7 は、図 6 の V I I - V I I 切断部断面図である。

【0068】

本実施形態 2 に係る T F T アレイ基板 1 0 0 a においては、画素領域 5 1 に形成される共通電極 1 4 a は、図 7 に示すように、画素電極 1 1 と第 1 層間絶縁膜 2 2 のみを介して対向配置されている。言い換えると、第 2 層間絶縁膜 2 3 a は、画素領域 5 1 に相当する位置に略同一形状の開口部 O P 6 が設けられている（図 6、6 参照）。この開口部 O P 6 は、第 2 層間絶縁膜 2 3 a にコンタクトホールを設ける際に同時に形成することができる。従って、新たな製造工程を追加する必要がない。また、第 2 層間絶縁膜 2 3 a に開口部 O P 6 を設ける以外、上記実施形態 1 と同様の方法により製造することができる。

【0069】

共通電極 1 4 a は、上記実施形態 1 と概ね同一位置に形成されている。言い換えると、共通電極 1 4 a は、画素領域 5 1 においては、第 1 層間絶縁膜 2 2 の直上層に形成されている。一方、T F T 5 0 の上層等においては、第 2 層間絶縁膜 2 3 a の直上層に形成されている。開口部 O P 6 において、共通電極 1 4 a は、図 7 に示すように、第 2 層間絶縁膜 2 3 a の上層から側面を被覆し、さらに第 1 層間絶縁膜 2 2 まで延在されるようにパターンを形成してもよい。

【0070】

本実施形態 2 によれば、上記実施形態 1 と同様の効果を得ることができる。しかも、画素領域 5 1 において、第 2 層間絶縁膜 2 3 a を除去して開口部 O P 6 を形成しているため、両電極間の電界を高めることができる。その結果、ソース配線 1 3 L（図 1 参照）から供給される電圧を低く抑えることが可能となる。従って、より表示性能の高い液晶表示装置を提供することができる。

【0071】

なお、上記実施形態 1 及び 2 においては、透過型の液晶表示装置について述べたが、本発明を反射型や半透過型液晶表示装置にも適用してもよい。反射型や半透過型液晶表示装置においても、生産性を高め、製造コストを削減する効果を得ることができる。反射型、若しくは半透過型とする場合には、例えば、多結晶半導体層の画素電極 1 1 の直上層に反射性導電膜を成膜すればよい。また、共通電極は、透明性導電膜に限定されるものではなく、反射型等においてはメタル膜等の反射性導電膜、若しくは反射性導電膜と透明性導電膜の積層構造等を好適に適用することができる。また、多結晶半導体層を得る方法として非晶質半導体層にレーザ光を照射する方法について述べたが、本発明の趣旨を逸脱しない範囲において、他の方法により多結晶半導体層を得てもよい。また、結晶性半導体層の半導体層として、シリコンを用いる例について説明したが、これに限定されるものではない。

【0072】

また、額縁領域 6 1 に形成されたゲート駆動回路 6 2、ソース駆動回路 6 3 の T F T を、表示領域 6 0 の T F T 5 0 と同一のもの同一の製造工程にて製造する例について述べたが、用途やニーズに応じて適宜変更することができる。また、共通電極 1 4 の形状や画素電極 1 1 の形状は、上記実施形態の形状に限定されるものではなく、F F S モードで駆動が可能な範囲において、適宜変更することが可能である。さらに、上記実施形態 1 に係る T F T アレイ基板の製造方法は、一例であって、本発明の趣旨を逸脱しない範囲において種々の変形が可能である。

【符号の説明】

【0073】

- 1 絶縁性基板
- 2 下地膜

10

20

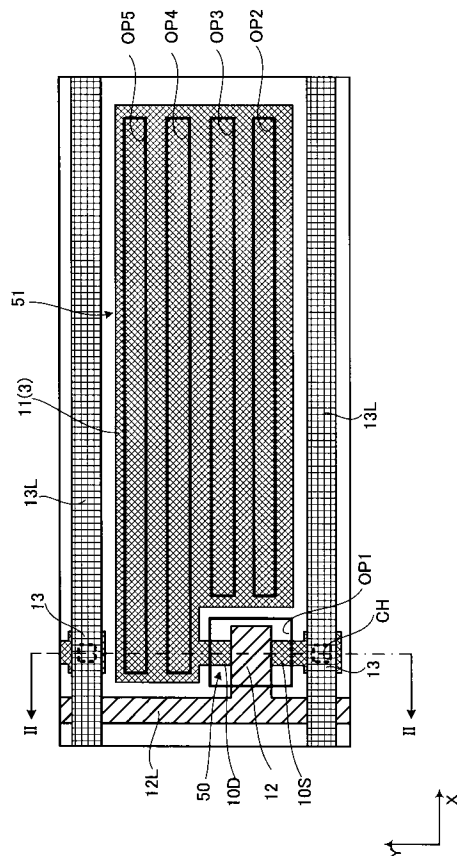
30

40

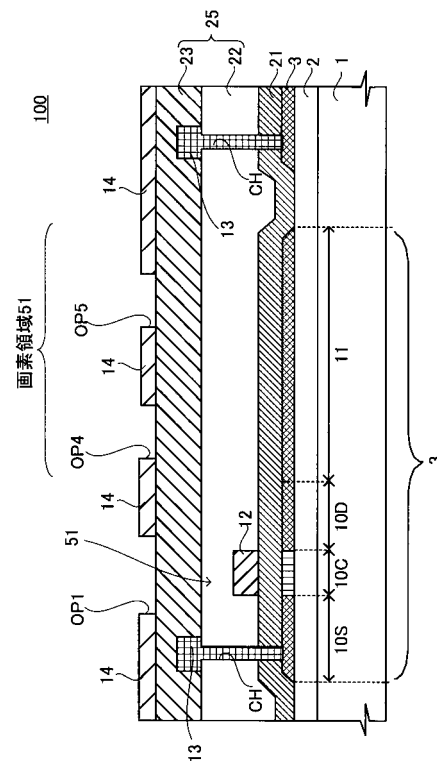
50

3	結晶性半導体層
10S	ソース領域
10C	チャネル領域
10D	ドレイン領域
11	画素電極
12	ゲート電極
12L	ゲート配線
13	ソース電極
13L	ソース配線
14	共通電極
21	ゲート絶縁膜
22	第1層間絶縁膜
23	第2層間絶縁膜
25	絶縁層
50	TFT
51	画素領域
OP	開口部
CH	コンタクトホール

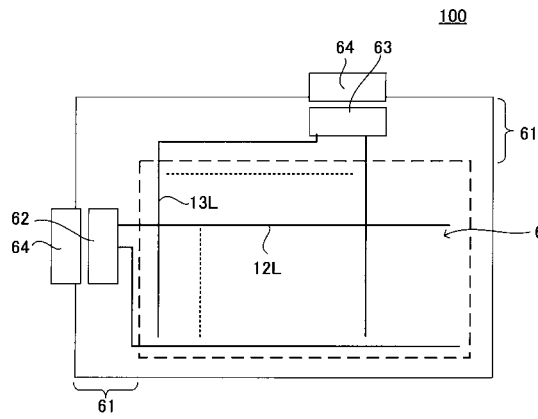
【図1】



【図2】

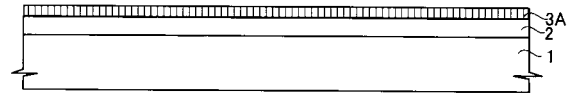


【図 3】

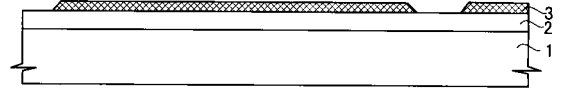


【図 4】

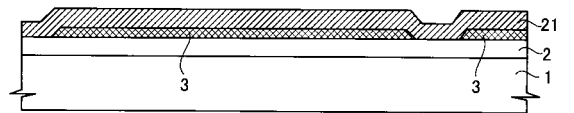
(a)



(b)

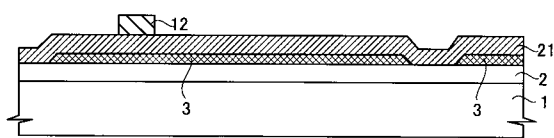


(c)

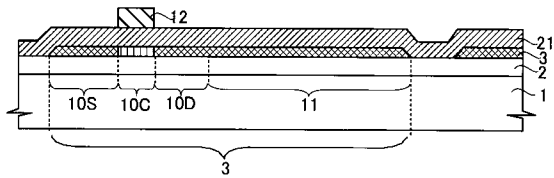


【図 5】

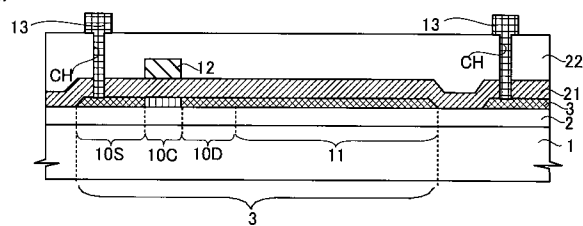
(d)



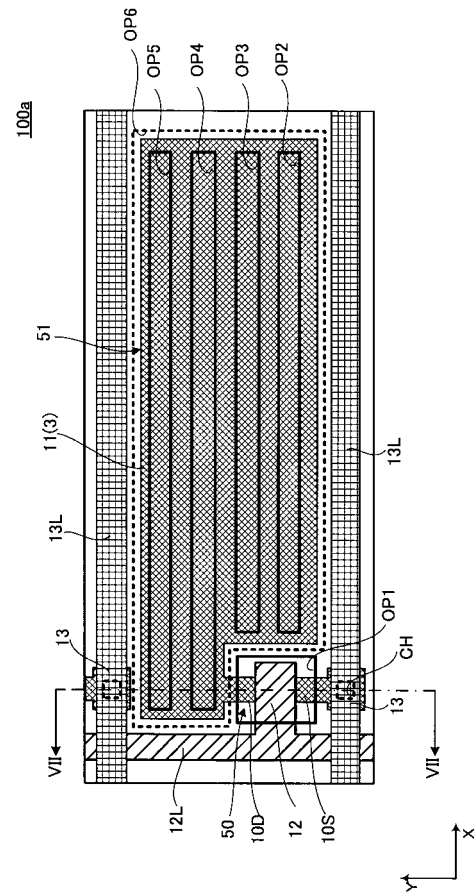
(e)



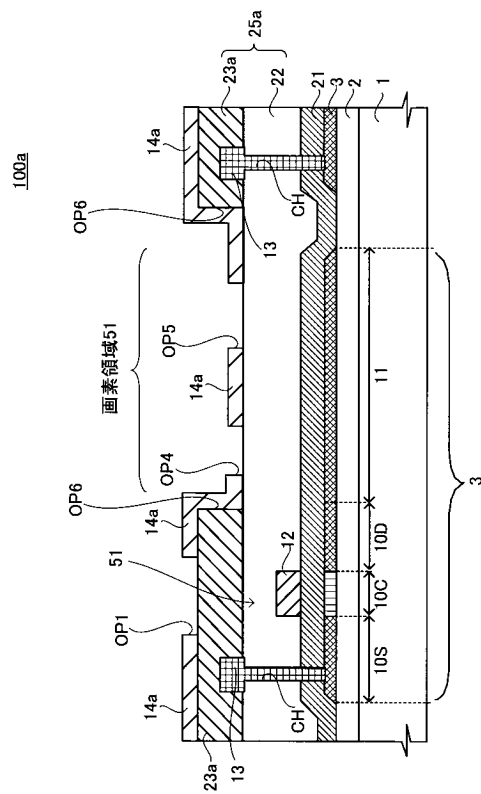
(f)



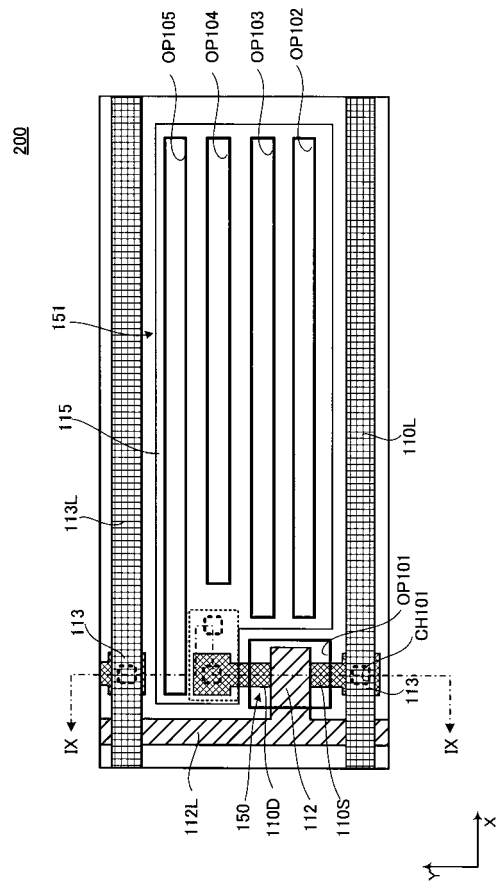
【図 6】



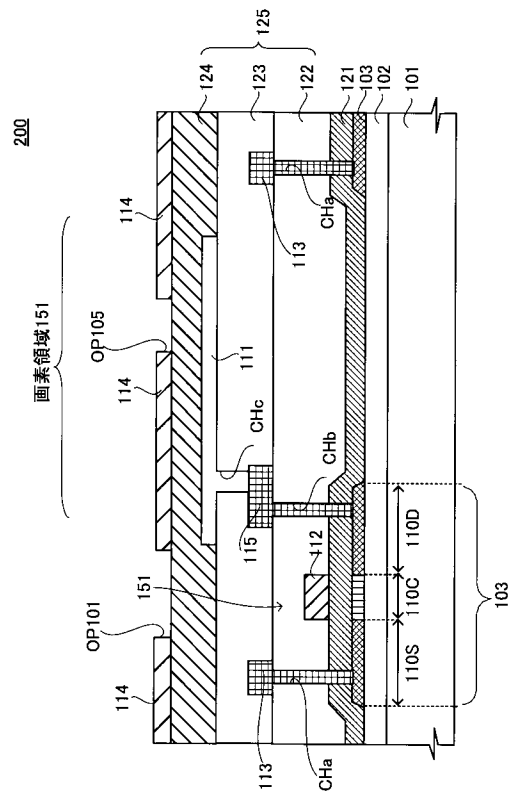
【 圖 7 】



【圖 8】



【 図 9 】



フロントページの続き

F ターム(参考) 2H092 GA14 JA25 JA46 JB05 JB33 JB36 JB56 KA03 KA04 KB25
MA08 MA26 MA27 MA30 NA07 NA21 NA27 QA06
5F110 AA16 BB02 CC02 DD02 DD13 DD14 DD17 EE04 EE06 EE44
FF02 FF03 FF09 FF29 FF35 GG02 GG12 GG13 GG22 GG25
GG45 HJ01 HJ12 HJ13 HJ23 HL03 HL04 HL06 HL12 HL23
HM04 HM12 HM15 NN03 NN04 NN23 NN24 NN27 NN35 PP03
PP04 PP13 PP31 PP35 QQ04 QQ09 QQ11
5F152 AA13 BB02 CC02 CC03 CD13 CD14 CE05 CE14 CE24 CE45
CE48 EE13 EE16 FF03 FF06 FF28 FF47 FG23

专利名称(译)	薄膜晶体管阵列基板，其制造方法，液晶显示装置		
公开(公告)号	JP2010243741A	公开(公告)日	2010-10-28
申请号	JP2009091665	申请日	2009-04-06
[标]申请(专利权)人(译)	三菱电机株式会社		
申请(专利权)人(译)	三菱电机株式会社		
[标]发明人	今村卓司		
发明人	今村 卓司		
IPC分类号	G02F1/1368 H01L29/786 H01L21/336 H01L21/20		
FI分类号	G02F1/1368 H01L29/78.619.A H01L29/78.627.G H01L29/78.612.D H01L21/20		
F-TERM分类号	2H092/GA14 2H092/JA25 2H092/JA46 2H092/JB05 2H092/JB33 2H092/JB36 2H092/JB56 2H092/KA03 2H092/KA04 2H092/KB25 2H092/MA08 2H092/MA26 2H092/MA27 2H092/MA30 2H092/NA07 2H092/NA21 2H092/NA27 2H092/QA06 5F110/AA16 5F110/BB02 5F110/CC02 5F110/DD02 5F110/DD13 5F110/DD14 5F110/DD17 5F110/EE04 5F110/EE06 5F110/EE44 5F110/FF02 5F110/FF03 5F110/FF09 5F110/FF29 5F110/FF35 5F110/GG02 5F110/GG12 5F110/GG13 5F110/GG22 5F110/GG25 5F110/GG45 5F110/HJ01 5F110/HJ12 5F110/HJ13 5F110/HJ23 5F110/HL03 5F110/HL04 5F110/HL06 5F110/HL12 5F110/HL23 5F110/HM04 5F110/HM12 5F110/HM15 5F110/NN03 5F110/NN04 5F110/NN23 5F110/NN24 5F110/NN27 5F110/NN35 5F110/PP03 5F110/PP04 5F110/PP13 5F110/PP31 5F110/PP35 5F110/QQ04 5F110/QQ09 5F110/QQ11 5F152/AA13 5F152/BB02 5F152/CC02 5F152/CC03 5F152/CD13 5F152/CD14 5F152/CE05 5F152/CE14 5F152/CE24 5F152/CE45 5F152/CE48 5F152/EE13 5F152/EE16 5F152/FF03 5F152/FF06 5F152/FF28 5F152/FF47 5F152/FG23 2H192/AA24 2H192/BB12 2H192/CB02 2H192/CB34 2H192/CB44 2H192/EA66 2H192/FB02 2H192/HA47 2H192/HA82 2H192/JA32		
代理人(译)	须藤雄一郎		
外部链接	Espacenet		

摘要(译)

要解决的问题：缩短TFT阵列基板的制造工艺，其中在像素电极和公共电极之间形成重叠区域以在平面图中驱动液晶分子。ŽSOLUTION：TFT阵列基板包括：岛状晶体半导体层3，具有从漏极区10D延伸的像素电极11；栅极绝缘膜21形成在晶体半导体层3上方；栅电极12设置在栅极绝缘膜21上，以面对沟道区10C；源极13设置在栅极12上方，并通过形成在绝缘层25中的接触孔CH电连接到源极区10S；公共电极14形成在绝缘层25上方，并包括与像素电极11重叠的区域

