

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-211186

(P2010-211186A)

(43) 公開日 平成22年9月24日(2010.9.24)

(51) Int.Cl.

G02F 1/1368 (2006.01)

F I

G02F 1/1368

テーマコード (参考)

2H092

審査請求 未請求 請求項の数 20 O L (全 27 頁)

(21) 出願番号 特願2009-289346 (P2009-289346)  
 (22) 出願日 平成21年12月21日 (2009.12.21)  
 (31) 優先権主張番号 10-2009-0020450  
 (32) 優先日 平成21年3月10日 (2009.3.10)  
 (33) 優先権主張国 韓国 (KR)

(71) 出願人 390019839  
 三星電子株式会社  
 SAMSUNG ELECTRONICS  
 CO., LTD.  
 大韓民国京畿道水原市靈通区梅灘洞416  
 416, Maetan-dong, Yeongtong-gu, Suwon-si,  
 Gyeonggi-do 442-742  
 (KR)

(74) 代理人 100094145  
 弁理士 小野 由己男

(74) 代理人 100106367  
 弁理士 稲積 朋子

最終頁に続く

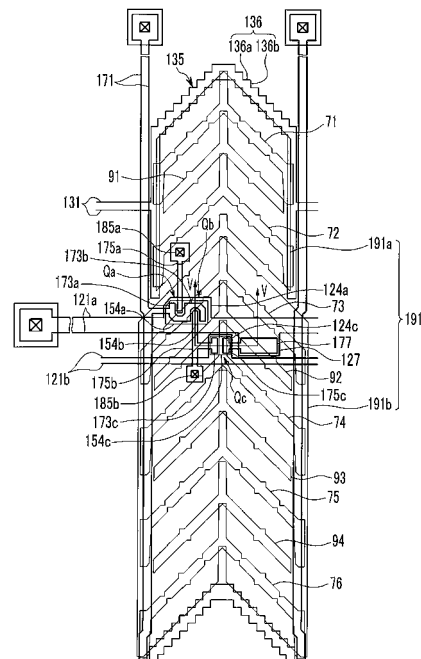
(54) 【発明の名称】 液晶表示装置

## (57) 【要約】

【課題】開口率を確保し、かつ2つの副画素の電圧を異なるように調節する。

【解決手段】行列状に配列されている複数の画素を含む液晶表示装置であって、第1副画素電極及び第2副画素電極をそれぞれ含む複数の画素電極と、第1副画素電極に接続される複数の第1薄膜トランジスタと、第2副画素電極に接続される複数の第2薄膜トランジスタと、第2副画素電極に接続される複数の第3薄膜トランジスタと、第1薄膜トランジスタ及び第2薄膜トランジスタに接続される複数の第1ゲート線と、第1薄膜トランジスタ及び第2薄膜トランジスタに接続される複数のデータ線と、第3薄膜トランジスタに接続される複数の第2ゲート線と、第3薄膜トランジスタのドレイン電極と第1ゲート線との間に接続される減圧キャパシタとを含む。

【選択図】図4



**【特許請求の範囲】****【請求項 1】**

行列状に配列されている複数の画素を含む液晶表示装置であって、  
第 1 副画素電極及び第 2 副画素電極をそれぞれ含む複数の画素電極と、  
前記第 1 副画素電極に接続される複数の第 1 薄膜トランジスタと、  
前記第 2 副画素電極に接続される複数の第 2 薄膜トランジスタと、  
前記第 2 副画素電極に接続される複数の第 3 薄膜トランジスタと、  
前記第 1 薄膜トランジスタ及び第 2 薄膜トランジスタに接続される複数の第 1 ゲート線  
と、前記第 1 薄膜トランジスタ及び第 2 薄膜トランジスタに接続される複数のデータ線と  
、前記第 3 薄膜トランジスタに接続される複数の第 2 ゲート線と、前記第 3 薄膜トランジ  
スタのドレイン電極と前記第 1 ゲート線との間に接続される減圧キャパシタと、  
を含む液晶表示装置。

10

**【請求項 2】**

前記減圧キャパシタは、第 1 絶縁膜を介して前記第 1 ゲート線と電極部材とが重畳する  
ことにより形成され、

前記電極部材は前記データ線と同一の層で形成される、請求項 1 に記載の液晶表示装置  
。

**【請求項 3】**

前記電極部材は、前記第 3 薄膜トランジスタのドレイン電極と接続する、請求項 2 に記  
載の液晶表示装置。

20

**【請求項 4】**

前記減圧キャパシタは前記電極部材の下に配置される半導体層をさらに含み、

前記電極部材は前記半導体層と実質的に同一の平面形状を有する、請求項 2 に記載の液  
晶表示装置。

**【請求項 5】**

前記第 1 トランジスタ、第 2 トランジスタ、及び第 3 薄膜トランジスタと、前記第 1 副  
画素電極及び第 2 副画素電極との間に形成される第 2 絶縁膜をさらに含み、

前記第 2 絶縁膜は、前記第 1 薄膜トランジスタを前記第 1 画素電極に接続する第 1 コン  
タクトホールと、前記第 2 薄膜トランジスタを前記第 2 画素電極に接続する第 2 コンタ  
クトホールとを有し、

30

前記第 1 コンタクトホールは前記第 1 薄膜トランジスタのソース電極によって取り囲ま  
れた領域内に存在し、前記第 2 コンタクトホールは前記第 2 薄膜トランジスタのソース電  
極によって取り囲まれた領域内に存在する、請求項 1 に記載の液晶表示装置。

**【請求項 6】**

前記減圧キャパシタは、絶縁膜を介して前記第 1 ゲート線と電極部材とが重畳すること  
により形成され、

前記電極部材は前記画素電極と同一の層で形成される、請求項 1 に記載の液晶表示装置  
。

**【請求項 7】**

前記第 1 薄膜トランジスタ、前記第 2 薄膜トランジスタ、前記第 3 薄膜トランジスタの  
ドレイン電極、及び前記データ線の下に形成される半導体をさらに含み、

40

前記半導体は、前記第 1 薄膜トランジスタ、第 2 薄膜トランジスタ、及び第 3 薄膜トラ  
ンジスタのチャネル部を除いて、前記第 1 薄膜トランジスタ、前記第 2 薄膜トランジスタ  
、前記第 3 薄膜トランジスタのドレイン電極、及び前記データ線と実質的に同一の平面形  
状を有する、請求項 6 に記載の液晶表示装置。

**【請求項 8】**

前記絶縁膜はコンタクトホールを有し、

前記電極部材は、前記コンタクトホールによって前記第 3 薄膜トランジスタのドレイン  
電極と接続する、請求項 6 に記載の液晶表示装置。

**【請求項 9】**

50

前記第 1 副画素電極と前記第 2 副画素電極は前記複数の画素の画素列に沿って隣接する、請求項 1 に記載の液晶表示装置。

【請求項 1 0】

前記画素電極と対向する共通電極をさらに含み、前記第 1 副画素電極及び第 2 副画素電極のうちの少なくとも 1 つは第 1 切開部を有し、前記共通電極は第 2 切開部を有する、請求項 1 に記載の液晶表示装置。

【請求項 1 1】

行列状に配列されている複数の画素を含む液晶表示装置であって、  
第 1 副画素電極及び第 2 副画素電極をそれぞれ含む複数の画素電極と、  
前記第 1 副画素電極に接続される複数の第 1 薄膜トランジスタと、  
前記第 2 副画素電極に接続される複数の第 2 薄膜トランジスタと、  
前記第 2 副画素電極に接続される複数の第 3 薄膜トランジスタと、  
前記第 1 薄膜トランジスタ及び第 2 薄膜トランジスタに接続される複数の第 1 ゲート線と、

前記第 1 薄膜トランジスタ及び第 2 薄膜トランジスタに接続される複数のデータ線と、  
前記第 3 薄膜トランジスタに接続される複数の第 2 ゲート線と、  
前記第 3 薄膜トランジスタの前記第 3 薄膜トランジスタのドレイン電極と第 3 ゲート線との間に接続される減圧キャパシタと、  
を含む液晶表示装置。

【請求項 1 2】

前記減圧キャパシタは、第 1 絶縁膜を介して前記第 3 ゲート線と電極部材が重畳して形成され、

前記電極部材は前記データ線と同一の層で形成される、請求項 1 1 に記載の液晶表示装置。

【請求項 1 3】

前記電極部材は前記第 3 薄膜トランジスタのドレイン電極と接続する、請求項 1 2 に記載の液晶表示装置。

【請求項 1 4】

前記減圧キャパシタは前記電極部材の下に配置されている半導体層をさらに含み、  
前記電極部材は前記半導体層と実質的に同一の平面形状を有する、請求項 1 2 に記載の液晶表示装置。

【請求項 1 5】

前記減圧キャパシタは、絶縁膜を介して前記第 3 ゲート線と電極部材とが重畳することにより形成され、

前記電極部材は前記画素電極と同一の層で形成される、請求項 1 1 に記載の液晶表示装置。

【請求項 1 6】

前記第 1 薄膜トランジスタ、前記第 2 薄膜トランジスタ、前記第 3 薄膜トランジスタのドレイン電極、及び前記データ線の下に形成されている半導体をさらに含み、

前記半導体は、前記第 1 薄膜トランジスタ、第 2 薄膜トランジスタ、及び第 3 薄膜トランジスタのチャネル部を除いて、前記第 1 薄膜トランジスタ、前記第 2 薄膜トランジスタ、前記第 3 薄膜トランジスタのドレイン電極、及び前記データ線と実質的に同一の平面形状を有する、請求項 1 5 に記載の液晶表示装置。

【請求項 1 7】

前記絶縁膜は第 1 コンタクトホールを有し、

前記電極部材は前記第 1 コンタクトホールによって前記第 3 薄膜トランジスタのドレイン電極と接続する、請求項 1 5 に記載の液晶表示装置。

【請求項 1 8】

前記第 2 副画素電極は前記第 1 副画素電極を取り囲む、請求項 1 1 に記載の液晶表示装置。

## 【請求項 19】

前記第 1 副画素電極の面積は前記第 2 副画素電極の面積より小さい、請求項 18 に記載の液晶表示装置。

## 【請求項 20】

前記画素電極と対向する共通電極をさらに含み、前記第 1 副画素電極及び第 2 副画素電極のうちの少なくとも 1 つは第 1 切開部を有し、前記共通電極は第 2 切開部を有する、請求項 18 に記載の液晶表示装置。

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

10

本発明は、液晶表示装置に関するものである。

## 【背景技術】

## 【0002】

液晶表示装置は、現在、最も幅広く使用されている平板表示装置の 1 つであって、画素電極と共通電極などの電界生成電極が形成されている 2 枚の基板と、その間に挿入されている液晶層とからなり、電界生成電極に電圧を印加して液晶層に電界を生成し、これによって液晶層の液晶分子の配向を決定し、入射光の偏光を制御することによって画像を表示する。

## 【0003】

液晶表示装置は、また、各画素電極に接続されるスイッチング素子、及びスイッチング素子を制御して画素電極に電圧を印加するためのゲート線とデータ線など多数の信号線を含む。

20

## 【0004】

このような液晶表示装置の中でも、電界が印加されない状態で液晶分子の長軸を表示板に対して垂直になるように配列した垂直配向方式 (vertically aligned mode) の液晶表示装置が、コントラスト比が大きく、基準視野角が広くて、脚光を浴びている。ここで、基準視野角とは、コントラスト比が 1:10 の視野角または階調間輝度反転限界角度を意味する。

## 【0005】

このような方式の液晶表示装置の場合には、側面視認性を正面視認性に近くするために、1 つの画素を 2 つの副画素に分割し、2 つの副画素に印加される電圧が異なるように構成することによって、透過率を異にする方法が提示されている。

30

## 【0006】

このような方法としては、2 つの副画素に印加する電圧を同一にし、別途のスイッチング素子を利用して 2 つの副画素のうちの 1 つの副画素の電圧を降下させる方法がある。しかし、このような方法を用いる場合、液晶表示装置に多数の信号線と多数のコンタクトホールを設ける必要があり、開口率が低くなる。

## 【発明の概要】

## 【発明が解決しようとする課題】

## 【0007】

40

本発明の目的は、開口率を確保し、かつ 2 つの副画素の電圧を異なるように調節することにある。

## 【課題を解決するための手段】

## 【0008】

本発明の一実施形態による液晶表示装置は、行列状に配列されている複数の画素を含む液晶表示装置であって、第 1 副画素電極及び第 2 副画素電極をそれぞれ含む複数の画素電極と、前記第 1 副画素電極に接続される複数の第 1 薄膜トランジスタと、前記第 2 副画素電極に接続される複数の第 2 薄膜トランジスタと、前記第 2 副画素電極に接続される複数の第 3 薄膜トランジスタと、前記第 1 薄膜トランジスタ及び第 2 薄膜トランジスタに接続される複数の第 1 ゲート線と、前記第 1 薄膜トランジスタ及び第 2 薄膜トランジスタに接

50

続される複数のデータ線と、前記第3薄膜トランジスタに接続される複数の第2ゲート線と、前記第3薄膜トランジスタのドレイン電極と前記第1ゲート線との間に接続される減圧キャパシタとを含む。

【0009】

前記減圧キャパシタは、第1絶縁膜を介在して前記第1ゲート線と電極部材とが重畳することで形成され、前記電極部材は前記データ線と同一の層で形成することができる。

【0010】

前記電極部材は前記第3薄膜トランジスタのドレイン電極と接続できる。

【0011】

前記減圧キャパシタは、前記電極部材の下に配置されている半導体層をさらに含み、前記電極部材は前記半導体層と実質的に同一の平面形状を有することができる。

10

【0012】

前記第1薄膜トランジスタ、第2薄膜トランジスタ、及び第3薄膜トランジスタと、前記第1副画素電極及び第2副画素電極との間に形成されている第2絶縁膜をさらに含み、前記第2絶縁膜は、前記第1薄膜トランジスタを前記第1画素電極に接続する第1コンタクトホールと、前記第2薄膜トランジスタを前記第2画素電極に接続する第2コンタクトホールとを有し、前記第1コンタクトホールは前記第1薄膜トランジスタのソース電極によって取り囲まれた領域内に存在し、前記第2コンタクトホールは前記第2薄膜トランジスタのソース電極によって取り囲まれた領域内に存在することがある。

20

【0013】

前記減圧キャパシタは、絶縁膜を介在して前記第1ゲート線と電極部材とが重畳することで形成され、前記電極部材は前記画素電極と同一の層で形成することができる。

【0014】

前記第1薄膜トランジスタ、前記第2薄膜トランジスタ、前記第3薄膜トランジスタのドレイン電極、及び前記データ線の下に形成されている半導体をさらに含み、前記半導体は、前記第1薄膜トランジスタ、第2薄膜トランジスタ、及び第3薄膜トランジスタのチャネル部を除いて、前記第1薄膜トランジスタ、前記第2薄膜トランジスタ、前記第3薄膜トランジスタのドレイン電極、及び前記データ線と実質的に同一の平面形状を有することができる。

30

【0015】

前記絶縁膜はコンタクトホールを有し、前記電極部材は前記コンタクトホールによって前記第3薄膜トランジスタのドレイン電極と接続できる。

【0016】

前記第1副画素電極と前記第2副画素電極は前記複数の画素の画素列に沿って隣接するように構成できる。

【0017】

本発明の他の一実施形態による液晶表示装置は、行列状に配列されている複数の画素を含む液晶表示装置であって、第1副画素電極及び第2副画素電極をそれぞれ含む複数の画素電極と、前記第1副画素電極に接続される複数の第1薄膜トランジスタと、前記第2副画素電極に接続される複数の第2薄膜トランジスタと、前記第2副画素電極に接続される複数の第3薄膜トランジスタと、前記第1薄膜トランジスタ及び第2薄膜トランジスタに接続される複数の第1ゲート線と、前記第1薄膜トランジスタ及び第2薄膜トランジスタに接続される複数のデータ線と、前記第3薄膜トランジスタに接続される複数の第2ゲート線と、前記第3薄膜トランジスタのドレイン電極と第3ゲート線との間に接続される減圧キャパシタとを含む。

40

【0018】

前記減圧キャパシタは、第1絶縁膜を介在して前記第3ゲート線と電極部材とが重畳することで形成され、前記電極部材は前記データ線と同一の層で形成することができる。

【0019】

前記減圧キャパシタは、絶縁膜を介在して前記第3ゲート線と電極部材が重畳すること

50

で形成され、前記電極部材は前記画素電極と同一の層で形成することができる。

【0020】

前記第2副画素電極は前記第1副画素電極を取り囲む形態とすることができる。

【0021】

前記第1副画素電極の面積は前記第2副画素電極の面積より小さいこともある。

【0022】

前記画素電極と対向する共通電極をさらに含み、前記第1副画素電極及び第2副画素電極のうちの少なくとも1つは第1切開部を有し、前記共通電極は第2切開部を有するように構成できる。

【発明の効果】

10

【0023】

本発明によれば、2つの副画素の電圧を異なるように調節し、かつ開口率を確保することができる。

【図面の簡単な説明】

【0024】

【図1】本発明の一実施形態による液晶表示装置のブロック図である。

【図2】本発明の一実施形態による液晶表示装置の構造と2つの副画素に対する等価回路を概略的に示した図面である。

【図3】本発明の一実施形態による液晶表示装置の一画素に対する等価回路図である。

【図4】本発明の一実施形態による液晶表示装置の配置図である。

20

【図5】図4の液晶表示装置のV-V線に沿った断面図である。

【図6】本発明の他の一実施形態による液晶表示装置の配置図である。

【図7】図6に示した液晶表示装置をV I I-V I I線に沿った断面図である。

【図8】本発明の他の一実施形態による液晶表示装置の配置図である。

【図9】図8に示した液晶表示装置のI X-I X線に沿った断面図である。

【図10】本発明の他の一実施形態による液晶表示装置の配置図である。

【図11】図10に示した液晶表示装置のX I-X I線に沿った断面図である。

【図12】本発明の他の一実施形態による液晶表示装置の一部画素に対する等価回路図である。

【図13】本発明の他の一実施形態による液晶表示装置の配置図である。

30

【図14】図13に示した液晶表示装置のX I V-X I V線に沿った断面図である。

【発明を実施するための形態】

【0025】

図面を参照しながら、本発明の実施形態について本発明が属する技術分野における通常の知識を有する者が容易に実施できるように詳細に説明する。しかし、本発明は種々の異なる形態で実現でき、ここで説明する実施形態に限定されない。

【0026】

図面において、種々の層及び領域を明確に表すために厚さを拡大して示した。明細書の全体にわたって類似する部分については同一の図面符号を付けた。層、膜、領域、板などの部分が他の部分の「上」にあるとすると、これは他の部分の「すぐ上」にある場合だけでなく、その中間にまた他の部分がある場合も含む。一方、ある部分が他の部分の「すぐ上」にあるとすると、中間に他の部分がないことを意味する。

40

【0027】

図1乃至図5を参照して、本発明の一実施形態による液晶表示装置について詳細に説明する。

【0028】

図1は、本発明の一実施形態による液晶表示装置のブロック図であり、図2は、本発明の一実施形態による液晶表示装置の構造と2つの副画素に対する等価回路を概略的に示した図面であり、図3は、本発明の一実施形態による液晶表示装置の一画素に対する等価回路図である。

50

## 【0029】

図1に示したように、本発明の一実施形態による液晶表示装置は、液晶表示板組立体 (liquid crystal panel assembly) 300、ゲート駆動部 400、データ駆動部 500、階調電圧生成部 800、及び信号制御部 600を含む。

## 【0030】

液晶表示板組立体 300は、等価回路から見れば、複数の信号線 GLa、GLb、DL (図3参照)と、これに接続されていて、ほぼ行列状に配列された複数の画素 PXとを含む。反面、図2に示した構造から見れば、液晶表示板組立体 300は、互いに対向する下部表示板 100と上部表示板 200、及びその間に入っている液晶層 3を含む。

## 【0031】

10

図3に示すように、信号線は、ゲート信号(「走査信号」ともいう)を伝達する複数のゲート線 GLa、GLb、及びデータ電圧 Vdを伝達する複数のデータ線 DLを含む。ゲート線 GLa、GLbはほぼ行方向に延長され、互いにほぼ平行であり、データ線 DLはほぼ列方向に延長され、互いにほぼ平行である。

## 【0032】

本実施形態による液晶表示板組立体は、複数の信号線と、これに接続された複数の画素 PXとを含む。

## 【0033】

各画素 PXは一对の副画素を含み、各部画素は液晶キャパシタ (liquid crystal capacitor) Clca、Clcbを含む。2つの副画素は、ゲート線 GLa、GLb、データ線 DL、及び液晶キャパシタ Clca、Clcbと接続されたスイッチング素子 Qa、Qb、Qcを含む。

20

## 【0034】

液晶キャパシタ Clca、Clcbは、下部表示板 100の副画素電極 PEa/PEbと上部表示板 200の共通電極 CEとを2つの端子とし、副画素電極 PEa/PEbと共通電極 270との間の液晶層 3は誘電体として機能する。一对の副画素電極 PEa/PEbは互いに分離されており、1つの画素電極 PEをなす。共通電極 CEは、上部表示板 200の全面に形成されており、共通電圧 Vcomが印加される。液晶層 3は負の誘電率異方性を有し、液晶層 3の液晶分子は電界のない状態でその長軸が2つの表示板の表面に対し垂直をなすように配向することができる。図2とは異なって、共通電極 CEが下部表示板 100に設けられる場合もあり、この時、2つの電極 PE、270のうちの少なくとも1つを線状または棒状に形成することもできる。

30

## 【0035】

一方、色表示を実現するためには、各画素 PXが基本色 (primary color)のうちの1つを固有に表示するように構成でき(空間分割)、各画素 PXが時間により交互に基本色を表示するように構成する(時間分割)こともでき、これら基本色の空間的、時間的な表示の合計により所望の色が認識されるようにする。基本色の例としては、赤色、緑色、青色など三原色を挙げることができる。図2は空間分割の一例であって、各画素 PXが上部表示板 200の領域に基本色のうちの1つを示すカラーフィルタ CFを備えることを示している。図2とは異なって、カラーフィルタ CFは下部表示板 100の副画素電極 PEa、PEbの上または下に形成することも可能である。

40

## 【0036】

表示板 100、200の外側面には偏光子(図示せず)が設けられているが、2つの偏光子の偏光軸を直交するように構成できる。反射型液晶表示装置の場合には、2つの偏光子 12、22のうちの1つを省略することができる。直交偏光子の場合、電界のない液晶層 3に入射した入射光を遮断する。

## 【0037】

再び、図1を参照すると、階調電圧生成部 800は、画素 PXの透過率と関する全体階調電圧または限定された数の階調電圧(以下、「基準階調電圧」という)を生成する。基準階調電圧は、共通電圧 Vcomに対して正の値を有するものと負の値を有するものとを

50

含むことができる。

【0038】

ゲート駆動部400は、液晶表示板組立体300のゲート線GLa、GLbと接続し、ゲートオン電圧Vonとゲートオフ電圧Voffとの組み合わせからなるゲート信号をゲート線GLa、GLbに印加する。

【0039】

データ駆動部500は、液晶表示板組立体300のデータ線DLと接続されており、階調電圧生成部800からの階調電圧を選択し、これをデータ電圧としてデータ線DLに印加する。しかし、階調電圧生成部800が階調電圧の全てを提供するものではなく、限定された数の基準階調電圧だけを提供するように構成でき、この場合には、データ駆動部500は基準階調電圧を分圧して所望するデータ電圧を生成するように構成できる。

10

【0040】

信号制御部600はゲート駆動部400及びデータ駆動部500などを制御する。

【0041】

このような駆動装置400、500、600、800のそれぞれは、少なくとも1つの集積回路チップの形態で液晶表示板組立体300の上に直接装着するか、フレキシブル印刷回路膜(flexible printed circuit film)(図示せず)の上に装着してTCP(tape carrier package)の形態で液晶表示板組立体300に付着するか、別途の印刷回路基板(printed circuit board)(図示せず)の上に装着することができる。これとは異なって、これら駆動装置400、500、600、800を信号線GLa、GLb、DL及び薄膜トランジスタスイッチング素子Qa、Qb、Qcなどと共に液晶表示板組立体300に集積することもできる。また、駆動装置400、500、600、800を単一チップに集積することができ、これらのうちの少なくとも1つまたはこれらをなす少なくとも1つの回路素子を単一チップの外部に配置するように構成できる。

20

【0042】

次に、図4、図5、及び図3を参照して、本発明の一実施形態による液晶表示板組立体について詳細に説明する。

【0043】

図3に示すように、本発明の一実施形態による液晶表示装置は、互いに隣接する第1ゲート線GLa及び第2ゲート線GLbとデータ線DLとを含む信号線、及びこれに接続された画素PXを含む。

30

【0044】

画素PXは、第1スイッチング素子Qa、第2スイッチング素子Qb、第3スイッチング素子Qc、第1液晶キャパシタClca、第2液晶キャパシタClcb、第1ストレージキャパシタCsta、第2ストレージキャパシタCstb、及び減圧キャパシタCstdを含む。

【0045】

第1スイッチング素子Qa及び第2スイッチング素子Qbはそれぞれ第1ゲート線GLa及びデータ線DLに接続されており、第3スイッチング素子Qcは第2ゲート線GLbに接続される。

40

【0046】

第1スイッチング素子Qa及び第2スイッチング素子Qbは、下部表示板100に設けられている薄膜トランジスタなどの三端子素子であって、第1スイッチング素子Qaの制御端子は第1ゲート線GLaと接続され、入力端子はデータ線DLと接続され、出力端子は第1液晶キャパシタClca、及び第1ストレージキャパシタCstaと接続される。

【0047】

第2スイッチング素子Qbの制御端子は第1ゲート線GLaと接続され、入力端子はデータ線DLと接続され、出力端子は第2液晶キャパシタClcb、及び第2ストレージキャパシタCstbと接続される。

50

## 【 0 0 4 8 】

第 3 スイッチング素子 Q c も下部表示板 1 0 0 に設けられている薄膜トランジスタなどの三端子素子であって、制御端子は第 2 ゲート線 G L b と接続され、入力端子は第 2 液晶キャパシタ C l c b と接続され、出力端子は減圧キャパシタ C s t d と接続される。

## 【 0 0 4 9 】

減圧キャパシタ C s t d は、第 3 スイッチング素子 Q c の出力端子と第 1 ゲート線 G L a とに接続され、第 1 ゲート線 G l a から拡張されている容量電極（図示せず）と、第 3 スイッチング素子 Q c の出力電極とが、絶縁体を介して重畳することによって形成される。

## 【 0 0 5 0 】

次に、図 4 及び図 5 を参照して、本発明の一実施形態による液晶表示板組立体についてさらに詳細に説明する。

## 【 0 0 5 1 】

図 4 は、本発明の一実施形態による液晶表示板組立体の配置図であり、図 5 は、図 4 の液晶表示板組立体の V - V 線に沿った断面図である。

## 【 0 0 5 2 】

本実施形態による液晶表示装置は、互いに対向する下部表示板 1 0 0 と上部表示板 2 0 0、及びこれら 2 つの表示板 1 0 0、2 0 0 の間に挿入されている液晶層 3 を含む。

## 【 0 0 5 3 】

まず、下部表示板 1 0 0 について説明する。

## 【 0 0 5 4 】

絶縁基板 1 1 0 の上に、複数対の第 1 ゲート線 1 2 1 a 及び第 2 ゲート線 1 2 1 b と、複数の維持電極線 1 3 1 とを含む複数のゲート導電体が形成されている。第 1 ゲート線 1 2 1 a は第 1 ゲート電極 1 2 4 a、第 2 ゲート電極 1 2 4 b、及び容量電極 1 2 7 を含み、第 2 ゲート線 1 2 1 b は第 3 ゲート電極 1 2 4 c を含む。

## 【 0 0 5 5 】

維持電極線 1 3 1 は、ゲート線 1 2 1 a、1 2 1 b に対して垂直方向に延長された幹線を含む。また、維持電極線 1 3 1 は幹線から延長されてゲート線 1 2 1 a、1 2 1 b と傾斜角をなす光遮断部材 1 3 5 を含む。

## 【 0 0 5 6 】

ゲート導電体 1 2 1 a、1 2 1 b、1 3 1 の上にはゲート絶縁膜 1 4 0 が形成されている。ゲート絶縁膜 1 4 0 の上には第 1 島型半導体 1 5 4 a、第 2 島型半導体 1 5 4 b、及び第 3 島型半導体 1 5 4 c が形成されており、その上には複数の第 1 オーミックコンタクト部材（図示せず）、第 2 オーミックコンタクト部材 1 6 3 b、1 6 5 b、及び第 3 オーミックコンタクト部材 1 6 3 c、1 6 5 c が形成されている。

## 【 0 0 5 7 】

オーミックコンタクト部材 1 6 3 b、1 6 3 c、1 6 5 b、1 6 5 c 及びゲート絶縁膜 1 4 0 の上には、複数のデータ線 1 7 1、複数の第 1 ドレイン電極 1 7 5 a、第 2 ドレイン電極 1 7 5 b、第 3 ドレイン電極 1 7 5 c、及び電極部材 1 7 7 を含むデータ導電体が形成されている。

## 【 0 0 5 8 】

データ線 1 7 1 は、複数の第 1 ソース電極 1 7 3 a 及び第 2 ソース電極 1 7 3 b と、他の層または外部駆動回路との接続のために面積が広い端部（図示せず）を含む。

## 【 0 0 5 9 】

第 1 ～ 第 3 ドレイン電極 1 7 5 a、1 7 5 b、1 7 5 c は、幅が広く形成された一端部と、棒状の他端部とを含む。第 1 ドレイン電極 1 7 5 a 及び第 2 ドレイン電極 1 7 5 b の棒状の端部は、第 1 ソース電極 1 7 3 a 及び第 2 ソース電極 1 7 3 b によって一部が取り囲まれている。第 2 ドレイン電極 1 7 5 b は延長されて棒状の第 3 ソース電極 1 7 3 c をなす。第 3 ドレイン電極 1 7 5 c は第 3 ソース電極 1 7 3 c の一端部と対向し、第 3 ソース電極 1 7 3 c の他端部は拡張されて電極部材 1 7 7 を構成する。

10

20

30

40

50

## 【0060】

第1ゲート電極124a、第1ソース電極173a、及び第1ドレイン電極175aは第1島型半導体154aと共に1つの第1薄膜トランジスタ(thin film transistor、TFT)Qaを形成し、薄膜トランジスタのチャネルはソース電極173aとドレイン電極175aとの間の半導体154aに形成される。第2ゲート電極124b、第2ソース電極173b、及び第2ドレイン電極175bは、第2島型半導体154bと共に1つの第2薄膜トランジスタQbを形成し、第3ゲート電極124c、第3ソース電極173c、及び第3ドレイン電極175cは第3島型半導体154cと共に1つの第3薄膜トランジスタQcを形成する。

## 【0061】

データ導電体171、173c、175a、175b、175c、177及び露出した半導体154a、154b、154c部分の上には保護膜180が形成されている。

## 【0062】

保護膜180には、データ線171の端部、第1ドレイン電極175aの広い端部、第2ドレイン電極175bの広い端部をそれぞれ露出する複数のコンタクトホール(図示せず)185a、185bが形成されており、保護膜180及びゲート絶縁膜140には、ゲート線121の端部をそれぞれ露出する複数のコンタクトホール(図示せず)が形成されている。

## 【0063】

保護膜180の上には、第1副画素電極191a及び第2副画素電極191bを含む画素電極191、及び複数の接触補助部材(図示せず)が形成されている。

## 【0064】

第1副画素電極191aは、互いに対向する一対の縦辺(図示せず)、及び縦辺と隣接する2対の第1斜辺~第4斜辺(図示せず)を含む。第2副画素電極191bも、互いに対向する一対の縦辺(図示せず)、及び縦辺と隣接する2対の第1斜辺~第4斜辺(図示せず)を含む。各縦辺はデータ線171に平行であり、各斜辺は縦辺に対して45°または135°の傾斜角をなす。斜辺は互いに隣接する2つずつが対をなして直角に交差する。

## 【0065】

第1副画素電極191a及び第2副画素電極191bは列方向(図の上下方向)に隣接し、第1副画素電極191aの列方向の長さは第2副画素電極191bの列方向の長さより短く構成される。

## 【0066】

第1副画素電極191aは切開部91を有し、第2副画素電極191bは切開部92、93、94を有する。

## 【0067】

第1副画素電極191a及び第2副画素電極191bの切開部91、92、93、94は、ゲート線121a、121bに対して約45°の角度をなす。画素電極191は、各切開部によって複数の領域(partition)に分割される。この時、領域の数または切開部の数は、画素の大きさ、画素電極の横辺と縦辺との長さの比、液晶層3の種類や特性などの設計要素によって異なる。

## 【0068】

第1副画素電極191aは、コンタクトホール185aによって第1ドレイン電極175aと物理的、電氣的に接続して、第1ドレイン電極175aからデータ電圧が印加され、第2副画素電極191bは、コンタクトホール185bによって第2ドレイン電極175bと物理的、電氣的に接続されて、第2ドレイン電極175bからデータ電圧が印加される。

## 【0069】

データ電圧が印加された第1副画素電極191a及び第2副画素電極、191bは、共通電圧(common voltage)の印加を受ける共通電極表示板200の共通電

10

20

30

40

50

極 (common electrode) 200 と共に電界を生成することにより、2つの電極 191、270 の間の液晶層 3 の液晶分子 31 の方向を決定する。このように決められた液晶分子 31 の方向によって液晶層 3 を通過する光の偏向が変わる。画素電極 191 と共通電極 270 とは液晶キャパシタを形成し、薄膜トランジスタがターンオフした後も印加された電圧を維持する。

【0070】

画素電極 191 は維持電極線 131 と重畳する。画素電極 191 が維持電極線 131 と重畳してストレージキャパシタを構成し、このストレージキャパシタは液晶キャパシタの電圧維持能力を強化する。

【0071】

容量電極 127 と第3ドレイン電極 175c の電極部材 177 とは、ゲート絶縁膜 140 を介在して重畳しており、減圧キャパシタ Cstd を構成する。

【0072】

このように、本発明の一実施形態による液晶表示装置は、別途の追加的な容量電極線及び容量電極を介在せず、第1ゲート線 121a から拡張された容量電極 127 を利用して減圧キャパシタ Cstd を形成するので、減圧キャパシタ Cstd を形成するための容量電極線及び容量電極を別途に形成する場合よりも開口率を高めることができる。

【0073】

接触補助部材は、それぞれコンタクトホール (図示せず) によってゲート線 121 の端部及びデータ線 171 の端部と接続される。接触補助部材は、ゲート線 121 の端部及びデータ線 171 の端部と外部装置との接着性を補完し、これらを保護する。

【0074】

次に、上部表示板 200 について説明する。

【0075】

絶縁基板 210 の上に遮光部材 (light blocking member) 220 が形成されている。遮光部材 220 はブラックマトリックス (black matrix) とも呼ばれ、光漏れを防止する。

【0076】

基板 210 の上には、また、複数のカラーフィルタ 230 が形成されている。カラーフィルタ 230 は遮光部材 230 によって取り囲まれた領域内に大部分が存在し、画素電極 191 の列に沿って縦方向に長く延長された構成とすることができる。各カラーフィルタ 230 は、赤色、緑色、及び青色の三原色など基本色のうちの1つを表示することができる。

【0077】

カラーフィルタ 230 及び遮光部材 220 の上には蓋膜 (overcoat) 250 が形成されている。

【0078】

蓋膜 250 の上には共通電極 270 が形成されている。共通電極 270 には複数の切開部 71、72、73、73、74、75 の集合が形成されている。各切開部 71 ~ 75 は、画素電極 191 の切開部 91 ~ 94 と平行に延長された少なくとも1つの斜線部を含む。切開部 71 ~ 75 の斜線部には、三角形形状の切欠 (notch) が形成されている。

【0079】

表示板 100、200 の内側面には配向膜 (alignment layer) (図示せず) が塗布されている。配向膜は垂直配向膜とすることができる。

【0080】

液晶層 3 は負の誘電率異方性を有し、液晶層 3 の液晶分子 31 は、電界のない状態でその長軸が2つの表示板 100、200 の表面に対し垂直となるように配向されている。

【0081】

液晶キャパシタ C1ca、C1cb が充電されると、表示板 100、200 の表面にほぼ垂直の電界が生成される。液晶分子は、電界に応答して、その長軸が電界の方向に対し

10

20

30

40

50

て垂直をなすように方向を変えようとする。

【0082】

一方、電界生成電極191、270の画素電極の切開部91～94及び共通電極の切開部71～75と、これらと平行な画素電極191の斜辺は、電界に歪みを与えて液晶分子の傾斜方向を決定するための水平成分を生成する。電界の水平成分は、切開部91～94、71～75の斜辺と画素電極191の斜辺に対し垂直である。

1つの共通電極切開部集合71～75及び画素電極切開部集合91～94は、画素電極191を複数の副領域(sub-area)に分割し、各副領域は画素電極191の主辺と傾斜角をなす2つの主辺(major edge)を有する。各副領域上の液晶分子は、大部分の主辺に垂直となる方向に傾き、傾く方向はほぼ4方向である。このように、液晶分子が傾く方向を多様にすると、液晶表示装置の基準視野角が大きくなる。

10

【0083】

一方、光遮断部材135は、第1副画素電極191aの2つの斜辺(図示せず)及び第2副画素電極191bの2つの斜辺(図示せず)に沿って形成されている。光遮断部材135は、横部136a及び縦部136bからなる複数の階段136を含む。横部136aはゲート線121a、121bに平行であり、縦部136bはデータ線171に平行である。偏光子11、21の偏光軸は画素電極191の斜辺と45°または135°をなすので、斜辺周辺から光漏れが生じ得る。この時、偏光子の偏光軸と平行な横部136a及び縦部136bからなる階段部136を有する光遮断部材135を、第1副画素電極191aの2つの斜辺及び第2副画素電極191bの2つの斜辺に配置すれば、各画素電極191が隣接する部分から光が漏れることを防止できる。

20

【0084】

階段部136の横部136a及び縦部136bの長さは互いに同一であっても良い。階段部136aの横部136a及び縦部136bの長さは、光漏れを適正に防止できるように8μm乃至12μmとすることができる。

【0085】

次に、図4及び図5、そして前述した図1乃至図3を参照して、本発明の一実施形態による液晶表示装置の動作について説明する。

【0086】

図1に示すように、信号制御部600は、外部のグラフィック制御器(図示せず)から入力映像信号R、G、B及びその表示を制御する入力制御信号を受信する。入力映像信号R、G、Bは、各画素PXの輝度(luminance)情報を含んでおり、輝度は定められた数、例えば、1024(=2<sup>10</sup>)、256(=2<sup>8</sup>)または64(=2<sup>6</sup>)個の階調(gray)を有している。入力制御信号の例としては、垂直同期信号Vsyncと水平同期信号Hsync、メインクロック信号MCLK、及びデータイネーブル信号DEなどがある。

30

【0087】

信号制御部600は、入力映像信号R、G、Bと入力制御信号に基づいて、入力映像信号R、G、Bを液晶表示板組立体300の動作条件に合うように適切に処理し、ゲート制御信号CONT1及びデータ制御信号CONT2などを生成した後、ゲート制御信号CONT1をゲート駆動部400に送出し、データ制御信号CONT2と処理した映像信号DATをデータ駆動部500に送出する。出力映像信号DATはデジタル信号であって、定められた数の値(または階調)を有する。

40

【0088】

信号制御部600からのデータ制御信号CONT2により、データ駆動部500は一行の画素PXに対するデジタル映像信号DATを受信し、各デジタル映像信号DATに対応する階調電圧を選択することにより、デジタル映像信号DATをアナログデータ電圧に変換した後、これを当該データ線DLに印加する。

【0089】

ゲート駆動部400は、信号制御部600からのゲート制御信号CONT1により、ゲ

50

ートオン電圧  $V_{on}$  をゲート線  $GLa$ 、 $GLb$  に印加して、このゲート線  $GLa$ 、 $GLb$  に接続されたスイッチング素子  $Qa$ 、 $Qb$ 、 $Qc$  を導通させる。そうすると、データ線  $DL$  に印加されたデータ電圧  $Vd$  は、導通した第1スイッチング素子  $Qa$  及び第2スイッチング素子  $Qb$  を通じて当該画素  $PX$  に印加される。

【0090】

以下、特定画素行、例えば、 $i$  番目行に焦点を合わせて説明する。

【0091】

$i$  番目行の第1ゲート線  $GLa$  に第1ゲート信号が印加され、第2ゲート線  $GLb$  には第2ゲート信号が印加される。第1ゲート信号がゲートオフ電圧  $V_{off}$  からゲートオン電圧  $V_{on}$  に変わると、これに接続された第1スイッチング素子  $Qa$  及び第2スイッチング素子  $Qb$  が導通する。そのために、データ線  $DL$  に印加されたデータ電圧  $Vd$  は、導通した第1スイッチング素子  $Qa$  及び第2スイッチング素子  $Qb$  を通じて第1副画素電極  $PEa$  及び第2副画素電極  $PEb$  に印加される。この時、第1副画素電極  $PEa$  及び第2副画素電極  $PEb$  に印加されたデータ電圧  $Vd$  は同一である。第1液晶キャパシタ  $C1ca$  及び第2液晶キャパシタ  $C1cb$  は、共通電圧とデータ電圧  $Vd$  との差と同一の値に充電される。

【0092】

その後、第1ゲート信号はゲートオン電圧  $V_{on}$  からゲートオフ電圧  $V_{off}$  に変わり、同時に第2ゲート信号がゲートオフ電圧  $V_{off}$  からゲートオン電圧  $V_{on}$  に変わると、第1スイッチング素子  $Qa$  及び第2スイッチング素子  $Qb$  は遮断され、第3スイッチング素子  $Qc$  が導通する。そうすると、第2副画素電極  $PEb$  から第3スイッチング素子  $Qc$  を通じて第3ドレイン電極  $175c$  に電荷が移動する。これによって第2液晶キャパシタ  $C1cb$  の充電電圧は低くなり、減圧キャパシタ  $Cstd$  が充電される。第2液晶キャパシタ  $Cstb$  の充電電圧は、減圧キャパシタ  $Cstd$  の静電容量の値だけ低くなるので、第2液晶キャパシタ  $Cstb$  の充電電圧は第1液晶キャパシタ  $Csta$  の充電電圧より低くなる。

【0093】

この時、2つの液晶キャパシタ  $C1ca$ 、 $C1cb$  の充電電圧は、互いに異なるガンマ曲線を示す、一画素電圧のガンマ曲線はこれらを合成した曲線となる。正面における合成ガンマ曲線は、最も適合するように定められた正面における基準ガンマ曲線と一致するようにし、側面における合成ガンマ曲線は正面における基準ガンマ曲線と最も近くなるようにする。このように、映像データを変換することによって側面視認性が向上する。

【0094】

1水平周期（「1H」とも記し、水平同期信号  $Hsync$  及びデタインーブル信号  $DE$  の一周期と同一である）を単位としてこのような過程を繰り返すことにより、全ての画素  $PX$  にデータ電圧  $Vd$  を印加して1フレーム（ $frame$ ）の映像を表示する。

【0095】

1フレームが終了すると、次のフレームが開始し、各画素  $PX$  に印加されるデータ電圧  $Vd$  の極性が直前フレームでの極性と反対になるように、データ駆動部  $500$  に印加される反転信号  $RVS$  の状態が制御される。

【0096】

このように、減圧キャパシタ  $Cstd$  の静電容量によって第1液晶キャパシタ  $Csta$  及び第2液晶キャパシタ  $Cstb$  の充電電圧を調節することができる。

【0097】

次に、図6及び図7を参照して、本発明の他の一実施形態による液晶表示装置について説明する。図6は、本発明の他の一実施形態による液晶表示装置の配置図であり、図7は、図6に示した液晶表示装置の  $VII-VII$  線に沿った断面図である。

【0098】

図6及び図7に示すように、本実施形態による液晶表示装置の層状構造は図6及び図7に示した液晶表示装置と類似している。

10

20

30

40

50

## 【0099】

本実施形態による液晶表示装置は、互いに対向する下部表示板100と上部表示板200、及びこれら2つの表示板100、200の間に挿入されている液晶層3を含む。

## 【0100】

下部表示板100について説明すると、絶縁基板110の上に複数対の第1ゲート線121a、第2ゲート線121b、複数の維持電極線131、及び容量電極127を含む複数のゲート導電体が形成されており、ゲート導電体121a、121b、131の上にはゲート絶縁膜140が形成されている。ゲート絶縁膜140の上には半導体154a、154b、154c、157が形成されており、その上には複数の第1オーミックコンタクト部材(図示せず)、第2オーミックコンタクト部材163b、165b、第3オーミックコンタクト部材163c、165c、及び第4オーミックコンタクト部材167が形成されている。

10

## 【0101】

オーミックコンタクト部材163b、163c、165b、165c及びゲート絶縁膜140の上には、複数のデータ線171、複数の第1ドレイン電極175a、第2ドレイン電極175b、第3ドレイン電極175c、及び電極部材177を含むデータ導電体が形成されており、データ導電体171、173c、175a、175b、175c、177及び露出した半導体154a、154b、154c部分の上には保護膜180が形成されており、保護膜180の上には第1副画素電極191a及び第2副画素電極191bを含む画素電極191及び複数の接触補助部材(図示せず)が形成されている。画素電極191は複数の切開部91、92、93、94を有する。

20

## 【0102】

上部表示板200について説明すると、絶縁基板210の上に遮光部材220が形成されており、基板210及び遮光部材一部の上にはカラーフィルタ230が形成されており、カラーフィルタ230及び遮光部材220の上には蓋膜250が形成されており、蓋膜250の上には共通電極270が形成されている。共通電極270は複数の切開部71、72、73、74、75、76を有する。

## 【0103】

しかし、図4及び図5に示した液晶表示装置とは異なって、半導体154a、154b、154c、157は、データ線171、第1ドレイン電極~第3ドレイン電極175a、175b、175c、電極部材177、及びその下のオーミックコンタクト部材163b、163c、165b、165c、167と実質的に同一の平面形状である。線状半導体は、ソース電極173a~173cとドレイン電極175a~175cとの間に位置して、データ線171及びドレイン電極175a~175cによって覆われずに露出した部分がある。

30

## 【0104】

このような下部表示板100を本発明の一実施形態によって製造する方法においては、データ導電体171、175a、175b、175c、177、半導体154a~154c、157、及びオーミックコンタクト部材163b、163c、165b、165c、167を一回のフォトリソ工程で形成する。

40

## 【0105】

このようなフォトリソ工程で用いる感光膜は、位置によって厚さが異なり、特に厚さが順に薄い第1部分と第2部分とを含む。第1部分はデータ導電体171、175a、175b、175c、177が占める配線領域に位置し、第2部分は薄膜トランジスタのチャネル領域に位置する。

## 【0106】

位置によって感光膜を異なる厚さにする方法は種々であるが、例えば、光マスクに透光領域(light transmitting area)及び遮光領域(light blocking area)以外に半透明領域(translucent area)を設ける方法がある。半透明領域には、スリット(split)パターン、格子パターン(

50

l a t t i c e p a t t e r n )、或いは透過率が中間であるか、または厚さが中間である薄膜を形成する。スリットパターンを使用する時には、スリットの幅やスリットの間隔がフォト工程に使用する露光器の分解能 ( r e s o l u t i o n ) より小さいことが好ましい。他の例としては、リフローが可能な感光膜を使用する方法がある。つまり、透光領域と遮光領域だけを有する通常の露光マスクにリフロー可能な感光膜を形成した後、リフローさせて感光膜が残留しない領域に流れるようにすることによって薄い部分を形成する。

#### 【 0 1 0 7 】

これにより、一回のフォト工程を減らすことができるので、製造方法を簡略化することができる。

10

#### 【 0 1 0 8 】

本実施形態による液晶表示装置、また、図 4 及び図 5 に示した液晶表示装置と同様に、容量電極 1 2 7 と第 3 ドレイン電極 1 7 5 c の電極部材 1 7 7 とがゲート絶縁膜 1 4 0、半導体 1 5 7、及びオーミックコンタクト部材 1 6 7 を介して重畳して形成する減圧キャパシタ C s t d を含む。したがって、別途の追加的な容量電極線及び容量電極を設けずに、第 1 ゲート線 1 2 1 a から拡張された容量電極 1 2 7 を利用して減圧キャパシタ C s t d を形成するので、減圧キャパシタ C s t d を形成するための容量電極線及び容量電極を別途に形成する場合よりも開口率を高めると同時に、視認性を高めることができる。

#### 【 0 1 0 9 】

本実施形態による液晶表示装置の減圧キャパシタ C s t d を形成する容量電極 1 2 7 は、第 1 ゲート線 1 2 1 a から拡張されて形成される。したがって、第 1 ゲート線 1 2 1 a にゲートオン信号が印加されると、容量電極 1 2 7 にもゲートオン信号と同じ大きさの電圧が印加されるので、画素電極 1 9 1 に印加される電圧 1 9 1 の極性とは無関係に、常に同一の極性の電圧が印加される。したがって、本実施形態のように、容量電極 1 2 7 と電極部材 1 7 7 が、ゲート絶縁膜 1 4 0 だけでなく半導体 1 5 7 及びオーミックコンタクト部材 1 6 7 を介して互いに重畳することにより減圧キャパシタ C s t d を形成した場合であっても、容量電極 1 2 7 の極性変化によって半導体 1 5 7 及びオーミックコンタクト部材 1 6 7 が活性化するか、または不活性化することで表れることが知られている減圧キャパシタ C s t d の容量変化を防止できる。したがって、製造工程を簡単にしながらも、減圧キャパシタ C s t d の容量を所望の値に一定に維持できる。

20

30

#### 【 0 1 1 0 】

次に、図 8 及び図 9 を参照して、本発明による一実施形態による液晶表示装置について説明する。図 8 は、本発明の他の一実施形態による液晶表示装置の配置図であり、図 9 は図 8 に示した液晶表示装置の I X - I X 線に沿った断面図である。

#### 【 0 1 1 1 】

図 8 及び図 9 に示したように、本実施形態による液晶表示装置の層状構造は図 6 及び図 7 に示した実施形態による液晶表示装置と類似している。

#### 【 0 1 1 2 】

図 6 及び図 7 に示した実施形態とは異なって、本実施形態による液晶表示装置の電極部材 1 9 7 は、第 3 ドレイン電極 1 7 5 c の拡張部で形成せず、画素電極 1 9 1 と同一の層で形成され、画素電極 1 9 1 と絶縁されている。電極部材 1 9 7 が配置されている領域には画素電極 1 9 1 の第 2 副画素電極 1 9 1 b が除去されており、画素電極 1 9 1 の第 2 副画素電極 1 9 1 b が有する切開部 9 2 は、電極部材 1 9 7 が配置されている領域から拡張され、電極部材 1 9 7 を取り囲むように形成されている。したがって、第 2 副画素電極 1 9 1 b と電極部材 1 9 7 とは互いに離隔している。

40

#### 【 0 1 1 3 】

このように、本実施形態による液晶表示装置の減圧キャパシタ C s t d は、第 1 ゲート線 1 2 1 a から拡張された容量電極 1 2 7 と、画素電極 1 9 1 と同一の層で形成された電極部材 1 9 7 とが、ゲート絶縁膜 1 4 0 及び保護膜 1 8 0 を介して重畳することで形成されている。このように、データ導電体 1 7 1、1 7 5 a、1 7 5 b、1 7 5 c と、その下

50

の半導体 154a ~ 154c 及びオーミックコンタクト部材 163b、163c、165b、165c を一回のフォトリソ工程で形成しながらも、減圧キャパシタ C s t d を形成する容量電極 127 と電極部材 197 との間に半導体層を含まないことにより、半導体層の活性化または非活性化による減圧キャパシタ C s t d の容量変化を防止することができる。また、液晶表示装置を形成するためのフォトリソ工程を減らすことができるので、製造方法が簡単である。

#### 【0114】

また、前述した実施形態と同様に、別途の追加的な容量電極線及び容量電極を設けずに、第1ゲート線 121a から拡張された容量電極 127 を利用して減圧キャパシタ C s t d を形成するので、減圧キャパシタ C s t d を形成するための容量電極線及び容量電極を別途に形成する場合よりも開口率を高めると同時に、視認性を高めることができる。

10

#### 【0115】

次に、図10及び図11を参照して、本発明の他の一実施形態による液晶表示装置について説明する。図10は、本発明の他の一実施形態による液晶表示装置の配置図であり、図11は、図10に示した液晶表示装置のX I - X I 線に沿った断面図である。

#### 【0116】

図10及び図11に示すように、本実施形態による液晶表示装置の層状構造は図6及び図7に示した実施形態による液晶表示装置とほぼ同様である。しかし、図6及び図7に示した液晶表示装置とは異なって、第1ドレイン電極 175a 及び第2ドレイン電極 175b は、第1ソース電極 173a 及び第2ソース電極 173b によって取り囲まれた領域内に存在し、それぞれ第1副画素電極 191a 及び第2副画素電極 191b の領域内に配置されている。また、第1ドレイン電極 175a 及び第2ドレイン電極 175b をそれぞれ第1副画素電極 191a 及び第2副画素電極 191b に接続するための第1コンタクトホール 185a 及び第2コンタクトホール 185b は、第1ドレイン電極 175a 及び第2ドレイン電極 175b のすぐ上に形成されている。したがって、第1スイッチング素子 Q a 及び第2スイッチング素子 Q b のチャネルの長さを長く形成しながらも、第1ドレイン電極 175a 及び第2ドレイン電極 175b が占める領域の面積を減らすことにより、液晶表示装置の開口率をさらに高めることができる。

20

#### 【0117】

また、本実施形態による液晶表示装置も、図4及び図5に示した液晶表示装置と同様に、容量電極 127 と第3ドレイン電極 175c の電極部材 177 とが、ゲート絶縁膜 140、半導体 157、及びオーミックコンタクト部材 167 を介して重畳することで形成される減圧キャパシタ C s t d を含む。したがって、別途の追加的な容量電極線及び容量電極を設けずに、第1ゲート線 121a から拡張された容量電極 127 を利用して減圧キャパシタ C s t d を形成するので、減圧キャパシタ C s t d を形成するための容量電極線及び容量電極を別途に形成する場合よりも開口率を高めると同時に、視認性を高めることができる。また、液晶表示装置を形成するためのフォトリソ工程を減らすことができるので、製造方法が簡単である。

30

#### 【0118】

以下、図12乃至図14を参照して、本発明の他の一実施形態について説明する。図12は、本発明の他の一実施形態による液晶表示装置の一部画素に対する回路図であり、図13は、本発明の他の一実施形態による液晶表示装置の配置図であり、図14は、図13に示した液晶表示装置のX I V - X I V 線に沿った断面図である。

40

#### 【0119】

図12に示すように、本発明の一実施形態による液晶表示装置は図3と同様に、互いに隣接する第1ゲート線 G L a 及び第2ゲート線 G L b、G L c とデータ線 D L とを含む信号線と、これに接続された第1画素 P X 1 及び第2画素 P X 2 を含む。第1画素 P X 1 及び第2画素 P X 2 は画素列方向に隣接して配置される。

#### 【0120】

各画素 P X は、第1スイッチング素子 Q a、第2スイッチング素子 Q b、第3スイッチ

50

ング素子  $Q_c$ 、第 1 液晶キャパシタ  $C_{1ca}$ 、第 2 液晶キャパシタ  $C_{1cb}$ 、第 1 ストレージキャパシタ  $C_{sta}$ 、第 2 ストレージキャパシタ  $C_{stb}$ 、及び減圧キャパシタ  $C_{std}$  を含む。

【0121】

第 1 画素  $PX_1$  の第 1 スイッチング素子  $Q_a$  及び第 2 スイッチング素子  $Q_b$  は、それぞれ第 1 ゲート線  $GL_a$  及びデータ線  $DL$  に接続され、第 3 スイッチング素子  $Q_c$  は第 2 ゲート線  $GL_b$  に接続される。

【0122】

第 1 スイッチング素子  $Q_a$  及び第 2 スイッチング素子  $Q_b$  は、下部表示板 100 に設けられている薄膜トランジスタなどの三端子素子であって、第 1 スイッチング素子  $Q_a$  の制御端子は第 1 ゲート線  $GL_a$  に接続され、入力端子はデータ線  $DL$  に接続され、出力端子は第 1 液晶キャパシタ  $C_{1ca}$  及び第 1 ストレージキャパシタ  $C_{sta}$  に接続される。

10

【0123】

第 2 スイッチング素子  $Q_b$  の制御端子は第 1 ゲート線  $GL_a$  に接続され、入力端子はデータ線  $DL$  と接続され、出力端子は第 2 液晶キャパシタ  $C_{1cb}$  及び第 2 ストレージキャパシタ  $C_{stb}$  に接続される。

【0124】

第 3 スイッチング素子  $Q_c$  も、下部表示板 100 に備えられている薄膜トランジスタなどの三端子素子であって、制御端子は第 2 ゲート線  $GL_b$  に接続され、入力端子は第 2 液晶キャパシタ  $C_{1cb}$  に接続され、出力端子は減圧キャパシタ  $C_{std}$  に接続される。

20

【0125】

しかし、図 12 の液晶表示装置は、図 3 に示した液晶表示装置とは異なって、減圧キャパシタ  $C_{std}$  は、第 3 スイッチング素子  $Q_c$  の出力端子と第 3 ゲート線  $GL_c$  とに接続され、第 3 ゲート線  $GL_c$  から拡張された容量電極（図示せず）と第 3 スイッチング素子  $Q_c$  の出力電極とが絶縁体を介して重畳することで形成される。

【0126】

また、第 3 ゲート線  $GL_c$  は、画素  $PX$  と列方向に隣接した他の画素の第 1 スイッチング素子  $Q_a$  及び第 2 スイッチング素子  $Q_b$  の入力端子と接続される。

【0127】

本実施形態による液晶表示装置の動作について説明すると、まず、第 1 ゲート線  $GL_a$  に印加される第 1 ゲート信号がゲートオフ電圧  $V_{off}$  からゲートオン電圧  $V_{on}$  に変わると、これに接続された第 1 スイッチング素子  $Q_a$  及び第 2 スイッチング素子  $Q_b$  が導通する。そのために、データ線  $DL$  に印加されたデータ電圧  $V_d$  は導通した第 1 スイッチング素子  $Q_a$  及び第 2 スイッチング素子  $Q_b$  を通じて第 1 画素  $PX_1$  の第 1 副画素電極  $PE_a$  及び第 2 副画素電極  $PE_b$  に印加される。この時、第 1 画素  $PX_1$  の第 1 副画素電極  $PE_a$  及び第 2 副画素電極  $PE_b$  に印加されたデータ電圧  $V_d$  は同一である。したがって、第 1 画素  $PX_1$  の第 1 液晶キャパシタ  $C_{1ca}$  及び第 2 液晶キャパシタ  $C_{1cb}$  は、共通電圧とデータ電圧  $V_d$  との差と同一の値で充電される。

30

【0128】

その後、第 1 ゲート信号は、ゲートオン電圧  $V_{on}$  からゲートオフ電圧  $V_{off}$  に変わり、同時に第 3 ゲート線  $GL_c$  に印加される第 2 ゲート信号がゲートオフ電圧  $V_{off}$  からゲートオン電圧  $V_{on}$  に変わると、第 1 画素  $PX_1$  の第 1 スイッチング素子  $Q_a$  及び第 2 スイッチング素子  $Q_b$  は遮断され、第 2 画素  $PX_2$  の第 1 スイッチング素子  $Q_a$  及び第 2 スイッチング素子  $Q_b$  は導通する。そうすると、データ線  $DL$  に印加されたデータ電圧  $V_d$  は、導通した第 2 画素  $PX_2$  の第 1 スイッチング素子  $Q_a$  及び第 2 スイッチング素子  $Q_b$  を通じて第 2 画素  $PX_2$  の第 1 副画素電極  $PE_a$  及び第 2 副画素電極  $PE_b$  に印加される。

40

【0129】

その後、第 3 ゲート信号は、ゲートオン電圧  $V_{on}$  からゲートオフ電圧  $V_{off}$  に変わり、同時に第 2 ゲート線  $GL_b$  に印加される第 3 ゲート信号がゲートオフ電圧  $V_{off}$  か

50

らゲートオン電圧  $V_{on}$  に変わると、第 1 画素  $PX1$  の第 3 スイッチング素子  $Qc$  が導通する。そうすると、第 1 画素  $PX1$  の第 2 副画素電極  $PEb$  から電荷が第 3 スイッチング素子  $Qc$  を通じて移動する。これにより、第 1 画素  $PX1$  の第 2 液晶キャパシタ  $C1cb$  の充電電圧は低くなり、第 1 画素  $PX1$  の減圧キャパシタ  $Cstd$  が充電される。第 1 画素  $PX1$  の第 2 液晶キャパシタ  $Cstb$  の充電電圧は、第 1 画素  $PX1$  の減圧キャパシタ  $Cstd$  の静電容量の値だけ低くなるので、第 1 画素  $PX1$  の第 2 液晶キャパシタ  $Cstb$  の充電電圧は、第 1 画素  $PX1$  の第 1 液晶キャパシタ  $Csta$  の充電電圧より低くなる。

#### 【0130】

次に、前述した第 1 画素  $PX1$  と同様に、第 2 画素  $PX2$  の減圧キャパシタ  $Cstd$  が接続される第 4 ゲート線（図示せず）にゲートオン電圧が印加されると、第 2 画素  $PX2$  の第 3 スイッチング素子  $Qc$  が導通して、第 2 画素  $PX2$  の第 2 副画素電極  $PEb$  から電荷が第 3 スイッチング素子  $Qc$  を通じて移動する。これにより、第 2 画素  $PX2$  の第 2 液晶キャパシタ  $C1cb$  の充電電圧は低くなり、第 2 画素  $PX2$  の減圧キャパシタ  $Cstd$  が充電される。第 1 画素  $PX1$  の第 2 液晶キャパシタ  $Cstb$  の充電電圧は、第 2 画素  $PX2$  の減圧キャパシタ  $Cstd$  の静電容量の値だけ低くなるので、第 2 画素  $PX2$  の第 2 液晶キャパシタ  $Cstb$  の充電電圧は、第 2 画素  $PX2$  の第 1 液晶キャパシタ  $Csta$  の充電電圧より低くなる。上述した段階が繰り返されるようになる。

#### 【0131】

以下、図 12 に示した実施形態による液晶表示装置の具体的な構造について説明する。

#### 【0132】

図 13 及び図 14 に示すように、本実施形態による液晶表示装置は、互いに対向する下部表示板 100 と上部表示板 200、及びこれら 2 つの表示板 100、200 の間に挿入されている液晶層 3 を含む。

#### 【0133】

まず、下部表示板 100 について説明する。

#### 【0134】

絶縁基板 110 の上に複数の第 1 ゲート線 121a、第 2 ゲート線 121b、複数の第 3 ゲート線 121c、及び複数の維持電極線 131 を含む複数のゲート導電体が形成されている。第 1 ゲート線 121a は第 1 ゲート電極 124a 及び第 2 ゲート電極 124b を含み、第 2 ゲート線 121b は第 3 ゲート電極 124c を含み、第 3 ゲート線 121c は容量電極 127 を含む。

#### 【0135】

維持電極線 131 は維持電極 137 をなす複数の突出部を含む。

#### 【0136】

ゲート導電体 121a、121b、121c、131 の上にはゲート絶縁膜 140 が形成されている。ゲート絶縁膜 140 の上には第 1 半導体 154a、第 2 半導体 154b、及び第 3 半導体 154c が形成されており、その上には複数の第 1 オーミックコンタクト部材（図示せず）、第 2 オーミックコンタクト部材 163b、165b、及び第 3 オーミックコンタクト部材 163c、165c が形成されている。

#### 【0137】

オーミックコンタクト部材 163b、163c、165b、165c 及びゲート絶縁膜 140 の上には、複数のデータ線 171、複数の第 1 ドレイン電極 175a、第 2 ドレイン電極 175b、第 3 ドレイン電極 175c、及び電極部材 177 を含むデータ導電体が形成されている。

#### 【0138】

データ線 171 は、複数の第 1 ソース電極 173a 及び第 2 ソース電極 173b と、他の層または外部駆動回路との接続のために面積が広い端部（図示せず）を含む。データ線 171 は、全体にわたって一直線上に設けず、1 画素当たり少なくとも 2 回屈曲している。具体的に、データ線 171 は、図 13 に示すように、縦方向に延長された第 1 縦部 171

10

20

30

40

50

a、第1縦部171aから右側に屈曲した後、横方向に延長された第1横部171c、第1横部171cから下側に屈曲した後、縦方向に延長された第2縦部171b、及び第2縦部171bから左に屈曲した後、横方向に延長された第2横部171dを含む。データ線171の第1縦部171aと第2縦部171bそれぞれは、互いに平行であり、互いに離隔している仮想の直線上に設けられる。

【0139】

第1ドレイン電極175a及び第2ドレイン電極175bは、広い一端部と、棒状の他端部とを含む。第1ドレイン電極175a及び第2ドレイン電極175bの棒状の端部は、第1ソース電極173a及び第2ソース電極173bによって一部が取り囲まれている。第2ドレイン電極175bは延長されて棒状の第3ソース電極173cをなす。第3ドレイン電極175cは第3ソース電極173cの一端部と対向し、第3ソース電極173cの他端部は拡張されて電極部材177をなす。

10

【0140】

第1ゲート電極124a、第1ソース電極173a、及び第1ドレイン電極175aは、第1半導体154aと共に1つの第1薄膜トランジスタQaを形成し、薄膜トランジスタのチャネルはソース電極173aとドレイン電極175aとの間の半導体154aに形成される。第2ゲート電極124b、第2ソース電極173b、及び第2ドレイン電極175bは、第2半導体154bと共に1つの第2薄膜トランジスタQbを形成し、第3ゲート電極124c、第3ソース電極173c、及び第3ドレイン電極175cは、第3半導体154cと共に1つの第3薄膜トランジスタQcを形成する。

20

【0141】

本実施形態による半導体154a、154b、154c、157は、データ線171、第1ドレイン電極～第3ドレイン電極175a、175b、175c、電極部材177、及びその下のオーミックコンタクト部材163b、163c、165b、165c、167と実質的に同一の平面形状である。しかし、線状半導体は、ソース電極173a～173cとドレイン電極175a～175cとの間をはじめとして、データ線171及びドレイン電極175a～175cによって覆われずに露出した部分がある。

【0142】

データ導電体171、173c、175a、175b、175c、177及び露出した半導体154a、154b、154c部分の上には保護膜180が形成されている。

30

【0143】

保護膜180には、データ線171の端部、第1ドレイン電極175aの広い端部、第2ドレイン電極175bの広い端部をそれぞれ露出する複数のコンタクトホール（図示せず）185a、185bが形成されており、保護膜180及びゲート絶縁膜140にはゲート線121の端部をそれぞれ露出する複数のコンタクトホール（図示せず）が形成されている。

【0144】

保護膜180の上には第1副画素電極191a及び第2副画素電極191bを含む画素電極191及び複数の接触補助部材（図示せず）が形成されている。

【0145】

各画素電極191は、ゲート線121a、121bまたはデータ線171、172とほぼ平行な4つの主辺を有するほぼ四角形状である。画素電極191の斜辺のうちの一部は、ゲート線121a、121bに対して約45°の角度をなすように面取りされた形状とすることもできる。

40

【0146】

1つの画素電極191をなす一对の第1副画素電極191a及び第2副画素電極191bは、間隙（gap）95を置いて互いに噛み合っており、第1副画素電極191aは第2副画素電極191bの中央に挿入されている。つまり、第2副画素電極191bは第1副画素電極191aを取り囲む形態であり、間隙95により離隔しているので、互いに重畳しない。

50

## 【0147】

第2副画素電極191bには、上部切開部92a、93a及び下部切開部92b、93bが形成されており、第2副画素電極191bはこれら切開部92a、92b、93a、93bによって複数の領域に分割される。切開部92a、92b、93a、93bは維持電極線131に対してほぼ反転対称の形状をなす。

## 【0148】

下部切開部及び上部切開部92a、92b、93a、93bは、ほぼ画素電極191の右側辺から左側辺、上側辺、または下側辺にななめ方向に延長されている。下部切開部及び上部切開部92a、92b、93a、93bは維持電極線131に対して下半部と上半部にそれぞれ位置している。下部切開部及び上部切開部92a、92b、93a、93bはゲート線121に対して約45°の角度をなし、互いに垂直に延長されている。

10

## 【0149】

したがって、画素電極191の下半部は間隙95及び下部切開部92b、93bによって4つの領域に分割され、上半部も間隙95及び上部切開部92a、93aによって4つの領域に分割される。この時、領域の数または切開部の数は、画素の大きさ、画素電極の横辺と縦辺との長さの比、液晶層3の種類や特性などの設計的要素に基づいて異なるように構成できる。

## 【0150】

切開部92a、92b、93a、93bの斜線部には三角形の切欠が形成されている。このような切欠は、四角形、梯形または半円形の形状を有することができ、突出するように、または凹むように形成しても良い。このような切欠は、切開部92a、92b、93a、93bに対応する領域の境界に位置する液晶分子3の配列方向を決定する。

20

## 【0151】

第1副画素電極191aは、コンタクトホール185aによって第1ドレイン電極175aと物理的、電氣的に接続され、第1ドレイン電極175aからデータ電圧の印加を受け、第2副画素電極191bは、コンタクトホール185bによって第2ドレイン電極175bと物理的、電氣的に接続され、第2ドレイン電極175bからデータ電圧が印加される。また、第2副画素電極191bはコンタクトホール185cによって第3ソース電極173cと物理的、電氣的に接続される。

## 【0152】

データ電圧が印加された第1副画素電極191a及び第2副画素電極191bは、共通電圧が印加される共通電極表示板200の共通電極200と共に電界を生成することにより、2つの電極191、270の間の液晶層3の液晶分子の方向を決定する。このように決められた液晶分子の方向によって液晶層3を通過する光の偏向が変わる。画素電極191と共通電極270とは液晶キャパシタを形成し、薄膜トランジスタがターンオフされた後にも印加された電圧を維持する。

30

## 【0153】

画素電極191は維持電極線131と重畳する。画素電極191が維持電極線131と重畳してストレージキャパシタを形成し、ストレージキャパシタは液晶キャパシタの電圧維持能力を強化する。

40

## 【0154】

容量電極127と第3ドレイン電極175cの電極部材177とは、ゲート絶縁膜140を介在して重畳して減圧キャパシタCst dを形成する。

## 【0155】

このように、本発明の一実施形態による液晶表示装置は、別途の追加的な容量電極線及び容量電極を設けずに、第3ゲート線121cから拡張された容量電極127を利用して減圧キャパシタCst dを形成するので、減圧キャパシタCst dを形成するための容量電極線及び容量電極を別途に形成する場合よりも開口率を高めることができる。

## 【0156】

次に、上部表示板200について説明する。

50

## 【0157】

絶縁基板 210 の上に遮光部材 220 が形成されている。基板 210 の上には、また、複数のカラーフィルタ 230 が形成されている。カラーフィルタ 230 は遮光部材 230 によって取り囲まれた領域内に大部分存在し、画素電極 191 の列に沿って図の縦方向に長く延長された構成とすることができる。カラーフィルタ 230 及び遮光部材 220 の上には蓋膜 250 が形成されている。蓋膜 250 の上には共通電極 270 が形成されている。共通電極 270 には複数の切開部 71、72、73a、73b、74a、74b 集合が形成されている。

## 【0158】

1つの切開部 71～74b 集合は1つの画素電極 191 と対向し、第1中央切開部 71 及び第2中央切開部 72、上部切開部 73a、74a、並びに下部切開部 73b、74b を含む。切開部 71～74b それぞれは、画素電極 191 の隣接切開部 91～94b の間に配置されている。また、各切開部 71～74b は画素電極 191 の下部切開部 93a、94a または上部切開部 93b、94b と平行に延長された少なくとも1つの斜線枝を含む。

10

## 【0159】

下部切開部及び上部切開部 73a～74b それぞれは、斜線枝、横枝及び縦枝を含む。斜線枝は、ほぼ画素電極 191 の右側辺から左側、上側、または下側辺に画素電極 191 の下部または上部切開部 92a～93b とほぼ平行に延長される。横枝及び縦枝は、斜線枝の各端から画素電極 191 の辺に沿って重畳しながら延長され、斜線枝と鈍角をなす。

20

## 【0160】

第1中央切開部 71 及び第2中央切開部 72 は、中央の横枝、一对の斜線枝、及び一对の終端の縦枝を含む。中央の横枝は、ほぼ画素電極 191 の右側辺から画素電極 191 の横中心線に沿って図の左方向に延長され、一对の斜線枝は、中央の横枝端から画素電極 191 の左側辺に向かってそれぞれ下部切開部及び上部切開部 73a、73b、74a、74b とほぼ平行に延長される。終端の縦枝は、斜線枝の各端から画素電極 191 の左側辺に沿って重畳しながら延長され、斜線枝と鈍角をなす。

## 【0161】

切開部 71～74b の斜線部には三角形の切欠が形成されている。切欠は、四角形、梯形、または半円形の形状を有することも可能である。

30

## 【0162】

切開部 71～74b の数及び方向も、設計要素に基づいて異なるよう構成することができる。

## 【0163】

共通電極 270 に共通電圧を印加し、画素電極 191 にデータ電圧を印加すると、表示板 100、200 の表面にほぼ垂直の電界が生成される。液晶分子は、電界に応答して、その長軸が電界の方向に対して垂直をなすように方向を変えようとする。以下、画素電極 191 と共通電極 271 とを共に電界生成電極という。

## 【0164】

一方、電界生成電極 191、270 の画素電極の切開部 92a、92b、93a、93b 及び共通電極の切開部 71～74b と、これらと平行な画素電極 191 の斜辺は、電界に歪みを加えて液晶分子の傾斜方向を決定する水平成分を生成する。電界の水平成分は切開部 92a～93b、92b、71～74b の斜辺と画素電極 191 の斜辺に対して垂直である。

40

## 【0165】

1つの共通電極切開部集合 71～74b 及び画素電極切開部集合 92a～93b は、画素電極 191 を複数の副領域に分割し、各副領域は画素電極 191 の主辺と傾斜角をなす2つの主辺を有する。各副領域上の液晶分子は、大部分主辺に垂直した方向に傾き、傾く方向はほぼ4方向である。このように液晶分子が傾く方向を多様にすると、液晶表示装置の基準視野角が大きくなる。

50

## 【 0 1 6 6 】

少なくとも 1 つの切開部 9 2 a ~ 9 3 b、7 1 ~ 7 4 b は、突起や陥没部に代替することができ、切開部 9 2 a ~ 9 3 b、7 1 ~ 7 4 b の形状及び配置は変更可能である。

## 【 0 1 6 7 】

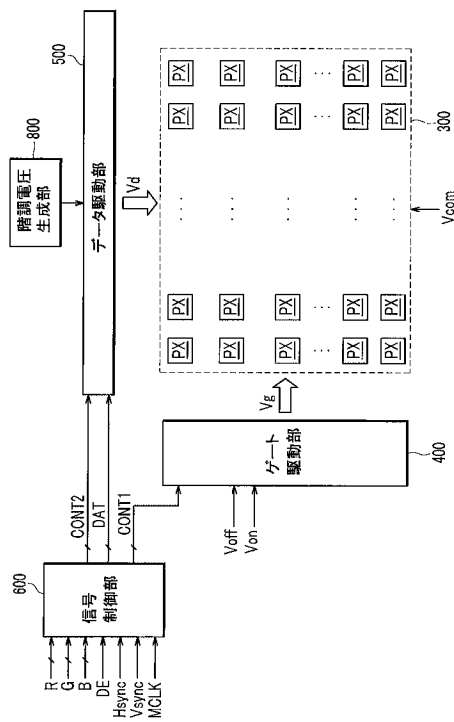
以上、本発明の好ましい実施形態について詳細に説明したが、本発明の権利範囲はこれらに限定されることなく、次の請求範囲で定義している本発明の基本概念を利用した当業者の種々の変形及び改良形態も本発明の権利範囲に属するものである。

## 【 符号の説明 】

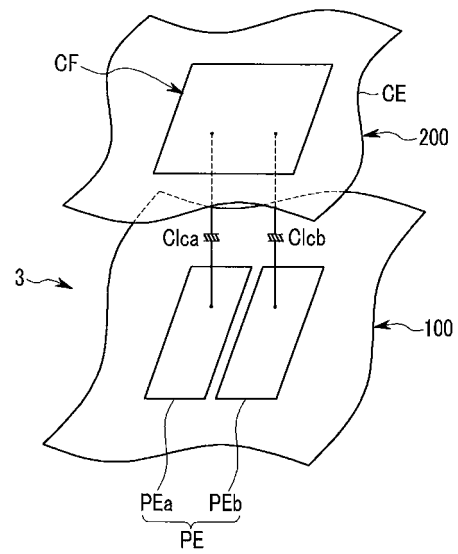
## 【 0 1 6 8 】

|                                       |              |    |
|---------------------------------------|--------------|----|
| 3                                     | 液晶層          | 10 |
| 5 5、1 1 0、2 1 0                       | 基板           |    |
| 5 4、5 6、5 7                           | 光遮断膜         |    |
| 5 1、5 2                               | 階段           |    |
| 1 0 0、2 0 0                           | 表示板          |    |
| 1 2 1 a、1 2 1 b、1 2 1 c               | ゲート線         |    |
| 1 2 4 a、1 2 4 b、1 2 4 c               | ゲート電極        |    |
| 1 3 1                                 | 維持電極線        |    |
| 1 5 4 a、1 5 4 b、1 5 4 c、1 5 7         | 半導体          |    |
| 1 6 3 b、1 6 5 b、1 6 5 b、1 6 5 c、1 6 7 | オーミックコンタクト部材 |    |
| 1 7 1                                 | データ線         | 20 |
| 1 7 3 a、1 7 3 b、1 7 3 c               | ソース電極        |    |
| 1 7 5 a、1 7 5 b、1 7 5 c               | ドレイン電極       |    |
| 1 8 0                                 | 保護膜          |    |
| 1 8 1 a、1 8 1 b、1 8 6                 | コンタクトホール     |    |
| 1 9 1                                 | 画素電極         |    |
| 2 2 0                                 | 遮光部材         |    |
| 2 3 0                                 | カラーフィルタ      |    |
| 2 5 0                                 | 蓋膜           |    |
| 2 7 0                                 | 共通電極         |    |
| 3 0 0                                 | 液晶表示板組立体     | 30 |
| 4 0 0                                 | ゲート駆動部       |    |
| 5 0 0                                 | データ駆動部       |    |
| 6 0 0                                 | 信号制御部        |    |
| 8 0 0                                 | 階調電圧生成部      |    |

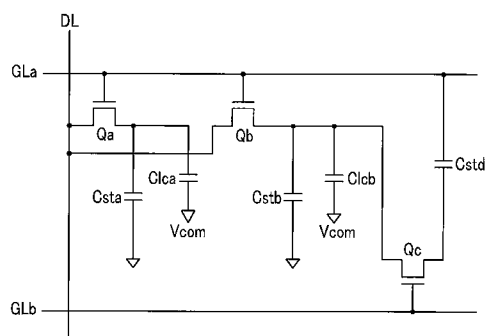
【図 1】



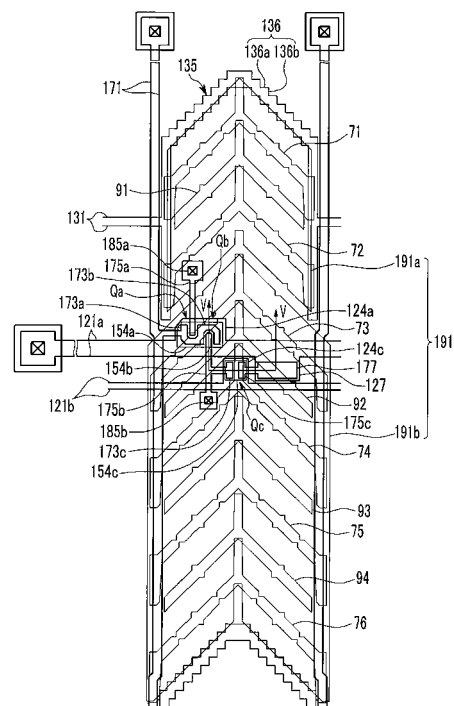
【図 2】



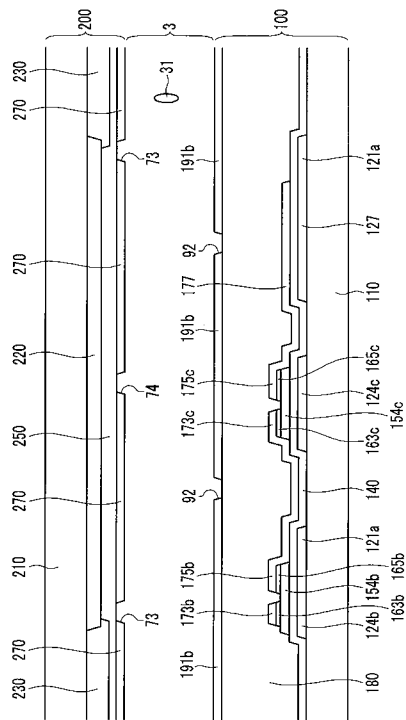
【図 3】



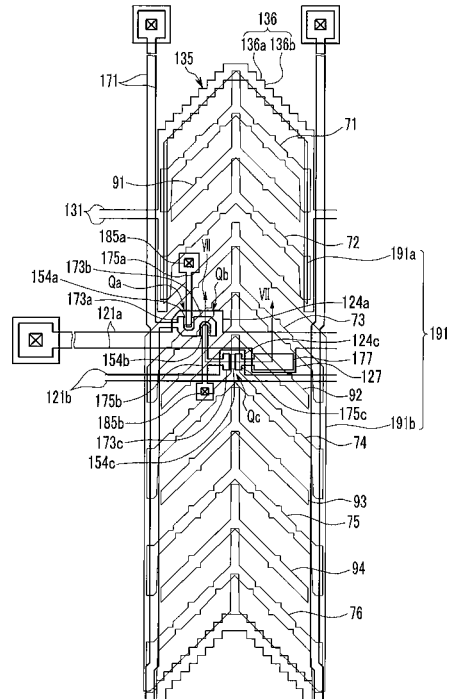
【図 4】



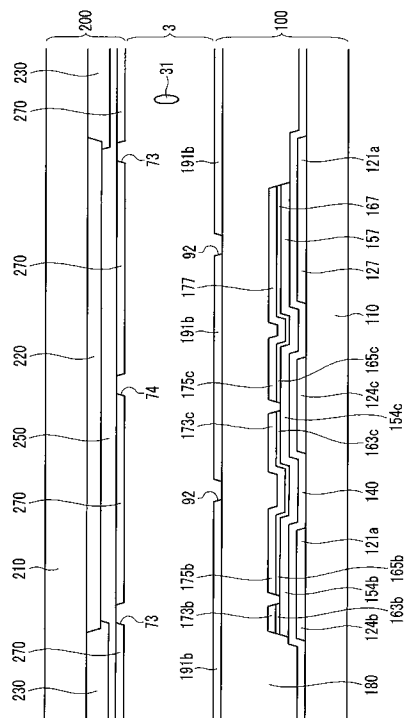
【 図 5 】



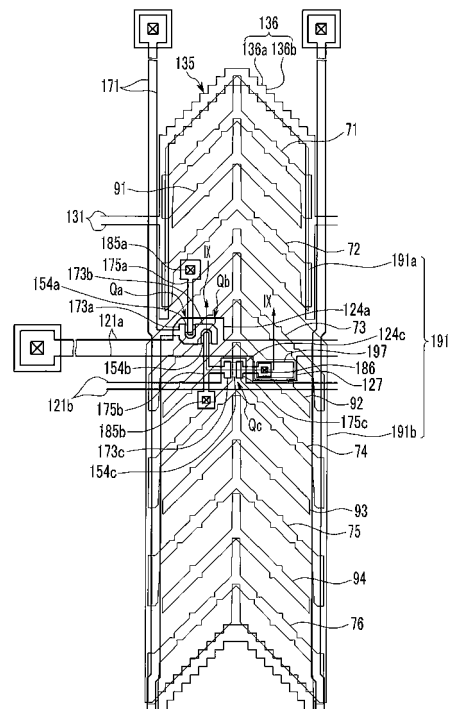
【 図 6 】



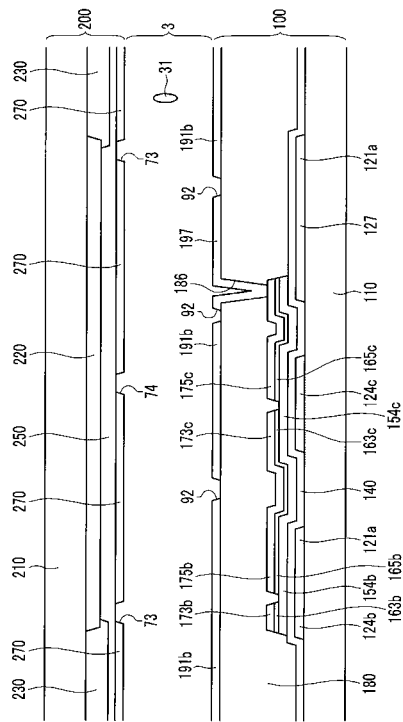
【 圖 7 】



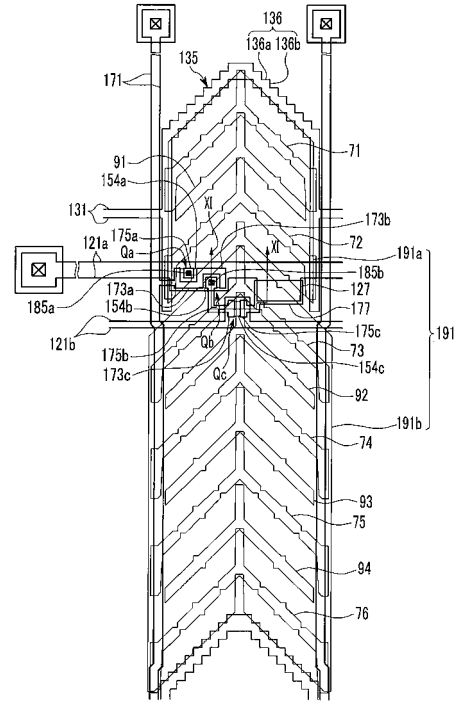
【 図 8 】



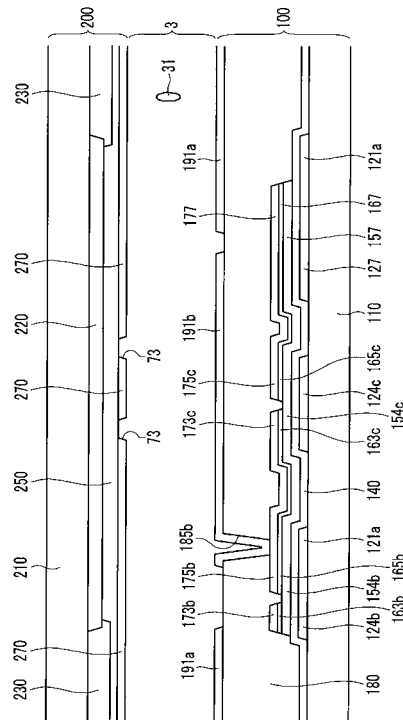
【図 9】



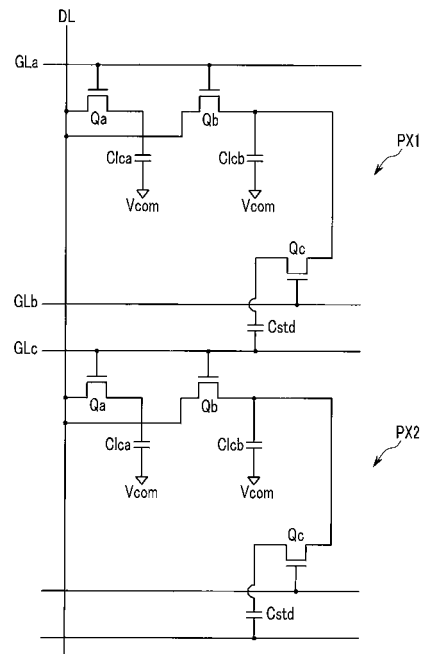
【図 10】



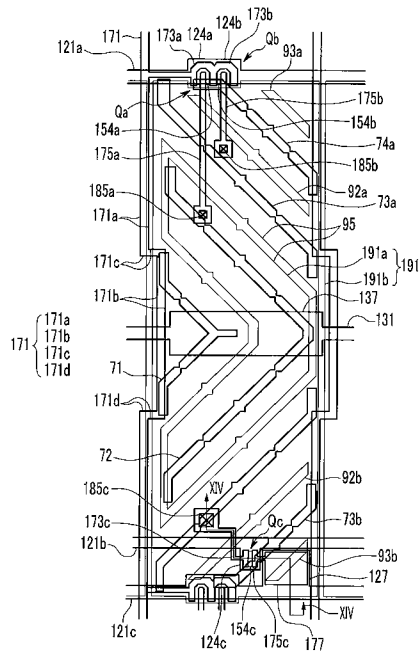
【図 11】



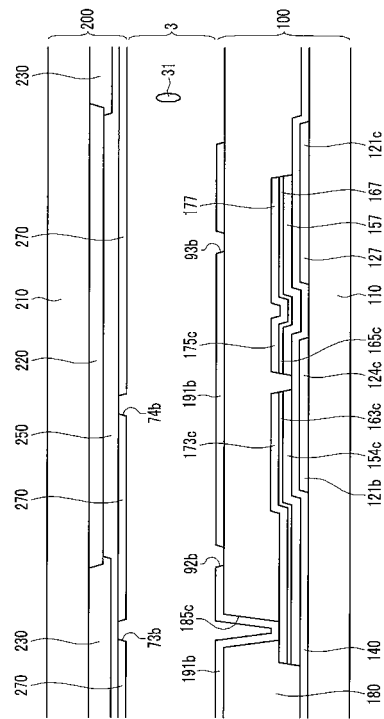
【図 12】



【図 13】



【図 14】



---

フロントページの続き

(72)発明者 李 潤 錫

大韓民国忠▲清▼南道天安市斗井洞 1 0 7 8 番地 ゲリョンリシュビルアパート 1 0 3 棟 8 0 3 号

(72)発明者 趙 英 濟

大韓民国忠▲清▼南道天安市斗井洞 6 6 6 番地 斗井 4 次ブルジオアパート 4 0 5 棟 1 0 1 号

F ターム(参考) 2H092 GA14 JA26 JA46 JB13 JB43 JB52 JB58 JB69 KA24 MA14

NA07 PA02 PA06 QA09

