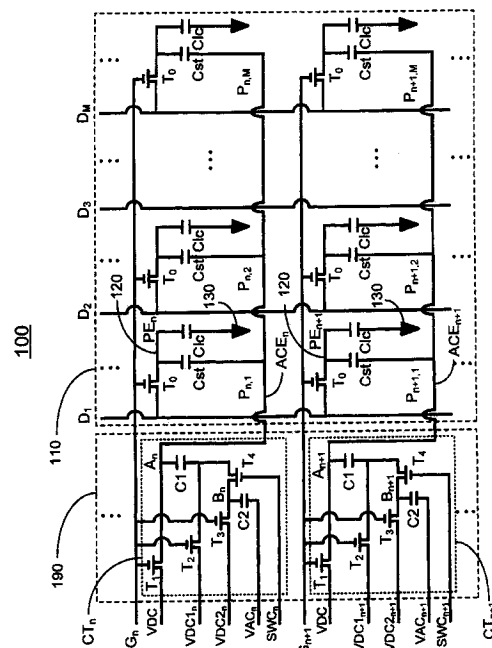




【特許請求の範囲】

【請求項 1】

ディスプレイパネルであって、

(a) 共通電極と、

(b) 行方向に沿って順次に配置される複数の走査線と、

(c) 前記走査線と間隔を置いて行方向に沿って順次に配置される複数の補助共通電極と、

(d) 列方向に沿って順次に配置される複数のデータ線と、

(e) 2本の隣接する走査線及び2本の隣接するデータ線との間に配置される複数の画素と、

(f) 対応する前記走査線及び対応する前記補助共通電極に電氣的に接続される複数の共通電圧駆動回路と、

を備え、

各前記画素は、

(i) 画素電極と、

(ii) ゲート、ソース及びドレインを有して、対応する前記走査線、対応する前記データ線及び前記画素電極に電氣的に接続されるトランジスタと、

(iii) 前記画素電極と前記共通電極との間に電氣的に接続される液晶キャパシタと、

(iv) 前記画素電極と前記補助共通電極との間に電氣的に接続される電荷蓄積キャパシタと、
を含み、

各前記共通電圧駆動回路は、第1トランジスタ、第2トランジスタ、第3トランジスタ及び第4トランジスタを含み、前記第1トランジスタ、第2トランジスタ及び前記第3トランジスタのゲートは前記走査線に電氣的に接続され、前記第4トランジスタのゲートは第4電圧に電氣的に接続され、前記第4電圧は対応する走査信号と180度の位相差を有する、

ことを特徴とするディスプレイパネル。

【請求項 2】

各前記共通電圧駆動回路は、更に第1キャパシタと第2キャパシタを含み、
前記第1キャパシタは第1端及び第2端を有してそれぞれ前記第1トランジスタのドレイン及び前記第2トランジスタのドレインに電氣的に接続され、前記第2キャパシタは第1端及び第2端を有してそれぞれ前記第3トランジスタのドレイン及び第5電圧に電氣的に接続され、

(a) 前記第1トランジスタのソースは、第1電圧を受け取るのに用いられ、前記第1トランジスタのドレインは前記補助共通電極に電氣的に接続され、

(b) 前記第2トランジスタのソースは、第2電圧を受け取るのに用いられ、

(c) 前記第3トランジスタのソースは、第3電圧を受け取るのに用いられ、

(d) 前記第4トランジスタのソース及びドレインは、それぞれ前記第3トランジスタのドレイン及び前記第2トランジスタのドレインに電氣的に接続される、

ことを特徴とする請求項1に記載のディスプレイパネル。

【請求項 3】

(a) 前記走査線に電氣的に接続され、複数の走査信号を発生して前記画素のトランジスタを作動させるゲート駆動回路と、

(b) 前記データ線に電氣的に接続され、複数のデータ信号を発生する信号駆動回路と、
を更に備えることを特徴とする請求項1に記載のディスプレイパネル。

【請求項 4】

各前記走査信号は波形を有し、前記波形は第1電位及び第2電位を有し、前記第1電位は前記第2電位より大きく、且つ、前記複数の走査信号の波形が互いに時間差を有することを特徴とする請求項3に記載のディスプレイパネル。

10

20

30

40

50

【請求項 5】

前記第 1 電圧、第 2 電圧、第 3 電圧は直流電圧であり、前記第 4 電圧及び第 5 電圧は交流電圧であることを特徴とする請求項 4 に記載のディスプレイパネル。

【請求項 6】

更に表示領域と前記表示領域に隣接する非表示領域とを含み、前記画素は前記表示領域に形成され、前記共通電圧駆動回路は前記非表示領域に形成されることを特徴とする請求項 1 に記載のディスプレイパネル。

【請求項 7】

液晶ディスプレイであって、

- (a) 共通電極と、
- (b) 行方向に沿って順次に配置される複数の走査線と、
- (c) 前記走査線と間隔を置いて行方向に沿って順次に配置される複数の補助共通電極と、
- (d) 列方向に沿って順次に配置される複数のデータ線と、
- (e) 2 本の隣接する走査線及び 2 本の隣接するデータ線との間に配置される複数の画素と、

(f) 前記走査線及び前記補助共通電極に対応して電氣的に接続される複数の共通電圧駆動回路と、

を備え、

各前記画素は、

(i) 画素電極と、

(ii) 前記走査線、前記データ線及び前記画素電極にそれぞれ対応して電氣的に接続されるゲート、ソース及びドレインを有するトランジスタと、

(iii) 前記画素電極及び前記共通電極との間に電氣的に接続される液晶キャパシタと、

(iv) 前記画素電極と前記補助共通電極との間に電氣的に接続される電荷蓄積キャパシタと、

を含み、

各前記共通電圧駆動回路は、第 1 トランジスタ、第 2 トランジスタ、第 3 トランジスタ及び第 4 トランジスタを含み、前記第 1 トランジスタ、第 2 トランジスタ及び前記第 3 トランジスタのゲートは前記走査線に電氣的に接続され、前記第 4 トランジスタのゲートは第 4 電圧に電氣的に接続され、前記第 4 電圧は前記走査線に印加される走査信号と 180 度の位相差を有する、

ことを特徴とする液晶ディスプレイ。

【請求項 8】

各前記共通電圧駆動回路は、更に第 1 キャパシタ及び第 2 キャパシタを含み、

前記第 1 キャパシタは第 1 端と第 2 端を有して、前記第 1 トランジスタのドレインと前記第 2 トランジスタのドレインにそれぞれ電氣的に接続され、前記第 2 キャパシタは第 1 端と第 2 端を有して、前記第 3 トランジスタのドレインと第 5 電圧にそれぞれ電氣的に接続され、

(a) 前記第 1 トランジスタのソースは、第 1 電圧を受け取るのに用いられ、前記第 1 トランジスタのドレインは前記補助共通電極に電氣的に接続され、

(b) 前記第 2 トランジスタのソースは、第 2 電圧を受け取るのに用いられ、

(c) 前記第 3 トランジスタのソースは、第 3 電圧を受け取るのに用いられ、

(d) 前記第 4 トランジスタのソース及びドレインは、それぞれ前記第 3 トランジスタのドレイン及び前記第 2 トランジスタのドレインに電氣的に接続される、

ことを特徴とする請求項 7 に記載の液晶ディスプレイ。

【請求項 9】

(a) 前記走査線に電氣的に接続され、複数の走査信号を発生して前記画素のトランジスタを作動させるゲート駆動回路と、

(b) 前記データ線に電氣的に接続され、複数のデータ信号を発生する信号駆動回路と

、
を更に備えることを特徴とする請求項 7 に記載の液晶ディスプレイ。

【請求項 10】

各前記走査信号は波形を有し、前記波形は第 1 電位及び第 2 電位を有し、前記第 1 電位は前記第 2 電位より大きく、且つ、前記複数の走査信号の波形が互いに時間差を有することを特徴とする請求項 9 に記載の液晶ディスプレイ。

【請求項 11】

前記第 1 電圧、第 2 電圧、第 3 電圧は直流電圧であり、前記第 4 電圧及び第 5 電圧は交流電圧であることを特徴とする請求項 10 に記載の液晶ディスプレイ。

【請求項 12】

表示領域と前記表示領域に隣接する非表示領域とを更に含み、前記画素は前記表示領域に形成され、前記共通電圧駆動回路は前記非表示領域に形成されることを特徴とする請求項 7 に記載の液晶ディスプレイ。

【請求項 13】

請求項 1 に記載のディスプレイを駆動する駆動方法であって、
複数の共通電圧駆動信号を前記共通電圧駆動回路に提供して、2 段階リフトアップカップリング電圧を前記補助共通電極に提供するステップ、
を含むことを特徴とする駆動方法。

【請求項 14】

更に、前記走査線とデータ線に複数の走査信号と複数のデータ信号を提供するステップを含むことを特徴とする請求項 13 に記載の駆動方法。

【請求項 15】

各前記共通電圧駆動信号は第 1 電圧、第 2 電圧、第 3 電圧、第 4 電圧及び第 5 電圧を含み、前記第 4 電圧は対応する前記走査信号と 180 度の位相差を有することを特徴とする請求項 14 に記載の駆動方法。

【請求項 16】

前記第 1 電圧、第 2 電圧及び前記第 3 電圧は直流電圧であり、前記第 4 電圧と第 5 電圧は交流電圧であることを特徴とする請求項 15 に記載の駆動方法。

【請求項 17】

請求項 7 に記載の液晶ディスプレイを駆動する駆動方法であって、
複数の共通電圧駆動信号を前記共通電圧駆動回路に提供して、2 段階リフトアップカップリング電圧を前記補助共通電極に提供するステップ、
を含むことを特徴とする駆動方法。

【請求項 18】

更に、前記走査線とデータ線に複数の走査信号と複数のデータ信号を提供するステップを含むことを特徴とする請求項 17 に記載の駆動方法。

【請求項 19】

各前記共通電圧駆動信号は第 1 電圧、第 2 電圧、第 3 電圧、第 4 電圧と第 5 電圧を含み、前記第 4 電圧は対応する前記走査信号と 180 度の位相差を有することを特徴とする請求項 18 に記載の駆動方法。

【請求項 20】

液晶ディスプレイに適用する共通電圧駆動回路であって、
前記液晶ディスプレイは、複数の走査線、複数の補助共通電極、複数のデータ線および複数の画素を備え、
前記共通電圧駆動回路は、

(a) 対応する前記走査線に電気的に接続されるゲート、第 1 電圧を受け取るソース、及び対応する前記補助共通電極に電気的に接続されるドレインを有する第 1 トランジスタと、

(b) 対応する前記走査線に電気的に接続されるゲート、第 2 電圧を受け取るソース及びドレインを有する第 2 トランジスタと、

10

20

30

40

50

(c) 対応する前記走査線に電氣的に接続されるゲート、第 3 電圧を受け取るソース及びドレインを有する第 3 トランジスタと、

(d) 第 4 電圧に電氣的に接続されるゲート、前記第 3 トランジスタのドレインに電氣的に接続されるソース及び前記第 2 トランジスタのドレインに電氣的に接続されるドレインを有する第 4 トランジスタと、

(e) 前記第 1 トランジスタのドレイン及び前記第 2 トランジスタのドレインにそれぞれ電氣的に接続される第 1 端及び第 2 端を有する第 1 キャパシタと、

(f) 前記第 3 トランジスタのドレインに電氣的に接続される第 1 端、及び第 5 電圧を受け取る第 2 端を有する第 2 キャパシタと、

を含むことを特徴とする共通電圧駆動回路。

10

【請求項 21】

前記第 4 電圧は対応する前記走査信号と 180 度の位相差を有することを特徴とする請求項 20 に記載の共通電圧駆動回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、液晶ディスプレイに関し、特に、2 段階リフトアップカップリング電圧設計 (two-level lift-up coupling voltage scheme) を有し、消費電力を低下させながら行反転を実現する液晶ディスプレイおよびその駆動方法に関する。

【背景技術】

20

【0002】

液晶ディスプレイ (LCD) は、液晶セル及び画素素子からなる LCD パネルを含み、各画素素子は液晶セルに対応していて、液晶キャパシタと電荷蓄積キャパシタとを有する (特許文献 1 を参照)。薄膜トランジスタ (TFT) は液晶キャパシタと電荷蓄積キャパシタに電氣的に接続される。これらの画素は実質的に複数の画素列及び画素行を有するマトリクス状に配列される。具体的には、走査信号が画素行に連続的に印加され、画素を一行ずつ順次に作動させる。走査信号が画素行に印加されて、画素行における画素に対応する薄膜トランジスタを作動させるとき、画素行のソース信号 (例えば、画像信号) が同時に画素列に印加され、画素行における液晶キャパシタと電荷蓄積キャパシタを充電させる。よって、画素行に対応する液晶セルの方向をコントロールして光透過率を制御することができる。画素行に上記ステップを繰り返すことにより、各画素がソース信号を受信して対応する画像信号を表示する。

30

【0003】

LCD パネルの画素中の液晶分子の配向方位は、光線透過率に大きな影響をもたらす。当業者であれば誰でも知っているように、液晶層に高電位差が長時間印加された後、液晶分子の光伝送特性が永久的に変化してしまう。さらに、この変化は LCD パネルの表示特性に回復できない劣化現象を招いてしまう。従って、液晶分子の劣化を防ぐために、現在一般的に液晶分子に印加する電圧の極性を交替する方法を用いている。上記方法は、例えば、フレーム反転、行反転、列反転及びドット反転などの反転構造を含む。通常、反転構造を利用する場合、より高い画像品質を得るためには、極性の交替をより頻繁にさせなければならないので、消費電力が高い。例えば、よく使われる行反転回路の設計は消費電力が高い。また、DCVCOM の方法に関しては、列反転を実現するためのデータ電圧を多く必要としている。

40

その為、今まで、当該領域において上記不備を改善する解決方法が必要とされている。

【先行技術文献】

【特許文献】

【0004】

【特許文献 1】 米国特許出願公開第 2006/0284811 号明細書

【発明の概要】

【発明が解決しようとする課題】

50

【0005】

本発明は、消費電力を低下させながら行反転を実現する液晶ディスプレイおよびその操作方法を提供する。

【課題を解決するための手段】

【0006】

本発明の1例において、液晶ディスプレイはLCDパネルを含み、上記LCDパネルは、共通電極、複数の走査線、複数の補助共通電極、複数のデータ線と複数の画素を含む。複数の走査線 $\{G_n\}$ ($n=1, 2 \dots N$, N は正整数である)は、行方向に沿って順次に配置される。複数の補助共通電極 ACE_n は、行方向に沿って順次に配置され且つ複数の走査線 $\{G_n\}$ と間隔を置いている。複数のデータ線 $\{D_m\}$ ($m=1, 2 \dots M$, M は正整数である)は、列方向に沿って順次に配置され、そのうち、列方向と行方向は垂直である。複数の画素 $\{P_{n,m}\}$ は、マトリクスを形成し、各画素行は2本の隣接する走査線 G_n と G_{n+1} の間に配置され、且つ、補助共通電極 ACE_n を有する。各画素 $P_{n,m}$ は、2本の隣接する走査線 G_n, G_{n+1} と2本の隣接するデータ線 D_n, D_{n+1} との間に配置される。各画素 $\{P_{n,m}\}$ は、画素電極、トランジスタ $T0$ 、液晶キャパシタ $C1c$ と電荷蓄積キャパシタ Cst を含む。トランジスタ $T0$ は、ゲート、ソース及びドレインを有し、それぞれ対応する走査線 G_n 、データ線 D_m 及び画素電極に電氣的に接続される。液晶キャパシタ $C1c$ は、画素電極と共通電極との間に電氣的に接続され、電荷蓄積キャパシタ Cst は、画素電極と補助共通電極 ACE_n との間に電氣的に接続される。

【0007】

また、LCDパネルは複数の共通電極駆動回路 $\{CT_n\}$ を含む。各共通電圧駆動回路 CT_n は、対応する走査線 G_n と対応する補助共通電極 ACE_n に電氣的に接続される。各共通電圧駆動回路 $\{CT_n\}$ は、第1トランジスタ $T1$ 、第2トランジスタ $T2$ 、第3トランジスタ $T3$ 、第4トランジスタ $T4$ 及び第2キャパシタ $C2$ を含む。第1トランジスタ $T1$ は、ゲート、ソース及びドレインを有し、ゲートは走査線 G_n に電氣的に接続され、ソースは第1電圧 VDC を受け取るのに用いられ、ドレインは補助共通電極 ACE_n に電氣的に接続される。第2トランジスタ $T2$ は、ゲート、ソース及びドレインを有し、ゲートは走査線 G_n に電氣的に接続され、ソースは第2電圧 $VDC1_n$ を受け取るのに用いられる。第3トランジスタ $T3$ は、ゲート、ソース及びドレインを有し、ゲートは走査線 G_n に電氣的に接続され、ソースは第3電圧 $VDC2_n$ を受け取るのに用いられる。第4トランジスタ $T4$ は、ゲート、ソース及びドレインを有し、ゲートは第4電圧 SWC_n を受け取るのに用いられ、ソースは第3トランジスタ $T3$ のドレインに電氣的に接続され、ドレインは第2トランジスタ $T2$ のドレインに電氣的に接続される。第2キャパシタは、第1端と第2端を有し、第1端は第3トランジスタ $T3$ のドレインに電氣的に接続され、第2端は第5電圧 VAC_n を受け取るのに用いられる。

【0008】

本発明のもう一つの態様はLCDパネルの操作方法に関し、1例において、当該操作方は、複数の共通電圧駆動信号を共通電圧駆動回路に供給して、対応する複数の2段階リフトアップカップリング電圧を発生するステップと、複数の走査信号を対応する走査線 G_n に供給し、複数のデータ信号を対応するデータ線 $\{D_m\}$ に供給し、複数の共通電圧駆動信号を共通電圧駆動回路 $\{CT_n\}$ に用いて、対応する複数の2段階リフトアップカップリング電圧を発生するステップとを含む。

【0009】

本発明のもう1つの態様は、液晶ディスプレイに適用する共通電圧駆動回路に関し、液晶ディスプレイは、LCDパネルを含み、上記LCDパネルは、共通電極、複数の走査線、複数の補助共通電極、複数のデータ線と複数の画素を含む。複数の走査線 $\{G_n\}$ ($n=1, 2 \dots N$, N は正整数である)は、行方向に沿って順次に配置される。複数の補助共通電極 ACE_n は行方向に沿って順次に配置されるとともに、複数の走査線 $\{G_n\}$ と間隔を置いている。複数のデータ線 $\{D_m\}$ ($m=1, 2 \dots M$, M は正整数である)は、列方向に沿って順次に配置され、そのうち、列方向と行方向は垂直である。複数の画素 $\{P_{n,m}\}$

は、マトリクスを形成し、各画素行は2本の隣接する走査線 G_n と G_{n+1} との間に配置されるとともに、補助共通電極 ACE_n を有する。各画素 $P_{n,m}$ は、2本の隣接する走査線 G_n 及び G_{n+1} と2本の隣接するデータ線 D_n と D_{n+1} との間に配置される。各画素 $\{P_{n,m}\}$ は、画素電極、トランジスタ $T0$ 、液晶キャパシタ C_{lc} 及び電荷蓄積キャパシタ C_{st} を含む。トランジスタ $T0$ は、ゲート、ソース及びドレインを有し、それぞれ対応する走査線 G_n 、データ線 D_m 及び画素電極に電氣的に接続される。液晶キャパシタ C_{lc} は画素電極と共通電極との間に電氣的に接続され、電荷蓄積キャパシタ C_{st} は画素電極と補助共通電極 ACE_n との間に電氣的に接続される。

【0010】

1例において、共通電圧駆動回路 CT_n は、第1トランジスタ $T1$ 、第2トランジスタ $T2$ 、第3トランジスタ $T3$ 、第4トランジスタ $T4$ 、第1キャパシタ $C1$ 及び第2キャパシタ $C2$ を含む。第1トランジスタ $T1$ は、ゲート、ソース及びドレインを有し、ゲートは走査線 G_n に電氣的に接続され、ソースは第1電圧 VDC を受け取るのに用いられ、ドレインは補助共通電極 ACE_n に電氣的に接続される。第2トランジスタ $T2$ は、ゲート、ソース及びドレインを有し、ゲートは走査線 G_n に電氣的に接続され、ソースは第2電圧 VDC_{1n} を受け取るのに用いられる。第3トランジスタ $T3$ は、ゲート、ソース及びドレインを有し、ゲートは走査線 G_n に電氣的に接続され、ソースは第3電圧 VDC_{2n} を受け取るのに用いられる。第4トランジスタ $T4$ は、ゲート、ソース及びドレインを有し、ゲートは第4電圧 SWC_n に電氣的に接続され、ソースは第3トランジスタ $T3$ のドレインに電氣的に接続され、ドレインは第2トランジスタ $T2$ のドレインに電氣的に接続される。第1キャパシタ $C1$ は第1端と第2端を有し、第1端は第1トランジスタ $T1$ のドレインに電氣的に接続され、第2端は第2トランジスタ $T2$ のドレインに電氣的に接続される。第2キャパシタ $C2$ は第1端と第2端を有し、第1端は第3トランジスタ $T3$ のドレインに電氣的に接続され、第2端は第5電圧 VAC_n を受け取るのに用いられる。そのうち、前記第4電圧は対応する前記走査信号と180度の位相差を有する。

【0011】

本発明の上述及びその他の目的、特徴、利点と実施例をより一層明確に判るよう、添付した図面を下記の通り説明する。

【図面の簡単な説明】

【0012】

【図1】本発明の1例による液晶ディスプレイを示す部分的回路図である。

【図2】本発明の1例による液晶ディスプレイに印加された駆動信号と、液晶ディスプレイにおける対応する画素電位を示すタイミング図である。

【図3】本発明の他の実施例による液晶ディスプレイに印加された駆動信号と液晶ディスプレイにおける対応する画素電位を示すタイミング図である。

【図4】液晶ディスプレイにおける 6×8 画素マトリクスに対する従来の V_{com} 行反転のHspiceシミュレーションデータを示す図である。

【図5】液晶ディスプレイにおける 6×8 画素マトリクスに対する2段階リフトアップ行反転のHspiceシミュレーションデータを示す図である。

【発明を実施するための形態】

【0013】

本発明をより一層明確にして、当業者が本発明の旨をより分かりやすくするために、下記の実施例を挙げ説明する。下記段落において、本発明の様々な実施例について詳しく説明する。添付の図面において、同じ番号は同様または類似の素子を代表する。

【0014】

以下、図1～図5を参照しながら本発明の実施例を具体的に説明する。本発明の1つの態様は液晶ディスプレイおよびその駆動方法に関する。当該液晶ディスプレイは2段階リフトアップカップリング電圧駆動回路を用いることによって、共通電圧駆動回路の振動周波数を減らすとともに、ソース駆動回路の高電圧出力を防ぎ、共通電圧及びソース駆動回路の消費電力を低減させる。

10

20

30

40

50

【0015】

図1は、本発明の1例による液晶ディスプレイの部分的回路図である。液晶ディスプレイはLCDパネル100を含み、LCDパネル100は共通電極130と、複数の走査線 $G_1, G_2 \dots G_n, G_{n+1} \dots G_N$ と、複数の補助共通電極 ACE_n と、複数のデータ線 $D_1, D_2 \dots D_m, D_{m+1} \dots D_M$ と、複数の画素 $\{P_{n,m}\}$ と、を含む。走査線 $G_1, G_2 \dots G_n, G_{n+1} \dots G_N$ は行（走査）方向に沿って順次に配置され、データ線 $D_1, D_2 \dots D_m, D_{m+1} \dots D_M$ は列方向に沿って順次に配置され、なお、列方向と行方向は互いに垂直であり、 N と M はそれぞれ1より大きい正整数である。また、複数の画素 $\{P_{n,m}\}$ は隣接する走査線とデータ線との間に配置されてマトリクスを形成し、各画素行は2本の隣接する走査線 G_n 及び G_{n+1} の間に介在して形成され、且つ補助共通電極 ACE_n を有する。各画素 $P_{n,m}$ は、2本の隣接する走査線 G_n 及び G_{n+1} と2本の隣接するデータ線 D_n 及び D_{n+1} との間に配置される。図1は、LCDパネル100における2本の走査線 G_n, G_{n+1} と、4本のデータ線 D_1, D_2, D_3 及び D_M と、6つの対応する画素 $P_{n,1}, P_{n,2}, P_{n,M}, P_{n+1,1}, P_{n+1,2}$ 及び $P_{n+1,M}$ のみを示して、本発明の1例を説明する。

10

【0016】

そのうち、各画素 $P_{n,m}$ は画素電極120、トランジスタ $T0$ 、液晶キャパシタ $C1c$ および電荷蓄積キャパシタ Cst を有する。トランジスタ $T0$ は、ゲート、ソース及びドレインを有し、それぞれ走査線 G_n 、データ線 D_m 及び画素電極120に電氣的に接続される。液晶キャパシタ $C1c$ は、画素電極120と共通電極130との間に電氣的に接続される。電荷蓄積キャパシタ Cst は、画素電極120と補助共通電極 ACE_n との間に電氣的に接続される。1例において、各画素はそれぞれ対応する補助共通電極 ACE_n を形成し、なお、同一画素行に形成された補助共通電極 ACE_n は、互いに電氣的に接続される。

20

【0017】

また、LCDパネル100は複数の共通電圧駆動回路 $\{CT_n\}$ を含み、共通電圧駆動回路 $\{CT_n\}$ は、第1トランジスタ $T1$ 、第2トランジスタ $T2$ 、第3トランジスタ $T3$ 、第4トランジスタ $T4$ 、第1キャパシタ $C1$ および第2キャパシタ $C2$ を含み、共通電圧駆動回路 CT_n は対応する走査線 G_n と対応する補助共通電極 ACE_n に電氣的に接続される。

【0018】

第1トランジスタ $T1$ は、ゲート、ソース及びドレインを有し、ゲートは走査線 G_n に電氣的に接続され、ソースは第1電圧 VDC を受け取るのに用いられ、ドレインは補助共通電極 ACE_n に電氣的に接続される。第2トランジスタ $T2$ は、ゲート、ソース及びドレインを有し、ゲートは走査線 G_n に電氣的に接続され、ソースは第2電圧 $VDC1_n$ を受け取るのに用いられる。第3トランジスタ $T3$ は、ゲート、ソース及びドレインを有し、ゲートは走査線 G_n に電氣的に接続され、ソースは第3電圧 $VDC2_n$ を受け取るのに用いられる。第4トランジスタ $T4$ は、ゲート、ソース及びドレインを有し、ゲートは第4電圧 SWC_n に電氣的に接続され、ソースは第3トランジスタ $T3$ に電氣的に接続される。また、第1キャパシタ $C1$ は第1端と第2端を有し、それぞれ第1トランジスタ $T1$ のドレインと第2トランジスタ $T2$ のドレインに電氣的に接続される。第2キャパシタ $C2$ は第1端と第2端を有し、それぞれ第3トランジスタ $T3$ のドレインと第5電圧 VAC_n に電氣的に接続される。

30

40

【0019】

第1電圧 VDC 、第2電圧 $VDC1_n$ と第3電圧 $VDC2_n$ は直流電圧である。1例において、 $VDC1_n = VDC2_{n+1}$ および $VDC2_n = VDC1_{n+1}$ である。さらに、第4電圧 SWC_n と第5電圧 VAC_n は交流電圧である。例えば、第4電圧 SWC_n の波形は高電位 V_{GH} と低電位 V_{GL} を有し、各第4電圧 SWC_n の波形は、互いの間に時間差を有する。さらに、各第5電圧 VAC_n の波形は高電位 V_{comH} と低電位 V_{comL} を有し、第5電圧 VAC_n の波形も、互いの間に時間差を有する。図2と図3は、第4電圧 SWC_n と第5電圧 VAC_n のタイミング図である。

50

【0020】

LCDパネル100は、さらに、ゲート駆動回路と信号駆動回路（図示せず）を含む。ゲート駆動回路は上記走査線と電氣的に接続され、信号駆動回路は上記データ線と電氣的に接続される。ゲート駆動回路は、それぞれ複数の走査線 $\{G_n\}$ に印加される複数の走査信号 $\{g_n\}$ を発生して、走査線 $\{G_n\}$ に電氣的に接続されるトランジスタ $T0 \sim T3$ を駆動する。信号駆動回路は、それぞれデータ線 $\{D_m\}$ に印加される複数のデータ信号 $\{d_n\}$ を発生する。

【0021】

1例において、走査信号 $\{g_n\}$ は波形を有し、その波形は第1電位 V_{GH} と第2電位 V_{GL} を有し、第1電位 V_{GH} は第2電位 V_{GL} より大きく、且つ走査信号 g_n の波形は互いに時間差を有する。1例において、同一画素行の第4電圧 SWC_n の波形は対応する走査信号 g_n と180度の位相差を有し、例えば、第4電圧 SWC_n が高電位 V_{GH} にある時、それに対応する走査信号 g_n は低電位 V_{GL} にあり、逆の場合も同様である。

【0022】

上記回路配置は、実際操作においてその第1電圧 VDC 、第2電圧 $VDC1_n$ 及び第3電圧 $VDC2_n$ の直流電圧信号はすべて第4電圧 VAC_n の交流電圧信号に接続されて、対応する画素電極の電荷蓄積キャパシタ Cst に対し充（放）電動作を行って駆動電圧を下げる。例えば、データ信号 $\{d_m\}$ をデータ線 $\{D_m\}$ に印加する。

【0023】

本発明の1例によれば、液晶ディスプレイのLCDパネル100は、表示領域110および非表示領域190を含む。複数の画素 $\{P_{n,m}\}$ は表示領域110に形成され、共通電圧駆動回路 $\{CT_n\}$ は非表示領域190に形成され、そのうち、表示領域110に隣接するように非表示領域190を配置されるのが好ましい。共通電圧駆動回路 $\{CT_n\}$ は表示領域110における複数の画素 $\{P_{n,m}\}$ を製作するプロセスにおいて、同時に非表示領域190に形成されてもよく、ここで改めて説明はしない。

【0024】

図2は本発明の1例によるLCDパネル100に印加される駆動信号とLCDパネル100における対応する画素電位 PE_1 及び PE_2 とのタイミング図である。タイミング図において、走査信号 g_1, g_2 と g_3 はそれぞれ高電位 V_{GH} と低電位 V_{GL} を有する。1例において、 $T = (t2 - t1)$ であり、フレームは $t4 - t1$ である。走査信号 g_1, g_2 と g_3 の波形は1フレームにおいて時間差で順次に移動し、データ信号 d_1 はデータ線 D_1 に用いられる。

【0025】

第1電圧信号 VDC は共通電圧駆動回路の第1トランジスタ $T1$ のソースに印加される。第4電圧 SWC_1, SWC_2 と SWC_3 はそれぞれ第1共通電圧駆動回路 CT_1 の第4トランジスタ $T4$ のゲート、第2共通電圧駆動回路 CT_2 の第4トランジスタ $T4$ のゲートと第3共通電圧駆動回路 CT_3 の第4トランジスタ $T4$ のゲートに印加される。第4電圧 SWC_1 を例にすると、 T 区域において低電位 V_{GL} を有し、対応する走査信号 g_1 と180度の位相差を有し、同じく、第4電圧 SWC_2, SWC_3 も SWC_1 と同様な特性を持ち、対応する走査信号 g_2, g_3 と180度の位相差を有し、ここでは改めて説明をしない。第5電圧 VAC_1, VAC_2 及び VAC_3 はそれぞれ第1共通電圧駆動回路 CT_1 の第2キャパシタ $C2$ の第2端、第2共通電圧駆動回路 CT_2 の第2キャパシタ $C2$ の第2端及び第3共通電圧駆動回路 CT_3 の第2キャパシタ $C2$ の第2端に印加される。各第5電圧 VAC_1, VAC_2 及び VAC_3 の波形は、いずれも高電位 V_{comH} と低電位 V_{comL} を有し、第5電圧 VAC_n の波形は互いに時間差を持って順次に移動される。

【0026】

結合電位 A_1 と A_2 はそれぞれ第1共通電圧駆動回路 CT_1 と第2共通電圧駆動回路 CT_2 により発生され、第1電圧信号 VDC 、第2電圧信号 $VDC1_1$ 、第3電圧信号 $VDC2_2$ 、第4電圧信号 VAC_1 及び第5電圧信号 SWC_1 の結合により形成された第1組の信号と、第1電圧信号 VDC 、第2電圧信号 $VDC1_2$ 、第3電圧信号 $VDC2_2$ 、第4電圧信号 VAC_2 及び第5電圧信号 SWC_2 の結合により形成された第2組の信号とにそれぞれ対応する。さらに、結合電位 A_1 と A_2 は補助共通電極 ACE_1 と ACE_2 に印加されて、それぞれ第1画素行と第2画素行の各画素にお

10

20

30

40

50

る電荷蓄積キャパシタCstに対して充（放）電を行う。電位 PE_1 と PE_2 は第1画素行と第2画素行における画素電極120の電位である。なお、対応する電位 PE_1 と PE_2 はそれぞれ結合電位 A_1 および A_2 と比例関係を呈する。以下、結合電位 A_1 を例として説明する。

【0027】

図2に示すように、時間 t_1 において、第1ゲート信号 g_1 は低電位 V_{GL} から高電位 V_{GH} に変更し、第4電圧SWC₁は高電位 V_{GH} から低電位 V_{GL} に変更される。時間 t_1 から時間 t_2 までの間、第1トランジスタT1、第2トランジスタT2と第3トランジスタT3はすべてオンの状態であり、第4トランジスタT4はオフの状態である。従って、第1電圧信号VDCと第2電圧信号VDC₁の直流電圧電位は第1キャパシタC1に対し充電を行う。第3電圧信号VDC₂の直流電圧電位と第5電圧信号VAC₁の交流電圧電位は、第2キャパシタC2に対し充電を行う。このように、V2は第1電圧信号VDCと第2電圧信号VDC₁の直流電圧電位のみに関連する。

10

【0028】

時間 t_2 において、第1ゲート信号 g_1 は高電位 V_{GH} から低電位 V_{GL} に変更し、第4電圧SWC₁は低電位 V_{GL} から高電位 V_{GH} に変更される。時間 t_2 から時間 t_3 までの間、第1トランジスタT1、第2トランジスタT2及び第3トランジスタT3はすべてオフの状態であり、第4トランジスタT4はオンの状態であり、 A_1 はV3を維持する。

【0029】

時間 t_1 から t_3 までの間、第5電圧信号VAC₁は低電位VcomLに位置する。しかし、時間 t_3 において、第5電圧信号VAC₁は低電位VcomLから高電位VcomHに変更される。第1トランジスタT1、第2トランジスタT2と第3トランジスタT3はすべてオフの状態であり、第4トランジスタT4はオンの状態である。従って、 A_1 の電位はV3からV4に引き上げられる。 A_1 の電位差 ΔV は、 $\Delta V = (V4 - V2)$ であり、結合電位 A_1 の2段階リフトアップ作用効果と見なされる。

20

【0030】

時間 t_3 から t_4 において、第5電圧信号VAC₁は高電位VcomHに位置する。しかし、第1トランジスタT1、第2トランジスタT2及び第3トランジスタT3はすべてオフの状態であり、第4トランジスタT4はオンの状態である。従って、 A_1 はV4を維持する。

【0031】

明らかであるように、2段階リフトアップ作用により、結合電位 A_1 は実質的に上昇または低下される。2段階リフトアップ作用が第1画素行における各画素の電荷蓄積キャパシタCstに印加・応用される場合、第1画素行における各画素の画素電極における電位 PE_1 が実質的に上昇または低下され、ソースデータ信号 $\{d_m\}$ の電位を増加または減少する必要がなく、データ駆動回路の消費電力を低減することができる。

30

【0032】

同様に、上記説明はその他の共通電圧駆動回路により発生された結合電位にも印加・応用することができる。

【0033】

また、図2に示すように、本発明の1例によれば、 PE_1 と PE_2 は互いに逆である。そのため、行反転の作用を実現することができる。

40

【0034】

図3は本発明の他の実施例による液晶ディスプレイに印加された駆動信号と対応する画素電位のタイミング図である。この実施例において、 $VDC = 1.5V$ 、 $VDC_1 = 3.0V$ 、 $VDC_2 = 1.0V$ 、 $VDC_1 = 1.0V$ 、 $VDC_2 = 3.0V$ 、 $VcomL = 1.0V$ 、 $VcomH = 3.0V$ である。時間 t_1 において、 g_1 は高電位 V_{GH} に変更し、SWC₁は低電位 V_{GL} に変更される。第1トランジスタT1、第2トランジスタT2と第3トランジスタT3はすべてオンの状態で、第4トランジスタT4はオフの状態であり、 A_1 は $-2.5V$ から $1.5V$ に変更される。続いて、時間 t_1 から時間 t_2 の間、 g_1 はその高電位 V_{GH} を維持し、SWC₁もその低電位 V_{GL} を維持し、 A_1 は $1.5V$ を維持する。時間 t_2 において、 g_1 は低電位 V_{GL} に変更し、SWC₁は高電位 V_{GH} に変更され、第1トランジスタT1、第2トランジスタT2及び第3トランジスタT3はすべてオフの状態

50

で、第4トランジスタT4はオンの状態である。第3トランジスタT3がオンにされる場合、キャパシタC2の両端は2Vの電位差 ($\Delta V1 = 3.5V - 1.5V$) を有して、A1を3.5Vまで引き上げる。時間t3において、 g_1 は低電位 V_{GL} を維持し、VAC1はVcomLからVcomHに変更される。第1トランジスタT1、第2トランジスタT2及び第3トランジスタT3はすべてオフの状態で、第4トランジスタT4はオンの状態である。VAC1の変動 ($\Delta V2 = 3V - 1V$) により、A1は5.5Vまで引き上げられる。従って、第1リフトアップ電圧と第2リフトアップ電圧はすべて約2Vであり、言い換えれば、結合電位の2段階リフトアップ電圧合計 ($\Delta V1 + \Delta V2$) は約4Vである。

【0035】

図4はHspice回路シミュレーションソフトにより従来の行反転を 6×8 画素マトリクスにシミュレーション実行させることを示し、そのうち、電圧変数の設定は下記の通りである：ゲート信号は $V_{GH} = 9.0V$ 、 $V_{GL} = -6.0V$ ；ソース信号は $V_{SH} = 4.3V$ 、 $V_{SL} = 0.0V$ ；第5電圧信号VAC_nはVcomH=2.7V、VcomL=1.0V；第1電圧信号VDC=1.81V。シミュレーションの結果、LC電圧差は4.87V（黒い細線）と0.476V（黒い太線）、RMSパワーは4.975 μW （黒い細線、2フレーム）である。

【0036】

図5はHspice回路シミュレーションソフトにより2段階リフトアップ行反転を 6×8 画素マトリクスにシミュレーション実行させることを示し、そのうち、電圧変数の設定は下記の通りである：ゲート信号は $V_{GH} = 9.0V$ 、 $V_{GL} = -6.0V$ ；ソース信号は $V_{SH} = 4.3V$ 、 $V_{SL} = 0.0V$ ；第5電圧信号VAC_nはVcomH=2.7V、VcomL=1.0V；第1電圧信号VDC=1.81V。シミュレーションの結果、LC電圧差は4.837V（黒い細線）と0.517V（黒い太線）、RMSパワーは3.748 μW （黒い細線、2フレーム）である。従来の行反転液晶ディスプレイに比べて、2段階リフトアップ行反転液晶ディスプレイの消費電力は少ない。上記シミュレーションは 6×8 画素マトリクスに対して行ったシミュレーションであり、本発明を例えば1024 $\times$ 768画素マトリクスLCDパネルに応用すると、消費電力を有効に低減させるだけでなく、より好ましい画像品質も実現できる。

【0037】

本発明のもう1つの態様は、図1に開示された液晶ディスプレイを駆動する操作方法である。1例において、上記方法は下記のステップを含む：複数の共通電圧駆動信号を提供して複数の共通電圧駆動回路 {CT_n} に印加し、対応して複数の2段階リフトアップカップリング電圧を発生するステップと、複数の走査信号 {g_n} と複数のデータ信号 {d_m} を複数の走査線 {G_n} と複数のデータ線 {D_m} に提供するステップとを含み、そのうち、各2段階リフトアップカップリング電圧は対応する画素行の補助共通電極ACE_nに印加される。共通電圧駆動信号は、第1電圧信号VDC、第2電圧信号VDC1_n、第3電圧信号VDC2_n、第4電圧信号SWC_n及び第5電圧信号VAC_nを含む。第1電圧信号VDC、第2電圧信号VDC1_n及び第3電圧信号VDC2_nは直流電圧で、第4電圧信号SWC_n及び第5電圧信号VAC_nは交流電圧であり、同一画素行の第4電圧信号SWC_nと走査信号g_nは180度の位相差を有する。

【0038】

つまり、本発明はLCDパネル、上記LCDパネルを含む液晶ディスプレイおよびその駆動方法を開示し、共通電圧駆動回路により2段階リフトアップカップリング電圧を発生して、対応する画素行における各画素の電荷蓄積キャパシタCstに印加し、これによりデータ駆動回路の消費電力を低下させるとともに、表示品質を向上させることができる。

【0039】

以上、本発明の好適な実施例をあげ説明したが、本発明はこれらの実施例に限定されるものではない。当業者であれば、本発明の精神及び範囲を逸脱しない限り、多少の変動や潤色を加えることができる。従って、本発明の保護範囲は、特許請求の範囲の記載を基準とする。

【符号の説明】

【0040】

10

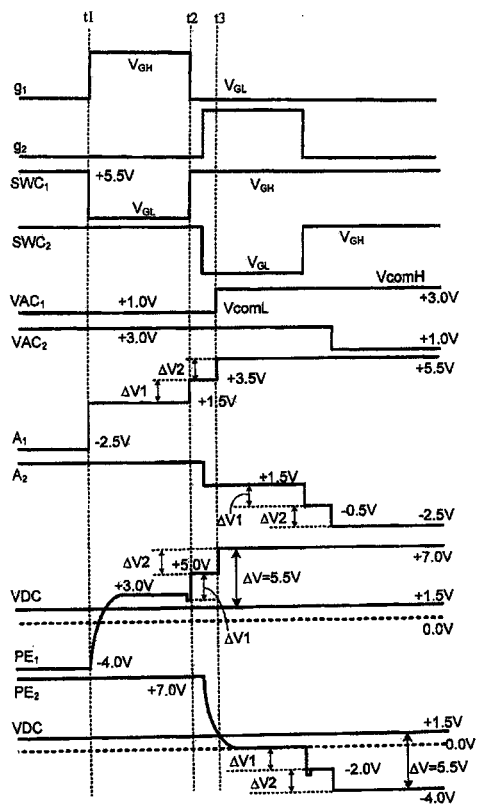
20

30

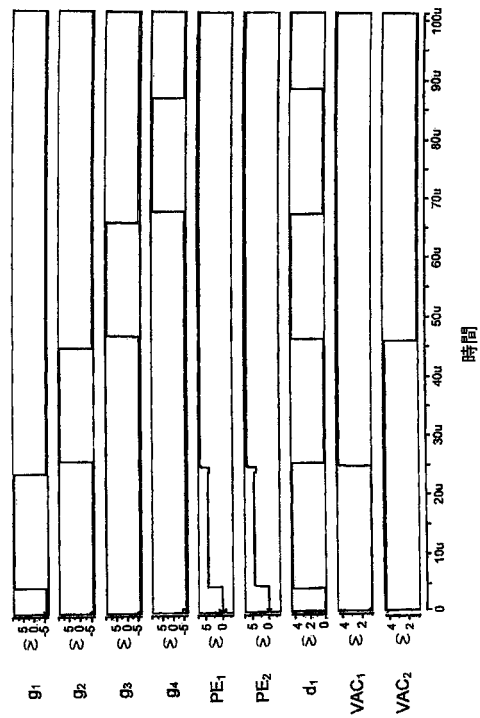
40

50

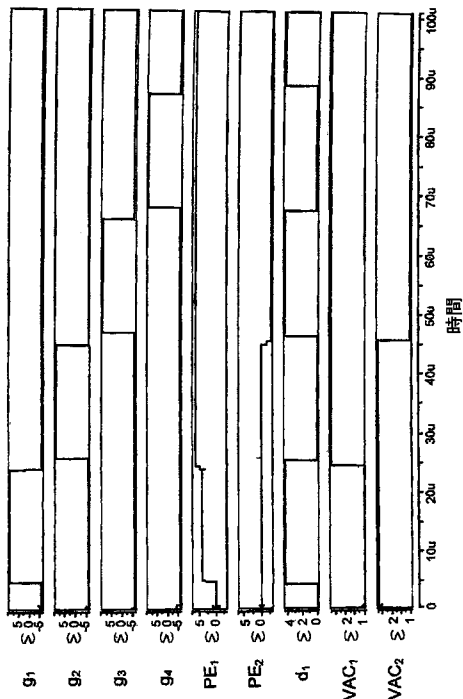
【図 3】



【図 4】



【図 5】



フロントページの続き

(72)発明者 ▲ジャン▼ 功一

台湾新竹市科学工業園區力行二路1号 友達光電股▲ふん▼有限公司内

(72)発明者 黎 煥欣

台湾新竹市科学工業園區力行二路1号 友達光電股▲ふん▼有限公司内

Fターム(参考) 2H193 ZA04 ZA07 ZB02 ZB03 ZB14 ZB16 ZC04 ZC25

5C006 AC09 AC25 AC27 BB16 FA47

5C080 AA10 BB05 DD26 FF11 FF12 JJ02 JJ03 JJ04

专利名称(译)	具有共电压驱动电路的液晶显示器及其驱动方法		
公开(公告)号	JP2010198001A	公开(公告)日	2010-09-09
申请号	JP2010002162	申请日	2010-01-07
[标]申请(专利权)人(译)	友达光电股份有限公司		
申请(专利权)人(译)	友达光电股▲ふん▼有限公司		
[标]发明人	范姜國皓 ジャン 功一 黎煥欣		
发明人	范姜 國皓 ▲ジャン▼ 功一 黎 煥欣		
IPC分类号	G02F1/133 G09G3/36 G09G3/20		
CPC分类号	G09G3/3614 G09G3/3655 G09G3/3696 G09G2300/0426 G09G2300/0876 G09G2310/0281 G09G2330/023		
FI分类号	G02F1/133.550 G09G3/36 G09G3/20.624.C G09G3/20.621.B G09G3/20.611.A G02F1/1343 G02F1/1368		
F-TERM分类号	2H193/ZA04 2H193/ZA07 2H193/ZB02 2H193/ZB03 2H193/ZB14 2H193/ZB16 2H193/ZC04 2H193/ZC25 5C006/AC09 5C006/AC25 5C006/AC27 5C006/BB16 5C006/FA47 5C080/AA10 5C080/BB05 5C080/DD26 5C080/FF11 5C080/FF12 5C080/JJ02 5C080/JJ03 5C080/JJ04 2H092/GA59 2H092/JA24 2H092/JB69 2H092/NA26 2H092/PA06 2H192/AA24 2H192/DA12 2H192/FB05 2H192/GD61		
优先权	12/392796 2009-02-25 US		
其他公开文献	JP5095762B2		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供具有公共电压驱动电路的液晶显示器及其驱动方法。解决方案：具有功耗降低的液晶显示器包括多个像素，这些像素被布置为形成具有N个像素行的矩阵。各个像素行由两条相邻的扫描线Gn和Gn + 1间隔地限定，并且具有辅助公共电极和多个公共电压驱动电路，并且每个公共电压驱动电路电耦合在扫描线Gn和相应的辅助公共电极之间。用于向辅助公共电极提供两级提升耦合电压。

