

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-146025

(P2010-146025A)

(43) 公開日 平成22年7月1日(2010.7.1)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/36 (2006.01)	G09G 3/36	2H193
G09G 3/20 (2006.01)	G09G 3/20 624C	5C006
G02F 1/133 (2006.01)	G09G 3/20 612D	5C080
	G02F 1/133 550	

審査請求 有 請求項の数 8 O L (全 35 頁)

(21) 出願番号	特願2010-22879 (P2010-22879)	(71) 出願人	000001443
(22) 出願日	平成22年2月4日 (2010.2.4)		カシオ計算機株式会社
(62) 分割の表示	特願2008-264664 (P2008-264664) の分割		東京都渋谷区本町 1 丁目 6 番 2 号
原出願日	平成20年10月10日 (2008.10.10)	(72) 発明者	石井 裕満
(31) 優先権主張番号	特願2007-284603 (P2007-284603)		東京都八王子市石川町 2 9 5 1 番地の 5
(32) 優先日	平成19年10月31日 (2007.10.31)		カシオ計算機株式会社八王子技術センター 内
(33) 優先権主張国	日本国 (JP)	F ターム (参考)	2H193 ZA04 ZA07 ZB02 ZB03 ZB08 ZB14 ZB16 ZC16 ZC25 ZD12 ZF22 5C006 AA22 AC09 AC25 BB16 BC20 BF46 5C080 AA10 BB05 CC03 DD01 JJ02 JJ03 JJ04 JJ06

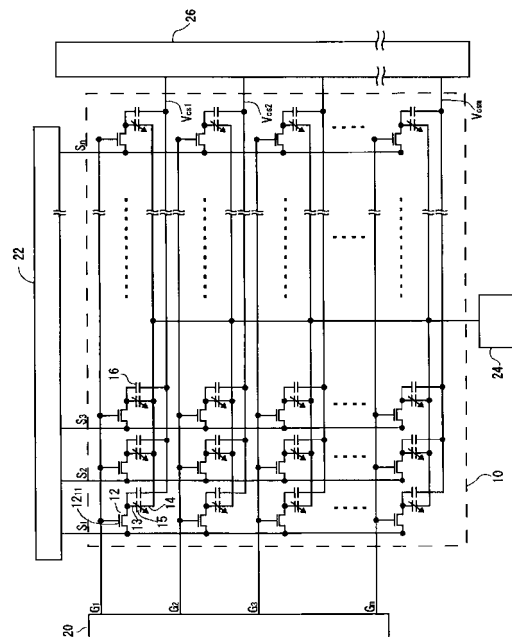
(54) 【発明の名称】 液晶表示装置及びその駆動方法

(57) 【要約】

【課題】ドライバLSIの出力電圧を越える画素電圧を得る液晶表示装置及びその駆動方法を提供する。

【解決手段】液晶表示装置は、表示部 10、走査線駆動回路 20、信号線駆動回路 22、信号線用駆動信号とは逆位相の対向電極用駆動信号を対向電極に出力する対向電極駆動回路 24、スイッチング素子 12 の出力端に一端を接続する補助容量 16、各行のスイッチング素子 12 に接続され、かつ、各行の補助容量 16 の他端を共通にした複数の行からなる補助容量線を駆動する補助容量線駆動回路 26 を備えている。補助容量線駆動回路 26 は、各行の補助容量線に対し対向電極用駆動信号の第 1 周期には第 1 の電圧を印加し、対向電極用駆動信号の第 1 周期の後の $p + 1 / 2$ 周期 (ここで、 p は 0 又は自然数) には第 2 の電圧を印加し、 $p + 1 / 2$ 周期の後の保持期間では開状態とする信号を、各行の走査線用駆動信号毎に合わせて出力する。

【選択図】 図 1



【特許請求の範囲】

【請求項 1】

複数の行（ここで、行は $1 \leq i \leq m$ の任意の自然数）からなる走査線と、複数の列（ここで、列は $1 \leq j \leq n$ の任意の自然数）からなる信号線と、該走査線と該信号線との交差部に設けられたスイッチング素子と、該スイッチング素子の出力端に接続された画素電極と、対向電極と、該画素電極と該対向電極との間に液晶セルが配設されてなる m 行 $\times$ n 列の画素マトリクスと、上記スイッチング素子の出力端に一端が接続される補助容量と、上記各行のスイッチング素子に接続され、かつ、上記各行の補助容量の他端を共通にした複数の行からなる補助容量線と、から成る表示部と、

上記各行の走査線に対しスイッチング素子がオンとなるオン期間及びオフとなる保持期間を有する走査線用駆動信号を出力する走査線駆動回路と、

上記各列の信号線に対し信号線用駆動信号を出力する信号線駆動回路と、

上記対向電極に対し対向電極用駆動信号を出力する対向電極駆動回路と、

上記各行の補助容量線に対し補助容量線用駆動信号を出力する補助容量線駆動回路と、を備え、

上記補助容量線駆動回路は、補助容量線に対し上記対向電極用駆動信号の第 1 周期には第 1 の電圧を印加し、上記対向電極用駆動信号の第 1 周期の後の $p + 1 / 2$ 周期（ここで、 p は 0 又は自然数）には第 2 の電圧を印加し、この $p + 1 / 2$ 周期の後の保持期間では開状態とする信号を上記各行の走査線用駆動信号毎に合わせて出力する、液晶表示装置。

【請求項 2】

前記補助容量線駆動回路は、前記補助容量線毎に接続される第 1 及び第 2 の駆動用トランジスタでなり、

上記第 1 の駆動用トランジスタの第 1 主電極が前記補助容量の他端と接続され、

上記第 1 の駆動用トランジスタの第 2 主電極が第 1 の共通電極となる対向電極配線（COM 1）と接続され、

上記第 1 の駆動用トランジスタの制御電極が i 行目の走査線（ G_i ）と接続され、

上記第 2 の駆動用トランジスタの第 1 主電極が上記第 1 の駆動用トランジスタの第 1 主電極と接続され、

上記第 2 の駆動用トランジスタの第 2 主電極が第 2 の共通電極配線（COM 2）と接続され、

上記第 2 の駆動用トランジスタの制御電極が $i + 2$ 行目の走査線（ G_{i+2} ）と接続される、請求項 1 に記載の液晶表示装置。

【請求項 3】

前記補助容量は第 1 及び第 2 の補助容量からなり、該第 1 及び第 2 の補助容量の一端が前記画素電極に接続され、上記第 1 の補助容量の他端が前記補助容量線駆動回路に接続されると共に、上記第 2 の補助容量の他端が前記対向電極に接続される、請求項 1 又は 2 に記載の液晶表示装置。

【請求項 4】

前記表示部は第 1 及び第 2 の基板を備え、前記走査線及び信号線が該第 1 の基板上に設けられ、前記対向電極は上記第 2 の基板上に設けられている、請求項 1 ~ 3 の何れかに記載の液晶表示装置。

【請求項 5】

前記補助容量は、前記第 1 の基板上に設けた配線と、該配線上に設けた絶縁膜と、該絶縁膜上に設けた透明電極とからなる、請求項 4 に記載の液晶表示装置。

【請求項 6】

前記補助容量線駆動回路は前記表示部に隣接して設けられ、該補助容量線駆動回路はアモルファスシリコン又はポリシリコンを用いた薄膜トランジスタからなる、請求項 1 又は 2 に記載の液晶表示装置。

【請求項 7】

複数の行（ここで、行は $1 \leq i \leq m$ の任意の自然数）からなる走査線と、複数の列（こ

10

20

30

40

50

ここで、列は $1 \leq j \leq n$ の任意の自然数) からなる信号線と、該走査線と該信号線との交差部に設けられたスイッチング素子と、該スイッチング素子の出力端に接続された画素電極と、対向電極と、該画素電極と該対向電極との間に液晶セルが配設されてなる m 行 $\times$ n 列の画素マトリクスと、上記スイッチング素子の出力端に一端が接続される補助容量と、上記各行のスイッチング素子に接続され、かつ、上記各行の補助容量の他端を共通にした複数の行からなる補助容量線と、から成る表示部と、

上記各行の走査線に対しスイッチング素子がオンとなるオン期間及びオフとなる保持期間を有する走査線用駆動信号を出力する走査線駆動回路と、

上記各列の信号線に対し信号線用駆動信号を出力する信号線駆動回路と、

上記対向電極に対し対向電極用駆動信号を出力する対向電極駆動回路と、

上記各行の補助容量線に対し補助容量線用駆動信号を出力する補助容量線駆動回路と、を備え、

上記補助容量線駆動回路は、上記補助容量線毎に接続される第 1 及び第 2 の駆動用トランジスタでなり、

上記第 1 の駆動用トランジスタの第 1 主電極が上記補助容量の他端と接続され、

上記第 1 の駆動用トランジスタの第 2 主電極が第 1 の共通電極となる対向電極配線 (COM 1) と接続され、

上記第 1 の駆動用トランジスタの制御電極が i 行目の走査線 (G_i) と接続され、

上記第 2 の駆動用トランジスタの第 1 主電極が上記第 1 の駆動用トランジスタの第 1 主電極と接続され、

上記第 2 の駆動用トランジスタの第 2 主電極が第 2 の共通電極配線 (COM 2) と接続され、

上記第 2 の駆動用トランジスタの制御電極が $i + 2$ 行目の走査線 (G_{i+2}) と接続され、

上記補助容量線駆動回路は、補助容量線に対し上記対向電極用駆動信号の第 1 周期には第 1 の電圧を印加し、上記対向電極用駆動信号の第 1 周期の後の $p + 1 / 2$ 周期 (ここで、 p は 0 又は自然数) には第 2 の電圧を印加し、この $p + 1 / 2$ 周期の後の保持期間では開状態とする信号を上記各行の走査線用駆動信号毎に合わせて出力する、液晶表示装置。

【請求項 8】

前記補助容量は第 1 及び第 2 の補助容量からなり、該第 1 及び第 2 の補助容量の一端が前記画素電極に接続され、上記第 1 の補助容量の他端が前記補助容量線駆動回路に接続されると共に、上記第 2 の補助容量の他端が前記対向電極に接続される、請求項 7 に記載の液晶表示装置。

【請求項 9】

前記表示部及び前記補助容量線駆動回路は第 1 及び第 2 の基板を備え、前記走査線及び信号線が該第 1 の基板上に設けられ、前記対向電極は上記第 2 の基板上に設けられている、請求項 7 又は 8 に記載の液晶表示装置。

【請求項 10】

前記補助容量は、前記第 1 の基板上に設けた配線と、該配線上に設けた絶縁膜と、該絶縁膜上に設けた透明電極とからなる、請求項 9 に記載の液晶表示装置。

【請求項 11】

前記補助容量線駆動回路は前記表示部に隣接して設けられ、該補助容量線駆動回路はアモルファスシリコン又はポリシリコンを用いた薄膜トランジスタからなる、請求項 7 に記載の液晶表示装置。

【請求項 12】

複数の行 (ここで、行は $1 \leq i \leq m$ の任意の自然数) からなる走査線及び複数の列 (ここで、列は $1 \leq j \leq n$ の任意の自然数) からなる信号線を設け、該走査線と該信号線との交差部にスイッチング素子を設け、該スイッチング素子の出力端に接続された画素電極と対向電極との間に液晶セルからなる m 行 $\times$ n 列の画素マトリクスを配設し、上記スイッチング素子の出力端に補助容量の一端を接続して成る液晶表示装置の駆動方法であって、

10

20

30

40

50

上記スイッチング素子の走査線用駆動信号として該スイッチング素子をオンとするオン期間とオフとする保持期間とを有する矩形波信号を印加し、

上記信号線及び上記対向電極に対して矩形波信号を印加し、

上記補助容量の他端に、上記対向電極用駆動信号の第 1 周期には第 1 の電圧を印加し、上記対向電極用駆動信号の第 1 周期の後の $p + 1 / 2$ 周期（ここで、 p は 0 又は自然数）には第 2 の電圧を印加し、該 $p + 1 / 2$ 周期の後の保持期間中をフローティング状態とすることにより、

上記画素電極と上記対向電極との電位差の絶対値を増加させる、液晶表示装置の駆動方法。

【請求項 13】

前記第 1 の電圧を前記対向電極と同じ電圧とし、前記第 2 の電圧を前記対向電極とは異なる電圧とする、請求項 12 に記載の液晶表示装置の駆動方法。

【請求項 14】

前記第 1 の電圧を前記対向電極と同じ電圧とし、前記第 2 の電圧を前記対向電極の反転電圧と同じ電圧とする、請求項 12 に記載の液晶表示装置の駆動方法。

【請求項 15】

前記第 2 の電圧を、前記スイッチング素子が接続される当該走査線 (G_i) の 2 行先の走査線 (G_{i+2}) におけるオン期間に同期して印加する、請求項 14 に記載の液晶表示装置の駆動方法。

【請求項 16】

前記補助容量に印加される電圧を、前記対向電極配線に印加される信号の振幅を小さくした電圧とする、請求項 13 又は 14 に記載の液晶表示装置の駆動方法。

【請求項 17】

前記補助容量に印加される電圧を、前記対向電極配線に印加される信号の振幅中心に相当する直流電圧とする、請求項 13 又は 14 に記載の液晶表示装置の駆動方法。

【請求項 18】

複数の行（ここで、行は $1 \leq i \leq m$ の任意の自然数）からなる走査線と、複数の列（ここで、列は $1 \leq j \leq n$ の任意の自然数）からなる信号線と、該走査線と該信号線との交差部に設けられたスイッチング素子と、該スイッチング素子の出力端に接続された画素電極と、対向電極と、該画素電極と該対向電極との間に液晶セルが配設されてなる m 行 $\times$ n 列の画素マトリクスと、上記スイッチング素子の出力端に一端が接続される補助容量と、上記各行のスイッチング素子に接続され、かつ、上記各行の補助容量の他端を共通にした複数の行からなる補助容量線と、上記各列の信号線と上記各行の補助容量線との交差部を通過するように配設される寄生容量遮蔽配線と、から成る表示部と、

上記各行の走査線に対しスイッチング素子がオンとなるオン期間及びオフとなる保持期間を有する走査線用駆動信号を出力する走査線駆動回路と、

上記各列の信号線に対し信号線用駆動信号を出力する信号線駆動回路と、

上記対向電極に対し対向電極用駆動信号を出力する対向電極駆動回路と、

上記各行の補助容量線に対し補助容量線用駆動信号を出力する補助容量線駆動回路と、を備え、

上記補助容量線駆動回路は、上記補助容量線毎に接続される第 1 及び第 2 の駆動用トランジスタであり、

上記第 1 の駆動用トランジスタの第 1 主電極が上記補助容量の他端と接続され、

上記第 1 の駆動用トランジスタの第 2 主電極が第 1 の共通電極となる対向電極配線 ($COM1$) と接続され、

上記第 1 の駆動用トランジスタの制御電極が i 行目の走査線 (G_i) と接続され、

上記第 2 の駆動用トランジスタの第 1 主電極が上記第 1 の駆動用トランジスタの第 1 主電極と接続され、

上記第 2 の駆動用トランジスタの第 2 主電極が第 2 の共通電極配線 ($COM2$) と接続され、

10

20

30

40

50

上記第 2 の駆動用トランジスタの制御電極が $i + 2$ 行目の走査線 (G_{i+2}) と接続され

、
上記補助容量線駆動回路は、補助容量線に対し上記対向電極用駆動信号の第 1 周期には第 1 の電圧を印加し、上記対向電極用駆動信号の第 1 周期の後の $p + 1 / 2$ 周期（ここで、 p は 0 又は自然数）には第 2 の電圧を印加し、この $p + 1 / 2$ 周期の後の保持期間では開状態とする信号を上記各行の走査線用駆動信号毎に合わせて出力する、液晶表示装置。

【請求項 19】

前記補助容量は第 1 及び第 2 の補助容量からなり、該第 1 及び第 2 の補助容量の一端が前記画素電極に接続され、上記第 1 の補助容量の他端が前記補助容量線駆動回路に接続されると共に、上記第 2 の補助容量の他端が前記対向電極に接続される、請求項 18 に記載の液晶表示装置。

10

【請求項 20】

前記寄生容量遮蔽配線には直流電圧が印加される、請求項 18 に記載の液晶表示装置。

【請求項 21】

前記寄生容量遮蔽配線には対向電極用駆動信号が印加される、請求項 18 に記載の液晶表示装置。

【請求項 22】

前記表示部及び補助容量線駆動回路は第 1 及び第 2 の基板を備え、前記走査線及び信号線が該第 1 の基板上に設けられ、前記対向電極は上記第 2 の基板上に設けられている、請求項 18 に記載の液晶表示装置。

20

【請求項 23】

前記補助容量は、前記第 1 の基板上に設けた配線と、該配線上に設けた絶縁膜と、該絶縁膜上に設けた透明電極とからなる、請求項 22 に記載の液晶表示装置。

【請求項 24】

前記補助容量線駆動回路は前記表示部に隣接して設けられ、該補助容量線駆動回路はアモルファスシリコン又はポリシリコンを用いた薄膜トランジスタからなる、請求項 18 に記載の液晶表示装置。

【請求項 25】

前記寄生容量遮蔽配線は、前記スイッチング素子と前記補助容量との間に配設され、前記補助容量線と平行に配設される、請求項 18 に記載の液晶表示装置。

30

【請求項 26】

前記第 1 の基板上に第 1 のゲート絶縁膜と第 2 のゲート絶縁膜とが配設され、前記寄生容量遮蔽配線が、上記第 1 のゲート絶縁膜上に配設されている、請求項 22 に記載の液晶表示装置。

【請求項 27】

前記寄生容量遮蔽配線の直線部が前記第 1 の基板上に配設され、前記寄生容量遮蔽配線の交差部が前記第 1 のゲート絶縁膜上に配設され、該交差部と上記直線部とが前記第 1 のゲート絶縁膜に配設されたコンタクトホールを介して接続されている、請求項 22 に記載の液晶表示装置。

【請求項 28】

前記寄生容量遮蔽配線の交差部が透明電極材料からなる、請求項 27 に記載の液晶表示装置。

40

【発明の詳細な説明】

【技術分野】

【0001】

本発明は液晶表示装置とその駆動方法に係り、特に、画素の補助容量電極を対向電極とは独立に駆動して画素電圧を向上し得る液晶表示装置及びその駆動方法に関する。

【背景技術】

【0002】

従来の液晶表示装置は、液晶からなる各画素に設けられた薄膜トランジスタ (TFT)

50

などのスイッチング素子で液晶へ電圧が印加される。図 2 1 は、従来の液晶表示装置の 1 画素分 1 0 0 を模式的に示す図であり、図 2 2 は一行分の画素構造を模式的に示す図である。

画素電極 (P i x) 1 0 1 は、トランジスタ 1 0 2 を介してソース電位に充電される。対向電極 (C O M) 1 0 3 には対向電極を駆動する電圧 (V c o m) が印加され、対向電極 1 0 3 と画素電極 1 0 1 との電位差が液晶駆動電圧 (V l c d) となる。基板 1 0 4 側には補助容量電極 (C s) 1 0 5 が設けられている。補助容量電極 1 0 5 は、トランジスタ 1 0 2 のゲート電位変動やオフ時のリーク電流に起因して画素電極 1 0 1 に生じる電位変動を緩和している。この補助容量電極 1 0 5 の配線は通常、ゲート配線と平行に敷設されている。この配線は対向電極 1 0 3 と接続される。これにより、補助容量電極 1 0 5 の電位は対向電極 1 0 3 と共通電位となっている。液晶は、焼き付きや電気分解を防ぐため交流駆動される。

10

【 0 0 0 3 】

図 2 3 は、上記液晶表示装置における駆動波形の一例を示すタイムチャートであり、(A) が対向電極に印加される電圧波形を、(B) が信号線電圧波形を、(C) が走査線電圧波形を、(D) が液晶駆動電圧波形を示している。図示するように、対向電極に印加される電圧波形 (V c o m) 及びトランジスタのソース電極に印加される電圧波形 (V s) は矩形波であり、走査線電圧はトランジスタのゲート電極に印加される電圧 (V g) である。図 2 3 (C) に示すように、ゲートにハイレベルの電圧が印加されたときトランジスタは導通し、ゲートに印加される電圧がローレベルになったときトランジスタは非導通 (オフ) となる。トランジスタがオフとなる保持期間の間、液晶駆動電圧 (V l c d) は、対向電極に印加される電圧 (V c o m) の波形に合わせて全体が上下するので、液晶駆動電圧はゲートに印加される電圧の周期毎に正及び負の電圧となることで交流駆動される。

20

【 0 0 0 4 】

液晶表示装置の駆動には、交流駆動のために $\pm 4 \sim 5$ V 程度の電圧が必要とされている。図 2 3 に示すように、信号線電圧 (V s) と対向電極電圧 (V c o m) の矩形波の組み合わせによって、交流駆動用電圧を生成する。これらの信号波形はドライバ L S I から供給されている。近年、L S I の低電圧化が進み、V c o m と V s との間の電圧は最大で約 4 . 8 V となっている。この電圧制約は絶対的なものではないが、ドライバ L S I からこれ以上の電圧を出力するためには、L S I の耐圧設計を変更する必要がある、L S I の面積やコストが大幅に増加する。液晶表示装置の駆動には前述のように約 $\pm 4 \sim 5$ V の電圧が必要なのでぎりぎりのバランスといえる。しかし、近年開発されている新モードの液晶表示装置 (垂直配向モード、横電界モードの n 型液晶等) ではその性能を十分に発揮するために 5 V を超える電圧を必要とするものもあり、現状の L S I では能力が不足気味になるケースが出てきていた。

30

【 0 0 0 5 】

ところで、特許文献 1 に開示されている液晶表示装置では、補助容量電極と対向電極とを接続しないで、別に補助容量線駆動回路を設けている。この場合、補助容量は、補助容量電極と画素電極とこれらの電極間に挿入されている絶縁層とから形成される。特許文献 1 では、補助容量線駆動回路から補助容量電極へ対向電極とは異なる電圧を加える液晶表示装置が開示されている。図 2 4、図 2 5 及び図 2 6 は、それぞれ特許文献 1 に開示されている液晶表示装置のブロック図、ゲート信号及び補助容量線駆動信号の波形、画素に印加される波形を示す図である。

40

【 0 0 0 6 】

図 2 4 において点線で示す表示領域 1 1 1 は、所定の画像を複数の画素で表示する表示部である。表示部は走査線 G_1 、 G_2 、 $G_3 \cdots G_n$ によって走査され、信号線 S_1 、 S_2 、 $S_3 \cdots S_m$ によって表示信号が与えられる。

【 0 0 0 7 】

走査線 G_1 、 G_2 、 $G_3 \cdots G_n$ と信号線 S_1 、 S_2 、 $S_3 \cdots S_m$ との交差部に薄膜トランジスタ (T F T) 1 1 4 が配置される。各薄膜トランジスタ 1 1 4 のドレインに接続さ

50

れた画素電極部に液晶セル 115 が配置される。トランジスタのゲートは走査線 G に接続され、ソースは信号線 S に接続される。

【0008】

走査線駆動回路 116 は各走査線 G_1 、 G_2 、 $G_3 \cdots G_n$ を順次に走査して 1 水平期間毎に 1 行分の画素列を選択する。信号線駆動回路 117 は各信号線 S_1 、 S_2 、 $S_3 \cdots S_m$ を通して表示信号を出力し、1 水平期間内で走査線駆動回路 116 により選択された 1 行分の液晶セルに対してトランジスタ 114 を介して画素電圧を与える。また各液晶セル 115 を挟んで対向電極 118 とその配線ラインとが第 2 の透明基板に設けられている。これらの 2 つの基板は、液晶セル 115 を挟んでいる。

【0009】

対向電極駆動回路 119 は、対向電極 118 を介して全ての液晶セルに共通の対向電極電圧 V_{com} を印加する。各画素に設けられた補助容量 112 の一端が各トランジスタ 114 のドレインに接続され、他端は走査線毎に異なる補助容量線 113 に接続される。走査線 G_1 に対応した補助容量線 113 は補助容量線駆動回路 110 の第 1 出力端に接続され、走査線 G_2 に対応した補助容量線 113 は補助容量線駆動回路 110 の第 2 出力端に接続される。走査線 $G_3 \sim G_n$ に対応した補助容量線 113 も同様に接続される。走査線 $G_1 \sim G_n$ に対応して異なるタイミングで補助容量駆動電圧 $V_{st1} \sim V_{stn}$ が補助容量線駆動回路 110 の第 1 出力端 ~ 第 n 出力端からそれぞれ出力される。

【0010】

図 25 は、特許文献 1 の液晶表示装置の動作を示すタイミング図である。図 25 (A) は各走査線 G_1 、 $G_2 \cdots$ から出力されるゲート信号 $G_{sig,1}$ 、 $G_{sig,2} \cdots$ を示し、図 25 (B) は補助容量線駆動回路 110 から出力される補助容量線駆動電圧 V_{st1} 、 $V_{st2} \cdots$ の変化を示す。ゲート信号 $G_{sig,1}$ 、 $G_{sig,2} \cdots$ は図 24 の走査線駆動回路 116 から出力され走査線を選択するパルスであり、1 フレームの繰り返し周期を有している。ゲート信号 G_{sig} の電圧は 1 行分の各画素の選択時には電圧 V_{gh} になり、非選択時には電圧 V_{gl} に保持される。補助容量線駆動電圧 V_{st1} 、 $V_{st2} \cdots$ は ΔV_{st} の振幅を持った 2 値の電圧信号である。図示するように、補助容量 112 を介して各液晶セル 115 の一端に印加される。また走査線 G_1 に対する補助容量線駆動電圧 V_{st1} は、ゲート信号 $G_{sig,1}$ が立ち下がった後、少し遅れて振幅が ΔV_{st} だけ変化する。補助容量線駆動電圧 $V_{st2} \cdots$ についても同様に振幅が変化する。

【0011】

図 26 は特許文献 1 の液晶表示装置の各画素に印加される電圧の波形図である。同図に示すゲート信号 G_{sig} は走査線駆動回路 116 から選択された走査線 G_i ($i = 1 \sim n$) に対して出力される。1 行分の各画素の選択時には電圧が V_{gh} となり、非選択時には電圧が V_{gl} になる。直流の対向電極電圧 V_{com} は対向電極駆動回路 119 から出力される。 V_{com} は一定である。トランジスタ 114 のドレインから出力される出力電圧 V_d は、1 フレーム周期で出力レベルが対向電極電圧 V_{com} を中心に正及び負側に変化する。当該ゲートの選択時、その走査線上にある液晶セル 115 の画素電極は、信号線 S を介して供給される信号電圧 V_{sig} に充電されるが、トランジスタ 114 の寄生容量であるドレイン - ゲート間の容量 C_{dg} の影響で、ゲート信号 G_{sig} が V_{gh} から V_{gl} に変化したとき、出力電圧 V_d が V_{sig} より更に V_{pt} だけ低くなった電圧に変化する。その後、図に示すように、補助容量線駆動回路 110 の補助容量線駆動電圧 V_{st} が ΔV_{st} 電圧だけ立ち下がると、 $K \cdot \Delta V_{st}$ だけ出力電圧 V_d が更に低下する。ここで、 K は、容量結合に含まれる容量の値に依存する定数である。こうして、対向電極電圧 V_{com} と画素電極の電圧 V_d の差の電圧 V_{dl} が液晶セル 115 の駆動電圧として印加される。

【0012】

さらに詳しくは、上記の定数 K は次の (1) 式で与えられる。

$$K = C_{st} / (C_{lc} + C_{st} + C_{dg}) \quad (1)$$

ここで、 C_{st} は補助容量 112 の容量、 C_{lc} は液晶セル 115 の容量、 C_{dg} はトランジスタ 114 のドレイン - ゲート間の寄生容量である。

【 0 0 1 3 】

次のフレームで同一走査線の各液晶セル 1 1 5 に表示信号を書き込むときは、当該走査線 G_i の再度の選択時に、当該画素 (i , j) の液晶セル 1 1 5 に対して信号線 S_j を介して供給される信号電圧 V_{sig} により充電を行う。 V_{sig} は、 V_{com} のレベルを中心として、実質的に対称な波形を有している。図 2 6 に示すように、トランジスタ 1 1 4 においてドレイン - ゲート間の寄生容量 C_{dg} の影響で、ゲート信号 $G_{sig,i}$ の電圧が V_{gh} から V_{gl} に変化したとき、出力電圧 V_d が V_{pt} だけ低下する。その後、補助容量線駆動回路 1 1 0 の補助容量駆動電圧 V_{st} が ΔV_{st} だけ立ち上がると現在の電圧から $K \cdot \Delta V_{st}$ だけ出力電圧 V_d が上昇する。ここで、 K は上記定数である。この後は上昇した電圧が保持され、出力電圧 V_d と対向電極電圧 V_{com} との差が駆動電圧 V_{dl} として液晶セル 1 1 5 に印加される。このように、液晶パネルが 1 フレーム周期で交流駆動される。

10

【 0 0 1 4 】

図 2 5 に示すように対向電極電圧 V_{com} に対して出力電圧 V_d が低くなる場合は、補助容量線駆動回路 1 1 0 からの信号により出力電圧 V_d は ($V_{sig} + V_{pt}$) より更に $K \cdot \Delta V_{st}$ だけ対向電極電圧 V_{com} に対して低い方向にシフトする。また、対向電極電圧 V_{com} に対し出力電圧 V_d が高くなる場合は、補助容量線駆動回路 1 1 0 からの信号により出力電圧 V_d は ($V_{sig} - V_{pt}$) より更に $K \cdot \Delta V_{st}$ だけ対向電極電圧 V_{com} に対して高い方向にシフトする。

【 0 0 1 5 】

20

従って、特許文献 1 によれば、液晶セル 1 1 5 を黒表示するため、駆動電圧 V_{dl} を V_{dl0} より高い値 V_{dl1} に設定した場合、所定の駆動電圧 V_{dl1} に対する信号電圧 V_{sig} の値を小さくできる。このように、液晶セル 1 1 5 に与える出力電圧 V_d が $K \cdot \Delta V_{st}$ だけ対向電極電圧 V_{com} から離れる方向にシフトするため、信号線の振幅 V_{sp} は、従来の液晶セルにおける信号線の振幅 V_{sp} より小さくすることができる。

【 0 0 1 6 】

特許文献 1 に記載の補助容量電極の駆動方法では、対向電極には直流電圧が印加され、補助容量電極の電位を対向電極とは独立にフレーム周期に同期させて駆動することで、液晶駆動電圧 (V_{lcd}) の向上が図られている。しかしながら、補助容量線駆動回路 1 1 0 からの出力信号 V_{st1} は V_{st} の振幅を持った 2 値の電圧信号であり、ゲート信号 $G_{sig,i}$ が立ち下がった後、少し遅れて振幅を ΔV_{st} だけ変化させている。従って、走査線 G_1 に対する補助容量線駆動電圧 V_{st1} を、走査線 G_1 がオンとなる周期からずれた波形とする必要がある。このため、補助容量線駆動回路の信号は、信号線、走査線及び対向電極に印加される何れの波形とも異なるために、その回路構成が複雑であった。

30

【 先行技術文献 】

【 特許文献 】

【 0 0 1 7 】

【 特許文献 1 】 特開 2 0 0 1 - 2 5 5 8 5 1 号 公 報

【 発明の概要 】

【 発明が解決しようとする課題 】

40

【 0 0 1 8 】

図 2 3 に示した従来の液晶表示装置では、液晶駆動電圧 (V_{lcd}) が信号線電圧 (V_s) と対向電極電圧 (V_{com}) の矩形波の組み合わせで印加される。このため、液晶駆動電圧を上昇させる必要がある場合には、出力電圧の大きい駆動用 LSI が必要となってくる。出力電圧の大きい駆動用 LSI を使用しないで信号線電圧を大きくするためには、特許文献 1 のように補助容量電極を駆動して液晶駆動電圧を向上させることが考えられるが、特許文献 1 の場合には対向電極を直流電圧で駆動しているので、対向電極電圧を矩形波で駆動する場合には直ちには適用できない。このため、図 2 3 に示した従来の液晶表示装置では、対向電極電圧を矩形波で駆動すると共に、補助容量を駆動して液晶駆動電圧を向上させるための具体的な回路構成や駆動方法が得られていないという課題がある。

50

【 0 0 1 9 】

上記課題に鑑み、本発明は、画素内部に昇圧用電極を設け、チャージポンプと類似の動作をさせる駆動をより容易な構成で行い、液晶表示用のドライバLSIの出力電圧を越える画素電圧を得ることができる液晶表示装置を提供することを一目的とする。本発明の他の目的は、この液晶表示装置の駆動方法を提供することにある。

【課題を解決するための手段】

【 0 0 2 0 】

上記一目的を達成するため、本発明の液晶表示装置の第1の構成は、複数の行（ここで、行は1 i m の任意の自然数）からなる走査線と、複数の列（ここで、列は1 j n の任意の自然数）からなる信号線と、走査線と信号線との交差部に設けられたスイッチング素子と、スイッチング素子の出力端に接続された画素電極と、対向電極と、画素電極と対向電極との間に液晶セルが配設されてなる m 行 $\times$ n 列の画素マトリクスと、スイッチング素子の出力端に一端が接続される補助容量と、各行のスイッチング素子に接続され、かつ、各行の補助容量の他端を共通にした複数の行からなる補助容量線と、から成る表示部と、各行の走査線に対しスイッチング素子がオンとなるオン期間及びオフとなる保持期間を有する走査線用駆動信号を出力する走査線駆動回路と、各列の信号線に対し信号線用駆動信号を出力する信号線駆動回路と、対向電極に対し対向電極用駆動信号を出力する対向電極駆動回路と、各行の補助容量線に対し補助容量線用駆動信号を出力する補助容量線駆動回路と、を備え、補助容量線駆動回路は、補助容量線に対し対向電極用駆動信号の第1周期には第1の電圧を印加し、対向電極用駆動信号の第1周期の後の $p + 1 / 2$ 周期（ここで、 p は0又は自然数）には第2の電圧を印加し、この $p + 1 / 2$ 周期の後の保持期間では開状態とする信号を各行の走査線用駆動信号毎に合わせて出力する。

本発明の液晶表示装置によれば、補助容量を簡単な構成の補助容量線駆動回路により駆動し、画素電圧（ V_{pix} ）の昇圧状態を保持期間中維持することが可能になり、画素のコントラストを大きくすることができる。このため、液晶表示装置で用いるドライバLSIの電圧制限内の電圧を使用しながら画素の電位を昇圧することができる。

【 0 0 2 1 】

上記構成において、好ましくは、補助容量線駆動回路は、補助容量線毎に接続される第1及び第2の駆動用トランジスタであり、第1の駆動用トランジスタの第1主電極が補助容量の他端と接続され、第1の駆動用トランジスタの第2主電極が第1の共通電極となる対向電極配線（COM1）と接続され、第1の駆動用トランジスタの制御電極が走査線 i 行目の（ G_i ）と接続され、第2の駆動用トランジスタの第1主電極が上記第1の駆動用トランジスタの第1主電極と接続され、第2の駆動用トランジスタの第2主電極が第2の共通電極配線（COM2）と接続され、第2の駆動用トランジスタの制御電極が $i + 2$ 行目の走査線（ G_{i+2} ）と接続される。

【 0 0 2 2 】

本発明の液晶表示装置の第2の構成は、複数の行（ここで、行は1 i m の任意の自然数）からなる走査線と、複数の列（ここで、列は1 j n の任意の自然数）からなる信号線と、走査線と信号線との交差部に設けられたスイッチング素子と、スイッチング素子の出力端に接続された画素電極と、対向電極と、画素電極と対向電極との間に液晶セルが配設されてなる m 行 $\times$ n 列の画素マトリクスと、スイッチング素子の出力端に一端が接続される補助容量と、各行のスイッチング素子に接続され、かつ、各行の補助容量の他端を共通にした複数の行からなる補助容量線と、から成る表示部と、各行の走査線に対しスイッチング素子がオンとなるオン期間及びオフとなる保持期間を有する走査線用駆動信号を出力する走査線駆動回路と、各列の信号線に対し信号線用駆動信号を出力する信号線駆動回路と、対向電極に対し対向電極用駆動信号を出力する対向電極駆動回路と、各行の補助容量線に対し補助容量線用駆動信号を出力する補助容量線駆動回路と、を備え、補助容量線駆動回路は、補助容量線毎に接続される第1及び第2の駆動用トランジスタであり、第1の駆動用トランジスタの第1主電極が補助容量の他端と接続され、第1の駆動用トランジスタの第2主電極が第1の共通電極となる対向電極配線（COM1）と接続され、第

1の駆動用トランジスタの制御電極が i 行目の走査線(G_i)と接続され、第2の駆動用トランジスタの第1主電極が第1の駆動用トランジスタの第1主電極と接続され、第2の駆動用トランジスタの第2主電極が第2の共通電極配線($COM2$)と接続され、第2の駆動用トランジスタの制御電極が $i+2$ 行目の走査線(G_{i+2})と接続され、補助容量線駆動回路は、補助容量線に対し対向電極用駆動信号の第1周期には第1の電圧を印加し、対向電極用駆動信号の第1周期の後の $p+1/2$ 周期(ここで、 p は0又は自然数)には第2の電圧を印加し、この $p+1/2$ 周期の後の保持期間では開状態とする信号を各行の走査線用駆動信号毎に合わせて出力する。

【0023】

上記構成によれば、補助容量線毎に設ける2つのトランジスタと対向電極配線に印加される電圧と走査線電圧とを利用することで、補助容量駆動回路を実現できる。この補助容量駆動回路により補助容量を駆動することで画素の昇圧ができる。

【0024】

本発明の液晶表示装置の第3の構成は、複数の行(ここで、行は $1 \sim i \sim m$ の任意の自然数)からなる走査線と、複数の列(ここで、列は $1 \sim j \sim n$ の任意の自然数)からなる信号線と、走査線と信号線との交差部に設けられたスイッチング素子と、スイッチング素子の出力端に接続された画素電極と、対向電極と、画素電極と対向電極との間に液晶セルが配設されてなる m 行 $\times$ n 列の画素マトリクスと、スイッチング素子の出力端に一端が接続される補助容量と、各行のスイッチング素子に接続され、かつ、各行の補助容量の他端を共通にした複数の行からなる補助容量線と、各列の信号線と各行の補助容量線との交差部を通過するように配設される寄生容量遮蔽配線と、から成る表示部と、各行の走査線に対しスイッチング素子がオンとなるオン期間及びオフとなる保持期間を有する走査線用駆動信号を出力する走査線駆動回路と、各列の信号線に対し信号線用駆動信号を出力する信号線駆動回路と、対向電極に対し対向電極用駆動信号を出力する対向電極駆動回路と、各行の補助容量線に対し補助容量線用駆動信号を出力する補助容量線駆動回路と、を備え、補助容量線駆動回路は、補助容量線毎に接続される第1及び第2の駆動用トランジスタであり、第1の駆動用トランジスタの第1主電極が補助容量の他端と接続され、第1の駆動用トランジスタの第2主電極が第1の共通電極となる対向電極配線($COM1$)と接続され、第1の駆動用トランジスタの制御電極が i 行目の走査線(G_i)と接続され、第2の駆動用トランジスタの第1主電極が第1の駆動用トランジスタの第1主電極と接続され、第2の駆動用トランジスタの第2主電極が第2の共通電極配線($COM2$)と接続され、第2の駆動用トランジスタの制御電極が $i+2$ 行目の走査線(G_{i+2})と接続され、補助容量線駆動回路は、補助容量線に対し対向電極用駆動信号の第1周期には第1の電圧を印加し、対向電極用駆動信号の第1周期の後の $p+1/2$ 周期(ここで、 p は0又は自然数)には第2の電圧を印加し、この $p+1/2$ 周期の後の保持期間では開状態とする信号を各行の走査線用駆動信号毎に合わせて出力する。

【0025】

上記構成において、好ましくは、補助容量は第1及び第2の補助容量からなり、第1及び第2の補助容量の一端が画素電極に接続され、第1の補助容量の他端が補助容量線駆動回路に接続されると共に、第2の補助容量の他端が対向電極に接続される。画素補助容量とは別に設けた補助容量を駆動することで、画素の昇圧ができる。

【0026】

上記構成において、好ましくは、表示部は第1及び第2の基板を備え、走査線及び信号線が第1の基板上に設けられ、対向電極は第2の基板上に設けられている。補助容量は、好ましくは、第1の基板上に設けた配線と、配線上に設けた絶縁膜と、絶縁膜上に設けた透明電極とからなる。補助容量線駆動回路は表示部に隣接して設けられ、補助容量線駆動回路はアモルファスシリコン又はポリシリコンを用いた薄膜トランジスタからなる。これにより、薄膜トランジスタからなる補助容量駆動回路を基板上に容易に形成することができる。

【0027】

10

20

30

40

50

上記構成において、寄生容量遮蔽配線には、好ましくは直流電圧が印加される。寄生容量遮蔽配線には、対向電極用駆動信号が印加されてもよい。寄生容量遮蔽配線は、好ましくは、スイッチング素子と補助容量との間に配設され、補助容量線と平行に配設される。第1の基板上に第1のゲート絶縁膜と第2のゲート絶縁膜とが配設され、寄生容量遮蔽配線が、第1のゲート絶縁膜上に配設されていてもよい。寄生容量遮蔽配線の直線部が第1の基板上に配設され、寄生容量遮蔽配線の交差部が第1のゲート絶縁膜上に配設され、交差部と直線部とが第1のゲート絶縁膜に配設されたコンタクトホールを介して接続されてもよい。寄生容量遮蔽配線の交差部は、好ましくは、透明電極材料からなる。

【0028】

上記他の目的を達成するため、本発明の液晶表示装置の駆動方法は、複数の行（ここで、行は1 i m の任意の自然数）からなる走査線及び複数の列（ここで、列は1 j n の任意の自然数）からなる信号線を設け、走査線と信号線との交差部にスイッチング素子を設け、該スイッチング素子の出力端に接続された画素電極と対向電極との間に液晶セルからなる m 行 $\times$ n 列の画素マトリクスを配設し、スイッチング素子の出力端に補助容量の一端を接続して成る液晶表示装置の駆動方法であって、スイッチング素子の走査線用駆動信号としてスイッチング素子をオンとするオン期間とオフとする保持期間とを有する矩形波信号を印加し、信号線及び対向電極に対して矩形波信号を印加し、補助容量の他端に、対向電極用駆動信号の第1周期には第1の電圧を印加し、対向電極用駆動信号の第1周期の後の $p + 1 / 2$ 周期（ここで、 p は0又は自然数）には第2の電圧を印加し、 $p + 1 / 2$ 周期の後の保持期間中をフローティング状態とすることにより、画素電極と上記対向電極との電位差の絶対値を増加させる。

【0029】

上記構成において、好ましくは、第1の電圧を対向電極と同じ電圧とし、第2の電圧を対向電極とは異なる電圧とする。または、第1の電圧を対向電極と同じ電圧とし、第2の電圧を対向電極の反転電圧と同じ電圧としてもよい。

第2の電圧は、好ましくは、スイッチング素子が接続される当該 i 行目の走査線（ G_i ）の2行先、つまり、 $i + 2$ 行目の走査線（ G_{i+2} ）におけるオン期間に同期して印加する。

補助容量に印加される電圧を、好ましくは、対向電極配線に印加される信号の振幅を小さくした電圧とする。または、補助容量に印加される電圧を、対向電極配線に印加される信号の振幅中心に相当する直流電圧としてもよい。

【0030】

上記構成によれば、画素に設けた補助容量を、走査線、信号線、対向電極に印加される信号に対して所定のタイミングを有する波形で駆動するので、画素電圧（ V_{pix} ）の昇圧状態を保持期間中維持することが可能になり、画素のコントラストを大きくすることができる。このため、液晶表示装置で用いるドライバLSIの電圧制限内の電圧を使用しながら画素の電位を昇圧することができる。

【発明の効果】

【0031】

本発明の液晶表示装置及びその駆動方法によれば、補助容量駆動回路により画素の補助容量を対向電極とは独立に駆動させることができ、簡単な構成で画素の電位を昇圧させることができ、ドライバ用LSIの出力電圧を上げずに画素のコントラストの向上を図ることができる。補助容量駆動回路は、液晶表示装置内の走査信号や対向電極配線の信号を用いることができるため低コストで画素のコントラストを向上させることができる。

【図面の簡単な説明】

【0032】

【図1】本発明の液晶表示装置の構成を示すブロック図である。

【図2】本発明の第1実施形態としてのカラー液晶表示装置における第1の基板の一部の透過平面図を示す図である。

【図3】（A）は図2のX-X線に沿う断面図であり、（B）は図2のY-Y線に沿う部

10

20

30

40

50

分における第 2 の基板を含む断面図を示している。

【図 4】1 行 3 列の画素構造の等価回路を示すブロック図である。

【図 5】本発明に係る液晶表示装置 1 の駆動方法の一例を示す波形で、それぞれ、(A) が対向電極用駆動信号を、(B) が補助容量線用駆動信号を、(C) が信号線用駆動信号を、(D) が走査線用駆動信号を、(E) が画素電極の電圧と共に画素に印加される電圧 (画素電極と対向電極との電圧差) を示している。

【図 6】画素補助容量と補助容量とを別々に設ける場合のブロック図を示す。

【図 7】(A) は画素構造の平面図、(B) は断面図を示している。

【図 8】本発明の液晶表示装置の第 2 の実施形態を示すブロック図である。

【図 9】1 画素の等価回路を模式的に示す図である。

10

【図 10】本発明の液晶表示装置の駆動方法を示す波形であり、それぞれ、(A) が対向電極用駆動信号を、(B) が第 2 の共通電極用駆動信号 (Vcom2) を、(C) が信号線用駆動信号を、(D) が走査線 G₁ の駆動信号を、(E) が走査線 G₂ の駆動信号を、(F) が走査線 G₃ の駆動信号を、(G) が補助容量線に印加される補助容量線駆動信号を、(H) が当該画素の画素電極における電圧と、画素電極と対向電極との間に生じる液晶セルの電圧差と、を示している。

【図 11】画素補助容量と補助容量とを別々に設ける場合のブロック図を示す。

【図 12】図 11 の具体的な画素構造を示す図であり、(A) は画素構造の平面図、(B) は断面図である。

【図 13】図 2 に示した画素の信号線と補助容量線との交差部を示す断面模式図である。

20

【図 14】液晶表示装置において、寄生容量 Cst を含む等価回路を示す図である。

【図 15】画素の変形例の構成を示す部分透視平面図である。

【図 16】図 15 の X - X 線に沿った断面図を示している。

【図 17】画素における寄生容量遮蔽配線の追加によって寄生容量遮蔽配線と信号線の交差部に生じる容量を示す断面模式図である。

【図 18】画素の構成を示す部分透視平面図である。

【図 19】図 18 の X - X 線に沿った断面図を示している。

【図 20】画素における寄生容量遮蔽配線と信号線との交差部に生じる容量を示す断面模式図である。

【図 21】従来の液晶表示装置の 1 画素分の構造を模式的に示す図である。

30

【図 22】一行分の画素構造を模式的に示す図である。

【図 23】画素に印加される波形を示す図である。

【図 24】特許文献 1 で開示される液晶表示装置のブロック図である。

【図 25】特許文献 1 の液晶表示装置の動作を示すタイミング図であり、(A) は各走査線から出力されるゲート信号を示し、(B) は補助容量線駆動回路から出力される補助容量線駆動電圧の変化を示す。

【図 26】特許文献 1 の液晶表示装置の各画に印加される電圧の波形図である。

【発明を実施するための形態】

【0033】

以下、図面を参照してこの発明の実施の形態を詳細に説明する。各図において同一又は対応する部材には同一符号を用いる。

40

図 1 は本発明の液晶表示装置 1 の構成を示すブロック図であり、図 2 ~ 4 は本発明の液晶表示装置 1 における表示部 10 の一例を示している。

図 1 に示すように、本発明の液晶表示装置 1 は、点線で囲んだ表示部 10 と、表示部 10 の周辺に、走査線駆動回路 20 と信号線駆動回路 22 と対向電極駆動回路 24 と補助容量線駆動回路 26 と、が配置されて構成されている。

【0034】

液晶表示装置 1 は、図示しない第 1 の透明基板上に複数の行からなる走査線及び複数の列からなる信号線が配設され、走査線と信号線との交差部にスイッチング素子 12 が配設され、スイッチング素子 12 の出力端に接続された画素電極 13 と対向電極 14 との間に

50

は液晶セルからなる画素 1 5 が配設され、スイッチング素子 1 2 の出力端に補助容量 1 6 の一端が接続されている。ここで、行は 1 i m の任意の自然数からなり、列は 1 j n の任意の自然数からなる。なお、 i 行 j 列のスイッチング素子 1 2 は、スイッチング素子 1 2 $_{ij}$ と表記する。

【0035】

図示の場合、表示部 1 0 は、 m 行 $\times$ n 列のマトリクス状に配列された複数の画素 1 5 を有している。この場合、各行の画素 1 5 に配置されるスイッチング素子 1 2 の各ゲート電極（制御電極とも呼ぶ）は互いに接続されて、ゲート電極配線を形成している。従って、1, 2, 3 ~ m 行の各ゲート電極配線は、それぞれ走査線駆動回路 2 0 の走査線 G_1 , G_2 , G_3 ~ G_m に接続し、走査される。

10

【0036】

各列の画素 1 5 に配置されるスイッチング素子 1 2 において、ソース電極（第 1 主電極とも呼ぶ）は互いに接続されて、ソース電極配線を形成している。従って、1, 2, 3 ~ n 列のソース電極配線は、それぞれ信号線駆動回路 2 2 の信号線 S_1 , S_2 , S_3 ~ S_n に接続されており、表示用信号が印加される。

【0037】

対向電極 1 4 と各スイッチング素子 1 2 のドレイン電極（第 2 主電極とも呼ぶ）に接続された画素電極 1 3 との間に液晶セル 1 5 が配置される。スイッチング素子 1 2 は、例えばトランジスタである。トランジスタ 1 2 は、図示しない第 1 の透明基板上にアモルファスシリコンや低温ポリシリコンを用いて作製された薄膜トランジスタを用いることができる。上記したように、トランジスタ 1 2 のゲートは走査線に接続され、ソースは信号線 S に接続されている。各液晶セル 1 5 を挿んで対向電極 1 4 と対向電極 1 4 の配線が図示しない第 2 の透明基板に設けられている。

20

【0038】

走査線駆動回路 2 0 は、各行の走査線に対しスイッチング素子 1 2 がオンとなるオン期間及びオフとなる保持期間を有する走査線用駆動信号を出力する。走査線駆動回路 2 0 は、各走査線 G_1 , G_2 , G_3 ~ G_m を順次に走査することで 1 水平期間毎に 1 行分の画素列を選択する。

【0039】

信号線駆動回路 2 2 は、各列の信号線に対してスイッチング素子 1 2 のオン期間とほぼ同期する所定のタイミングの信号線用駆動信号を出力する。つまり、各信号線 S_1 , S_2 , S_3 ~ S_n を通して表示信号を出力する。1 水平期間内で走査線駆動回路 2 0 により選択された 1 行分の液晶セルに対して、信号線駆動回路 2 2 はトランジスタ 1 2 を介して画素電圧を出力する。

30

【0040】

対向電極駆動回路 2 4 は対向電極用駆動信号を出力し、図示しない第 2 の透明基板に形成された対向電極 1 4 を介して全ての液晶セル 1 5 に共通の対向電極電圧（ V_{com} ）を印加する。

【0041】

トランジスタ 1 2 のドレインが接続される画素電極 1 3 に補助容量 1 6 の一端が接続され、この補助容量 1 6 の他端は、補助容量線駆動回路 2 6 に接続されている。図 1 に示すように、つまり、各行の画素 1 5 に配設される補助容量 1 6 の他端は共通に配線され、補助容量線駆動回路 2 6 に接続される補助容量線を形成している。従って、1, 2, 3 ~ m 行の補助容量線は、それぞれ補助容量線駆動回路 2 6 の第 1 出力端子 ~ 第 m 出力端子に接続される。第 1 出力端子 ~ 第 m 出力端子からは、それぞれ V_{cs1} ~ V_{csm} が出力される。

40

なお、上記の場合には液晶表示装置 1 を白黒表示として説明しているカラー表示に対応した画素でもよい。

【0042】

図 2 は、本発明の第 1 の実施形態としてのカラー液晶表示装置 1 における第 1 の基板 4

50

1の一部を示す透過平面図であり、図3(A)は図2のX-X線に沿う断面図、図3(B)は図2のY-Y線に沿う部分における第2の基板42を含む断面図を示している。

【0043】

図2に示すように、第1の基板41上には複数の走査線44、複数の信号線45がそれぞれ行方向、列方向に延びて設けられている。両線44、45の各交差部近傍には、両線44、45に接続された薄膜トランジスタ46とこの薄膜トランジスタ46によって駆動される画素電極47とが配置されている。また、画素電極47を挟んで走査線44とは反対側に補助容量線48が画素電極47と重ね合わされて行方向に沿って設けられている。

【0044】

図3(B)に示すように、このカラー液晶表示装置1では、第1の基板41とこの第1の基板41の上方に位置する対向基板となる第2の基板42とがほぼ方形枠状のシール材(図示せず)を介して貼り合わされ、シール材と両基板41、42との間に画成された空間に液晶43が封入されている。

10

【0045】

次に、薄膜トランジスタ46等の具体的な構造について図3(A)を参照して説明する。第1の基板41の上面、すなわち第2の基板42との対向面の一方の所定の箇所にはゲート電極51を含む走査線44が設けられ、他方の所定箇所には補助容量線48が設けられ、その上面全体にはゲート絶縁膜52が設けられている。

【0046】

ゲート絶縁膜52の上面の所定箇所には真性アモルファスシリコンからなる半導体薄膜53が設けられている。半導体薄膜53の上面において、半導体薄膜53とゲート電極51との交差部よりも所定量内側には、チャネル保護膜54が設けられている。チャネル保護膜54の上面両側およびその両側における半導体薄膜53の上面にはn型アモルファスシリコンからなるコンタクト層55、56が設けられている。

20

【0047】

一方のコンタクト層55の上面にはドレイン電極57が設けられている。他方のコンタクト層56の上面およびゲート絶縁膜52の上面の所定の箇所にはソース電極58を含む信号線45が設けられている。

【0048】

ゲート電極51、ゲート絶縁膜52、半導体薄膜53、チャネル保護膜54、コンタクト層55、56、ドレイン電極57およびソース電極58により、薄膜トランジスタ46が構成されている。

30

【0049】

薄膜トランジスタ46等を含むゲート絶縁膜52の上面全体には絶縁材料からなるオーバーコート膜59が設けられている。このオーバーコート膜59は平坦化膜であってもよい。オーバーコート膜59のドレイン電極57の所定箇所に対応する部分にはコンタクトホール60が設けられている。オーバーコート膜59の上面の所定箇所には、画素電極47が設けられている。画素電極47はITOからなる透明電極で形成されている。画素電極47はコンタクトホール60を介してドレイン電極57に接続されている。

【0050】

40

次に、第2の基板42について図3(B)を参照して説明する。第2の基板42の下面(第1の基板41との対向面)の各所定箇所にはブラックマトリクス61およびR、G、Bのカラーフィルタ要素62R、62G、62Bが設けられている。このうちカラーフィルタ要素62R、62G、62Bは、対応する画素電極47に対向して設けられている。

【0051】

ブラックマトリクス61及びカラーフィルタ要素62R、62G、62Bの下面には、ITOからなる透明電極で対向電極63が形成されている。画素電極47とこれに対向配置した対向電極63との間に封入される液晶43によって画素容量部が形成されている。この場合、画素電極47の面積は同じであるので、画素容量部の画素容量は同じである。

【0052】

50

ここで、図 2 に示すように、補助容量線 4 8 のうち画素電極 4 7 と重ね合わされた部分は各画素に設けられる補助容量電極 4 8 a となっている。そして、この重ね合わされた部分によって図 1 に示す補助容量 1 6 が形成されている。つまり、補助容量 1 6 は、図 2 及び図 3 に示したカラー液晶表示装置 1 では、第 1 の基板 4 1 上に設けた配線の一部である補助容量電極 4 8 a と、この配線上に設けた絶縁膜 5 2 , 5 9 と、この絶縁膜 5 2 , 5 9 上に設けた透明電極からなる画素電極 4 7 と、により形成されている。

【 0 0 5 3 】

一方、各カラーフィルタ要素 6 2 R、6 2 G、6 2 B に対応する各画素電極 4 7 は、オーバーコート膜 5 9 上に設けられているため、同一の平面上に配置されている。従って、R、G、B の各画素におけるギャップの寸法は d である（図 3 (B) 参照）。

10

【 0 0 5 4 】

図 1 の画素 1 5 に接続されるスイッチング素子 1 2 である薄膜トランジスタは勿論のこと、走査線駆動回路 2 0、信号線駆動回路 2 2、補助容量線駆動回路 2 6 の少なくとも 1 回路又は全ての回路は、図 2 ~ 図 3 の液晶表示装置 1 上に形成することができる。例えば、薄膜トランジスタ 1 2 及び上記の各駆動回路は、低温ポリシリコンを用いて第 1 の透明基板 4 1 に形成され、T F T アレイ基板が構成される。ここで、第 1 の基板 4 1 と第 2 の基板 4 2 との間隙に液晶 4 3 が充填される。

なお、補助容量 1 6 は、図 2 及び図 3 に示したカラー液晶表示装置 1 では、第 1 の基板 4 1 上に設けた補助容量電極 4 8 a と絶縁膜 5 2 , 5 9 と画素電極 4 7 とにより形成されているが、カラー液晶表示装置 1 の画素構造に応じて他の構造を用いてもよい。

20

【 0 0 5 5 】

図 4 は、1 行 3 列の画素構造の等価回路を示すブロック図であり、C 1 c は画素容量を、C c s は補助容量 1 6 を示している。スイッチング用素子 1 2 の添え字は行及び列を示し、1 行目の補助容量線を C S 1 で示している。

【 0 0 5 6 】

いま、信号線及び対向電極に対して矩形波信号が印加されることで、走査線が選択され、走査線 (G_1) に接続される画素 1 5 のスイッチング素子 1 2 がオン状態となって画素電極 1 3 に表示信号に基づく電圧が印加される。即ちオン状態において、図 1 に示す補助容量線駆動回路 2 6 は、補助容量 1 6 の他端、つまり、補助容量電極 1 7 に対して対向電極用駆動信号の第 1 周期には第 1 の電圧を印加する。続いて、対向電極用駆動信号の第 1 周期の後の $p + 1 / 2$ 周期（ここで、 p は 0 又は自然数）には第 2 の電圧を印加し、 $p + 1 / 2$ 周期の後の保持期間中を開状態とする信号を出力する。この対向電極用駆動信号は、各行の走査線用駆動信号に合わせて所定のタイミングで出力される。

30

これにより、画素電極 1 3 と対向電極 1 4 との電位差の絶対値を増加させることができる。

【 0 0 5 7 】

図 5 は本発明に係る液晶表示装置 1 の駆動方法の一例を示す波形で、それぞれ、(A) が対向電極用駆動信号を、(B) が補助容量線用駆動信号を、(C) が信号線用駆動信号を、(D) が走査線用駆動信号を、(E) が画素電極 1 3 の電圧と共に画素 1 5 に印加される電圧（画素電極 1 3 と対向電極 1 4 との電圧差）を示している。

40

図 5 (A) に示すように、対向電極用駆動信号は、走査線用駆動信号のパルス幅に対応して、ハイレベル (V_{comH}) 及びローレベル (V_{comL}) の振幅を繰り返す矩形波であり、走査線用駆動信号がオンとなる $t_0 \sim t_1$ 及び $t_5 \sim t_6$ ではそれぞれ、ハイレベル (V_{comH}) 及びローレベル (V_{comL}) の振幅を有するような波形である。図 5 (C) に示した波形は、液晶に最大電圧を与える場合の信号線用駆動信号の一例である。図 5 (D) に示すように、走査線用駆動信号は矩形波であり、 $t_0 \sim t_1$ 及び $t_5 \sim t_6$ の期間が充電期間となる所謂ハイレベルの振幅と、 $t_1 \sim t_5$ 及び $t_6 \sim t_{10}$ の期間が保持期間となるローレベルの振幅とを有している。 $t_1 \sim t_5$ の時間周期においては、図に示す数周期ではなく、数百以上のパルスで占められていることに注意すべきである。同様に、対向電極用駆動信号 V_{com} のレベルは、 $t_5 \sim t_6$ の時間周期においては、 t

50

1 ~ t 2 の時間周期とは反転した信号になることに注意すべきである。これは、各フレームで繰り返される。

【0058】

ここで、対向電極用駆動信号、補助容量線用駆動信号及び信号線用駆動信号において、t 0 ~ t 2 を第 1 の周期、t 2 ~ t 4 を第 2 の周期と呼ぶ。また、走査線用駆動信号の 1 周期は、スイッチング素子 1 2 を導通状態とするオン期間（充電期間とも呼ぶ）とスイッチング素子 1 2 を非導通状態のオフとする保持期間とからなる。

【0059】

補助容量線用駆動信号について説明する。

図 5 (B) に示すように、補助容量線用駆動信号 V_{cs} は、走査線用駆動信号が充電期間 (t 0 ~ t 1 の期間) のとき第 1 の電圧、つまり、対向電極 1 4 に印加される電圧 V_{comH} と同じ電圧 V_{cs1} ($V_{cs1} = V_{comH}$) であり、t 1 ~ t 2 のとき対向電極 1 4 に印加される電圧と同じ V_{comL} であり、次の t 2 ~ t 3 のとき対向電極 1 4 に印加される電圧 V_{comH} とは異なる第 2 の電圧 (V_{cs2}) である。t 3 ~ t 5 のとき、補助容量 1 6 は補助容量線駆動回路 2 6 によりフローティング状態となる。つまり、各走査線が選択され、走査線 (G_1) に接続される画素 1 5 のスイッチング素子 1 2 がオン状態となり画素電極 1 3 に表示信号に基づく電圧が印加されたとき、補助容量線駆動回路 2 6 は、各補助容量線に対して対向電極用駆動信号の第 1 周期には第 1 の電圧を印加する。次に、対向電極用駆動信号のオン期間 (t 0 から t 2) の次の半周期 (t 2 ~ t 3) には、補助容量線駆動回路 2 6 は各補助容量線に対してこの半周期に同期した別の第 2 の電圧を印加し、この半周期の後の保持期間 (t 3 ~ t 6) では開状態とする信号を出力する。補助容量線駆動回路 2 6 は、各行の走査線用駆動信号毎に各行の補助容量線に対して上記の電圧信号を印加する。

【0060】

これにより、画素 1 5 で生じた電圧差は次の書き込みまで保持される。このように、補助容量線 4 8 と対向電極 1 4 へそれぞれ印加される V_{com} と V_{cs} は、何れも走査信号のパルス間の間、50 % デューティの矩形波である。選択 / 充電動作は、走査線信号 V_g (t 0 ~ t 1) がハイレベルのときに行われる。 V_{com} と V_{cs} のレベルが、t 2 ~ t 3 の期間の充電の後、ローレベルに戻ると、 V_{cs} は、ハイレベルからローレベルに変化し、液晶 4 3 には大きな電圧差が生じる。この後 (t 3 以降)、補助容量線 4 8 の電圧 V_{cs} は、画素 1 5 の液晶 4 3 に生じた大きな電圧差を維持するためにフローティング状態にされる。画素 1 5 を交流 (AC) モードで駆動するために、これらの信号のハイレベルとローレベルの役割は、次のフレームで反転される。従って、次のフレーム (図 5 の t 5 ~ t 10 参照) では、 V_{cs} のレベルは、t 5 ~ t 10 の期間において V_{comL} から高い電圧となる。

なお、第 2 の電圧を印加する期間は半周期に限らず、 $p + 1 / 2$ 周期 (ここで、 p は 0 又は自然数) としてもよい。以下の説明においては、第 2 の電圧を印加する期間は半周期として説明する。

【0061】

図 5 (B) に示すように、補助容量線用駆動信号は、t 5 ~ t 6 のとき、つまり、走査線用駆動信号が充電期間のとき、対向電極 1 4 に印加される電圧と同じ電圧 V_{comL} であり、t 6 ~ t 7 のとき対向電極 1 4 に印加される電圧と同じ第 1 の電圧 V_{cs1} ($V_{cs1} = V_{comH}$) であり、次の t 7 ~ t 8 のとき対向電極 1 4 に印加される電圧 (V_{comL}) とは異なる第 2 の電圧 (V_{cs2}) である。t 8 ~ t 10 のとき補助容量 1 6 の他端、つまり、補助容量電極 1 7 を含む補助容量線 4 8 は補助容量線駆動回路 2 6 によりフローティング状態とされる。

【0062】

本発明の駆動方法の動作原理をさらに詳しく説明する。

対向電極 1 4 と画素電極 1 3 との間の容量 (C_{lc}) と、画素電極 1 3 と補助容量電極 1 7 との間の容量 (C_{cs}) は、液晶の誘電率変化を考慮しなければ一定である。さらに

、画素電極 13 と補助容量電極 17 との間の容量 (C_{cs}) も一定である。画素 15 の充電が終了したときの画素電極 13 の電位を V_{pix1} 、充電中の対向電極 14 の電位を V_{comW} 、充電中の補助容量電極 17 の電位を V_{cs1} とすると、画素電極 13 (P_{ix}) には、

$$Q = C_{lc} \times (V_{pix1} - V_{comW}) + C_{cs} \times (V_{pix1} - V_{cs1})$$

で示す電荷が充電されている。画素 15 の充電 (例えば、図 5 の t_1 参照) が終了すれば画素 15 のトランジスタ 12 がオフになるため、画素 15 はフローティング状態となり、この Q は次の充電まで一定のまま保持される。従来例では、この状態から V_{pix} を含めた全体の電位が、対向電極 14 の電位に合わせて図 15 のように振動する。

【0063】

ここで、補助容量電極 17 の電圧のみ V_{cs1} から V_{cs2} に変化させると、 Q と C_{lc} 、 C_{cs} が一定であるため、充電直後とは電位関係が変化する。変化後の画素電位を V_{pix2} とすると、

$$\begin{aligned} Q &= C_{lc} \times (V_{pix1} - V_{comW}) + C_{cs} \times (V_{pix1} - V_{cs1}) \\ &= C_{lc} \times (V_{pix2} - V_{comW}) + C_{cs} \times (V_{pix2} - V_{cs2}) \end{aligned}$$

の関係が成り立ち、このため画素電極の電位 V_{pix} は

$$V_{pix2} - V_{pix1} = C_{cs} / (C_{lc} + C_{cs}) \times (V_{cs2} - V_{cs1})$$

だけ変化する。液晶に印加される電圧は $V_{pix} - V_{com}$ なので、 $V_{pix2} - V_{pix1} > 0$ 、すなわち $V_{cs2} - V_{cs1} > 0$ (図 5 の $t_7 \sim t_8$ 参照) であるように V_{cs2} を設定すれば画素 15 の電圧が昇圧されることになる。 $V_{cs2} < V_{cs1}$ (図 5 の $t_2 \sim t_3$ 参照) であれば降圧となる。これは LSI 内部で昇圧に用いられているチャージポンプと類似の現象であるが、 V_{com} という電位が関与する点異なる。

【0064】

補助容量電極 17 には、画素 15 の充電時に V_{cs1} (V_{com} 相当) を与え、その 1 周期後 (即ち、対向電極の電位が充電時と同電位になったとき) の $t_2 \sim t_3$ (又は $t_7 \sim t_8$) のときに V_{cs2} を与える。これ以外のタイミングでは、補助容量電極 17 の駆動電源は、補助容量電極 17 を開状態、つまり高インピーダンスにして補助容量線をフローティング状態とする。このような駆動を行うことで、 V_{cs2} の印加による画素電圧 (V_{pix}) の昇圧状態を保持期間中維持することが可能になる。すなわち、ドライバ LSI の電圧制限内の V_{cs1} 、 V_{cs2} を使用しながら画素 15 の電位を昇圧して、4.8 V を超えることが可能になる。

ここでポイントとなるのが、補助容量電極 17 の電圧を V_{cs1} から V_{cs2} に変化させるとき、 V_{com} が画素 15 の充電時と同じ電位であることである。 V_{cs1} 、 V_{cs2} が共にドライバ LSI から供給可能な電圧 (V_s との差が 4.8 V 以内) であることはこのタイミングで実現できる。対向電極駆動用信号の第 1 周期の後の $p + 1/2$ 周期 (p は 0 又は自然数) とは、この条件が満たされる周期を示している。

【0065】

第 1 の実施形態では、補助容量電極 17 の電位を変化させて、これによって画素電位を押し上げるチャージポンプ類似の回路動作としたので、LSI の出力電圧以上の電圧で液晶を駆動することが可能になる。これにより補助容量線 48 を対向電極配線から独立させたので、このような昇圧動作に必要な信号を自由に印加できる。

【0066】

第 1 の実施形態では、一例として、補助容量電極 17 をドライバ LSI からの配線で駆動するようにしたが、表示エリアに隣接してアモルファスのシリコン又はポリシリコンからなる薄膜トランジスタを用いた駆動回路を作り込み、これで駆動しても良い。この場合、薄膜トランジスタ 12 や液晶の表示部 10 周辺の配線数が減少するため LSI を大きくしなくても良いという効果を得られる。

【0067】

第 1 の実施形態では、補助容量 16 の昇圧を補助容量電極 17 へ印加する電圧変化で行っている。従来の画素補助容量の構成は同一にしたままで、補助容量 16 として別電極を

10

20

30

40

50

追加することでも同様の効果を得ることができる。図 6、図 7 (A)、(B) は、本発明の別の実施形態を示している。

図 6 は、補助容量 1 6 と画素補助容量 1 8 とを別々に設けた場合のブロック図を示し、図 7 (A)、(B) は具体的な画素構造を示す図である。

図 6 に示すように、補助容量は第 1 及び第 2 の補助容量 1 6 , 1 8 からなっている。この構成の場合には、第 1 の補助容量 1 6 を単に補助容量と呼び、第 2 の補助容量を画素補助容量 1 8 と呼ぶ。補助容量 1 6 を形成する他端の補助容量電極 1 7 が C S 端子に接続され、画素補助容量 1 8 の他端の電極が C O M 電極 (対向電極 1 4 にも接続される) に接続されているので、補助容量 1 6 と画素補助容量 1 8 との電極には独立に電圧が印加される。つまり、補助容量 1 6 及び画素補助容量 1 8 の一端が画素電極 1 3 に共通に接続され、補助容量 1 6 と画素補助容量 1 8 との他端はそれぞれ個別に配設されている。補助容量 1 6 の他端が補助容量線駆動回路 2 6 に接続されると共に、画素補助容量 1 8 の他端が対向電極 1 4 に接続されている。つまり、画素補助容量 1 8 は画素 1 5 と並列に接続される。

【 0 0 6 8 】

図 7 において、(A) は画素構造の平面図であり、(B) はその断面図を示している。この場合、各行の画素 1 5 に配設される補助容量 1 6 の他端には補助容量電極 1 7 が形成され、各補助容量電極 1 7 が補助容量線 4 8 によって相互に接続されている。この補助容量 1 6 の電極配線は、画素補助容量 1 8 の電極配線と平行に配設することができる。従って、パターンレイアウトの上で自由度が増える利点がある。例えば、補助容量 1 6 及び画素補助容量 1 8 を形成するための対向する電極のパターンをそれぞれ任意に設計する。これにより、画素に蓄積させる電荷の保持するための蓄積容量を十分にし、同時に、液晶セル 1 5 に印加される電圧 (V_{pp} 、ピーク間電圧) を昇圧するような補助容量 1 6 を形成することができる。

【 0 0 6 9 】

図 8 は、本発明の液晶表示装置 3 0 における第 2 の実施形態を示すブロック図である。補助容量線駆動回路 2 6 は、各走査線 ($G_1 \sim G_m$) で駆動される補助容量 1 6 毎に接続される第 1 及び第 2 の補助容量駆動用トランジスタ 3 1 , 3 2 を含んで構成されている。

走査線駆動回路 2 0 の各走査線に接続される n 個の画素電極 1 3 は、補助容量 1 6 の一端が接続され、補助容量 1 6 の他端が共通電極として形成されている。この共通電極は、走査線駆動回路 2 0 の本数分だけ設けられている。この補助容量 1 6 の共通電極からなる配線を補助容量線 ($Cs_1 \sim Cs_m$) 4 8 と呼ぶ。つまり、補助容量線 4 8 のそれぞれは、1 本ずつ分離された状態となり、その両端に設けた第 1 及び第 2 の補助容量駆動用トランジスタ 3 1 , 3 2 で駆動される。

【 0 0 7 0 】

第 1 の補助容量駆動用トランジスタ 3 1 は、図示するように走査線の本数である m 個が走査線駆動回路 2 0 に沿って一列に配置されるので、 $CTr_{11} \sim CTr_{1m}$ と呼ぶ。同様に、第 2 の補助容量駆動用トランジスタ 3 2 は、走査線の本数である m 個がスイッチング素子 1 2 の n 列に沿って配置されるので、 $CTr_{21} \sim CTr_{2m}$ と呼ぶ。

【 0 0 7 1 】

画素電極 1 3 は、トランジスタ 1 2 のドレインに接続されている。一行の対応する画素電極 1 3 と共に液晶セル 1 5 を形成する対向電極 1 4 は、全て互いに接続され、第 1 の補助容量駆動用トランジスタ 3 1 の第 2 主電極に接続されている。1 行目の画素電極 1 3 と共に補助容量 1 6 を形成する補助容量電極 1 7 は互いに接続され、第 1 の補助容量駆動用トランジスタ 3 1 の第 1 主電極に接続されてる。第 1 の補助容量駆動用トランジスタ 3 1 の各制御電極は、対応する各走査線に接続される。2 行目及び 3 行目の画素も同様に構成されている。そして、画素補助容量 1 8 のための対向電極 1 4 は、全て第 1 の共通電極となる対向電極配線 (C O M 1 と呼ぶ) に接続されている。図示するように、第 2 の補助容量駆動用トランジスタ 3 2 の第 2 主電極は全て第 2 の共通電極配線 (C O M 2 と呼ぶ) に接続されている。2 行目及び 3 行目の画素も同様に構成されている。このようにして、画素補助容量 1 8 を形成する他端の電極である対向電極 1 4 の電圧は常時 C O M 1 の電圧レ

10

20

30

40

50

ベルに制御される。補助容量線 48 に印加される電圧は、第 1 の補助容量駆動用トランジスタ 31 と第 2 の補助容量駆動用トランジスタ 32 のスイッチング状態によって COM2 の電圧レベルに制御される。

【0072】

i 行目の第 1 の補助容量駆動用トランジスタ 31 において、第 1 主電極は i 行目の補助容量 16 に接続される補助容量線 48 と接続され、第 2 主電極は第 1 の共通電極となる対向電極配線 (COM1) と接続され、制御電極が i 行目の走査線 G_i と接続されている。

【0073】

i + 2 行目の第 2 の補助容量駆動用トランジスタ 32 において、第 1 主電極は i 行目の第 1 の補助容量駆動用トランジスタ 31 の第 1 主電極及び補助容量 16 に接続される補助容量線 48 に接続され、第 2 主電極は全て第 2 の共通電極配線 (COM2) と接続され、制御電極は i + 2 行目の走査線 G_{i+2} と接続されている。従って、1 行目の n 個の画素 15 (15₁₁ ~ 15_{1n}) の制御には、第 1 の補助容量駆動用トランジスタ CT_{r11} と第 2 の補助容量駆動用トランジスタ CT_{r23} とが使用される。同様に、i 行の各画素 15 の制御には、トランジスタ CT_{r1i} とトランジスタ CT_{r(i+2)} が使用される。

【0074】

なお、m - 1 行目の n 個の画素 15 の制御には、第 1 の補助容量駆動用トランジスタ CT_{r1(m-1)} と第 2 の補助容量駆動用トランジスタ CT_{r21} とが使用される。m 行目の n 個の画素制御には、第 1 の補助容量駆動用トランジスタ CT_{r1m} と第 2 の補助容量駆動用トランジスタ CT_{r22} とが使用される。

【0075】

補助容量線駆動回路 26 は、走査線毎に第 1 及び第 2 の補助容量駆動用トランジスタ 31, 32 が接続され、第 1 の補助容量駆動用トランジスタ 31 の第 2 主電極には対向電極配線 (COM1) が接続され、第 2 の補助容量駆動用トランジスタ 32 の第 2 主電極が第 2 の共通電極配線 (COM2) と接続されている。走査線が 1 行目の G_1 の場合には、第 1 の補助容量駆動用トランジスタ 31 の制御電極が 1 行目の走査線 G_1 に接続され、第 2 の補助容量駆動用トランジスタ 32 の制御電極は 3 行目の走査線 G_3 に接続されている。

【0076】

共通電極配線 (COM2) には、対向電極配線 (COM1) の逆相電圧を印加することができる。この場合には、もちろん COM 反転信号生成回路を COM ドライバに設けてもよいが、図示しない薄膜トランジスタからなるインバータ回路を、対向電極駆動回路 24 に接続し、インバータ回路の出力を共通電極配線 (COM2) に接続することで容易に実現することができる。図 9 は 1 画素 15 の等価回路を模式的に示すものである。

【0077】

図 8 において、走査線 $G_1, G_2, G_3 \sim G_m$ が順次選択されていく。走査線 G_1 が選択されたとき、走査線 G_1 に接続されたスイッチング素子 12 が導通 (オン) 状態になって各画素 15 の液晶及び補助容量 16 がそれぞれ接続された信号線 $S_1, S_2, S_3 \sim S_m$ の電位に充電される。このときの選択 / 充電期間で、走査線 G_1 に対応する補助容量線 48 は、第 1 の補助容量駆動用トランジスタ CT_{r11} によって対向電極 14 の電圧 (COM1) が印加される。このとき、補助容量 16 に接続された第 2 の補助容量駆動用トランジスタ CT_{r23} は、走査線 G_3 が非選択なので遮断 (オフ) 状態である。従って、V_{com2} は、補助容量 16 を形成する補助容量電極 17 の電圧に影響しない。補助容量電極 17 は第 1 の補助容量駆動用トランジスタ CT_{r11} によってのみ駆動されている。

【0078】

走査線 G_1 の選択 / 充電期間が終了して非選択状態になり、走査線 G_2 が選択されているときは、第 1 及び第 2 の補助容量駆動用トランジスタ CT_{r11} 及び CT_{r23} は、ゲートがローレベルであるので共にオフ状態になっている。従って、補助容量電極 17 及び画素電極 13 はフローティング状態となり、走査線 G_1 の選択時に充電された電荷が保持されており、対向電極 14 と同じ電位 (COM1) を維持する。これにより、V_{com1} が変化しても、当該液晶 15 と補助容量 16 との間の電圧差は同じ状態を保つ。

【 0 0 7 9 】

走査線 G_2 の選択 / 充電期間が終了して非選択状態になり、走査線 G_3 が選択されると、第 2 の補助容量駆動用トランジスタ CTr_{23} がオン状態になる。これは、第 2 の補助容量駆動用トランジスタ CTr_{23} のゲートへ接続される走査線 G_3 がハイレベルであることによる。

これにより、COM2 ラインの電圧である V_{com2} が、1 行中の補助容量線 48 ($Cs1$) へ第 2 の補助容量駆動用トランジスタ CTr_{23} を介して印加される。補助容量電極 17 には第 2 の補助容量駆動用トランジスタ CTr_{23} 経由で補助容量線駆動回路からの電圧 (COM2) が印加される。このとき、COM2 の電位は、COM1 とは異なる電位であり、補助容量電極 17 の電位は COM1 から COM2 に変化する。従って、このとき 1 行中の液晶セル 15 の対向電極 14 には電圧 V_{com1} が供給され、一方、補助容量線 48 ($Cs1$) には電圧 V_{com2} が供給される。この電位変化が、補助容量線 48 経由で画素電極 13 と COM1 の電位差を広げる。すなわち、チャージポンプと類似の効果で液晶印加電圧を昇圧する。

【 0 0 8 0 】

上記したように、走査線 G_3 の選択が終了した後は、次に走査線 G_1 が選択されるまでの期間は保持期間となり、第 1 及び第 2 の補助容量駆動用トランジスタ CTr_{11} 及び CTr_{23} は共にオフ状態が継続する。すなわち、補助容量 16 には、COM2 の書き込みで充電された電荷が保持され、この効果で走査線 G_1 上の画素電圧の昇圧状態が維持される。画素 15 の昇圧は、COM1 と電位差を生じた状態で維持される。これは、補助容量線 48 ($Cs1$, $Cs2 \sim Cs_m$) がフローティング状態だからである。

【 0 0 8 1 】

図 10 は、本発明の液晶表示装置 30 の駆動方法を示す波形であり、それぞれ、(A) が対向電極用駆動信号を、(B) が第 2 の共通電極用駆動信号 (V_{com2}) を、(C) が信号線用駆動信号を、(D) が走査線 G_1 の駆動信号を、(E) が走査線 G_2 の駆動信号を、(F) が走査線 G_3 の駆動信号を、(G) が補助容量線 48 に印加される補助容量線駆動信号を、(H) が当該画素 15 の画素電極 13 における電圧と、画素電極 13 と対向電極 14 との間に生じる液晶セル 15 の電圧差と、を示している。

図 10 (A) に示すように、対向電極用駆動信号 (V_{com1}) は矩形波であり、第 2 の共通電極用駆動信号 (V_{com2}) は対向電極用駆動信号 (V_{com1}) の逆相信号である (図 10 (B) 参照)。図 10 (C) に示すように、信号線用駆動信号は、対向電極用駆動信号とは逆相の矩形波である。図 10 (D) ~ (F) に示すように、走査線用駆動信号は矩形波であり、選択 / 充電期間がハイレベルの振幅を有している。走査線用駆動信号 G_1 において、 $t_0 \sim t_1$ 及び $t_5 \sim t_6$ が充電のオンとなるハイレベルの振幅を有し、上記のオン期間以外は、全てオフ、つまりローレベルの振幅を有するような波形である。同様に、走査線用駆動信号 G_2 は、 $t_1 \sim t_2$ 及び $t_6 \sim t_7$ が充電のオンとなるハイレベルの振幅を有しており、上記のオン期間以外は、全てオフ、つまりローレベルの振幅を有するような波形である。走査線用駆動信号 G_3 は、 $t_2 \sim t_3$ 及び $t_7 \sim t_8$ が充電のオンとなるハイレベルの振幅を有しており、上記のオン期間以外は、全てオフ、つまりローレベルの振幅を有するような波形である。上記走査線用駆動信号のローレベルとなる期間を「保持時間」と呼ぶ。

【 0 0 8 2 】

図 10 (G) は補助容量電極 17 に印加される波形を示しており、走査線用駆動信号 G_1 がオン (ハイレベル) したとき ($t_0 \sim t_1$)、第 1 の補助容量駆動用トランジスタ 31 が導通し、この期間 V_{com1} が補助容量電極 17 に印加される。走査線用駆動信号 G_3 がオンしたとき ($t_2 \sim t_3$)、第 2 の補助容量駆動用トランジスタ 32 が導通し、この期間 V_{com2} が、画素電極 13 に対向して配置されている補助容量電極 17 に印加される。上記期間以外の $t_3 \sim t_5$ は、第 1 及び第 2 の補助容量駆動用トランジスタ 31 , 32 は導通しないので、補助容量電極 17 はフローティング状態とされる。このような駆動信号とすることで、補助容量電極 17 の電位 (V_{cs}) は、第 1 の補助容量駆動用トラ

ンジスタ 31 に印加される走査線用駆動信号 G_1 及び第 2 の補助容量駆動用トランジスタ 32 に印加される走査線用駆動信号 G_3 の周期毎に信号中心が上下する波形となる。上記で説明したと同様な理由によって、この変化で画素電位の昇圧が可能になる。

【0083】

図 10 (H) は画素電極 13 と共に液晶画素 15 の電圧差の波形を示している。図示するように、 $t_2 \sim t_3$ の期間で補助容量線 48 の電圧の影響で画素電極 13 の波形が変化し、 $t_3 \sim t_5$ の期間で画素 15 に印加される電圧が向上する。これにより、補助容量線駆動回路 26 を用いることで画素電極 13 と対向電極 14 との電位差の絶対値を増加させる昇圧効果が得られる。

【0084】

第 2 実施形態の補助容量線駆動回路 26 では、既存の走査線駆動からの信号を、第 1 及び第 2 の補助容量駆動用トランジスタ 31, 32 の制御信号として用いている。同様に、第 1 の補助容量駆動用トランジスタ 31 の主電極に印加される電圧 (V_{com1}) は、対向電極駆動回路 24 から供給することができる。さらに、第 2 の補助容量駆動用トランジスタ 32 の主電極に印加する V_{com2} には、対向電極駆動回路 24 からの反転信号を供給することができる。従って、第 2 実施形態の補助容量線駆動回路 26 では、補助容量駆動のための信号形成が容易になる。また、補助容量駆動のための新規な内外の配線が不要となり、液晶表示装置 30 の補助容量駆動用端子を、新たに液晶表示装置 30 の駆動用 LSI や液晶表示装置 30 の回路に設ける必要がないという有利な効果も生じる。

【0085】

V_{com1} と V_{com2} の波形やそれらの値は、多くの態様と変形例が可能である。第 2 の実施形態では、補助容量駆動の信号を V_{com} 反転信号としたが、この信号は V_{com} の振幅中心に相当する直流電圧 (V_{comDC}) であっても良い。この場合、信号 (V_{com2}) の供給が更に容易になる効果がある。もちろん、 V_{com} 反転のタイミングや振幅中心を維持したままで振幅を小さくしても良い。振幅が 0 になった状態がミニマムで、これが V_{comDC} である。

さらに、図 10 に示す V_{com2} の振幅は、図 10 (B) に示す値よりも小さな値に変更することができる。 V_{com2} に対しては、液晶セル 15 に印加される電圧を昇圧させる限り、 V_{com2} の電圧や周期は多くの変形が可能である。

【0086】

第 2 の実施形態においても、第 1 の実施形態と同様、画素用補助容量 (C_p) 18 を昇圧用の補助容量 (C_s) 16 と異なるものとして設けても良い。図 6 及び図 7 に示すように、液晶を形成する画素補助容量 18 と並列に別の補助容量を設けてもよい。このような例を図 11 に示す。図 11 は画素補助容量 18 と補助容量 16 とを別々に設けた場合のブロック図を示し、図 12 は具体的な画素構造を示す図である。

図 11 に示すように、画素補助容量 18 と補助容量 16 との一端は画素電極 13 に共通に接続され、画素補助容量 18 と他端と補助容量 16 との他端となる補助容量電極 17 は、それぞれ個別に配設されている。図示の場合には、画素補助容量 18 の他端は対向電極 14 に接続されると共に、補助容量 16 の他端は補助容量線駆動回路 26 に接続されている。

【0087】

図 12 において、(A) は画素構造の平面図、(B) はその断面図を示している。この場合、各行の画素 15 に配設される補助容量 16 の他端は補助容量線 48 を形成している。この補助容量線 48 は、画素補助容量線と平行に配設することができる。従って、パターンレイアウトのうえで自由度が増える利点がある。

図 11 及び図 12 に示すように、各画素に関する補助容量 16 と画素補助容量 18 の構造は、図 6 及び図 7 に示す構造と同様のものである。

上記例では、独立に駆動される補助容量線 48 は、画素容量の対向する電極に接続される容量線とは平行に配設されている。従って、パターンレイアウトのうえで自由度が増える利点がある。容量を形成するための対向する電極及び容量線のパターンは任意に設計す

10

20

30

40

50

ることができるので、パターン設計の自由度が達成される。これが利点である。例えば、補助容量 16 及び画素補助容量 18 を形成するための対向する電極のパターンを、それぞれ任意に設計する。これにより、画素 15 に蓄積させる電荷の保持するための蓄積容量を十分にし、同時に、液晶セル 15 に印加される電圧 (V_{pp} 、ピーク間電圧) を昇圧するように画素電極 13 と補助容量電極 17 とで生じる容量結合を得るようにすることができる。

ここで、補助容量線駆動回路 26 は、表示部 10 に隣接して設けることができる。補助容量線駆動回路 26 は、図 2 及び図 3 で説明したように、画素 15 に接続されるスイッチング素子 12 と同様に、アモルファスシリコン又はポリシリコンを用いて第 1 の透明基板 41 に形成し、TFT アレイ基板を構成することができる。

10

【0088】

上記の液晶表示装置 1, 30 の実施形態において、各補助容量線 48 は、信号線 45 と交差している。

図 13 は図 2 に示した画素の信号線 45 と補助容量線 48 との交差部を示す断面模式図である。図 13 は図 2 の A - A 線に沿う断面図であり、各補助容量線 48 は信号線 45 と交差しているので、各交差部で寄生容量 C_{st} を形成する。

【0089】

図 14 は、液晶表示装置 30 において寄生容量 C_{st} を含む等価回路を示す図である。図 14 に示すように、補助容量線 48 と信号線 45 との交差部に寄生容量 C_{st} が形成されているので、フローティング状態の補助容量線 48 は、寄生容量 C (各交差部に発生する寄生容量) $\times$ 信号線の本数 n の合成容量を有している。このため、補助容量線 48 は、合成容量 C_n を介して信号線 45 の平均電位の影響を受けて電位変動してしまう。補助容量線 48 の電位変動は、補助容量線 48 と接続されている画素列の昇圧変化をもたらすため、信号線電位、即ち画像データによって、補助容量線 48 単位で画素電圧が影響を受ける。

20

【0090】

次に、液晶表示装置 1, 30 において、信号線 45 と補助容量線 48 との交差部に生じる寄生容量を遮蔽することができる画素の変形例について説明する。

図 15 は、画素の変形例の構成を示す部分透視平面図であり、図 16 は、図 15 の X - X 線に沿った断面図を示している。

30

図 15 に示すように、画素 70 は、信号線 45 と補助容量線 48 との間に生じる寄生容量 C_{st} を遮蔽するための寄生容量遮蔽配線 72 を備えている。図 15 に示すように、寄生容量遮蔽配線 72 は、直線部 72a と凸部 72b とを有している。

寄生容量遮蔽配線 72 は、補助容量線 48 とスイッチング素子 46 との間の領域において補助容量線 48 及び補助容量電極 48a 側に、かつ平行に配設されており、補助容量線 48 に平行な直線部 72a と、補助容量線 48 と信号線 45 との交差部とを覆う凸部 72b と、を有している。この凸部 72b は、信号直線部 72a から紙面上方に垂直に折れ曲がるように延出している。このため、寄生容量遮蔽配線 72 は、各列の信号線 45 と各行の補助容量線 48 との交差部を通過するように配設されている。なお、凸部 72b は信号線 45 と補助容量線 48 との交差部に設けられているので、単に交差部とも呼ぶ。

40

【0091】

図 16 に示すように、画素 70 においては、図 2 及び図 3 に示した液晶表示装置 1 の第 1 の基板 41 上に形成されているゲート絶縁膜 52 を、第 1 のゲート絶縁膜 74 と第 2 のゲート絶縁膜 75 の順に積層した 2 層構造とし、第 1 のゲート絶縁膜 74 上に寄生容量遮蔽配線 72 となるパターンが形成されている。補助容量線 48 を第 1 の基板 41 上に形成するのは、液晶表示装置 1 と同じである。

【0092】

画素 70 においては、図 2 及び図 3 に示す液晶表示装置 1 のゲート絶縁膜 52 上に形成されていた補助容量線 48 及び信号線 45 が、第 2 のゲート絶縁膜 75 上に形成されている。寄生容量遮蔽配線 72 は、図 1 に示す各補助容量線 C_{s1} , $C_{s2} \sim C_{sm}$ に対応し

50

てm本形成されている。

【0093】

図17は、画素70における寄生容量遮蔽配線72の追加によって寄生容量遮蔽配線72と信号線の交差部に生じる容量を示す断面模式図である。図示するように、補助容量線48と寄生容量遮蔽配線72とは、第1のゲート絶縁膜74を挟んで対向しているので、補助容量線48と寄生容量遮蔽配線72との間に第1の交差部容量76が生じる。さらに、寄生容量遮蔽配線72と信号線45とは第2のゲート絶縁膜75を挟んで対向しているので、寄生容量遮蔽配線72と信号線45との間に第2の交差部容量77が生じる。従って、補助容量線48と信号線45との間には、共に寄生容量遮蔽配線72との間に第1及び第2の交差部容量76, 77が形成されるが、補助容量線48と信号線45の間には直接結合する寄生容量が形成されなくなる。

10

【0094】

寄生容量遮蔽配線72は、図1に示す各補助容量線Cs1, Cs2~Csmに対応してm本形成されているが、m本全てに共通電位を与える。m本の寄生容量遮蔽配線72に共通に印加される共通電位は、例えばGND等の固定電位とすることができる。寄生容量遮蔽配線72の材料は、印加される共通電位となる電圧信号の遅延を防ぐために低抵抗の金属を用いることが好ましい。

【0095】

以上説明したように、画素70では、補助容量線48と信号線45との間に生じる不利な寄生容量は、除去される。そして、上記で説明したように、フローティング状態にある補助容量線48(Cs1, Cs2~Csm)を利用した昇圧効果は、寄生容量遮蔽配線72を設けることによって信号線45の電位変動の影響を受けることがなくなるため、画素70の昇圧状態を安定して維持することが可能となる。

20

【0096】

画素70の寄生容量遮蔽配線72の電位をGND等の固定電位としたが、対向電極14に印加される電圧(COM1)とすることもできる。この場合、寄生容量遮蔽配線72と画素電極47とが重なっている領域には容量が形成される。この容量は、所謂従来の画素用補助容量と同様に画素70の電位の安定化に効果がある。

【0097】

画素70は以下の製造方法により作製することができる。

30

第1の基板41上に金属層を堆積し、パターンニングすることでゲート電極51と補助容量線48のパターンを形成する。金属層は、遮光性のクロム、クロム合金、アルミニウム、アルミニウム合金、モリブデン等を用いることができる。

次に、ゲート電極51及び補助容量線48のパターンが形成された第1の基板41の表面全体を覆うように所定の厚さの第1のゲート絶縁膜74を堆積する。第1のゲート絶縁膜74は、ゲート絶縁膜52と同様に窒化シリコンや酸化シリコン等の絶縁材料から構成されている。

次に、第1のゲート絶縁膜74上に金属層を堆積し、パターンニングすることで寄生容量遮蔽配線72を形成する。寄生容量遮蔽配線72の材料は、ゲート電極51及び補助容量線48となる金属層と同様の材料を用いることができる。

40

寄生容量遮蔽配線72のパターンが形成された第1のゲート絶縁膜74の表面全体に所定の厚さの第2のゲート絶縁膜75を堆積する。第2のゲート絶縁膜75は、ゲート絶縁膜52と同様に窒化シリコンや酸化シリコン等の絶縁材料を用いることができ、第1の絶縁膜74と同じ材料でもよい。これ以降の工程は、図2の液晶表示装置1において説明した製造工程と同様に行なえばよい。

【0098】

次に、液晶表示装置1, 30に用いることができるさらに別の画素80について説明する。

図18は、画素80の構成を示す部分透視平面図であり、図19は、図18のX-X線に沿った断面図を示している。

50

図示するように、画素 80 では、寄生容量遮蔽配線 82 は、第 1 の基板 41 上に補助容量線 48 と平行になるように配設されている直線部 82a と、第 2 のゲート絶縁膜 75 上の補助容量線 48 と信号線 45 との交差部となる領域に配置される凸部 82b と、から構成されている。第 1 のゲート絶縁膜 74 には、寄生容量遮蔽配線 82 を露出させるコンタクトホール 84 が配設されている。寄生容量遮蔽配線の凸部 82b は、第 2 のゲート絶縁膜 75 上に配設されると共に、コンタクトホール 84 を介して寄生容量遮蔽配線の直線部 82a と接続されている。

【0099】

図 20 は、画素 80 における寄生容量遮蔽配線 82 と信号線 45 との交差部に生じる容量を示す断面模式図である。

図示するように、補助容量線 48 と寄生容量遮蔽配線の凸部 82b は第 1 のゲート絶縁膜 74 を挟んで対向しているので、補助容量線 48 と寄生容量遮蔽配線の凸部 82b との間に第 1 の交差部容量 76 が生じる。さらに、寄生容量遮蔽配線の凸部 82b と信号線 45 とは第 2 のゲート絶縁膜 75 を挟んで対向しているので、寄生容量遮蔽配線の凸部 82b と信号線 45 との間に第 2 の交差部容量 77 が生じる。従って、補助容量線 48 と信号線 45 との間には、共に寄生容量遮蔽配線 82 との間に第 1 及び第 2 の交差部容量 76, 77 が形成されるが、補助容量線 48 と信号線 45 との間には直接結合する寄生容量 C_{st} が形成されなくなる。寄生容量遮蔽配線の凸部 82b は、コンタクトホール 84 を介して寄生容量遮蔽配線の直線部 82a と接続されているので、補助容量線 48 と信号線 45 との間には画素 70 と同様に寄生容量遮蔽配線 82 で遮蔽されることになる。

【0100】

図 18 では、コンタクトホール 84 を信号線 45 と寄生容量遮蔽配線 82 との重なり部に形成するように図示したが、これは必要条件ではなく、寄生容量遮蔽配線 82 上であれば任意の位置に形成することができる。

【0101】

上記実施形態において、画素 80 の寄生容量遮蔽配線 82 には、画素 70 における寄生容量遮蔽配線 72 と同様に、GND 等の固定電位又は対向電極 14 に印加される電圧 (C_{OM1}) が印加される。このため、寄生容量遮蔽配線 82 を設けることによって信号線 $S_1, S_2, S_3 \sim S_n$ の電位変動の影響を受けることがなくなるため画素 80 の昇圧状態を安定して維持することが可能となる。

【0102】

上記実施形態において、寄生容量遮蔽配線 82 に対向電極 14 と同電位が印加された場合には、従来の画素用の補助容量が追加された効果を有し、画素 80 の電位の安定性が向上する。

【0103】

図 18 に示す実施形態の画素 80 は、次のようにして製造することができる。

先ず、第 1 の基板 41 上に補助容量線 48 と寄生容量遮蔽配線の直線部 82a とを同一の低抵抗の導電膜を用いてパターンを形成する。次に、第 1 のゲート絶縁膜 74 を所定の厚さに堆積し、寄生容量遮蔽配線の直線部 82a 上にコンタクトホール 84 を設ける。

続いて、寄生容量遮蔽配線の凸部 82b となる電極層を所定の厚さに堆積し、寄生容量遮蔽配線の直線部 82a と接続するパターンを形成する。寄生容量遮蔽配線の凸部 82b の材料は静電遮蔽できればよい。このため、寄生容量遮蔽配線の凸部 82b は、図 15 に示す画素 70 の寄生容量遮蔽配線 72 のように電圧信号の遅延を防ぐための低抵抗の金属を用いる必要はなく、ITO 等の透明導電膜を使用することができる。これにより、画素 80 は、上記画素 70 よりも開口効率が向上する。

次に、第 1 のゲート絶縁膜 74 の全面に第 2 のゲート絶縁膜 75 を所定の厚さに堆積する。この工程以降は、図 2 の液晶表示装置において説明した製造工程と同様に行えばよい。

【0104】

なお、上記した図 5, 10 及び 23 では、トランジスタ 12 のゲートとドレインの間に

生じる寄生容量に関しては明確には記載していないことに留意しなければならない。しかしながら、図 26 の $V_p t$ で示されるように、この寄生容量で生じる小さな電圧降下は、実際には、駆動波形を適正に決定する上で考慮すべきことは言うまでもないことである。

【0105】

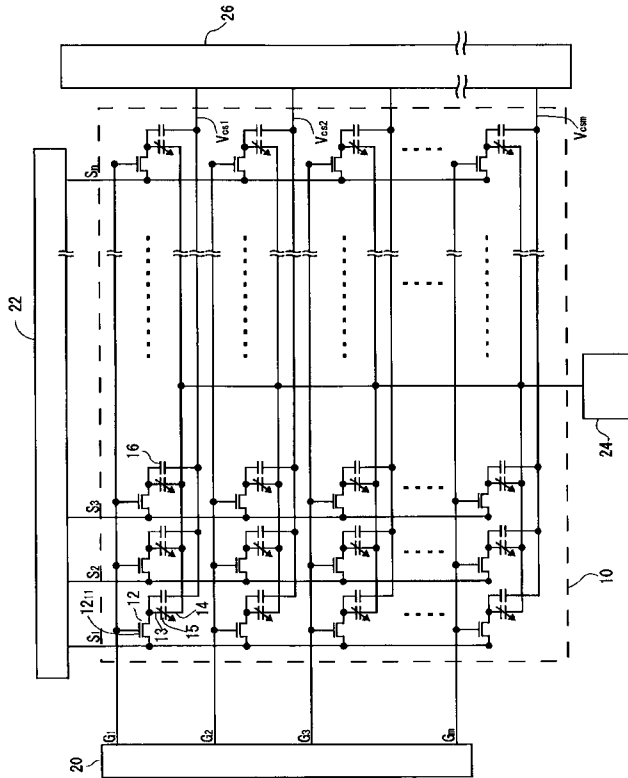
本発明は、上記実施形態に限定されることなく、特許請求の範囲に記載した液晶表示装置及びその駆動方法の発明の範囲内で種々の変形が可能であり、それらも本発明の範囲内に含まれることは明らかである。

【符号の説明】

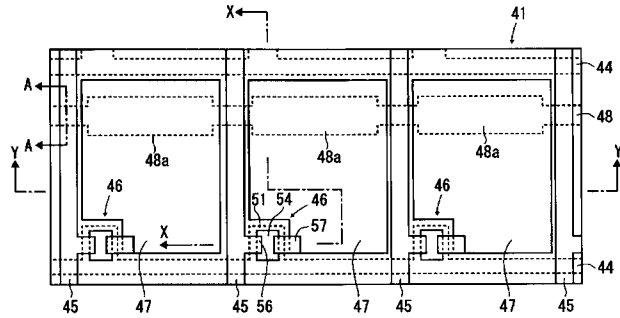
【0106】

1, 30 : 液晶表示装置	10
10 : 表示部	
12, 46 : スイッチング素子 (薄膜トランジスタ)	
13, 47 : 画素電極	
14, 63 : 対向電極	
15, 70, 80 : 画素	
16 : 補助容量	
17 : 補助容量電極	
18 : 画素補助容量	
20 : 走査線駆動回路	
22 : 信号線駆動回路	20
24 : 対向電極駆動回路	
26 : 補助容量線駆動回路	
31 : 第 1 の補助容量駆動用トランジスタ	
32 : 第 2 の補助容量駆動用トランジスタ	
41 : 第 1 の基板	
42 : 第 2 の基板	
43 : 液晶	
44 : 走査線	
45 : 信号線	
48 : 補助容量線	30
51 : ゲート電極	
52 : ゲート絶縁膜	
53 : 半導体薄膜	
54 : 保護膜	
55, 56 : コンタクト層	
57 : ドレイン電極	
58 : ソース電極	
59 : オーバーコート膜 (平坦化膜)	
60, 84 : コンタクトホール	
61 : ブラックマトリクス	40
62 : カラーフィルタ要素	
72, 82 : 寄生容量遮蔽配線	
72a, 82a : 直線部	
72b, 82b : 凸部	
74 : 第 1 のゲート絶縁膜	
75 : 第 2 のゲート絶縁膜	
76 : 第 1 の交差部容量	
77 : 第 2 の交差部容量	

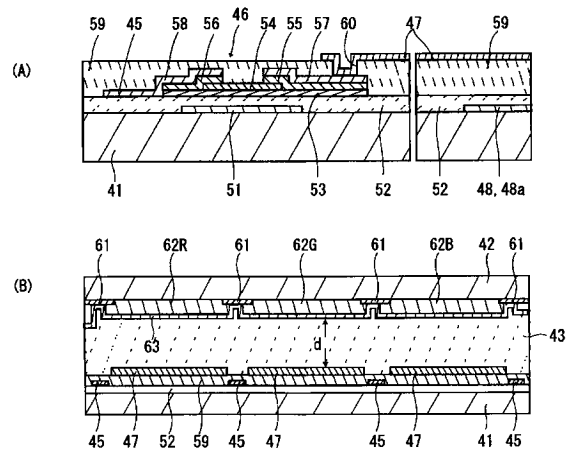
【図 1】



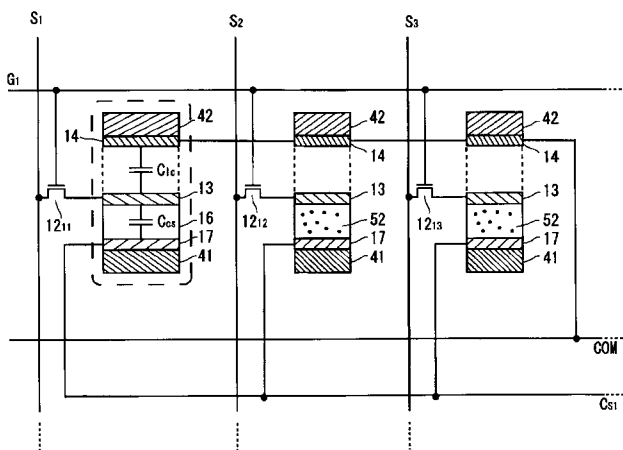
【図 2】



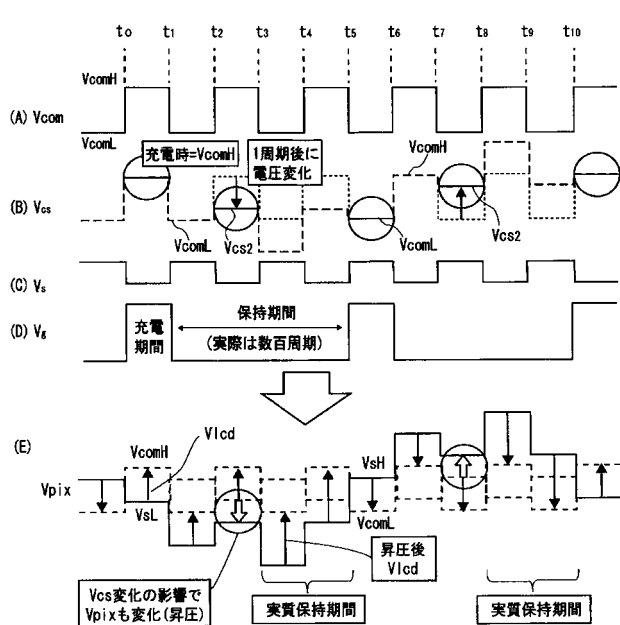
【図 3】



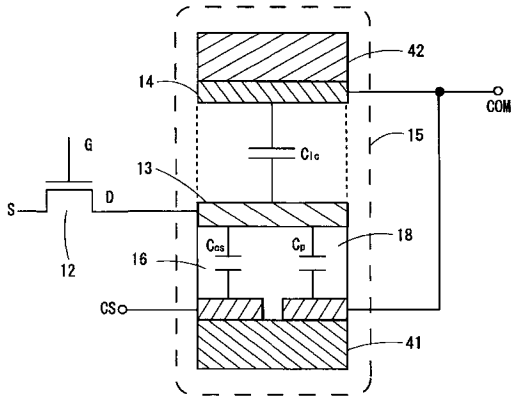
【図 4】



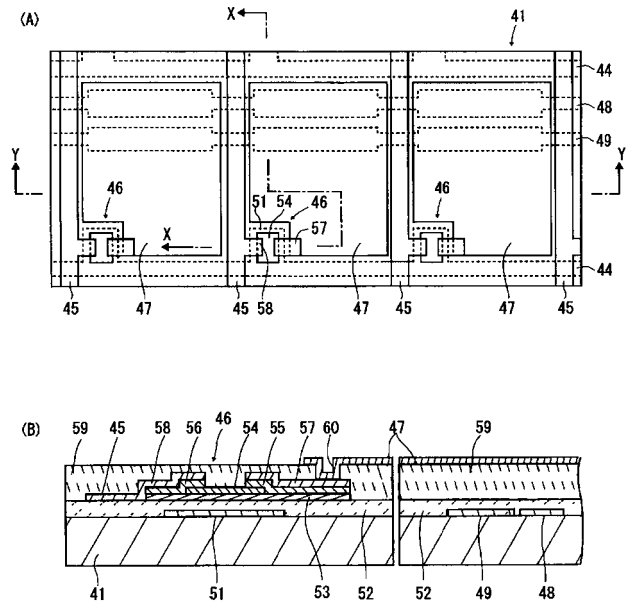
【図 5】



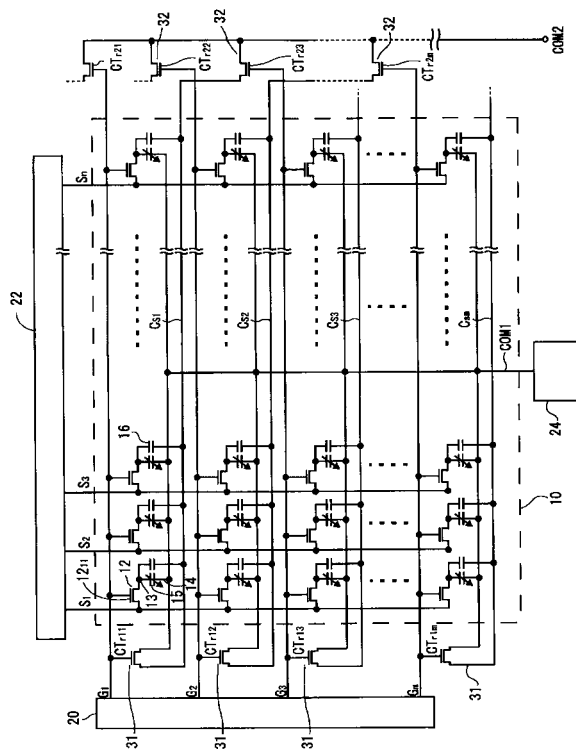
【 図 6 】



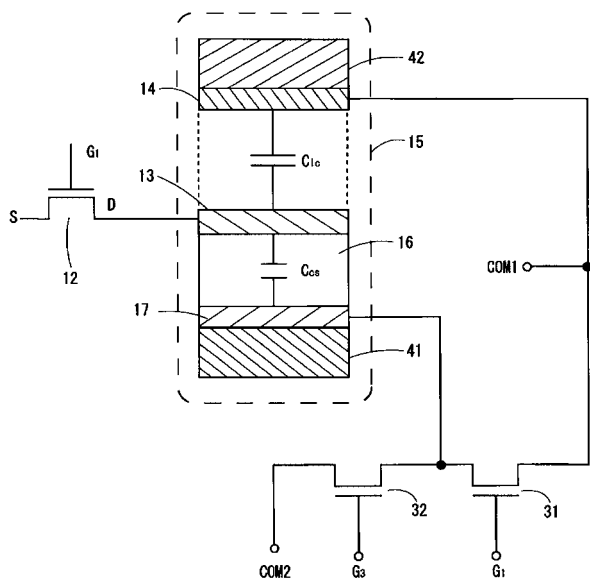
【 図 7 】



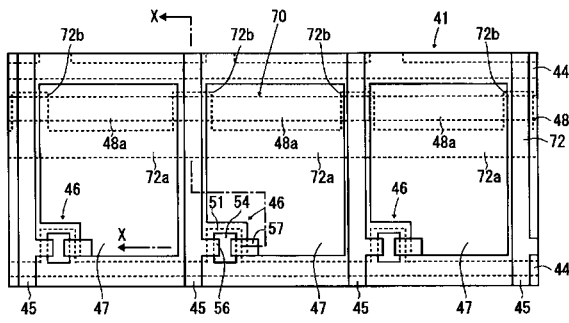
【 図 8 】



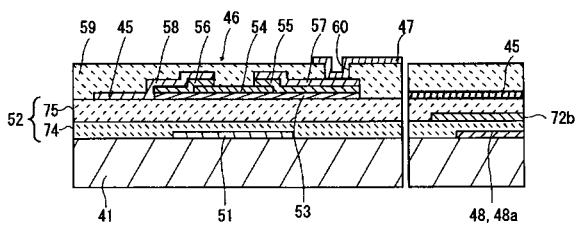
【 図 9 】



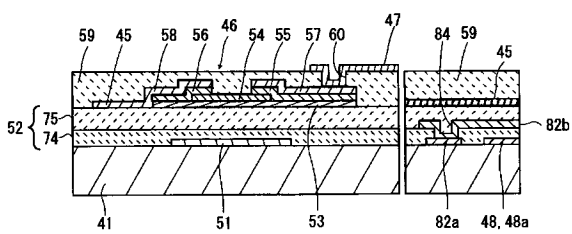
【 図 1 5 】



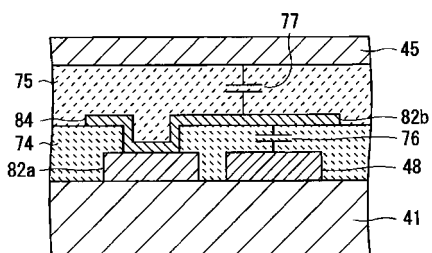
【 図 1 6 】



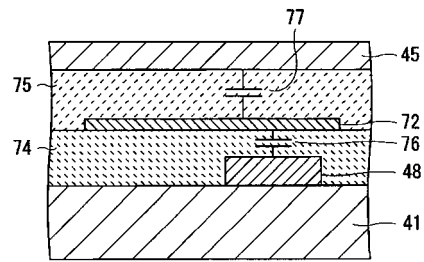
【 図 1 9 】



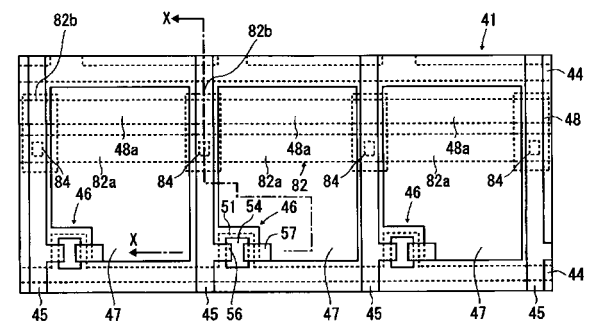
【 図 2 0 】



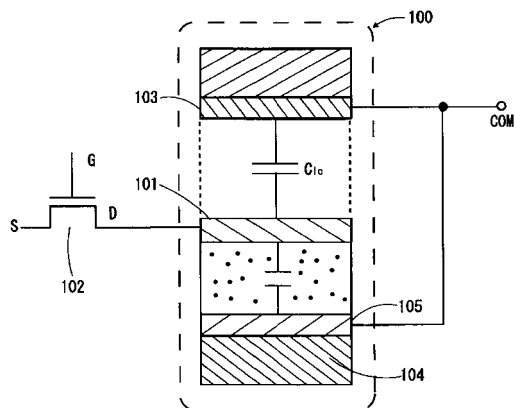
【 図 1 7 】



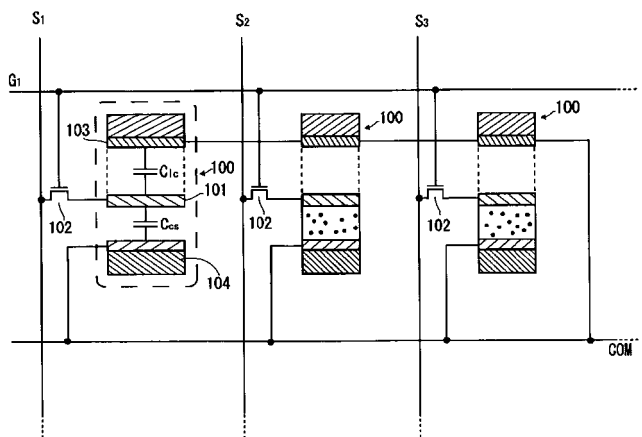
【 図 1 8 】



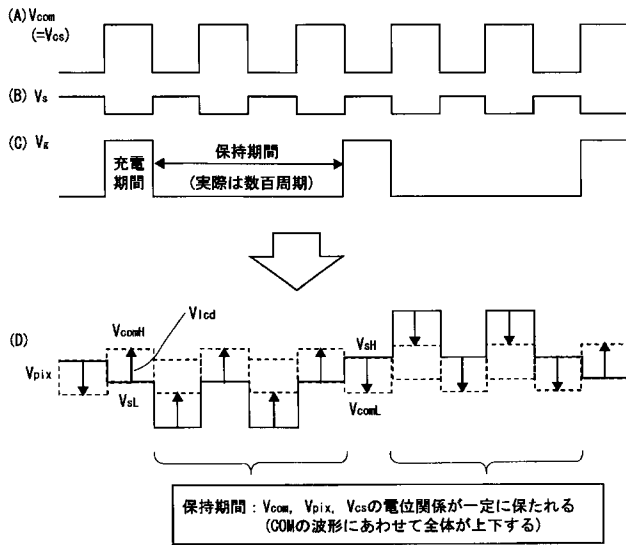
【 ㊦ 2 1 】



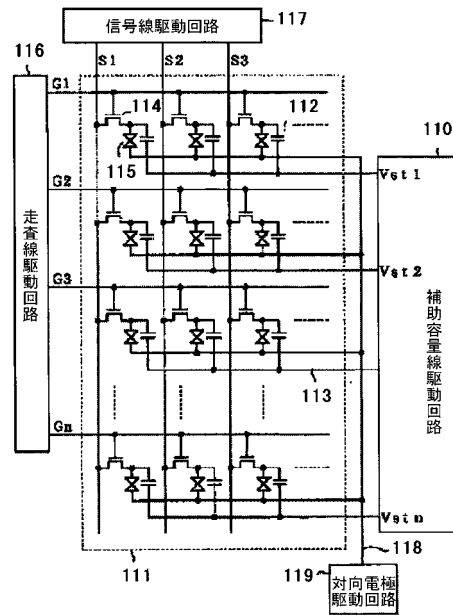
【 図 2 2 】



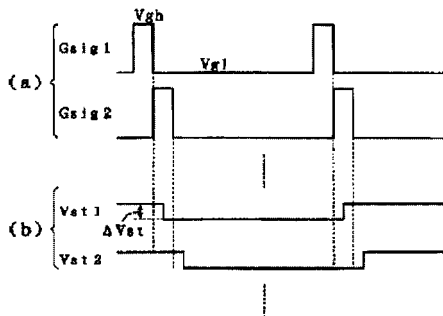
【図 2 3】



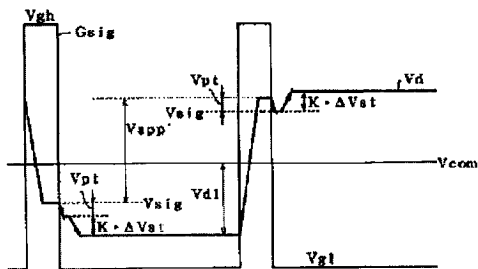
【図 2 4】



【図 2 5】



【図 2 6】



【手続補正書】

【提出日】平成22年2月15日(2010.2.15)

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】0020

【補正方法】変更

【補正の内容】

【0020】

上記目的を達成するため、請求項1に記載の本発明の液晶表示装置の駆動方法は、表示画素毎に、薄膜トランジスタのドレインに画素電極が接続されているとともに前記画素電極と対向電極との間に液晶層が形成され、第1の薄膜トランジスタをオン状態にする第1のオン電圧が前記第1の薄膜トランジスタに対して第1の期間に継続的に印加され、前記第1の薄膜トランジスタへの前記第1のオン電圧の印加終了に伴わせて第2の薄膜トランジスタをオン状態にする第2のオン電圧が前記第2の薄膜トランジスタに対して第2の期間に継続的に印加され、前記第2の薄膜トランジスタへの前記第2のオン電圧の印加終了に伴わせて第3の薄膜トランジスタをオン状態にする第3のオン電圧が前記第3の薄膜トランジスタに対して第3の期間に継続的に印加され、前記第1の期間及び前記第3の期間に前記対向電極に対して第1の電圧が印加され、前記第2の期間に前記対向電極に対して前記第1の電圧とは異なる第2の電圧が印加される液晶表示装置の駆動方法であって、前記第1の薄膜トランジスタのドレインに接続された画素電極に対応した補助容量線に対して、前記第1の期間には前記第1の電圧を印加し、前記第2の期間及び前記第3の期間には前記第1の電圧と前記第2の電圧との間の電圧のうち前記第1の電圧とは異なる電圧を印加し、前記第3の期間の直後から所定のタイミングまでは前記補助容量線をフローティング状態にすることを特徴とする。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0021

【補正方法】変更

【補正の内容】

【0021】

また、請求項2に記載の本発明の液晶表示装置の駆動方法は、薄膜トランジスタのドレインに画素電極が接続され、前記画素電極と対向電極との間に液晶層が形成されるとともに前記画素電極と容量形成線との間に容量が形成された液晶表示装置の駆動方法であって、前記薄膜トランジスタをオン状態にするオン電圧と前記薄膜トランジスタをオフ状態にするオフ電圧とを所定の周期で前記薄膜トランジスタのゲートに供給し、前記オン電圧を継続印加する時間が1/2周期に設定されるとともに電圧レベルが第1の電圧レベル V_L と第2の電圧レベル V_H との間で交互に切り換わる第1の信号を、前記対向電極に供給し、前記薄膜トランジスタのゲートに対して前記オン電圧の印加が開始されるタイミングから前記第1の信号の1周期分に対応する時間までの間は前記第1の信号に等しい信号を前記補助容量線に供給し、その後の前記第1の信号の1/2周期分に対応する時間までの間は電圧レベル V_c が $V_L < V_c < V_H$ の範囲に設定された第2の信号を前記補助容量線に供給し、さらにその後、前記容量形成線をフローティング状態にすることを特徴とする。

【手続補正 3】

【補正対象書類名】明細書

【補正対象項目名】0022

【補正方法】変更

【補正の内容】

【0022】

また、請求項3に記載の本発明の液晶表示装置の駆動方法は、請求項3に記載の液晶表示装置の駆動方法であって、前記第2の信号は、電圧レベル V_c が $(V_L + V_H) / 2$ に

設定されていることを特徴とする。

【手続補正 4】

【補正対象書類名】明細書

【補正対象項目名】0023

【補正方法】変更

【補正の内容】

【0023】

また、請求項 4 に記載の本発明の液晶表示装置の駆動方法は、薄膜トランジスタのドレインに画素電極が接続され、前記画素電極と対向電極との間に液晶層が形成されるとともに前記画素電極と容量形成線との間に容量が形成された液晶表示装置の駆動方法であって、前記薄膜トランジスタをオン状態にするオン電圧と前記薄膜トランジスタをオフ状態にするオフ電圧とを所定の周期で前記薄膜トランジスタのゲートに供給し、前記オン電圧を継続印加する時間が $1/2$ 周期に設定されるとともに電圧レベルが第 1 の電圧レベルと第 2 の電圧レベルとの間で交互に切り換わる第 1 の信号を、前記対向電極に供給し、前記薄膜トランジスタのゲートに対して前記オン電圧の印加が開始されるタイミングから前記第 1 の信号の 1 周期分に対応する時間までの間は前記第 1 の信号に等しい信号を前記補助容量線に供給し、その後の前記第 1 の信号の $1/2$ 周期分に対応する時間までの間は前記第 1 の信号に対して電圧レベルが反転した第 2 の信号を前記補助容量線に供給し、さらにその後、前記容量形成線をフローティング状態にすることを特徴とする。

【手続補正 5】

【補正対象書類名】明細書

【補正対象項目名】0024

【補正方法】変更

【補正の内容】

【0024】

また、請求項 5 に記載の本発明の液晶表示装置は、薄膜トランジスタのドレインに画素電極が接続され、前記画素電極と対向電極との間に液晶層が形成されるとともに前記画素電極と容量形成線との間に容量が形成された液晶表示装置であって、前記薄膜トランジスタをオン状態にするオン電圧と前記薄膜トランジスタをオフ状態にするオフ電圧とを所定の周期で前記薄膜トランジスタのゲートに供給する第 1 の駆動回路と、前記第 1 の駆動回路が前記オン電圧を印加する時間が $1/2$ 周期に設定され電圧レベルが第 1 の電圧レベル V_L と第 2 の電圧レベル V_H との間で交互に切り換わる第 1 の信号を、前記対向電極に供給する第 2 の駆動回路と、前記薄膜トランジスタのゲートに対して前記第 1 の駆動回路により前記オン電圧の印加が開始されるタイミングから前記第 1 の信号の 1 周期分に対応する時間までの間は前記第 1 の信号に等しい信号を前記補助容量線に供給し、その後の前記第 1 の信号の $1/2$ 周期分に対応する時間までの間は電圧レベル V_c が $V_L < V_c < V_H$ の範囲に設定された第 2 の信号を前記補助容量線に供給し、さらにその後、前記容量形成線をフローティング状態にする第 3 の駆動回路と、を備えることを特徴とする。

【手続補正 6】

【補正対象書類名】明細書

【補正対象項目名】0025

【補正方法】変更

【補正の内容】

【0025】

また、請求項 6 に記載の本発明の液晶表示装置は、薄膜トランジスタのドレインに画素電極が接続され、前記画素電極と対向電極との間に液晶層が形成されるとともに前記画素電極と容量形成線との間に容量が形成された液晶表示装置であって、前記薄膜トランジスタをオン状態にするオン電圧と前記薄膜トランジスタをオフ状態にするオフ電圧とを所定の周期で前記薄膜トランジスタのゲートに供給する第 1 の駆動回路と、前記第 1 の駆動回路が前記オン電圧を印加する時間が $1/2$ 周期に設定され電圧レベルが第 1 の電圧レベルと

第 2 の電圧レベルとの間で交互に切り換わる第 1 の信号を、前記対向電極に供給する第 2 の駆動回路と、前記薄膜トランジスタのゲートに対して前記第 1 の駆動回路により前記オン電圧の印加が開始されるタイミングから前記第 1 の信号の 1 周期分に対応する時間までの間は前記第 1 の信号に等しい信号を前記補助容量線に供給し、その後の前記第 1 の信号の 1 / 2 周期分に対応する時間までの間は前記第 1 の信号に対して電圧レベルが反転した第 2 の信号を前記補助容量線に供給し、さらにその後、前記容量形成線をフローティング状態にする第 3 の駆動回路と、を備えることを特徴とする。

【手続補正 7】

【補正対象書類名】明細書

【補正対象項目名】0026

【補正方法】変更

【補正の内容】

【0026】

また、請求項 7 に記載の本発明の液晶表示装置は、請求項 5 または 6 に記載の液晶表示装置であって、前記画素電極との間に補助容量を形成する補助容量線を備えたことを特徴とする。

【手続補正 8】

【補正対象書類名】明細書

【補正対象項目名】0027

【補正方法】変更

【補正の内容】

【0027】

また、請求項 8 に記載の本発明の液晶表示装置は、請求項 5 から 7 の何れかに記載の液晶表示装置であって、前記画素電極が形成された第 1 の基板と、前記対向電極が形成された第 2 の基板と、を備え、前記容量形成線と前記補助容量線とが前記第 1 の基板に形成されていることを特徴とする。

【手続補正 9】

【補正対象書類名】明細書

【補正対象項目名】0028

【補正方法】削除

【補正の内容】

【手続補正 10】

【補正対象書類名】明細書

【補正対象項目名】0029

【補正方法】削除

【補正の内容】

【手続補正 11】

【補正対象書類名】明細書

【補正対象項目名】0030

【補正方法】削除

【補正の内容】

【手続補正 12】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

表示画素毎に、薄膜トランジスタのドレインに画素電極が接続されているとともに前記画素電極と対向電極との間に液晶層が形成され、

第 1 の薄膜トランジスタをオン状態にする第 1 のオン電圧が前記第 1 の薄膜トランジスタに対して第 1 の期間に継続的に印加され、

前記第 1 の薄膜トランジスタへの前記第 1 のオン電圧の印加終了に伴わせて第 2 の薄膜トランジスタをオン状態にする第 2 のオン電圧が前記第 2 の薄膜トランジスタに対して第 2 の期間に継続的に印加され、

前記第 2 の薄膜トランジスタへの前記第 2 のオン電圧の印加終了に伴わせて第 3 の薄膜トランジスタをオン状態にする第 3 のオン電圧が前記第 3 の薄膜トランジスタに対して第 3 の期間に継続的に印加され、

前記第 1 の期間及び前記第 3 の期間に前記対向電極に対して第 1 の電圧が印加され、

前記第 2 の期間に前記対向電極に対して前記第 1 の電圧とは異なる第 2 の電圧が印加される液晶表示装置の駆動方法であって、

前記第 1 の薄膜トランジスタのドレインに接続された画素電極に対応した補助容量線に対して、前記第 1 の期間には前記第 1 の電圧を印加し、前記第 2 の期間及び前記第 3 の期間には前記第 1 の電圧と前記第 2 の電圧との間の電圧のうち前記第 1 の電圧とは異なる電圧を印加し、

前記第 3 の期間の直後から所定のタイミングまでは前記補助容量線をフローティング状態にする、液晶表示装置の駆動方法。

【請求項 2】

薄膜トランジスタのドレインに画素電極が接続され、前記画素電極と対向電極との間に液晶層が形成されるとともに前記画素電極と容量形成線との間に容量が形成された液晶表示装置の駆動方法であって、

前記薄膜トランジスタをオン状態にするオン電圧と前記薄膜トランジスタをオフ状態にするオフ電圧とを所定の周期で前記薄膜トランジスタのゲートに供給し、

前記オン電圧を継続印加する時間が $1/2$ 周期に設定されるとともに電圧レベルが第 1 の電圧レベル V_L と第 2 の電圧レベル V_H との間で交互に切り換わる第 1 の信号を、前記対向電極に供給し、

前記薄膜トランジスタのゲートに対して前記オン電圧の印加が開始されるタイミングから前記第 1 の信号の 1 周期分に対応する時間までの間は前記第 1 の信号に等しい信号を前記補助容量線に供給し、その後の前記第 1 の信号の $1/2$ 周期分に対応する時間までの間は電圧レベル V_c が $V_L < V_c < V_H$ の範囲に設定された第 2 の信号を前記補助容量線に供給し、さらにその後、前記容量形成線をフローティング状態にする、液晶表示装置の駆動方法。

【請求項 3】

前記第 2 の信号は、電圧レベル V_c が $(V_L + V_H) / 2$ に設定されている、請求項 2 に記載の液晶表示装置の駆動方法。

【請求項 4】

薄膜トランジスタのドレインに画素電極が接続され、前記画素電極と対向電極との間に液晶層が形成されるとともに前記画素電極と容量形成線との間に容量が形成された液晶表示装置の駆動方法であって、

前記薄膜トランジスタをオン状態にするオン電圧と前記薄膜トランジスタをオフ状態にするオフ電圧とを所定の周期で前記薄膜トランジスタのゲートに供給し、

前記オン電圧を継続印加する時間が $1/2$ 周期に設定されるとともに電圧レベルが第 1 の電圧レベルと第 2 の電圧レベルとの間で交互に切り換わる第 1 の信号を、前記対向電極に供給し、

前記薄膜トランジスタのゲートに対して前記オン電圧の印加が開始されるタイミングから前記第 1 の信号の 1 周期分に対応する時間までの間は前記第 1 の信号に等しい信号を前記補助容量線に供給し、その後の前記第 1 の信号の $1/2$ 周期分に対応する時間までの間は前記第 1 の信号に対して電圧レベルが反転した第 2 の信号を前記補助容量線に供給し、さらにその後、前記容量形成線をフローティング状態にする、液晶表示装置の駆動方法。

【請求項 5】

薄膜トランジスタのドレインに画素電極が接続され、前記画素電極と対向電極との間に液晶層が形成されるとともに前記画素電極と容量形成線との間に容量が形成された液晶表示装置あって、

前記薄膜トランジスタをオン状態にするオン電圧と前記薄膜トランジスタをオフ状態にするオフ電圧とを所定の周期で前記薄膜トランジスタのゲートに供給する第 1 の駆動回路と、

前記第 1 の駆動回路が前記オン電圧を印加する時間が $1 / 2$ 周期に設定され電圧レベルが第 1 の電圧レベル V_L と第 2 の電圧レベル V_H との間で交互に切り換わる第 1 の信号を、前記対向電極に供給する第 2 の駆動回路と、

前記薄膜トランジスタのゲートに対して前記第 1 の駆動回路により前記オン電圧の印加が開始されるタイミングから前記第 1 の信号の 1 周期分に対応する時間までの間は前記第 1 の信号に等しい信号を前記補助容量線に供給し、その後の前記第 1 の信号の $1 / 2$ 周期分に対応する時間までの間は電圧レベル V_c が $V_L < V_c < V_H$ の範囲に設定された第 2 の信号を前記補助容量線に供給し、さらにその後、前記容量形成線をフローティング状態にする第 3 の駆動回路と、
を備える、液晶表示装置。

【請求項 6】

薄膜トランジスタのドレインに画素電極が接続され、前記画素電極と対向電極との間に液晶層が形成されるとともに前記画素電極と容量形成線との間に容量が形成された液晶表示装置あって、

前記薄膜トランジスタをオン状態にするオン電圧と前記薄膜トランジスタをオフ状態にするオフ電圧とを所定の周期で前記薄膜トランジスタのゲートに供給する第 1 の駆動回路と、

前記第 1 の駆動回路が前記オン電圧を印加する時間が $1 / 2$ 周期に設定され電圧レベルが第 1 の電圧レベルと第 2 の電圧レベルとの間で交互に切り換わる第 1 の信号を、前記対向電極に供給する第 2 の駆動回路と、

前記薄膜トランジスタのゲートに対して前記第 1 の駆動回路により前記オン電圧の印加が開始されるタイミングから前記第 1 の信号の 1 周期分に対応する時間までの間は前記第 1 の信号に等しい信号を前記補助容量線に供給し、その後の前記第 1 の信号の $1 / 2$ 周期分に対応する時間までの間は前記第 1 の信号に対して電圧レベルが反転した第 2 の信号を前記補助容量線に供給し、さらにその後、前記容量形成線をフローティング状態にする第 3 の駆動回路と、
を備える、液晶表示装置。

【請求項 7】

前記画素電極との間に補助容量を形成する補助容量線を備えた、請求項 5 または 6 に記載の液晶表示装置。

【請求項 8】

前記画素電極が形成された第 1 の基板と、前記対向電極が形成された第 2 の基板と、を備え、

前記容量形成線と前記補助容量線とが前記第 1 の基板に形成されている、請求項 5 から 7 の何れかに記載の液晶表示装置。

专利名称(译)	液晶显示装置及其驱动方法		
公开(公告)号	JP2010146025A	公开(公告)日	2010-07-01
申请号	JP2010022879	申请日	2010-02-04
[标]申请(专利权)人(译)	卡西欧计算机株式会社		
申请(专利权)人(译)	卡西欧计算机有限公司		
[标]发明人	石井裕满		
发明人	石井 裕满		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
FI分类号	G09G3/36 G09G3/20.624.C G09G3/20.612.D G02F1/133.550 G09G3/20.680.G		
F-TERM分类号	2H193/ZA04 2H193/ZA07 2H193/ZB02 2H193/ZB03 2H193/ZB08 2H193/ZB14 2H193/ZB16 2H193/ZC16 2H193/ZC25 2H193/ZD12 2H193/ZF22 5C006/AA22 5C006/AC09 5C006/AC25 5C006/BB16 5C006/BC20 5C006/BF46 5C080/AA10 5C080/BB05 5C080/CC03 5C080/DD01 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ06		
优先权	2007284603 2007-10-31 JP		
其他公开文献	JP5771897B2		
外部链接	Espacenet		

摘要(译)

提供一种液晶显示装置及其驱动方法，该液晶显示装置获得超过驱动器LSI的输出电压的像素电压。液晶显示装置包括显示单元，扫描线驱动电路，信号线驱动电路和对电极驱动电路，该对电极驱动电路将具有与信号线驱动信号的相位相反的相位的对电极驱动信号输出到对电极。如图24所示，辅助电容16的一端连接到开关元件12的输出端，驱动由多行构成的辅助电容线，每行连接到开关元件12，并且每行的辅助电容16的另一端共用 提供辅助电容线驱动电路26。辅助电容线驱动电路26在对电极驱动信号的第一周期中将第一电压施加到每行的辅助电容线，并且在对电极驱动信号的第一周期之后将 $p+1$ /施加到每行的辅助电容线。在每行中的每个扫描线驱动信号中使用一个信号，该信号施加两个电压两个周期（其中 p 为0或自然数），并且在 $p+1/2$ 周期之后的保持周期中处于断开状态。一起输出。[选型图]图1

