

(19) 日本国特許庁 (JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-79301

(P2010-79301A)

(43) 公開日 平成22年4月8日 (2010. 4. 8)

(51) Int.Cl.	F I	テーマコード (参考)
G02F 1/1368 (2006.01)	G02F 1/1368	2H092
G02F 1/133 (2006.01)	G02F 1/133 550	2H193
G09G 3/36 (2006.01)	G09G 3/36	5C006
G09G 3/20 (2006.01)	G09G 3/20 680G	5C080
G09G 3/34 (2006.01)	G09G 3/34 J	

審査請求 未請求 請求項の数 9 O L (全 12 頁)

(21) 出願番号	特願2009-221179 (P2009-221179)	(71) 出願人	507134301 北京京東方光電科技有限公司 中華人民共和国北京經濟技術開發區西環中路8號
(22) 出願日	平成21年9月25日 (2009. 9. 25)	(74) 代理人	100108453 弁理士 村山 靖彦
(31) 優先権主張番号	200810222791.7	(74) 代理人	100064908 弁理士 志賀 正武
(32) 優先日	平成20年9月25日 (2008. 9. 25)	(74) 代理人	100089037 弁理士 渡邊 隆
(33) 優先権主張国	中国 (CN)	(74) 代理人	100110364 弁理士 実広 信哉
		(72) 発明者	韓 承佑 中華人民共和国北京▲経▼済技術開發區西環中路8號

最終頁に続く

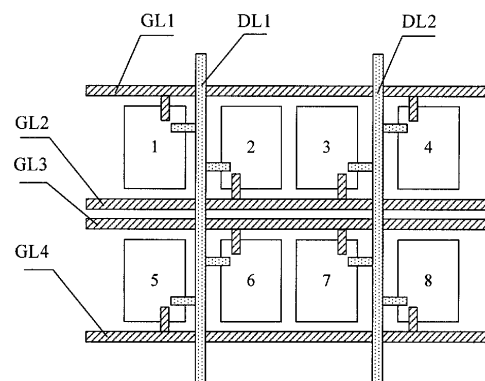
(54) 【発明の名称】 アレイ基板、液晶パネル、及び液晶ディスプレイ装置

(57) 【要約】

【課題】 データ・ラインを共用する方案を採用したアレイ基板において、従来技術により生じる列反転との問題点を解決する。

【解決手段】 上記アレイ基板の画素配列方法について、DLS方法が採用され、ドット反転駆動方式で駆動するとき、画素と、ゲート・ライン、データ・ラインとの連結関係を変更することにより、従来技術により生じる列反転との問題点が解決され、当該アレイ基板を使用した液晶ディスプレイ装置の表示の質が向上する。

【選択図】 図3



【特許請求の範囲】

【請求項1】

駆動信号を提供するゲート・ラインと、極性連続反転の電圧信号を提供するデータ・ラインとを有するアレイ基板であって、

横方向に配列した第1ゲート・ライン、第2ゲート・ライン、第3ゲート・ライン、及び第4ゲート・ラインと、

縦方向に配列した第1データ・ライン及び第2データ・ラインと、を備え、

前記第1ゲート・ラインと前記第2ゲート・ラインとの間に第1画素、第2画素、第3画素、及び第4画素が設けられ、

前記第3ゲート・ラインと前記第4ゲート・ラインとの間に第5画素、第6画素、第7画素、及び第8画素が設けられ、

前記第1画素はそれぞれ前記第1ゲート・ラインと、前記第1データ・ラインの片側とに電氣的に接続し、

前記第2画素はそれぞれ前記第2ゲート・ラインと、前記第1データ・ラインの他側とに電氣的に接続し、

前記第3画素はそれぞれ前記第2ゲート・ラインと、前記第2データ・ラインの片側とに電氣的に接続し、

前記第4画素はそれぞれ前記第1ゲート・ラインと、前記第2データ・ラインの他側とに電氣的に接続し、

前記第5画素はそれぞれ前記第4ゲート・ラインと、前記第1データ・ラインの片側とに電氣的に接続し、

前記第6画素はそれぞれ前記第3ゲート・ラインと、前記第1データ・ラインの他側とに電氣的に接続し、

前記第7画素はそれぞれ前記第3ゲート・ラインと、前記第2データ・ラインの片側とに電氣的に接続し、

前記第8画素はそれぞれ前記第4ゲート・ラインと、前記第2データ・ラインの他側とに電氣的に接続することを特徴とするアレイ基板。

【請求項2】

前記各画素はスイッチによりそれぞれ対応する前記ゲート・ラインと、対応する前記データ・ラインとに電氣的に接続することを特徴とする請求項1に記載のアレイ基板。

【請求項3】

前記スイッチは薄膜トランジスタであり、前記薄膜トランジスタのゲート電極は対応する前記ゲート・ラインと電氣的に接続し、そのソース電極は対応する前記データ・ラインと電氣的に接続し、そのドレイン電極は対応する前記画素の画素電極と電氣的に接続することを特徴とする請求項2に記載のアレイ基板。

【請求項4】

カラー・フィルタ基板と、アレイ基板と、前記カラー・フィルタ基板と前記アレイ基板との間に位置する液晶と、を備える液晶パネルであって、

前記アレイ基板は、駆動信号を提供するゲート・ラインと、極性連続反転の電圧信号を提供するデータ・ラインとを有し、

横方向に配列した第1ゲート・ライン、第2ゲート・ライン、第3ゲート・ライン、及び第4ゲート・ラインと、

縦方向に配列した第1データ・ライン及び第2データ・ラインと、を備え、

前記第1ゲート・ラインと前記第2ゲート・ラインとの間に第1画素、第2画素、第3画素、及び第4画素が設けられ、

前記第3ゲート・ラインと前記第4ゲート・ラインとの間に第5画素、第6画素、第7画素、及び第8画素が設けられ、

前記第1画素はそれぞれ前記第1ゲート・ラインと、前記第1データ・ラインの片側とに電氣的に接続し、

前記第2画素はそれぞれ前記第2ゲート・ラインと、前記第1データ・ラインの他側とに

10

20

30

40

50

電氣的に接続し、

前記第3画素はそれぞれ前記第2ゲート・ラインと、前記第2データ・ラインの片側とに電氣的に接続し、

前記第4画素はそれぞれ前記第1ゲート・ラインと、前記第2データ・ラインの他側とに電氣的に接続し、

前記第5画素はそれぞれ前記第4ゲート・ラインと、前記第1データ・ラインの片側とに電氣的に接続し、

前記第6画素はそれぞれ前記第3ゲート・ラインと、前記第1データ・ラインの他側とに電氣的に接続し、

前記第7画素はそれぞれ前記第3ゲート・ラインと、前記第2データ・ラインの片側とに電氣的に接続し、

前記第8画素はそれぞれ前記第4ゲート・ラインと、前記第2データ・ラインの他側とに電氣的に接続することを特徴とする液晶パネル。

【請求項5】

前記各画素はスイッチによりそれぞれ対応する前記ゲート・ラインと、対応する前記データ・ラインとに電氣的に接続することを特徴とする請求項4に記載の液晶パネル。

【請求項6】

前記スイッチは薄膜トランジスタであり、前記薄膜トランジスタのゲート電極は対応する前記ゲート・ラインと電氣的に接続し、そのソース電極は対応する前記データ・ラインと電氣的に接続し、そのドレイン電極は対応する前記画素の画素電極と電氣的に接続することを特徴とする請求項5に記載の液晶パネル。

【請求項7】

バック・ライトと、液晶パネルと、液晶パネルに制御信号を提供するための集積回路基板と、を備える液晶ディスプレイ装置であって、

前記液晶パネルは、カラー・フィルタ基板と、アレイ基板と、前記カラー・フィルタ基板と前記アレイ基板との間に位置する液晶と、を有し、

前記アレイ基板は、駆動信号を提供するゲート・ラインと、極性連続反転の電圧信号を提供するデータ・ラインとを有し、

横方向に配列した第1ゲート・ライン、第2ゲート・ライン、第3ゲート・ライン、及び第4ゲート・ラインと、

縦方向に配列した第1データ・ライン及び第2データ・ラインと、を備え、

前記第1ゲート・ラインと前記第2ゲート・ラインとの間に第1画素、第2画素、第3画素、及び第4画素が設けられ、

前記第3ゲート・ラインと前記第4ゲート・ラインとの間に第5画素、第6画素、第7画素、及び第8画素が設けられ、

前記第1画素はそれぞれ前記第1ゲート・ラインと、前記第1データ・ラインの片側とに電氣的に接続し、

前記第2画素はそれぞれ前記第2ゲート・ラインと、前記第1データ・ラインの他側とに電氣的に接続し、

前記第3画素はそれぞれ前記第2ゲート・ラインと、前記第2データ・ラインの片側とに電氣的に接続し、

前記第4画素はそれぞれ前記第1ゲート・ラインと、前記第2データ・ラインの他側とに電氣的に接続し、

前記第5画素はそれぞれ前記第4ゲート・ラインと、前記第1データ・ラインの片側とに電氣的に接続し、

前記第6画素はそれぞれ前記第3ゲート・ラインと、前記第1データ・ラインの他側とに電氣的に接続し、

前記第7画素はそれぞれ前記第3ゲート・ラインと、前記第2データ・ラインの片側とに電氣的に接続し、

前記第8画素はそれぞれ前記第4ゲート・ラインと、前記第2データ・ラインの他側とに

10

20

30

40

50

電氣的に接続することを特徴とする液晶ディスプレイ装置。

【請求項 8】

前記各画素はスイッチによりそれぞれ対応する前記ゲート・ラインと、対応する前記データ・ラインとに電氣的に接続することを特徴とする請求項7に記載の液晶ディスプレイ装置。

【請求項 9】

前記スイッチは薄膜トランジスタであり、前記薄膜トランジスタのゲート電極は対応する前記ゲート・ラインと電氣的に接続し、そのソース電極は対応する前記データ・ラインと電氣的に接続し、そのドレイン電極は対応する前記画素の画素電極と電氣的に接続することを特徴とする請求項8に記載の液晶ディスプレイ装置。

10

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、液晶ディスプレイ装置の分野に関し、特にデータ・ラインを共用する方案を採用したアレイ基板において、ドット反転駆動方式を実現できる画素配列に関する。

【背景技術】

【0002】

液晶ディスプレイ装置は、パネル内に位置する画素電極と公共電極との間に形成された電界により液晶分子の配列を制御し、更に、光に対する液晶分子の屈折率を制御することにより、画面を表示する板ディスプレイ装置である。液晶ディスプレイ装置のパネルは、アレイ基板(array substrate)とカラー・フィルタ基板(color filter substrate)からなり、前記アレイ基板は横方向に配列したゲート・ラインと、縦方向に配列したデータ・ラインからなり、各画素を制御するように、ゲート・ラインとデータ・ラインとの交差点ごとにスイッチが設けられている。

20

アレイ基板の設計において、ゲート・ラインとデータ・ラインに関する設計方案が多く、その中に、データ・ラインを半分に減少できる画素の配列方法があり、即ちデータ・ライン共用(Data line sharing、DLSと略称)方法である。

【0003】

図1は従来のDLS方法を採用したアレイ基板構造の概略図である。図1に示すように、アレイ基板に、横方向に配列した第1ゲート・ラインGL1、第2ゲート・ラインGL2、第3ゲート・ラインGL3、及び第4ゲート・ラインGL4が設けられ、前記第1ゲート・ラインGL1はそれぞれ第1画素1と、第3画素3とに電氣的に接続し、第2ゲート・ラインGL2はそれぞれ第2画素2と、第4画素4とに電氣的に接続し、第3ゲート・ラインGL3はそれぞれ第5画素5と、第7画素7とに電氣的に接続し、第4ゲート・ラインGL4はそれぞれ第6画素6と、第8画素8とに電氣的に接続する。

30

アレイ基板に、縦方向に配列した第1データ・ラインDL1及び第2データ・ラインDL2が設けられ、前記第1データ・ラインDL1の片側はそれぞれ第1画素1と、第5画素5とに電氣的に接続し、第1データ・ラインDL1の他側はそれぞれ第2画素2と、第6画素6とに電氣的に接続し、第2データ・ラインDL2の片側はそれぞれ第3画素3と、第7画素7とに電氣的に接続し、第2データ・ラインDL2の他側はそれぞれ第4画素4と、第8画素8とに電氣的に接続する。

40

通常の駆動方式では、上記構造を有するアレイ基板に何の問題もない。しかしながら、通常の駆動方式は液晶分子の制御に不利である。そのため、通常、現在の液晶ディスプレイ装置にドット反転(dot inversion)駆動方式が採用され、即ち電界を形成する過程において、最初に正方向電界を形成し、次に逆方向電界を形成する。

【0004】

図2は従来のアレイ基板にドット反転駆動方式が採用される時の画素極性の概略図である。図2に示すように、第1ゲート・ラインGL1が駆動信号を提供する時、第1データ・ラインDL1は正極信号を提供し、第2データ・ラインDL2は負極信号を提供し、このとき、第1画素1は正方向電界を形成し、第3画素3は逆方向電界を形成する。

第2ゲート・ラインGL2が駆動信号を提供する時、第1データ・ラインDL1は負極信号を提

50

供し、第2データ・ラインDL2は正極信号を提供し、このとき、第2画素2は逆方向電界を形成し、第4画素4は正方向電界を形成する。

第3ゲート・ラインGL3が駆動信号を提供する時、第1データ・ラインDL1は正極信号を提供し、第2データ・ラインDL2は負極信号を提供し、このとき、第5画素5は正方向電界を形成し、第7画素7は逆方向電界を形成する。

第4ゲート・ラインGL4が駆動信号を提供する時、第1データ・ラインDL1は負極信号を提供し、第2データ・ラインDL2は正極信号を提供し、このとき、第6画素6は逆方向電界を形成し、第8画素8は正方向電界を形成する。

以上により分かるように、上記構造を有する従来のアレイ基板において、データ・ラインに従来のドット反転信号を入力するとき、アレイ基板に1+2列反転(column inversion)が形成され、即ち液晶パネルの一部の領域に極性が非対称の現象があらわれ、画面質の低下が引き起こされる。

【発明の概要】

【発明が解決しようとする課題】

【0005】

本発明の目的は、アレイ基板、液晶パネル、及び液晶ディスプレイ装置を提供し、従来のDLS方法を採用したアレイ基板がドット反転駆動方式で現れる問題点を解決し、ドット反転駆動方式で、DLS方法を採用したアレイ基板の表示点の反転を実現する。

【課題を解決するための手段】

【0006】

上記目的を実現するために、本発明はアレイ基板を提供した。当該アレイ基板は、駆動信号を提供するゲート・ラインと、極性連続反転の電圧信号を提供するデータ・ラインとを有し、横方向に配列した第1ゲート・ライン、第2ゲート・ライン、第3ゲート・ライン、及び第4ゲート・ラインと、縦方向に配列した第1データ・ライン及び第2データ・ラインと、を備え、前記第1ゲート・ラインと前記第2ゲート・ラインとの間に第1画素、第2画素、第3画素、及び第4画素が設けられ、前記第3ゲート・ラインと前記第4ゲート・ラインとの間に第5画素、第6画素、第7画素、及び第8画素が設けられ、前記第1画素はそれぞれ前記第1ゲート・ラインと、前記第1データ・ラインの片側とに電氣的に接続し、前記第2画素はそれぞれ前記第2ゲート・ラインと、前記第1データ・ラインの他側とに電氣的に接続し、前記第3画素はそれぞれ前記第2ゲート・ラインと、前記第2データ・ラインの片側とに電氣的に接続し、前記第4画素はそれぞれ前記第1ゲート・ラインと、前記第2データ・ラインの他側とに電氣的に接続し、前記第5画素はそれぞれ前記第4ゲート・ラインと、前記第1データ・ラインの片側とに電氣的に接続し、前記第6画素はそれぞれ前記第3ゲート・ラインと、前記第1データ・ラインの他側とに電氣的に接続し、前記第7画素はそれぞれ前記第3ゲート・ラインと、前記第2データ・ラインの片側とに電氣的に接続し、前記第8画素はそれぞれ前記第4ゲート・ラインと、前記第2データ・ラインの他側とに電氣的に接続する。

【0007】

前記各画素はスイッチによりそれぞれ対応する前記ゲート・ラインと、対応する前記データ・ラインとに電氣的に接続する。

前記スイッチは薄膜トランジスタであり、前記薄膜トランジスタのゲート電極は対応する前記ゲート・ラインと電氣的に接続し、そのソース電極は対応する前記データ・ラインと電氣的に接続し、そのドレイン電極は対応する前記画素の画素電極と電氣的に接続する。

【0008】

上記目的を実現するために、本発明は更に液晶パネルを提供した。当該液晶パネルは、カラー・フィルタ基板と、アレイ基板と、前記カラー・フィルタ基板と前記アレイ基板との間に位置する液晶と、を備え、前記アレイ基板は、駆動信号を提供するゲート・ラインと、極性連続反転の電圧信号を提供するデータ・ラインとを有し、横方向に配列した第1ゲート・ライン、第2ゲート・ライン、第3ゲート・ライン、及び第4ゲート・ラインと、

縦方向に配列した第1データ・ライン及び第2データ・ラインと、を備え、前記第1ゲート・ラインと前記第2ゲート・ラインとの間に第1画素、第2画素、第3画素、及び第4画素が設けられ、前記第3ゲート・ラインと前記第4ゲート・ラインとの間に第5画素、第6画素、第7画素、及び第8画素が設けられ、前記第1画素はそれぞれ前記第1ゲート・ラインと、前記第1データ・ラインの片側とに電氣的に接続し、前記第2画素はそれぞれ前記第2ゲート・ラインと、前記第1データ・ラインの他側とに電氣的に接続し、前記第3画素はそれぞれ前記第2ゲート・ラインと、前記第2データ・ラインの片側とに電氣的に接続し、前記第4画素はそれぞれ前記第1ゲート・ラインと、前記第2データ・ラインの他側とに電氣的に接続し、前記第5画素はそれぞれ前記第4ゲート・ラインと、前記第1データ・ラインの片側とに電氣的に接続し、前記第6画素はそれぞれ前記第3ゲート・ラインと、前記第1データ・ラインの他側とに電氣的に接続し、前記第7画素はそれぞれ前記第3ゲート・ラインと、前記第2データ・ラインの片側とに電氣的に接続し、前記第8画素はそれぞれ前記第4ゲート・ラインと、前記第2データ・ラインの他側とに電氣的に接続する。

10

【0009】

前記各画素はスイッチによりそれぞれ対応する前記ゲート・ラインと、対応する前記データ・ラインとに電氣的に接続する。

前記スイッチは薄膜トランジスタであり、前記薄膜トランジスタのゲート電極は対応する前記ゲート・ラインと電氣的に接続し、そのソース電極は対応する前記データ・ラインと電氣的に接続し、そのドレイン電極は対応する前記画素の画素電極と電氣的に接続する。

20

【0010】

上記目的を実現するために、本発明は更に液晶ディスプレイ装置を提供した。当該液晶ディスプレイ装置は、バック・ライトと、液晶パネルと、液晶パネルに制御信号を提供するための集積回路基板と、を備え、前記液晶パネルは、カラー・フィルタ基板と、アレイ基板と、前記カラー・フィルタ基板と前記アレイ基板との間に位置する液晶と、を有し、前記アレイ基板は、駆動信号を提供するゲート・ラインと、極性連続反転の電圧信号を提供するデータ・ラインとを有し、横方向に配列した第1ゲート・ライン、第2ゲート・ライン、第3ゲート・ライン、及び第4ゲート・ラインと、縦方向に配列した第1データ・ライン及び第2データ・ラインと、を備え、前記第1ゲート・ラインと前記第2ゲート・ラインとの間に第1画素、第2画素、第3画素、及び第4画素が設けられ、前記第3ゲート・ラインと前記第4ゲート・ラインとの間に第5画素、第6画素、第7画素、及び第8画素が設けられ、前記第1画素はそれぞれ前記第1ゲート・ラインと、前記第1データ・ラインの片側とに電氣的に接続し、前記第2画素はそれぞれ前記第2ゲート・ラインと、前記第1データ・ラインの他側とに電氣的に接続し、前記第3画素はそれぞれ前記第2ゲート・ラインと、前記第2データ・ラインの片側とに電氣的に接続し、前記第4画素はそれぞれ前記第1ゲート・ラインと、前記第2データ・ラインの他側とに電氣的に接続し、前記第5画素はそれぞれ前記第4ゲート・ラインと、前記第1データ・ラインの片側とに電氣的に接続し、前記第6画素はそれぞれ前記第3ゲート・ラインと、前記第1データ・ラインの他側とに電氣的に接続し、前記第7画素はそれぞれ前記第3ゲート・ラインと、前記第2データ・ラインの片側とに電氣的に接続し、前記第8画素はそれぞれ前記第4ゲート・ラインと、前記第2データ・ラインの他側とに電氣的に接続する。

30

40

【0011】

前記各画素はスイッチによりそれぞれ対応する前記ゲート・ラインと、対応する前記データ・ラインとに電氣的に接続する。

前記スイッチは薄膜トランジスタであり、前記薄膜トランジスタのゲート電極は対応する前記ゲート・ラインと電氣的に接続し、そのソース電極は対応する前記データ・ラインと電氣的に接続し、そのドレイン電極は対応する前記画素の画素電極と電氣的に接続する。

【発明の効果】**【0012】**

50

DLS方法を採用した従来のアレイ基板のデータ・ラインに従来のドット反転信号を入力するときに生じる1+2列反転との問題点を解決するために、本発明はDLS方法を採用したアレイ基板において、各画素の接続方法を変更した。それにより、アレイ基板のデータ・ラインに従来のドット反転信号を入力するとしても、正常のドット反転方法で表示でき、画面の質が向上する。

【図面の簡単な説明】

【0013】

【図1】従来のDLS方法を採用したアレイ基板構造の概略図である。

【図2】従来のアレイ基板にドット反転駆動方式が採用される時の画素極性の概略図である。

10

【図3】本発明のDLS方法を採用したアレイ基板の概略図である。

【図4】本発明のアレイ基板にドット反転駆動方式が採用される時の画素極性の概略図である。

【図5】本発明の液晶パネル構造の概略図である。

【図6】本発明の液晶ディスプレイ装置構造の概略図である。

【図7】図6のA - A1の断面図である。

【発明を実施するための形態】

【0014】

次に、図面と実施例に基づき、本発明の技術案に対して更に詳しく説明する。

【0015】

20

図3は本発明のDLS方法を採用したアレイ基板の概略図である。図3に示すように、アレイ基板は少なくとも、駆動信号を提供するゲート・ラインGLと、極性連続反転の電圧信号を提供するデータ・ラインDLとを有する。具体的には、

横方向に配列した第1ゲート・ラインGL1、第2ゲート・ラインGL2、第3ゲート・ラインGL3、及び第4ゲート・ラインGL4と、

縦方向に配列した第1データ・ラインDL1及び第2データ・ラインDL2と、を備え、

前記第1ゲート・ラインGL1と前記第2ゲート・ラインGL2との間に第1画素1、第2画素2、第3画素3、及び第4画素4が順次設けられ、

前記第3ゲート・ラインGL3と前記第4ゲート・ラインGL4との間に第5画素5、第6画素6、第7画素7、及び第8画素8が順次設けられ、

30

前記第1画素1はそれぞれ前記第1ゲート・ラインGL1と、前記第1データ・ラインDL1の片側とに電氣的に接続し、

前記第2画素2はそれぞれ前記第2ゲート・ラインGL2と、前記第1データ・ラインDL1の他側とに電氣的に接続し、

前記第3画素3はそれぞれ前記第2ゲート・ラインGL2と、前記第2データ・ラインDL2の片側とに電氣的に接続し、

前記第4画素4はそれぞれ前記第1ゲート・ラインGL1と、前記第2データ・ラインDL2の他側とに電氣的に接続し、

前記第5画素5はそれぞれ前記第4ゲート・ラインGL4と、前記第1データ・ラインDL1の片側とに電氣的に接続し、

40

前記第6画素6はそれぞれ前記第3ゲート・ラインGL3と、前記第1データ・ラインDL1の他側とに電氣的に接続し、

前記第7画素7はそれぞれ前記第3ゲート・ラインGL3と、前記第2データ・ラインDL2の片側とに電氣的に接続し、

前記第8画素8はそれぞれ前記第4ゲート・ラインGL4と、前記第2データ・ラインDL2の他側とに電氣的に接続する。

各画素はスイッチ（図示していない）によりそれぞれ対応するゲート・ラインGLと、対応するデータ・ラインDLとに電氣的に接続する。

【0016】

図4は本発明のアレイ基板にドット反転駆動方式が採用される時の画素極性の概略図で

50

ある。図4に示すように、

第1ゲート・ラインGL1が駆動信号を提供する時、第1データ・ラインDL1は正極信号を提供し、第2データ・ラインDL2は負極信号を提供し、このとき、第1画素1は正方向電界を形成し、第4画素4は逆方向電界を形成する。

第2ゲート・ラインGL2が駆動信号を提供する時、第1データ・ラインDL1は負極信号を提供し、第2データ・ラインDL2は正極信号を提供し、このとき、第2画素2は逆方向電界を形成し、第3画素3は正方向電界を形成する。

第3ゲート・ラインGL3が駆動信号を提供する時、第1データ・ラインDL1は正極信号を提供し、第2データ・ラインDL2は負極信号を提供し、このとき、第5画素5は逆方向電界を形成し、第8画素8は正方向電界を形成する。

第4ゲート・ラインGL4が駆動信号を提供する時、第1データ・ラインDL1は負極信号を提供し、第2データ・ラインDL2は正極信号を提供し、このとき、第6画素6は正方向電界を形成し、第7画素7は逆方向電界を形成する。

【0017】

DLS方法を採用した従来のアレイ基板のデータ・ラインに従来のドット反転信号を入力するときに生じる1+2列反転との問題点を解決するために、本実施例はDLS方法を採用したアレイ基板において、各画素の接続方法を変更した。それにより、アレイ基板のデータ・ラインに従来のドット反転信号を入力するとしても、正常のドット反転方法で表示でき、画面の質が向上する。

本実施例において、各画素は薄膜トランジスタにより、それぞれ対応する前記ゲート・ラインと、対応する前記データ・ラインとに電氣的に接続する。具体的には、前記薄膜トランジスタのゲート電極は対応する前記ゲート・ラインと電氣的に接続し、そのソース電極は対応する前記データ・ラインと電氣的に接続し、そのドレイン電極は対応する前記画素の画素電極と電氣的に接続する。

【0018】

図5は本発明の液晶パネル構造の概略図である。図5に示すように、液晶パネルは、カラー・フィルタ基板CSと、アレイ基板ASと、前記カラー・フィルタ基板CSと前記アレイ基板ASとの間に位置する液晶と、を備え、

前記アレイ基板ASは、駆動信号を提供するゲート・ラインと、極性連続反転の電圧信号を提供するデータ・ラインとを有し、

縦方向に配列した第1データ・ラインDL1及び第2データ・ラインDL2を備え、

前記第1ゲート・ラインGL1と前記第2ゲート・ラインGL2との間に第1画素1、第2画素2、第3画素3、及び第4画素4が順次設けられ、

前記第3ゲート・ラインGL3と前記第4ゲート・ラインGL4との間に第5画素5、第6画素6、第7画素7、及び第8画素8が順次設けられ、

前記第1画素1はそれぞれ前記第1ゲート・ラインGL1と、前記第1データ・ラインDL1の片側とに電氣的に接続し、

前記第2画素2はそれぞれ前記第2ゲート・ラインGL2と、前記第1データ・ラインDL1の他側とに電氣的に接続し、

前記第3画素3はそれぞれ前記第2ゲート・ラインGL2と、前記第2データ・ラインDL2の片側とに電氣的に接続し、

前記第4画素4はそれぞれ前記第1ゲート・ラインGL1と、前記第2データ・ラインDL2の他側とに電氣的に接続し、

前記第5画素5はそれぞれ前記第4ゲート・ラインGL4と、前記第1データ・ラインDL1の片側とに電氣的に接続し、

前記第6画素6はそれぞれ前記第3ゲート・ラインGL3と、前記第1データ・ラインDL1の他側とに電氣的に接続し、

前記第7画素7はそれぞれ前記第3ゲート・ラインGL3と、前記第2データ・ラインDL2の片側とに電氣的に接続し、

前記第8画素8はそれぞれ前記第4ゲート・ラインGL4と、前記第2データ・ラインDL2の他

10

20

30

40

50

側とに電氣的に接続する。

各画素はスイッチ（図示していない）によりそれぞれ対応するゲート・ラインGLと、対応するデータ・ラインDLとに電氣的に接続する。

本実施例の液晶パネルの駆動原理と上記実施例のアレイ基板の駆動原理とは同じであるため、その説明を省略する。

【0019】

DLS方法を採用した従来のアレイ基板のデータ・ラインに従来のドット反転信号を入力するときに生じる1+2列反転との問題点を解決するために、本実施例はDLS方法を採用したアレイ基板において、各画素の接続方法を変更した。それにより、アレイ基板のデータ・ラインに従来のドット反転信号を入力するとしても、正常のドット反転方法で表示でき、画面の質が向上する。

本実施例において、各画素は薄膜トランジスタにより、それぞれ対応する前記ゲート・ラインと、対応する前記データ・ラインとに電氣的に接続する。具体的には、前記薄膜トランジスタのゲート電極は対応する前記ゲート・ラインと電氣的に接続し、そのソース電極は対応する前記データ・ラインと電氣的に接続し、そのドレイン電極は対応する前記画素の画素電極と電氣的に接続する。

【0020】

図6は本発明の液晶ディスプレイ装置構造の概略図である。図7は図6のA-A1の断面図である。図6、7に示すように、液晶ディスプレイ装置は、バック・ライトBLUと、液晶パネルと、液晶パネルに制御信号を提供するための集積回路基板ICB（Integrate Circuit Board）と、を備え、前記液晶パネルは、カラー・フィルタ基板CSと、アレイ基板ASと、前記カラー・フィルタ基板CSと前記アレイ基板ASとの間に位置する液晶と、を有し、

前記アレイ基板ASは、駆動信号を提供するゲート・ラインと、極性連続反転の電圧信号を提供するデータ・ラインと、を有し、

縦方向に配列した第1データ・ラインDL1及び第2データ・ラインDL2と、を備え、

前記第1ゲート・ラインGL1と前記第2ゲート・ラインGL2との間に第1画素1、第2画素2、第3画素3、及び第4画素4が順次設けられ、

前記第3ゲート・ラインGL3と前記第4ゲート・ラインGL4との間に第5画素5、第6画素6、第7画素7、及び第8画素8が順次設けられ、

前記第1画素1はそれぞれ前記第1ゲート・ラインGL1と、前記第1データ・ラインDL1の片側とに電氣的に接続し、

前記第2画素2はそれぞれ前記第2ゲート・ラインGL2と、前記第1データ・ラインDL1の他側とに電氣的に接続し、

前記第3画素3はそれぞれ前記第2ゲート・ラインGL2と、前記第2データ・ラインDL2の片側とに電氣的に接続し、

前記第4画素4はそれぞれ前記第1ゲート・ラインGL1と、前記第2データ・ラインDL2の他側とに電氣的に接続し、

前記第5画素5はそれぞれ前記第4ゲート・ラインGL4と、前記第1データ・ラインDL1の片側とに電氣的に接続し、

前記第6画素6はそれぞれ前記第3ゲート・ラインGL3と、前記第1データ・ラインDL1の他側とに電氣的に接続し、

前記第7画素7はそれぞれ前記第3ゲート・ラインGL3と、前記第2データ・ラインDL2の片側とに電氣的に接続し、

前記第8画素8はそれぞれ前記第4ゲート・ラインGL4と、前記第2データ・ラインDL2の他側とに電氣的に接続する。

各画素はスイッチ（図示していない）によりそれぞれ対応するゲート・ラインGLと、対応するデータ・ラインDLとに電氣的に接続する。

本実施例の液晶パネルの駆動原理と上記実施例のアレイ基板の駆動原理とは同じであるため、その説明を省略する。

【0021】

10

20

30

40

50

DLS方法を採用した従来のアレイ基板のデータ・ラインに従来のドット反転信号を入力するときに生じる1+2列反転との問題点を解決するために、本実施例はDLS方法を採用したアレイ基板において、各画素の接続方法を変更した。それにより、アレイ基板のデータ・ラインに従来のドット反転信号を入力するとしても、正常のドット反転方法で表示でき、画面の質が向上する。

本実施例において、各画素は薄膜トランジスタにより、それぞれ対応する前記ゲート・ラインと、対応する前記データ・ラインとに電氣的に接続する。具体的には、前記薄膜トランジスタのゲート電極は対応する前記ゲート・ラインと電氣的に接続し、そのソース電極は対応する前記データ・ラインと電氣的に接続し、そのドレイン電極は対応する前記画素の画素電極と電氣的に接続する。

10

【0022】

上記実施例は何れも本発明の具体的な実施形態であり、本発明の技術的範囲を限定するものではない。最良な実施形態を参照して本発明を詳細に説明したが、当業者にとって、必要に応じて異なる材料や設備などをもって本発明を実現できる。即ち、その精神を逸脱しない範囲内において種々の形態で実施しえるものである。

【符号の説明】

【0023】

AS アレイ基板

CS カラー・フィルタ基板

BLU バック・ライト

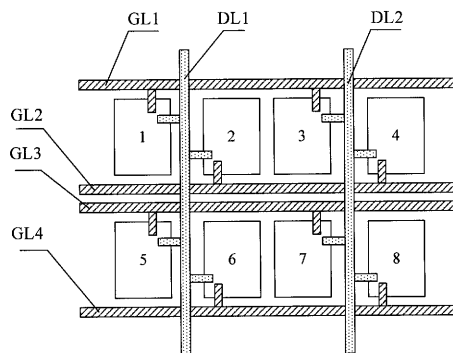
ICB 集積回路基板

GL1, GL2, GL3, GL4 ゲート・ライン

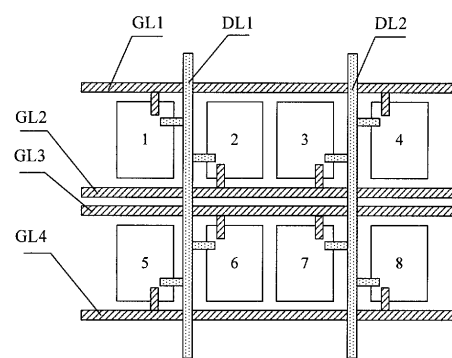
DL1, DL2 データ・ライン

20

【図1】



【図3】



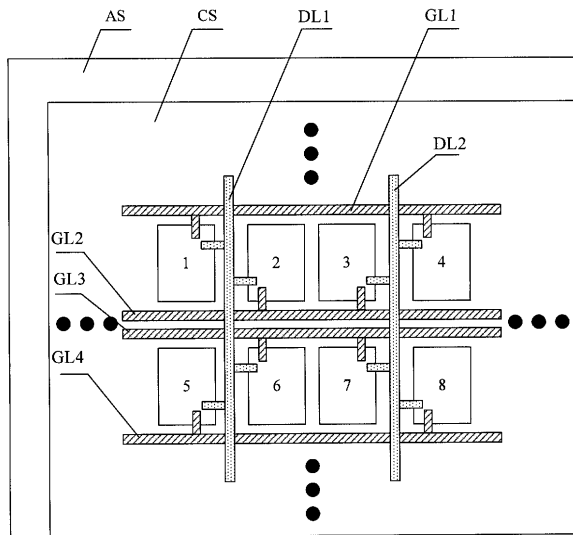
【図2】

+	-	-	+
1	2	3	4
+	-	-	+
5	6	7	8

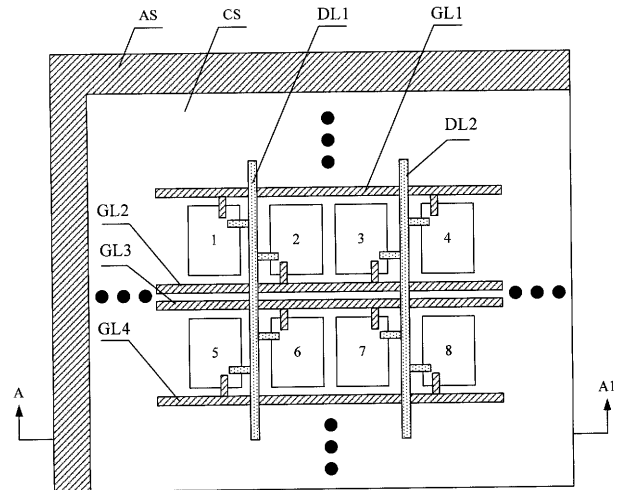
【図4】

+	-	+	-
1	2	3	4
-	+	-	+
5	6	7	8

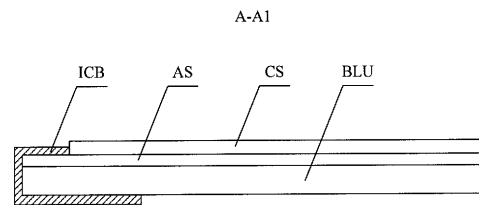
【図 5】



【図 6】



【図 7】



フロントページの続き

Fターム(参考) 2H092 JA24 JB23 JB32 NA01 PA06 PA08
2H193 ZA04 ZB03 ZC13 ZC25 ZP03
5C006 AA22 AC21 AC26 AF69 BB16 BC02 BC06 BF50 EA01 FA21
5C080 AA10 BB05 CC03 DD01 FF07 FF11 JJ01 JJ06

专利名称(译)	阵列基板，液晶面板和液晶显示装置		
公开(公告)号	JP2010079301A	公开(公告)日	2010-04-08
申请号	JP2009221179	申请日	2009-09-25
[标]申请(专利权)人(译)	北京京东方光电科技有限公司		
申请(专利权)人(译)	北京京东方光电科技有限公司		
[标]发明人	韓承佑		
发明人	韓 承佑		
IPC分类号	G02F1/1368 G02F1/133 G09G3/36 G09G3/20 G09G3/34		
CPC分类号	G02F1/136286 G09G3/3614 G09G3/3648 G09G3/3677 G09G2300/0426 G09G2310/0297 G09G2320/0209 G09G2320/0233		
FI分类号	G02F1/1368 G02F1/133.550 G09G3/36 G09G3/20.680.G G09G3/34.J		
F-TERM分类号	2H092/JA24 2H092/JB23 2H092/JB32 2H092/NA01 2H092/PA06 2H092/PA08 2H193/ZA04 2H193/ZB03 2H193/ZC13 2H193/ZC25 2H193/ZP03 5C006/AA22 5C006/AC21 5C006/AC26 5C006/AF69 5C006/BB16 5C006/BC02 5C006/BC06 5C006/BF50 5C006/EA01 5C006/FA21 5C080/AA10 5C080/BB05 5C080/CC03 5C080/DD01 5C080/FF07 5C080/FF11 5C080/JJ01 5C080/JJ06 2H192/AA24 2H192/CC24 2H192/CC62 2H192/EA43 2H192/GD61		
代理人(译)	村山彦 渡边 隆		
优先权	200810222791.7 2008-09-25 CN		
外部链接	Espacenet		

摘要(译)

要解决的问题：为了解决采用共享数据线的系统的阵列基板中的传统技术引起的列反转问题。ŽSOLUTION：采用DLS方法作为阵列基板的像素阵列方法，当阵列基板由点反转驱动系统驱动时，改变像素之间的连接关系，改变栅极线和数据线，以解决问题。由传统技术引起的列反转，从而提高了使用阵列基板的液晶显示装置的显示质量。Ž

