

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-44403

(P2010-44403A)

(43) 公開日 平成22年2月25日(2010.2.25)

(51) Int.Cl.	F I	テーマコード (参考)
GO2F 1/1368 (2006.01)	GO2F 1/1368	2H092
GO9F 9/30 (2006.01)	GO9F 9/30 338	5C094

審査請求 有 請求項の数 31 O L (全 42 頁)

(21) 出願番号	特願2009-219345 (P2009-219345)	(71) 出願人	504011210
(22) 出願日	平成21年9月24日 (2009.9.24)		エーユー オプトロニクス コーポレイシ ョン
(62) 分割の表示	特願平11-133355の分割		AU Optronics Corp.
原出願日	平成11年5月13日 (1999.5.13)		台湾 シンチュウ, サイエンスベースド インダストリアル パーク, リーシン ロード 2, ナンバー 1
		(74) 代理人	100087398
			弁理士 水野 勝文
		(74) 代理人	100067541
			弁理士 岸田 正行
		(74) 代理人	100103506
			弁理士 高野 弘晋
		(74) 代理人	100105072
			弁理士 小川 英宣

最終頁に続く

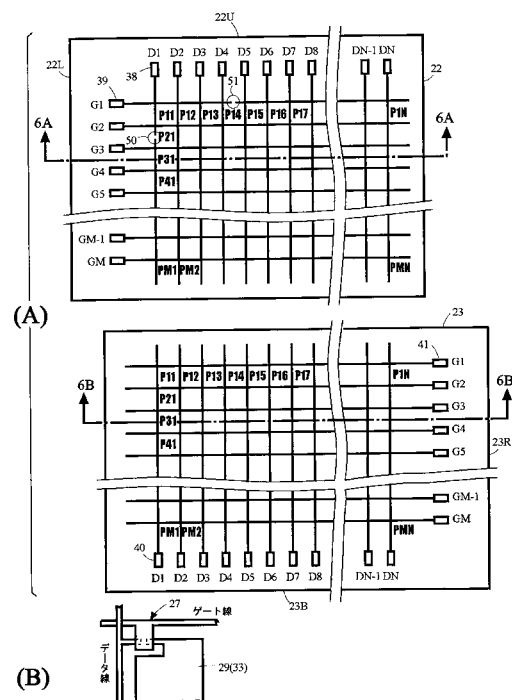
(54) 【発明の名称】 液晶表示装置及びこれの製造方法

(57) 【要約】 (修正有)

【課題】点欠陥又は線欠陥に基づくイメージの質の低下を回復し、データ線及びゲート線の数を増大することなく画素の数を増大し、広い視野角を実現し、そしてH/V反転方式を行うに当たりデータ線ドライバの出力信号の電圧レベルを減少することができるLCD装置を実現する。

【解決手段】複数個の画素領域が行及び列方向に配列され、そしてデータ線を介してデータ信号が画素領域に印加される画素アレイが、第1透明基板の第1表面と第2透明基板の第1表面とに形成されており、データ線は、行及び列方向の一方の方向に配列されており、ゲート線は、行及び列方向の他方の方向に配列されており、そして第1透明基板の画素領域のそれぞれは、第2透明基板の画素領域のそれぞれに対して、ゲート線に沿った方向において、該ゲート線に沿った画素領域の幅の半分の距離だけシフトされている。

【選択図】図6



【特許請求の範囲】

【請求項 1】

第 1 表面及び第 2 表面を有する第 1 透明基板と、

第 1 表面及び第 2 表面を有する第 2 透明基板と、

上記第 1 透明基板及び上記第 2 透明基板は、上記第 1 透明基板の上記第 1 表面が上記第 2 透明基板の上記第 1 表面に対面するように配列されており、そして液晶材料が、上記第 1 透明基板の上記第 1 表面と上記第 2 透明基板の上記第 1 表面の間に封入されており、

複数の画素領域が行及び列方向に配列され、そしてデータ線を介してデータ信号が上記画素領域に印加される画素アレイが、上記第 1 透明基板の上記第 1 表面と上記第 2 透明基板の上記第 1 表面とに形成されており、

10

上記データ線は、上記行及び列方向の一方の方向に配列されており、そして上記ゲート線は、上記行及び列方向の他方の方向に配列されており、そして

上記第 1 透明基板の上記画素領域のそれぞれは、上記第 2 透明基板の上記画素領域のそれぞれに対して、上記ゲート線に沿った方向において、該ゲート線に沿った上記画素領域の幅の半分の距離だけシフトされていることを特徴とする液晶表示装置。

【請求項 2】

上記第 1 透明基板の上記ゲート線は、上記第 2 透明基板の上記ゲート線にそれぞれ整列されており、そして上記第 1 透明基板の上記データ線のそれぞれは、上記第 2 透明基板の上記データ線相互間の中間位置にそれぞれ整列されていることを特徴とする請求項 1 に記載の液晶表示装置。

20

【請求項 3】

上記中間位置は、上記データ線の中心から $LX/2$ だけ離れており、ここで LX は、1 つのデータ線の中心と次のデータ線の中心との間の距離であることを特徴とする請求項 2 に記載の液晶表示装置。

【請求項 4】

上記画素アレイの上記画素領域は、上記ゲート線と上記データ線との交点のそれぞれに隣接して形成され、そして上記画素領域は、表示電極と、上記ゲート及びデータ線と上記表示電極との間の接続されたスイッチング素子とを含むことを特徴とする請求項 3 に記載の液晶表示装置。

【請求項 5】

30

上記第 2 透明基板に形成された 1 つのデータ線にそれぞれ対面する複数のブラック・マトリクスが上記第 1 透明基板に形成され、そして上記第 1 透明基板に形成された 1 つのデータ線にそれぞれ対面する複数のブラック・マトリクスが上記第 2 透明基板に形成されていることを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 6】

複数のカラー・フィルタが上記第 1 透明基板に形成され、そして該カラー・フィルタのそれぞれは、上記データ線と上記ブラック・マトリクスとの間の位置で上記第 1 透明基板に形成されていることを特徴とする請求項 5 に記載の液晶表示装置。

【請求項 7】

第 1 表面及び第 2 表面を有する第 1 透明基板と、

第 1 表面及び第 2 表面を有する第 2 透明基板と、

40

上記第 1 透明基板及び上記第 2 透明基板は、上記第 1 透明基板の上記第 1 表面が上記第 2 透明基板の上記第 1 表面に対面するように配列されており、そして液晶材料が、上記第 1 透明基板の上記第 1 表面と上記第 2 透明基板の上記第 1 表面の間に封入されており、

複数の画素領域が行及び列方向に配列され、そしてデータ線を介してデータ信号が上記画素領域に印加される画素アレイが、上記第 1 透明基板の上記第 1 表面と上記第 2 透明基板の上記第 1 表面とに形成されており、

上記データ線は、上記行及び列方向の一方の方向に配列されており、そして上記ゲート線は、上記行及び列方向の他方の方向に配列されており、そして

上記第 1 透明基板の上記画素領域のそれぞれは、上記第 2 透明基板の上記画素領域のそ

50

れそれぞれに対して、上記データ線に沿った方向において、該データ線に沿った上記画素領域の高さの半分の距離だけシフトされていることを特徴とする液晶表示装置。

【請求項 8】

上記第 1 透明基板の上記データ線は、上記第 2 透明基板の上記データ線にそれぞれ整列されており、そして上記第 1 透明基板の上記ゲート線のそれぞれは、上記第 2 透明基板の上記ゲート線相互間の中間位置にそれぞれ整列されていることを特徴とする請求項 7 に記載の液晶表示装置。

【請求項 9】

上記中間位置は、上記ゲート線の中心から $LY/2$ だけ離れており、ここで LY は、1 つのゲート線の中心と次のゲート線の中心との間の距離であることを特徴とする請求項 8 に記載の液晶表示装置。

10

【請求項 10】

上記画素アレイの上記画素領域は、上記ゲート線と上記データ線との交点のそれぞれに隣接して形成され、そして上記画素領域は、表示電極と、上記ゲート及びデータ線と上記表示電極との間の接続されたスイッチング素子とを含むことを特徴とする請求項 9 に記載の液晶表示装置。

【請求項 11】

上記第 2 透明基板に形成された 1 つのゲート線にそれぞれ対面する複数個のブラック・マトリクスが上記第 1 透明基板に形成され、そして上記第 1 透明基板に形成された 1 つのゲート線にそれぞれ対面する複数個のブラック・マトリクスが上記第 2 透明基板に形成されていることを特徴とする請求項 7 に記載の液晶表示装置。

20

【請求項 12】

複数個のカラー・フィルタが上記第 1 透明基板に形成され、そして該カラー・フィルタのそれぞれは、上記ゲート線と上記ブラック・マトリクスとの間の位置で上記第 1 透明基板に形成されていることを特徴とする請求項 11 に記載の液晶表示装置。

【請求項 13】

第 1 表面及び第 2 表面を有する第 1 透明基板と、

第 1 表面及び第 2 表面を有する第 2 透明基板と、

上記第 1 透明基板及び上記第 2 透明基板は、上記第 1 透明基板の上記第 1 表面が上記第 2 透明基板の上記第 1 表面に対面するように配列されており、そして垂直配向液晶材料が、上記第 1 透明基板の上記第 1 表面と上記第 2 透明基板の上記第 1 表面の間に封入されており、

30

複数個の画素領域が行及び列方向に配列され、そしてデータ線を介してデータ信号が上記画素領域に印加される画素アレイが、上記第 1 透明基板の上記第 1 表面と上記第 2 透明基板の上記第 1 表面とに形成されており、

上記データ線は、上記行及び列方向の一方の方向に配列されており、そして上記ゲート線は、上記行及び列方向の他方の方向に配列されており、そして

上記第 1 透明基板の上記画素領域のそれぞれは、上記第 2 透明基板の上記画素領域のそれぞれに対して、上記ゲート線に沿った方向において、該ゲート線に沿った上記画素領域の幅の半分の距離だけシフトされており、そして

40

上記第 2 透明基板に形成された 1 つのデータ線にそれぞれ対面する複数個のブラック・マトリクスが上記第 1 透明基板に形成され、そして上記第 1 透明基板に形成された 1 つのデータ線にそれぞれ対面する複数個のブラック・マトリクスが上記第 2 透明基板に形成されており、上記ブラック・マトリクスのそれぞれは台形状の断面を有することを特徴とする液晶表示装置。

【請求項 14】

上記画素アレイの上記画素領域は、上記ゲート線と上記データ線との交点のそれぞれに隣接して形成され、そして上記画素領域は、表示電極と、上記ゲート及びデータ線と上記表示電極との間の接続されたスイッチング素子とを含むことを特徴とする請求項 13 に記載の液晶表示装置。

50

【請求項 15】

カラー・フィルタが形成されている別個のガラス基板が、上記第1透明基板の上記第2表面、または上記第2透明基板の上記第2表面に位置づけられていることを特徴とする請求項13に記載の液晶表示装置。

【請求項 16】

第1表面及び第2表面を有する第1透明基板と、

第1表面及び第2表面を有する第2透明基板と、

上記第1透明基板及び上記第2透明基板は、上記第1透明基板の上記第1表面が上記第2透明基板の上記第1表面に対面するように配列されており、そして垂直配向液晶材料が、上記第1透明基板の上記第1表面と上記第2透明基板の上記第1表面の間に封入されており、

複数の画素領域が行及び列方向に配列され、そしてデータ線を介してデータ信号が上記画素領域に印加される画素アレイが、上記第1透明基板の上記第1表面と上記第2透明基板の上記第1表面とに形成されており、

上記データ線は、上記行及び列方向の一方の方向に配列されており、そして上記ゲート線は、上記行及び列方向の他方の方向に配列されており、そして

上記第1透明基板の上記画素領域のそれぞれは、上記第2透明基板の上記画素領域のそれぞれに対して、上記データ線に沿った方向において、該データ線に沿った上記画素領域の高さの半分の距離だけシフトされており、そして

上記第2透明基板に形成された1つのゲート線にそれぞれ対面する複数のブラック・マトリクスが上記第1透明基板に形成され、そして上記第1透明基板に形成された1つのゲートにそれぞれ対面する複数のブラック・マトリクスが上記第2透明基板に形成されており、上記ブラック・マトリクスのそれぞれは台形状の断面を有することを特徴とする液晶表示装置。

【請求項 17】

上記画素アレイの上記画素領域は、上記ゲート線と上記データ線との交点のそれぞれに隣接して形成され、そして上記画素領域は、表示電極と、上記ゲート及びデータ線と上記表示電極との間の接続されたスイッチング素子とを含むことを特徴とする請求項16に記載の液晶表示装置。

【請求項 18】

カラー・フィルタが形成されている別個のガラス基板が、上記第1透明基板の上記第2表面、または上記第2透明基板の上記第2表面に位置づけられていることを特徴とする請求項16に記載の液晶表示装置。

【請求項 19】

(a) 複数の画素領域が行及び列の方向に配列されそしてデータ線を介してデータ信号が上記画素領域に印加される画素アレイを、1つの透明基板の第1部分及び第2部分に形成するステップと、

(b) 上記透明基板を上記第1部分と上記第2部分とに切断するステップと、

(c) 上記第1部分の画素アレイと上記第2部分の画素アレイとを対面させるように上記第1部分及び上記第2部分を配列するステップと、

(d) 上記第1及び第2部分の上記画素アレイを囲むように、上記第1部分と上記第2部分とを封止領域で接着するステップと、

(e) 上記封止領域により囲まれた空間内に液晶材料を充填するステップとを含み、

上記画素アレイにおいて、データ線は上記行及び列方向の一方の方向に配列され、ゲート線は上記行及び列方向の他方の方向に配列され、そして上記画素領域のそれぞれは、上記ゲート線と上記データ線との交点に隣接する領域に形成されており、そして上記画素領域のそれぞれは、表示電極と、上記ゲート線及びデータ線と上記表示電極との間に接続された薄膜トランジスタとを有し、

上記ステップ(c)において、上記第1部分の上記画素領域のそれぞれは、上記第2部分の画素領域のそれぞれに対して、上記ゲート線に沿った方向で、上記ゲート線に沿った

10

20

30

40

50

上記画素領域の幅の半分の距離だけシフトされることを特徴とする液晶表示装置の製造方法。

【請求項 20】

上記第 1 部分及び上記第 2 部分のそれぞれは、上側エッジ、下側エッジ、左側エッジ及び右側エッジを有し、そして

上記ステップ (a) において、上記第 1 部分のデータ線に接続されているデータ線パッドが、上記第 1 部分の上側エッジ及び下側エッジの一方に隣接する第 1 領域に形成され、上記第 1 部分のゲート線に接続されているゲート線パッドが、上記第 1 部分の左側エッジ及び右側エッジの一方に隣接する第 2 領域に形成され、上記第 2 部分のデータ線に接続されているデータ線パッドが、上記第 2 部分の上側エッジ及び下側エッジの他方に隣接する第 3 領域に形成され、そして上記第 2 部分のゲート線に接続されているゲート線パッドが、上記第 2 部分の左側エッジ及び右側エッジの他方に隣接する第 4 領域に形成されることを特徴とする請求項 19 に記載の液晶表示装置の製造方法。

10

【請求項 21】

第 1 データ線ドライバを上記第 1 領域のデータ線パッドに接続し、第 1 ゲート線ドライバを上記第 2 領域のゲート線パッドに接続し、第 2 データ線ドライバを上記第 3 領域のデータ線パッドに接続し、そして第 2 ゲート線ドライバを上記第 4 領域のゲート線パッドに接続することを特徴とする請求項 20 に記載の液晶表示装置の製造方法。

【請求項 22】

上記ステップ (c) において、上記第 1 部分のゲート線を上記第 2 部分のゲート線に整列させ、上記第 1 部分のデータ線を上記第 2 部分のデータ線に整列させるように、上記第 1 部分及び上記第 2 部分が配列されることを特徴とする請求項 19 に記載の液晶表示装置の製造方法。

20

【請求項 23】

上記ステップ (a) において、上記第 2 部分の 1 つのデータ線にそれぞれ対面する複数のブラック・マトリクスが上記第 1 部分に形成され、そして上記第 1 部分の 1 つのデータ線にそれぞれ対面する複数のブラック・マトリクスが上記第 2 部分に形成されることを特徴とする請求項 19 に記載の液晶表示装置の製造方法。

【請求項 24】

上記薄膜トランジスタは逆スタガ型の薄膜トランジスタであり、そして

30

上記ステップ (a) において、上記逆スタガ型の薄膜トランジスタのゲート電極と上記複数のブラック・マトリクスとが上記第 1 及び第 2 部分に同時に形成されることを特徴とする請求項 23 に記載の液晶表示装置の製造方法。

【請求項 25】

上記薄膜トランジスタは、ゲート電極の下側に光遮断層を有するスタガ型の薄膜トランジスタであり、そして

上記ステップ (a) において、上記スタガ型の薄膜トランジスタの光遮断層と上記複数のブラック・マトリクスとが上記第 1 及び第 2 部分に同時に形成されることを特徴とする請求項 23 に記載の液晶表示装置の製造方法。

【請求項 26】

40

上記ステップ (a) において、複数のカラー・フィルタが上記第 1 部分に形成され、そして上記カラー・フィルタのそれぞれは上記データ線と上記ブラック・マトリクスとの間の位置に形成されることを特徴とする請求項 19 に記載の液晶表示装置の製造方法。

【請求項 27】

上記ステップ (c) において、上記第 1 部分の上記画素領域のそれぞれは、上記第 2 部分の画素領域のそれぞれに対して、上記データ線に沿った方向で、上記データ線に沿った上記画素領域の高さの半分の距離だけシフトされることを特徴とする請求項 19 に記載の液晶表示装置の製造方法。

【請求項 28】

上記ステップ (a) において、上記第 2 部分の 1 つのゲート線にそれぞれ対面する複数

50

個のブラック・マトリクスが上記第 1 部分に形成され、そして上記第 1 部分の 1 つのゲート線にそれぞれ対面する複数のブラック・マトリクスが上記第 2 部分に形成されることを特徴とする請求項 19 に記載の液晶表示装置の製造方法。

【請求項 29】

上記薄膜トランジスタは逆スタガ型の薄膜トランジスタであり、そして上記ステップ (a) において、上記逆スタガ型の薄膜トランジスタのゲート電極と上記複数のブラック・マトリクスとが上記第 1 及び第 2 部分に同時に形成されることを特徴とする請求項 28 に記載の液晶表示装置の製造方法。

【請求項 30】

上記薄膜トランジスタは、ゲート電極の下側に光遮断層を有するスタガ型の薄膜トランジスタであり、そして

上記ステップ (a) において、上記スタガ型の薄膜トランジスタの光遮断層と上記複数のブラック・マトリクスとが上記第 1 及び第 2 部分に同時に形成されることを特徴とする請求項 28 に記載の液晶表示装置の製造方法。

【請求項 31】

上記ステップ (a) において、上記複数のカラー・フィルタが上記第 1 部分に形成され、そして上記カラー・フィルタのそれぞれは上記ゲート線と上記ブラック・マトリクスとの間の位置に形成されることを特徴とする請求項 19 に記載の液晶表示装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、従来の液晶表示 (LCD) 装置の種々な問題点を解決した LCD 装置及びこれの製造方法に関する。

【背景技術】

【0002】

LCD 装置は、例えばデスク・トップ・コンピュータ、ノートブック・コンピュータのようなデータ処理装置の表示装置及びテレビジョンの表示端末装置として使用されてきた。図 1 は、従来の LCD 装置の 1 つの基板上に形成されたアレイを示す。図 1 に示した回路を説明すると、複数のゲート線、このゲート線に対して垂直な方向に配列されたデータ線、及びゲート線とデータ線との交点のそれぞれに形成された複数の画素 (ピクセル) が、図 2 に示す 1 つのガラス基板、例えば下側ガラス基板 2 の上に形成されている。4 本のデータ線 D1 乃至 D4 と 4 本のゲート線 G1 乃至 G4 だけが図 1 に示されている。画素は、薄膜トランジスタ (TFT) 7 及びキャパシタ 8 を含む。ゲート線は TFT 7 のゲートに接続され、データ線は TFT のドレインに接続され、TFT のソースはキャパシタの一方の端子に接続され、そしてキャパシタの他方の端子は基準電位に接続されている。データ線ドライバがデータ線に接続されてこれらにデータ・パルスを実加し、そしてゲート線ドライバがゲート線に接続されてこれらにゲート・パルスを逐次的に実加する。1 つのゲート線、例えばゲート線 G1 へのゲート・パルスの実加の間に、データ線ドライバはデータ線にデータ・パルスを実加してイメージを表示する。

【0003】

図 2 は、図 1 の点線 2A - 2B に沿った従来の LCD 装置 1 の断面構造を示す。従来の LCD 装置 1 は、下側ガラス基板 2、上側ガラス基板 3、下側偏光板 4、上側偏光板 5 及びバック・ライト装置 6 を含む。データ線 D1 乃至 D4 及びゲート線 G1 乃至 G4 は下側ガラス基板 2 に形成されているが、ゲート線は図 2 に示されていない。インジウム錫酸化物 (ITO) 層 9 で作られたキャパシタ 8 の上側電極即ち表示電極がデータ線の間の領域に形成されている。データ線を覆うためにそして ITO 層をデータ線から絶縁するためにパッシベーション層 10 が形成されている。ラビング層 11 が全体の構造を覆うように形成されている。データ線とそれぞれ対面するようにブラック・マトリクス 12 が上側基板 3 に形成されている。赤 (R)、緑 (G) 及び青 (B) のカラー・フィルタ 13 が ITO

層 9 にそれぞれ対面するように形成されている。平坦な表面を形成するように絶縁層 1 4 がカラー・フィルタ 1 3 の上に形成されている。図 1 のキャパシタ 8 の下側電極として働く共通電極と呼ばれる I T O 層 1 5 が絶縁層 1 4 の上に形成されている。I T O 層 1 5 の上にラビング層 1 6 が形成されている。ねじれネマチック液晶が、下側ラビング層 1 1 及び上側ラビング層 1 6 の間に挟まれている。長さ L 1 は、隣接するブラック・マトリクス 1 2 により規定される開口のサイズを表し、そして長さ L 2 はブラック・マトリクス 1 2 と I T O 層 9 との重なりを表す。

【 0 0 0 4 】

図 3 は、L C D 装置 1 のノーマリ・ホワイト・モードの動作を示す。バック・ライト装置 6 は白色光を発生する。偏光板 4 は、垂直線により示されている偏光面を有し、そしてこの偏光面に平行な光を通過させる。ラビング層 1 1 は垂直方向にラビングされ、ラビング層 1 6 は水平方向にラビングされ、そして偏光板 5 は水平方向の偏光面を有する。I T O 層 9 及び 1 5 は、図を簡略化するために示されていない。図 3 (A) は、図 1 の T F T 7 を介して画素電極即ち I T O 層 9 と共通電極即ち I T O 層 1 5 とに電圧が印加されておらず、これにより液晶分子 1 7 が画素電極 9 と共通電極 1 5 との間で 9 0 度だけツイストされている場合を示す。この場合には、偏光板 4 を通過した偏光された光は、ツイストされている液晶分子 1 7 により 9 0 度だけ回転され、そして偏光板 5 を通過し、これにより白色イメージが表示される。

10

【 0 0 0 5 】

電圧が I T O 層 9 と I T O 層 1 5 との間に印加されると、液晶分子は、図 3 (B) に示すように電界の方向に沿って整列され、これにより偏光板 4 からの偏光された光は回転されずに液晶分子 1 7 を通過し、その結果偏光は偏光板 5 により遮断され、そして黒色イメージが表示される。このように、電圧が画素電極 9 と共通電極 1 5 との間に印加されないときに白色イメージが表示される動作をノーマリ・ホワイト・モードと呼ぶ。

20

【 発明の概要 】

【 発明が解決しようとする課題 】

【 0 0 0 6 】

本発明に従う L C D 装置は、従来の L C D 装置における次の 4 つの問題点を解決する。

【 0 0 0 7 】

図 4 は、点欠陥及び線欠陥に基づく従来の L C D 装置の第 1 の問題点を示す。点欠陥とは、T F T のゲート電極が部分 A で切断されているために、画素例えば画素 P 1 1 が動作しないことを意味する。従来技術では、追加の接続 B を形成してデータ線 D 1 を画素 P 1 1 の表示電極に直接的に接続した。しかしながら、この技法は次のような新たな問題点を生じる。ゲート線 G 1 に接続されている画素を附勢するためにゲート・パルスがゲート線 G 1 に印加される時に、データ線 D 1 上のデータ・パルスが画素 P 1 1 に印加される。この場合には、データ線 D 1 が接続 B を介して画素 P 1 1 に接続されているので、画素 P 1 1 は正しいイメージを表示する。しかしながら、画素 P 1 1 が図 3 (A) に示すような白色イメージを表示し、そして画素 P 3 1 が図 3 (B) に示すような黒色イメージを表示する場合には、画素 P 3 1 に黒色イメージを表示させるデータ・パルスが、データ線 D 1 と画素 P 1 1 との間の接続 B を介して画素 P 1 1 にも印加され、この結果画素 P 1 1 は黒色イメージ即ち誤ったイメージを表示してしまう。線欠陥とは、ゲート線例えばゲート線 G 1 が部分 C で切断され、これにより画素 P 1 2 に続く水平方向の画素が常に白色イメージを表示してしまうこと、又は、データ線例えばデータ線 D 2 が部分 B で切断され、これにより画素 P 2 2 に続く垂直方向の画素が常に白色イメージを表示してしまうことを意味する。従来は線欠陥を修理することは困難であった。

30

40

【 0 0 0 8 】

従来の L C D 装置における第 2 の問題点は、高解像度のイメージ表示を実現するためには、次の理由により、ガラス基板のサイズを大きくしなければならなかったことである。解像度の増大は、画素の数を増大することにより実現される。画素数の増大は、ガラス基板上で大きな面積を占めるデータ線及びゲート線の数の増大を意味し、その結果光が通過

50

する開口のサイズが小さくなり、そして表示されるイメージは暗くなる。イメージが暗くなることの問題点を解決するには、ガラス基板のサイズを大きくして開口のサイズを大きくする。しかしながら、ガラス基板のサイズを大きくすると、データ線及びゲート線が長くなり、これによりデータ線及びゲート線に沿う電圧降下が増大して、データ線及びゲート線に沿う各画素の輝度が次第に減少するという新たな問題点を生じる。このように次第に輝度が減少することを解決するには、データ線及びゲート線の断面積を増大するか、又は高導電度のデータ線及びゲート線を使用しなければならない。しかしながら、このような技術的変更は、新たな製造プロセスの開発を必要とする。

【 0 0 0 9 】

従来のLCD装置における第3の問題点は、良好なイメージの質を保って広い視野角を実現することが困難であったことである。広い視野角を実現するために、イン・プレーン・スイッチング (IPS) モードと呼ばれる技術が最近開発された。IPSモードでは、液晶分子は、ガラス基板の表面に垂直な方向に配向されずに、ガラス基板の表面に平行な面で常にスイッチされる。しかしながら、IPSモードは、ユーザが観察する白色が視野角に依存して変化するという問題点を有する。

10

【 0 0 1 0 】

従来の第4の問題点を説明をする前に、LCD装置の駆動方式について説明する。図3 (B) に示すように液晶分子を電界の方向に沿って配向させるために画素電極9と共通電極15との間に例えば5Vの電圧を印加する必要がある。しかしながら、DC電界が液晶材料に連続的に印加されると、液晶材料は劣化される。したがって、液晶材料に印加される電界の極性は交番的にスイッチされる。1つの画素の駆動について説明すると、奇数フレーム期間の間、電圧 - 2.5Vが画素電極9に印加されそして電圧 + 2.5Vが共通電極に印加され、そして偶数フレーム期間の間、電圧 + 2.5Vが画素電極9に印加されそして電圧 - 2.5Vが共通電極に印加される。これは電圧反転方式と呼ばれる。

20

【 0 0 1 1 】

表示スクリーン上の画素の電圧反転を行うために、2つの方式が使用されてきた。第1の方式はH (水平) 共通反転方式である。この方式においては、共通電極は水平方向に沿ってN個の共通サブ電極に分割され、そしてゲート線は、N個の共通サブ電極に対応してN個のグループに分けられる。奇数フレーム期間の間、電圧 + 2.5Vが奇数番目のサブ共通電極に印加されそしてこの電極に対面する画素電極に電圧 - 2.5Vが印加され、そして電圧 - 2.5Vが偶数番目のサブ共通電極に印加されそしてこの電極に対面する画素電極に電圧 + 2.5Vが印加される。偶数フレーム期間の間、電圧 - 2.5Vが奇数番目のサブ共通電極に印加されそしてこの電極に対面する画素電極に電圧 + 2.5Vが印加され、そして電圧 + 2.5Vが偶数番目のサブ共通電極に印加されそしてこの電極に対面する画素電極に電圧 - 2.5Vが印加される。このことは、データ線に接続されているデータ線ドライバとサブ共通電極に接続されている共通電極ドライバが、電圧振幅5.0Vを分担できることを意味する。即ち、データ線ドライバと共通電極ドライバの負荷は小さい。

30

【 0 0 1 2 】

しかしながら、このような電圧の分担は、H/V反転方式と呼ばれる第2の方式では不可能である。H/V反転方式においては、各画素ごとに反転が行われ、従ってデータ線ドライバと共通電極ドライバは5.0Vの電圧を分担できない。これが第4の問題点である。

40

【 課題を解決するための手段 】

【 0 0 1 3 】

本発明の目的は、点欠陥及び線欠陥の影響を減少することができるLCD装置を提供することである。

【 0 0 1 4 】

本発明の他の目的は、データ線及びゲート線の数を増大することなく高解像度を実現できるLCD装置を提供することである。

50

【 0 0 1 5 】

本発明の他の目的は、広い視野角を実現できる L C D 装置を提供することである。

【 0 0 1 6 】

本発明の他の目的は、H / V 反転方式においてデータ線及びゲート線に印加される電圧の値を減少できる L C D 装置を提供することである。

【 0 0 1 7 】

本発明の他の目的は、上述の L C D 装置を製造する方法を提供することである。

【 0 0 1 8 】

本発明に従う液晶表示装置は、

第 1 表面及び第 2 表面を有する第 1 透明基板と、

第 1 表面及び第 2 表面を有する第 2 透明基板と、

第 1 透明基板及び第 2 透明基板は、第 1 透明基板の第 1 表面が第 2 透明基板の第 1 表面に対面するように配列されており、そして液晶材料が、第 1 透明基板の第 1 表面と第 2 透明基板の第 1 表面の間に封入されており、

複数の画素領域が行及び列方向に配列され、そしてデータ線を介してデータ信号が画素領域に印加される画素アレイが、第 1 透明基板の第 1 表面と第 2 透明基板の第 1 表面とに形成されており、

データ線は、行及び列方向の一方の方向に配列されており、そしてゲート線は、行及び列方向の他方の方向に配列されており、そして

第 1 透明基板の画素領域のそれぞれは、第 2 透明基板の画素領域のそれぞれに対して、ゲート線に沿った方向において、該ゲート線に沿った画素領域の幅の半分の距離だけシフトされていることを特徴とする。

【 0 0 1 9 】

第 1 透明基板のゲート線は、第 2 透明基板のゲート線にそれぞれ整列されており、そして第 1 透明基板のデータ線のそれぞれは、第 2 透明基板のデータ線相互間の中間位置にそれぞれ整列されていることを特徴とする。

【 0 0 2 0 】

中間位置は、データ線の中心から $L X / 2$ だけ離れており、ここで $L X$ は、1 つのデータ線の中心と次のデータ線の中心との間の距離であることを特徴とする。

【 0 0 2 1 】

画素アレイの画素領域は、ゲート線とデータ線との交点のそれぞれに隣接して形成され、そして画素領域は、表示電極と、ゲート及びデータ線と表示電極との間の接続されたスイッチング素子とを含むことを特徴とする。

【 0 0 2 2 】

第 2 透明基板に形成された 1 つのデータ線にそれぞれ対面する複数のブラック・マトリクスが第 1 透明基板に形成され、そして第 1 透明基板に形成された 1 つのデータ線にそれぞれ対面する複数のブラック・マトリクスが第 2 透明基板に形成されていることを特徴とする。

【 0 0 2 3 】

複数のカラー・フィルタが第 1 透明基板に形成され、そして該カラー・フィルタのそれぞれは、データ線とブラック・マトリクスとの間の位置で第 1 透明基板に形成されていることを特徴とする。

【 0 0 2 4 】

本発明に従う液晶表示装置は、

第 1 表面及び第 2 表面を有する第 1 透明基板と、

第 1 表面及び第 2 表面を有する第 2 透明基板と、

第 1 透明基板及び第 2 透明基板は、第 1 透明基板の第 1 表面が第 2 透明基板の第 1 表面に対面するように配列されており、そして液晶材料が、第 1 透明基板の第 1 表面と第 2 透明基板の第 1 表面の間に封入されており、

複数の画素領域が行及び列方向に配列され、そしてデータ線を介してデータ信号が画

10

20

30

40

50

素領域に印加される画素アレイが、第1透明基板の第1表面と第2透明基板の第1表面とに形成されており、

データ線は、行及び列方向の一方の方向に配列されており、そしてゲート線は、行及び列方向の他方の方向に配列されており、そして第1透明基板の画素領域のそれぞれは、第2透明基板の画素領域のそれぞれに対して、データ線に沿った方向において、該データ線に沿った画素領域の高さの半分の距離だけシフトされていることを特徴とする。

【0025】

第1透明基板のデータ線は、第2透明基板のデータ線にそれぞれ整列されており、そして第1透明基板のゲート線のそれぞれは、第2透明基板のゲート線相互間の中間位置にそれぞれ整列されていることを特徴とする。

10

【0026】

中間位置は、ゲート線の中心から $LY/2$ だけ離れており、ここで LY は、1つのゲート線の中心と次のゲート線の中心との間の距離であることを特徴とする。

【0027】

画素アレイの画素領域は、ゲート線とデータ線との交点のそれぞれに隣接して形成され、そして画素領域は、表示電極と、ゲート及びデータ線と表示電極との間の接続されたスイッチング素子とを含むことを特徴とする。

【0028】

第2透明基板に形成された1つのゲート線にそれぞれ対面する複数のブラック・マトリクスが第1透明基板に形成され、そして第1透明基板に形成された1つのゲート線にそれぞれ対面する複数のブラック・マトリクスが第2透明基板に形成されていることを特徴とする。

20

【0029】

複数のカラー・フィルタが第1透明基板に形成され、そして該カラー・フィルタのそれぞれは、ゲート線とブラック・マトリクスとの間の位置で第1透明基板に形成されていることを特徴とする。

【0030】

本発明に従う液晶表示装置は、

第1表面及び第2表面を有する第1透明基板と、

第1表面及び第2表面を有する第2透明基板と、

30

第1透明基板及び第2透明基板は、第1透明基板の第1表面が第2透明基板の第1表面に対面するように配列されており、そして垂直配向液晶材料が、第1透明基板の第1表面と第2透明基板の第1表面の間に封入されており、

複数の画素領域が行及び列方向に配列され、そしてデータ線を介してデータ信号が画素領域に印加される画素アレイが、第1透明基板の第1表面と第2透明基板の第1表面とに形成されており、

データ線は、行及び列方向の一方の方向に配列されており、そしてゲート線は、行及び列方向の他方の方向に配列されており、そして

第1透明基板の画素領域のそれぞれは、第2透明基板の画素領域のそれぞれに対して、ゲート線に沿った方向において、該ゲート線に沿った画素領域の幅の半分の距離だけシフトされており、そして

40

第2透明基板に形成された1つのデータ線にそれぞれ対面する複数のブラック・マトリクスが第1透明基板に形成され、そして第1透明基板に形成された1つのデータ線にそれぞれ対面する複数のブラック・マトリクスが第2透明基板に形成されており、ブラック・マトリクスのそれぞれは台形状の断面を有することを特徴とする。

【0031】

画素アレイの画素領域は、ゲート線とデータ線との交点のそれぞれに隣接して形成され、そして画素領域は、表示電極と、ゲート及びデータ線と表示電極との間の接続されたスイッチング素子とを含むことを特徴とする。

【0032】

50

カラー・フィルタが形成されている別個のガラス基板が、第1透明基板の第2表面、または第2透明基板の第2表面に位置づけられていることを特徴とする。

【0033】

本発明に従う液晶表示装置は、

第1表面及び第2表面を有する第1透明基板と、

第1表面及び第2表面を有する第2透明基板と、

第1透明基板及び第2透明基板は、第1透明基板の第1表面が第2透明基板の第1表面に対面するように配列されており、そして垂直配向液晶材料が、第1透明基板の第1表面と第2透明基板の第1表面の間に封入されており、

複数の画素領域が行及び列方向に配列され、そしてデータ線を介してデータ信号が画素領域に印加される画素アレイが、第1透明基板の第1表面と第2透明基板の第1表面とに形成されており、

データ線は、行及び列方向の一方の方向に配列されており、そしてゲート線は、行及び列方向の他方の方向に配列されており、そして

第1透明基板の画素領域のそれぞれは、第2透明基板の画素領域のそれぞれに対して、データ線に沿った方向において、該データ線に沿った画素領域の高さの半分の距離だけシフトされており、そして

第2透明基板に形成された1つのゲート線にそれぞれ対面する複数のブラック・マトリクスが第1透明基板に形成され、そして第1透明基板に形成された1つのゲートにそれぞれ対面する複数のブラック・マトリクスが第2透明基板に形成されており、ブラック・マトリクスのそれぞれは台形状の断面を有することを特徴とする。

【0034】

画素アレイの画素領域は、ゲート線とデータ線との交点のそれぞれに隣接して形成され、そして画素領域は、表示電極と、ゲート及びデータ線と表示電極との間の接続されたスイッチング素子とを含むことを特徴とする。

【0035】

カラー・フィルタが形成されている別個のガラス基板が、第1透明基板の第2表面、または第2透明基板の第2表面に位置づけられていることを特徴とする。

【0036】

本発明に従う液晶表示装置の製造方法は、

(a) 複数の画素領域が行及び列の方向に配列されそしてデータ線を介してデータ信号が画素領域に印加される画素アレイを、1つの透明基板の第1部分及び第2部分に形成するステップと、

(b) 透明基板を第1部分と第2部分とに切断するステップと、

(c) 第1部分の画素アレイと第2部分の画素アレイとを対面させるように第1部分及び第2部分を配列するステップと、

(d) 第1及び第2部分の画素アレイを囲むように、第1部分と第2部分とを封止領域で接着するステップと、

(e) 封止領域により囲まれた空間内に液晶材料を充填するステップとを含み、

画素アレイにおいて、データ線は行及び列方向の一方の方向に配列され、ゲート線は行及び列方向の他方の方向に配列され、そして画素領域のそれぞれは、ゲート線とデータ線との交点に隣接する領域に形成されており、そして画素領域のそれぞれは、表示電極と、ゲート線及びデータ線と表示電極との間に接続された薄膜トランジスタとを有し、

ステップ(c)において、第1部分の画素領域のそれぞれは、第2部分の画素領域のそれぞれに対して、ゲート線に沿った方向で、ゲート線に沿った画素領域の幅の半分の距離だけシフトされることを特徴とする。

【0037】

第1部分及び第2部分のそれぞれは、上側エッジ、下側エッジ、左側エッジ及び右側エッジを有し、そして

ステップ(a)において、第1部分のデータ線に接続されているデータ線パッドが、第

1 部分の上側エッジ及び下側エッジの一方に隣接する第 1 領域に形成され、第 1 部分のゲート線に接続されているゲート線パッドが、第 1 部分の左側エッジ及び右側エッジの一方に隣接する第 2 領域に形成され、第 2 部分のデータ線に接続されているデータ線パッドが、第 2 部分の上側エッジ及び下側エッジの他方に隣接する第 3 領域に形成され、そして第 2 部分のゲート線に接続されているゲート線パッドが、第 2 部分の左側エッジ及び右側エッジの他方に隣接する第 4 領域に形成されることを特徴とする。

【 0 0 3 8 】

第 1 データ線ドライバを第 1 領域のデータ線パッドに接続し、第 1 ゲート線ドライバを第 2 領域のゲート線パッドに接続し、第 2 データ線ドライバを第 3 領域のデータ線パッドに接続し、そして第 2 ゲート線ドライバを第 4 領域のゲート線パッドに接続することを特徴とする。

10

【 0 0 3 9 】

ステップ (c) において、第 1 部分のゲート線を第 2 部分のゲート線に整列させ、第 1 部分のデータ線を第 2 部分のデータ線に整列させるように、第 1 部分及び第 2 部分が配列されることを特徴とする。

【 0 0 4 0 】

ステップ (a) において、第 2 部分の 1 つのデータ線にそれぞれ対面する複数のブラック・マトリクスが第 1 部分に形成され、そして第 1 部分の 1 つのデータ線にそれぞれ対面する複数のブラック・マトリクスが第 2 部分に形成されることを特徴とする。

【 0 0 4 1 】

薄膜トランジスタは逆スタガ型の薄膜トランジスタであり、そして

ステップ (a) において、逆スタガ型の薄膜トランジスタのゲート電極と複数のブラック・マトリクスとが第 1 及び第 2 部分に同時に形成されることを特徴とする。

20

【 0 0 4 2 】

薄膜トランジスタは、ゲート電極の下側に光遮断層を有するスタガ型の薄膜トランジスタであり、そして

ステップ (a) において、スタガ型の薄膜トランジスタの光遮断層と複数のブラック・マトリクスとが第 1 及び第 2 部分に同時に形成されることを特徴とする。

【 0 0 4 3 】

ステップ (a) において、複数のカラー・フィルタが第 1 部分に形成され、そしてカラー・フィルタのそれぞれはデータ線とブラック・マトリクスとの間の位置に形成されることを特徴とする。

30

【 0 0 4 4 】

ステップ (c) において、第 1 部分の画素領域のそれぞれは、第 2 部分の画素領域のそれぞれに対して、データ線に沿った方向で、データ線に沿った画素領域の高さの半分の距離だけシフトされることを特徴とする。

【 0 0 4 5 】

ステップ (a) において、第 2 部分の 1 つのゲート線にそれぞれ対面する複数のブラック・マトリクスが第 1 部分に形成され、そして第 1 部分の 1 つのゲート線にそれぞれ対面する複数のブラック・マトリクスが第 2 部分に形成されることを特徴とする。

40

【 0 0 4 6 】

薄膜トランジスタは逆スタガ型の薄膜トランジスタであり、そしてステップ (a) において、逆スタガ型の薄膜トランジスタのゲート電極と複数のブラック・マトリクスとが第 1 及び第 2 部分に同時に形成されることを特徴とする。

【 0 0 4 7 】

薄膜トランジスタは、ゲート電極の下側に光遮断層を有するスタガ型の薄膜トランジスタであり、そして

ステップ (a) において、スタガ型の薄膜トランジスタの光遮断層と複数のブラック・マトリクスとが第 1 及び第 2 部分に同時に形成されることを特徴とする。

【 0 0 4 8 】

50

ステップ (a) において、複数個のカラー・フィルタが第 1 部分に形成され、そしてカラー・フィルタのそれぞれはゲート線とブラック・マトリクスとの間の位置に形成されることを特徴とする。

【発明の効果】

【 0 0 4 9 】

本発明は、点欠陥又は線欠陥に基づくイメージの質の低下を回復し、データ線及びゲート線の数を増大することなく画素の数を増大し、広い視野角を実現し、そして H / V 反転方式を行うに当たりデータ線ドライバの出力信号の電圧レベルを減少することができる L C D 装置を実現する。

【図面の簡単な説明】

10

【 0 0 5 0 】

【図 1】従来の L C D 装置の 1 つの基板上に形成されたアレイを示す図である。

【図 2】従来の L C D 装置の構造を示す図である。

【図 3】L C D 装置 1 のノーマリ・ホワイト・モードの動作を示す図である。

【図 4】点欠陥及び線欠陥に基づく従来の L C D 装置の第 1 の問題点を示す図である。

【図 5】本発明に従う L C D パネルの基本的構造を示す図である。

【図 6】上側及び下側ガラス基板 2 2 及び 2 3 上のデータ線 D 1 乃至 D N とゲート線 G 1 乃至 G M の配列を示す図である。

【図 7】上側及び下側の両ガラス基板 2 2 及び 2 3 上のゲート線に印加されるゲート・パルスを示す図である。

20

【図 8】L C D パネルを制御するための回路のブロック図を示す図である。

【図 9】上側及び下側ガラス基板 2 2 及び 2 3 上のデータ線に印加されるデータ・パルスを示す図である。

【図 1 0】図 6 の線 6 A - 6 A 及び 6 B - 6 B に沿った上側及び下側ガラス基板 2 2 及び 2 3 上の構造の断面を示す図である。

【図 1 1】本発明に従う製造方法の第 1 ステップにおいて、1 枚のガラス基板上に形成された、上側ガラス基板 2 2 及び下側ガラス基板 2 3 の画素アレイを示す図である。

【図 1 2】本発明の第 2 実施例の第 1 即ち上側ガラス基板 2 2 上の画素アレイ及び第 2 即ち下側ガラス基板 2 3 上の画素アレイの配列を示す図である。

【図 1 3】本発明の第 2 実施例の第 1 即ち上側ガラス基板 2 2 上の画素アレイ及び第 2 即ち下側ガラス基板 2 3 上の画素アレイの配列を示す図である。

30

【図 1 4】上側及び下側ガラス基板 2 2 及び 2 3 上のゲート線及びデータ線に印加されるゲート・パルス及びデータ・パルスを示す図である。

【図 1 5】図 1 2 の点線 1 5 A - 1 5 B に沿った上側及び下側ガラス基板 2 2 及び 2 3 上の構造の断面を示す図である。

【図 1 6】上側及び下側ガラス基板 2 2 及び 2 3 上のデータ線とゲート線の配列を示す図である。

【図 1 7】本発明の第 3 実施例の第 1 即ち上側ガラス基板 2 2 上の画素アレイと第 2 即ち下側ガラス基板 2 3 上の画素アレイの配列を示す図である。

【図 1 8】本発明の第 3 実施例の第 1 即ち上側ガラス基板 2 2 上の画素アレイと第 2 即ち下側ガラス基板 2 3 上の画素アレイの配列を示す図である。

40

【図 1 9】上側及び下側ガラス基板 2 2 及び 2 3 上のゲート線及びデータ線に印加されるゲート・パルス及びデータ・パルスを示す図である。

【図 2 0】図 1 7 の点線 2 0 A - 2 0 B に沿った上側及び下側ガラス基板 2 2 及び 2 3 上の構造の断面を示す図である。

【図 2 1】上側及び下側ガラス基板 2 2 及び 2 3 上のデータ線とゲート線の配列を示す図である。

【図 2 2】本発明の第 4 実施例の第 1 即ち上側ガラス基板 2 2 上の画素アレイと第 2 即ち下側ガラス基板 2 3 上の画素アレイの配列を示す図である。

【図 2 3】本発明の第 4 実施例の第 1 即ち上側ガラス基板 2 2 上の画素アレイと第 2 即ち

50

下側ガラス基板 2 3 上の画素アレイの配列を示す図である。

【図 2 4】上側及び下側ガラス基板 2 2 及び 2 3 上のゲート線及びデータ線に印加されるゲート・パルス及びデータ・パルスを示す図である。

【図 2 5】上側及び下側ガラス基板 2 2 及び 2 3 上のデータ線とゲート線の配列を示す図である。

【図 2 6】本発明において使用されうる逆スタガ型の T F T を使用した画素領域の構造を示す図である。

【図 2 7】本発明において使用されうるスタガ型の T F T を使用した画素領域の構造を示す図である。

【図 2 8】V A 液晶材料の特性を示す図である。

10

【図 2 9】上側及び下側ガラス基板 2 2 及び 2 3 に形成された構造の断面を示す図である。

【発明を実施するための形態】

【0051】

図 5 は、本発明に従う L C D パネルの基本的構造を示す。L C D パネルは、第 1 透明基板即ち上側ガラス基板 2 2 及び第 2 透明基板即ち下側ガラス基板 2 3 を含む。2 つのガラス基板 2 2 及び 2 3 のそれぞれは、第 1 表面即ち内側表面及び第 2 表面即ち外側表面を有する。2 つのガラス基板 2 2 及び 2 3 の内側表面は互いに対面され、そして封止領域 4 4 で接着されている。液晶材料がこの封止領域 4 4 により囲まれた空間内に密封されている。ゲート線、データ線及び画素領域を含むアレイが、両ガラス基板 2 2 及び 2 3 のそれぞれの封止領域 4 4 により囲まれた内側表面の領域に形成されており、そして第 1 データ線ドライバを構成する I C (集積回路) モジュール 4 2 D 乃至 4 2 F が、第 1 即ち上側ガラス基板 2 2 の上端に隣接する第 1 領域に装着されており、第 1 ゲート線ドライバを構成する I C モジュール 4 2 A 乃至 4 2 C が、上側ガラス基板 2 2 の左端に隣接する第 2 領域に装着されており、第 2 データ線ドライバを構成する I C (集積回路) モジュール 4 3 D 乃至 4 3 F が、第 2 即ち下側ガラス基板 2 3 の下端に隣接する第 3 領域に装着されており、そして第 2 ゲート線ドライバを構成する I C モジュール 4 3 A 乃至 4 3 C が、下側ガラス基板 2 3 の右端に隣接する第 4 領域に装着されている。制御ユニット、メモリ、データ・バッファ等を構成する I C モジュールが上述の領域に装着されているがこれらの I C モジュールは、図を簡略化するために図 5 に示されていない。上述のアレイは、後述のように画素領域がデータ線と表示電極との間に接続された T F T (薄膜トランジスタ) を含んでいるので、T F T アレイと呼ばれる。

20

30

【0052】

本発明の第 1 実施例：

図 6 は、上側及び下側ガラス基板 2 2 及び 2 3 上のデータ線 D 1 乃至 D N とゲート線 G 1 乃至 G M の配列を示す。図 7 は、上側及び下側の両ガラス基板 2 2 及び 2 3 上のゲート線に印加されるゲート・パルスを示す。図 8 は、L C D パネルを制御するための回路のブロック図を示す。図 9 は、上側及び下側ガラス基板 2 2 及び 2 3 のデータ線に印加されるデータ・パルスを示す。図 10 は、図 6 の線 6 A - 6 A 及び 6 B - 6 B に沿った上側及び下側ガラス基板 2 2 及び 2 3 の断面を示す。

40

【0053】

図 6 (A) を参照すると、複数個のピクセル領域が、行即ち水平方向及び列即ち垂直方向に配列され、そしてデータ信号がデータ線を介してピクセル領域に印加される画素アレイが上側及び下側ガラス基板 2 2 及び 2 3 の内面のそれぞれに形成されている。更に具体的にいうと、画素アレイにおいて、複数本のゲート線 G 1 乃至 G M が行方向に配列され、複数本のデータ線 D 1 乃至 D N が列方向に配列され、そして、複数個の画素領域のそれぞれが、データ線とゲート線との交点に形成されている。上側ガラス基板 2 2 の 1 つの画素領域と、この画素領域に対面する下側ガラス基板 2 3 の 1 つの画素領域とが、L C D 装置の 1 つの画素を形成する。図 10 (A) に示すように、上側ガラス基板 2 2 の内側表面に形成されているゲート線、データ線及び接続パッドは、実線で示されていることに注目さ

50

れたい。ゲート線、データ線及び接続パッドが下側ガラス基板 23 の内側表面に形成されている。図 6 (B) に示すように、ゲート線とデータ線との交点のそれぞれに隣接して形成された画素領域は、スイッチング素子即ち T F T 27 及びインジウム錫酸化物層 29 (33) を含む。図を簡略化するために、各画素領域の T F T 及び I T O 層は図 6 (A) に示されていないことに注目されたい。M o W (モリブデンタングステン) で作られたゲート線が T F T 27 のゲートに接続され、データ線が T F T のドレインに接続され、そして T F T のソースは I T O 層即ち表示電極 29 (33) に接続されている。

【 0 0 5 4 】

図 6 及び図 8 に示すように、上側ガラス基板 22 の一方の水平エッジ、即ち上側水平エッジ 22 U に沿って形成された接続パッド即ちデータ線パッド 38 を介して第 1 データ線ドライバ 45 がデータ線 D 1 乃至 D N に接続されてデータ・パルスデータをデータ線に印加し、そして上側ガラス基板 22 の一方の垂直エッジ即ち左側エッジ 22 L に沿って形成された接続パッド即ちゲート線パッド 39 を介して第 1 ゲート線ドライバ 47 がゲート線 G 1 乃至 G N に接続されてこれらゲート線にゲート・パルスを逐次的に印加する。

10

【 0 0 5 5 】

下側ガラス基板 23 の他方の水平エッジ、即ち下側水平エッジ 23 B に沿って形成された接続パッド即ちデータ線パッド 40 を介して第 2 データ線ドライバ 46 がデータ線 D 1 乃至 D N に接続されてデータ・パルスをデータ線に印加し、そして下側ガラス基板 23 の他方の垂直エッジ即ち右側エッジ 23 R に沿って形成された接続パッド即ちゲート線パッド 41 を介して第 2 ゲート線ドライバ 48 がゲート線 G 1 乃至 G N に接続されてこれらゲート線にゲート・パルスを逐次的に印加する。

20

【 0 0 5 6 】

第 1 実施例において、上側ガラス基板 22 の画素領域のそれぞれは、下側ガラス基板 23 の画素領域のそれぞれに整列されている。ガラス基板上におけるゲート線と表示電極との間の間隔そしてガラス基板上におけるデータ線と表示電極との間の間隔がゲート線及びデータ線の幅よりも小さく、そして表示電極の寸法がゲート線及びデータ線の幅よりも相当大きいために、上側ガラス基板 22 のデータ線及びゲート線を、下側ガラス基板 23 のデータ線及びゲート線にそれぞれ対面させることにより、上側ガラス基板 22 の画素領域のそれぞれは、下側ガラス基板 23 の画素領域のそれぞれに整列されることができる。例えば、上側ガラス基板 22 のデータ線 D 1 乃至 D N は、下側ガラス基板 23 のデータ線 D 1 乃至 D N にそれぞれ整列され、そして上側ガラス基板 22 のゲート線 G 1 乃至 G M は、下側ガラス基板 23 のゲート線 G 1 乃至 G M にそれぞれ整列される。

30

【 0 0 5 7 】

図 7 に示すように、1つのフレーム期間は複数の期間 T 1 乃至 T M に分割されている。期間 T 1 に、第 1 ゲート線ドライバ 47 が上側ガラス基板 22 のゲート線 G 1 にゲート・パルスを印加し、そして第 2 ゲート線ドライバ 48 が下側ガラス基板 23 のゲート線 G 1 にゲート・パルスを印加し、そして期間 T 2 に、第 1 ゲート線ドライバ 47 が上側ガラス基板 22 のゲート線 G 2 にゲート・パルスを印加し、そして第 2 ゲート線ドライバ 48 が下側ガラス基板 23 のゲート線 G 2 にゲート・パルスを印加し、そして期間 T 3 に、第 1 ゲート線ドライバ 47 が上側ガラス基板 22 のゲート線 G 3 にゲート・パルスを印加し、そして第 2 ゲート線ドライバ 48 が下側ガラス基板 23 のゲート線 G 3 にゲート・パルスを印加し、以下この動作が続く。

40

【 0 0 5 8 】

上側及び下側ガラス基板 22 及び 23 のゲート線へのゲート・パルスの印加の間、第 1 データ線ドライバ 45 及び第 2 データ線ドライバ 46 は、上側及び下側ガラス基板 22 及び 23 のデータ線 D 1 乃至 D N にデータ・パルスを同時に供給する。1つのゲート・パルス即ちゲート信号が1つのゲート線に印加されている間に、このゲート線に沿ったすべてのデータ線 D 1 乃至 D N にデータ信号が同時に印加されることに注目されたい。

【 0 0 5 9 】

図 6 の画素 P 11 に黒イメージが表示されるとき、上側ガラス基板 22 のデータ線 D 1

50

に図 9 (A) の + 2 . 5 V の正のデータ・パルス 4 9 が印加され (これは図 3 (B) に示す状態に液晶分子を切り替えるためのスイッチング電圧 5 V の半分である)、そして下側ガラス基板 2 3 のデータ線 D 1 に - 2 . 5 V の負のデータ・パルス 5 0 が印加され (これは図 3 (B) に示す状態に液晶分子を切り替えるためのスイッチング電圧 5 V の半分である)、この結果、5 V が画素 P 1 1 の液晶材料に印加されて、液晶分子は図 3 (B) に示すように電界の方向に沿って整列されて黒イメージを表示する。図 9 は完全に黒のイメージを表示するためのデータ・パルスを示しているが、この黒レベル、白レベル及び種々なグレイ・レベルを表示するために種々な電圧レベルを使用できることに注目されたい。

【 0 0 6 0 】

図 6 の画素 P 1 2 に白イメージが表示されるとき、上側ガラス基板 2 2 のデータ線 D 2 に - 2 . 5 V の負のデータ・パルスが印加され、そして下側ガラス基板 2 3 のデータ線 D 2 に - 2 . 5 V の負のデータ・パルスが印加され、この結果、0 V が画素 P 1 2 の液晶材料に印加されて、液晶分子は図 3 (A) に示すようにツイストされた状態に留まり、白イメージを表示する。

【 0 0 6 1 】

図 1 0 を参照すると、本発明に従うカラー LCD 装置 2 1 の構造の一部分の断面が示されている。ガラス基板 2 2 及び 2 3 上の構造は本発明の概念を示すために簡略化されていることに注目されたい。この第 1 実施例の構造は点欠陥及び線欠陥の影響を減少できる。LCD 装置 2 1 は、上側ガラス基板 2 2 , 下側ガラス基板 2 3 , 上側偏光板 2 5 , 下側偏光板 2 4 及びバック・ライト装置 2 6 を含む。

【 0 0 6 2 】

下側ガラス基板 2 3 上の構造を説明すると、データ線 D 1 乃至 D 4 がこの下側ガラス基板 2 3 に形成されている。データ線は 3 つの層、即ち Mo 層、A 1 層及び Mo 層で構成されている。表示電極即ち ITO 層 2 9 は、データ線相互間の表面領域に形成されている。パッシベーション層 3 0 (例えば、SiNX 層) が、データ線を覆うように、そして ITO 層 2 9 をデータ線から絶縁するように形成されている。MoW 又は Cu から作られたブラック・マトリクス 3 2 がパッシベーション層 3 0 のそれぞれの上に形成されている。ラビング層 3 1 (例えばポリイミド層) が、全体の構造を覆うように形成されている。長さ L 3 は、バック・ライト装置からの光が通過する開口の長さを示す。ITO 層 2 9 のエッジで電界が歪むのを防止するために、パッシベーション層 3 0 及びブラック・マトリクス 3 2 は、長さ L 4 だけ ITO 層 2 9 のエッジを覆っている。

【 0 0 6 3 】

上側ガラス基板 2 2 上の構造を説明すると、下側ガラス基板と同様に、データ線 D 1 乃至 D 4、パッシベーション層 3 4 , 表示電極即ち ITO 層 3 3 及びラビング層 3 6 がこの上側ガラス基板 2 2 に形成されている。下側ガラス基板 2 3 の ITO 層 2 9 にそれぞれ対面するように、赤のカラーフィルタ 3 5 R、緑のカラーフィルタ 3 5 G 及び青のカラーフィルタ 3 5 B が ITO 層 3 3 の上に形成されている。ラビング層 3 6 が、カラー・フィルタ及びパッシベーション層 3 4 を覆うように形成されている。ラビング層 3 1 のラビング方向とラビング層 3 6 のラビング方向との角度は、図 3 の従来技術の場合のように約 9 0 度である。ラビング層 3 1 とラビング層 3 6 との間に、ねじれネマチック (TN) 液晶材料 (図示せず) が挟まれており、そしてラビング層 3 1 とラビング層 3 6 との間で、図 3 の従来技術の場合のように約 9 0 度ツイストされている。バック・ライト装置 2 6 は白色光を発生する。偏光板 2 4 は、ラビング層 3 1 のラビング方向に平行な偏光面を有し、そしてこの偏光面に平行な光を通過させる。偏光板 2 5 は、ラビング層 3 6 のラビング方向に平行な偏光面を有し、そしてこの偏光面に平行な光を通過させる。

【 0 0 6 4 】

スイッチング電圧が ITO 層 2 9 及び 3 3 の間に印加されないときに、液晶分子はラビング層 3 1 及び 3 6 の間で 9 0 度ツイストされている。この場合、偏光板 2 4 を通過した偏光は、ツイストされている液晶分子を介して 9 0 度回転されて偏光板 2 5 を通過して、これにより白イメージが表示される。スイッチング電圧が ITO 層 2 9 及び 3 3 の間に印

10

20

30

40

50

加されると、液晶分子は図 3 (B) に示すように電界の方向に整列され、偏光板 2 4 からの偏光は回転されずに液晶分子を通過し、そしてこの偏光は偏光板 2 5 により遮断されて黒イメージが表示される。このように、LCD 装置 2 1 は、ITO 層 2 9 及び 3 3 の間にスイッチング電圧が印加されないときに白イメージを表示する (図 3 (A)) ノーマリ・ホワイト・モードで動作する。

【 0 0 6 5 】

点欠陥又は線欠陥が TFT アレイに存在するときの本発明に従うイメージの回復について説明すると、本発明に従う LCD 装置は点欠陥又は線欠陥に基づいて失われたイメージの部分的回復又は完全回復を行うことができる。

【 0 0 6 6 】

イメージの部分的回復：

図 6 の上側ガラス基板 2 2 上の TFT の破損に基づいて画素 P 1 1 に点欠陥が生じ、そして上側ガラス基板 2 2 のデータ線 D 1 の部分 5 0 とゲート線 G 1 の部分 5 1 とで線欠陥が生じているとする。図 4 に示す部分 A 及び B において修理されていない従来の LCD 装置では、欠陥による画素に黒いイメージ又はドットを表示できない。その理由は、液晶分子を図 3 (B) に示すように整列させる電圧を液晶材料に印加できないからである。

【 0 0 6 7 】

本発明に従う LCD 装置は、追加の補償回路を必要とせずに点欠陥及び線欠陥を固有的に部分回復させることができる。その理由は、ゲート線及びデータ線のアレイが上側及び下側ガラス基板 2 2 及び 2 3 のそれぞれに形成されているからである。更に具体的に説明すると、上側ガラス基板 2 2 上の TFT の破損に基づいて、第 1 データ線ドライバ 4 5 から図 9 (A) のデータ・パルス (例えばデータ・パルス 4 9 , これは液晶材料のスイッチング電圧の半分の値を有する) が、画素 P 1 1 のうち上側ガラス基板 2 2 の表示電極に印加されなくても、この画素 P 1 1 のうち下側ガラス基板 2 3 上の表示電極に、第 2 データ線ドライバ 4 6 から図 9 (A) のデータ・パルス (例えばデータ・パルス 5 0 , これは液晶材料のスイッチング電圧の半分の値を有する) が印加され、これにより画素 P 1 1 の液晶材料は、白レベル及び黒レベルの間の半分のレベルであるグレイ・イメージを表示するようにスイッチされる。このようにして、点欠陥を有する画素 P 1 1 は、2 . 5 V のレベルに対応するグレイ・イメージを固有的に表示することができる。

【 0 0 6 8 】

上述の点欠陥の場合と同様にして、上側ガラス基板 2 2 上のデータ線 D 1 の破損部 5 0 に基づいて線欠陥とされた画素 P 3 1 乃至 P M 1 は、グレイ・イメージを表示することができる。そして同様にして、上側ガラス基板 2 2 上のゲート線 G 1 の破損部 5 1 に基づいて線欠陥とされた画素 P 1 5 乃至 P 1 N は、グレイ・イメージを表示することができる。

【 0 0 6 9 】

イメージの完全回復：

本発明に従うこの方式においては、点欠陥の画素及び線欠陥に含まれる画素の黒イメージは完全に回復されることができる。この完全回復を説明する前に、図 8 に示されている回路の動作を説明する。制御装置 5 3 は、制御線 5 8 を介して第 1 及び第 2 データ線ドライバ 4 5 及び 4 6 と第 1 及び第 2 ゲート線ドライバ 4 7 及び 4 8 の動作を制御する。例えばパーソナル・コンピュータのようなホスト・プロセッサ 5 4 は、ゲート線に沿った画素ラインのデータ信号をデータ・バスを介してデータ・バッファ 5 5 に送る。データ・バッファ 5 5 は、白レベル、種々なグレイ・レベル及び黒レベルを表すデータ信号に対応した種々な電圧源を含み、そして第 1 データ線ドライバ 4 5 に対する第 1 のサブ・バッファ A 及び第 2 データ線ドライバ 4 6 に対応する第 2 サブ・バッファ B を有する。説明を簡単にするために本明細書においては白レベル及び黒レベルを使用する例が示されていることに注目されたい。サブ・バッファ A 及び B のそれぞれは、ゲート線に沿った 1 画素ラインの画素の数に等しい複数のバッファ・ステージを有する。データ・バッファ 5 5 はホスト・プロセッサ 5 4 から送られた 1 つのデータ信号に対応する電圧レベルを選択して、これをサブ・バッファ A 又は B の 1 つのバッファ・ステージに記憶する。例えば、黒イメージが

10

20

30

40

50

画素 P 1 1 に表示される場合には、奇数フレームの間データ・バッファ 5 5 は、サブ・バッファ A の第 1 番目のバッファ・ステージに + 2 . 5 V を記憶し、そしてサブ・バッファ B の第 1 番目のバッファ・ステージに - 2 . 5 V を記憶する。このような記憶動作が、サブ・バッファ A 及び B のすべてのバッファ・ステージについて行われる。上記のデータ・バッファの動作はこの分野で周知であるので、詳細な動作は説明しない。

【 0 0 7 0 】

イメージの完全回復を行うために、制御線 5 7 , スイッチ 5 6 及びメモリ 5 2 内のメモリ・スペースが本発明に従って追加されている。第 1 ステップにおいて、上側又は下側ガラス基板 2 2 又は 2 3 上の線欠陥又は線欠陥の位置が、この分野で周知のアレイ・テストにより検出される。本発明によると、図 6 に示すような点欠陥、データ線欠陥及びゲート線欠陥が検出されると、次のような 3 つの情報が発生されてそしてメモリ 5 2 のメモリ・スペースに記憶される。

【 0 0 7 1 】

(A) 欠陥画素 (P 1 1) の位置を表すデータと、この欠陥画素 (P 1 1) の画素領域が形成されている、上側及び下側ガラス基板の一方を示す識別データ (この場合には、上側ガラス基板 2 2 を示すビット " 1 ") とを含む点欠陥情報 ;

(B) データ線 (D 1) 上の欠陥 (5 0) の位置 (この場合には、ゲート線 G 2 とゲート線 G 3 の間の位置) を表すデータと、この欠陥データ線 (D 1) が形成されている、上側及び下側ガラス基板の一方を示す識別データ (ビット " 1 ") とを含むデータ線欠陥情報 ; 及び

(C) ゲート線 (G 1) 上の欠陥 (5 1) の位置 (この場合には、データ線 D 4 とデータ線 D 5 との間の位置) を表すデータと、この欠陥ゲート線 (G 1) が形成されている、上側及び下側ガラス基板の一方を示す識別データ (ビット " 1 ") とを含むゲート線欠陥情報。

【 0 0 7 2 】

第 2 ステップにおいて、制御装置 5 3 は、メモリ・スペースから点欠陥情報、データ線欠陥情報及びゲート線欠陥情報を取り出す。

【 0 0 7 3 】

第 3 ステップにおいて、イメージの表示が開始される。このため、制御線 5 8 を介する制御装置 5 3 の制御のもとで、データ・バッファ 5 5 はホスト・プロセッサ 5 4 から、ゲート線 G 1 に沿った 1 画素行のデータ信号を受け取る。

【 0 0 7 4 】

第 4 ステップにおいて、制御装置 5 3 は、このゲート線 G 1 に沿った第 1 画素行に、点欠陥、データ線欠陥又はゲート線欠陥により影響を受ける画素が存在するか否かを調べ、そして画素 P 1 1 のうち上側ガラス基板 2 2 の画素領域が点欠陥を有し、そして上側ガラス基板 2 2 のゲート線 G 1 がデータ線 D 4 と D 5 との間の位置で破断されていることを見いだす。

【 0 0 7 5 】

第 5 ステップにおいて、制御装置 5 3 は、点欠陥により影響を受ける画素 P 1 1 に対するデータ信号と、ゲート線欠陥により影響を受ける画素 P 1 5 乃至 P 1 N に対するデータ信号をデータ・バス 5 9 を介してモニタする。

【 0 0 7 6 】

第 6 ステップにおいて、制御装置 5 3 は、これらの画素が、黒レベル・イメージを表示する電圧、即ち、電圧 0 V の印加を必要とする安定状態から液晶材料の状態をスイッチする電圧の印加を必要としているか否かを調べる。画素 P 1 1 及び画素 P 1 5 乃至 P 1 N に表示されるイメージが次のようであると仮定する。

【 0 0 7 7 】

画素 P 1 1 : 黒
画素 P 1 5 : 黒
画素 P 1 6 : 黒

10

20

30

40

50

画素 P 1 7 - P 1 N : 白

黒イメージを表示する画素は、図 3 に示すように、上側及び下側ガラス基板 2 2 及び 2 3 のデータ線相互間への電圧の印加を必要とする。

【 0 0 7 8 】

第 7 ステップにおいて、制御装置 5 3 は、制御線 5 7 を介してスイッチ 5 6 を制御して、奇数フレーム期間の間、図 9 (B) に示すように、第 2 データ線ドライバ 4 6 に接続されたサブ・バッファ B の画素 P 1 1 に対する第 1 バッファ・ステージ、画素 P 1 5 に対する第 5 バッファ・ステージ及び画素 P 1 6 に対する第 6 バッファ・ステージに電圧 - 5 . 0 V を印加する。これにより、両ガラス基板 2 2 及び 2 3 へのゲート線 G 1 へのゲート・パルスの印加の間、下側ガラス基板 2 3 の画素 P 1 1 , P 1 5 及び P 1 6 の画素領域に、データ線 D 1 , D 5 及び D 6 を介して - 5 . 0 V が印加され、これら画素 P 1 1 , P 1 5 及び P 1 6 の液晶材料は図 3 (B) に示すように電界に沿って整列されて、これら点欠陥及びゲート線欠陥により影響を受けた画素 P 1 1 , P 1 5 及び P 1 6 に黒イメージが表示される。

10

【 0 0 7 9 】

このようにして、制御装置 5 3 は、画素 P 1 1 のうち上側ガラス基板 2 2 上の画素領域が点欠陥であることを示す点欠陥情報に応答して、この点欠陥画素 P 1 1 のうち下側ガラス基板 2 3 に形成されている画素領域に印加するデータ信号の値を、奇数フレームの間電圧 - 5 . 0 V に増大しそして偶数フレームの間 + 5 . 0 V に増大し、そして制御装置 5 3 は、上側ガラス基板 2 2 上のゲート線 G 1 が破損部 5 1 を含むことを表すゲート線欠陥情報に
20 応答して、このゲート線欠陥により影響を受けている画素 P 1 5 及び P 1 6 のうち下側ガラス基板 2 3 に形成されている画素領域に印加するデータ信号の値を、奇数フレームの間電圧 - 5 . 0 V に増大しそして偶数フレームの間 + 5 . 0 V に増大する。

20

【 0 0 8 0 】

次に、ゲート線 G 2 に沿う第 2 画素行にイメージが表示される。上側ガラス基板 2 2 のデータ線 D 1 の欠陥 5 0 により画素 P 3 1 乃至 P M 1 が影響を受けていることを制御装置 5 3 が知っていることに注目されたい。制御装置 5 3 は上述の第 3 乃至第 7 ステップの動作を行う。ゲート線 G 2 に沿う第 2 画素行は、点欠陥、データ線欠陥又はゲート線欠陥により影響を受ける画素を含んでいないので、サブ・バッファ A 及び B 内のデータ信号の電圧は補償されない。そしてイメージが第 2 画素行に表示される。

30

【 0 0 8 1 】

次に、ゲート線 G 3 に沿う第 3 画素行にイメージを表示する動作が開始される。制御装置 5 3 は上述の第 3 乃至第 7 ステップの動作を行う。

【 0 0 8 2 】

第 3 ステップにおいて、制御線 5 8 を介する制御装置 5 3 の制御のもとで、データ・バッファ 5 5 はホスト・プロセッサ 5 4 から、ゲート線 G 3 に沿った 1 画素行のデータ信号を受け取る。

【 0 0 8 3 】

第 4 ステップにおいて、制御装置 5 3 は、このゲート線 G 3 に沿った第 1 画素行に、点欠陥、データ線欠陥又はゲート線欠陥により影響を受ける画素が存在するか否かを調べ、そして上側ガラス基板 2 2 のデータ線 D 1 がゲート線 G 2 と G 3 との間に欠陥 5 0 を有することを
40 見いだす。

40

【 0 0 8 4 】

第 5 ステップにおいて、制御装置 5 3 は、データ線欠陥により影響を受ける画素 P 3 1 に対するデータ信号をデータ・バス 5 9 を介してモニタする。

【 0 0 8 5 】

第 6 ステップにおいて、制御装置 5 3 は、この画素 P 3 1 が、黒レベル・イメージを表示する電圧の印加を必要としているか否かを調べる。黒イメージを表示する画素 P 3 1 は、図 3 に示すように、上側及び下側ガラス基板 2 2 及び 2 3 の両方のデータ線の間に 5 . 0 V の振幅の電圧の印加を必要とする。

50

【 0 0 8 6 】

第7ステップにおいて、制御装置53は、制御線57を介してスイッチ56を制御して、奇数フレーム期間の間図9(B)に示すように、第2データ線ドライバ46に接続されたサブ・バッファBの画素P31に対するバッファ・ステージに電圧-5.0Vを印加する。これにより、両ガラス基板22及び23へのゲート線G3へのゲート・パルスの印加の間、下側ガラス基板23の画素P31の画素領域に、データ線D1を介して-5.0Vが印加され、この画素P31の液晶材料は図3(B)に示すように電界に沿って整列されて、データ線欠陥により影響を受けた画素P31に黒イメージが表示される。

【 0 0 8 7 】

上述の動作は、ゲート線G4乃至GMに沿った画素行に対して繰り返され、これによりデータ線欠陥により影響を受けている画素P31乃至PM1の黒イメージが完全に回復される。

【 0 0 8 8 】

このようにして、制御装置53は、データ欠陥情報に応答して、上側ガラス基板22上のデータ線D1のデータ線欠陥により影響を受ける画素P31乃至PM1のそれぞれのうち下側ガラス基板23に形成されている画素領域に印加するデータ信号の値を、奇数フレームの間電圧-5.0Vに増大しそして偶数フレームの間+5.0Vに増大する。

【 0 0 8 9 】

本発明に従う第1実施例のLCDアレイの製造方法について説明する。図11は、本発明に従う製造方法の第1ステップにおいて、1枚のガラス基板上に形成された、上側ガラス基板22及び下側ガラス基板23の画素アレイを示す。

【 0 0 9 0 】

第1ステップにおいて、上側ガラス基板22(点線で示す)の画素アレイ及び下側ガラス基板23(点線で示す)の画素アレイが1枚のガラス基板70の第1即ち上側部分(22)及び第2即ち下側部分(23)にそれぞれ形成される。ガラス基板70が後述する切断ステップにおいて点線22及び23に沿って切断されると、点線22で示す第1部分は上側ガラス基板22となり、そして点線23で示す第2部分は下側ガラス基板23となることに注目されたい。前述のように画素アレイは、ゲート線、データ線及び画素領域を含み、そしてデータ線パッドがデータ線に接続され、そしてゲート線パッドがゲート線に接続されている。ゲート線及びデータ線の交点のそれぞれに隣接する画素領域は、図6(B)に示すようにスイッチング素子即ちTF T 27及びITO層29(33)を含む。図を簡略化するために、各画素領域のTF T及びITO層は図11に示されていないことに注目されたい。ゲート線はTF T 27のゲートに接続され、データ線はTF Tのドレインに接続され、そしてTF TのソースはITO層即ち表示電極29(33)に接続されている。画素領域の製造ステップについては、図26及び27を参照して後述する。

【 0 0 9 1 】

上側及び下側の両ガラス基板22及び23の画素アレイを1枚のガラス基板70に形成する理由は、2つの画素アレイを同一プロセス・パラメータのもとで製造し、これにより一方の画素アレイの寸法的精度を他方の画素アレイのものと同じにすることができる。一方の画素アレイが他方の画素アレイに対面しているので、本発明のLCD装置においては寸法的精度が非常に重要である。このような寸法的精度は、一方のガラス基板に共通電極及びカラー・フィルタが形成されそして他方のガラス基板に画素アレイが形成されている従来のLCD装置においては要求されない。

【 0 0 9 2 】

第1及び第2部分のそれぞれは、上側エッジ、下側エッジ、左側エッジ及び右側エッジを有する。更に具体的にいうならば、第2部分すなわち上側ガラス基板22は、上側エッジ22U及び左側エッジ22Lを有する。図11の右側に示されている第1部分22の左側エッジ22Lは、後述の第3ステップにおいて第1部分22の画素アレイが第2部分23の画素アレイに対面されるときに左側エッジとなることに注目されたい。第2部分すなわち下側ガラス基板23は右側エッジ23R及び下側エッジ23Bを有する。

【 0 0 9 3 】

第 1 部分 2 2 の上側エッジ 2 2 U に隣接する第 1 領域のデータ線パッド 3 8 はデータ線 D 1 - D N にそれぞれ接続されており、第 1 部分 2 2 の左側エッジ 2 2 L に隣接する第 2 領域のゲート線パッド 3 9 はゲート線 G 1 - G N にそれぞれ接続されており、第 2 部分 2 3 の下側エッジ 2 3 B に隣接する第 3 領域のデータ線パッド 4 0 はデータ線 D 1 - D N にそれぞれ接続されており、そして第 2 部分 2 3 の右側エッジ 2 3 R に隣接する第 4 領域のゲート線パッド 4 1 はゲート線 G 1 - G N にそれぞれ接続されている。

【 0 0 9 4 】

第 2 ステップにおいて、ガラス基板 7 0 は点線 2 2 及び 2 3 に沿って切断される。

【 0 0 9 5 】

第 3 ステップにおいて、図 5 に示すように、上側ガラス基板 2 2 に画素アレイを下側ガラス基板 2 3 の画素アレイに整列させるように上側ガラス基板 2 2 及び下側ガラス基板 2 3 とが配列される。図 5 及び図 1 1 に示されている封止領域 4 4 に封止材料が付着されていることに注目されたい。第 1 実施例の L C D 装置の製造においては図 6 (A) に示すように、上側ガラス基板 2 2 のゲート線 G 1 乃至 G M は下側ガラス基板 2 3 のゲート線 G 1 乃至 G M にそれぞれ対面されており、そして上側ガラス基板 2 2 のデータ線 D 1 乃至 D N は下側ガラス基板 2 3 のデータ線 D 1 乃至 D N にそれぞれ対面されている。

【 0 0 9 6 】

第 4 ステップにおいて、封止材料が硬化されこれにより上側ガラス基板 2 2 及び下側ガラス基板 2 3 は図 5 及び図 1 1 に示す封止領域 4 4 に沿って接着され、そして上側及び下側の両ガラス基板 2 2 及び 2 3 の画素アレイはこの封止領域 4 4 により囲まれた領域内に封入される。

【 0 0 9 7 】

第 5 ステップにおいて、液晶材料（この第 1 実施例の場合には T N 液晶材料）が封止領域 4 4 の小さな開口を介してこの領域 4 4 により囲まれた空間内に充填され、そしてこの開口が閉ざされる。

【 0 0 9 8 】

第 6 ステップにおいて、I C モジュール 4 2 A - 4 2 F 及び 4 3 A - 乃至 4 3 F が図 5 に示すように接続パッドに接続するように装着される。更に具体的に説明すると、第 1 データ線ドライバ 4 5 が、上側ガラス基板 2 2 の上側エッジに隣接した第 1 領域のデータ線パッド 3 8 に接続され、第 1 ゲート線ドライバ 4 7 が上側ガラス基板 2 2 の左側エッジに隣接した第 2 領域のゲート線パッド 3 9 に接続され、第 2 データ線ドライバ 4 6 が、下側ガラス基板 2 3 の下側エッジに隣接した第 3 領域のデータ線パッド 4 0 に接続され、そして第 2 ゲート線ドライバ 4 8 が下側ガラス基板 2 3 の右側エッジに隣接した第 4 領域のゲート線パッド 4 1 に接続される。

【 0 0 9 9 】

本発明の第 2 実施例：

図 1 2 及び図 1 3 は、本発明の第 2 実施例の第 1 即ち上側ガラス基板 2 2 上の画素アレイ及び第 2 即ち下側ガラス基板 2 3 上の画素アレイの配列を示す。この第 2 実施例の L C D 装置の構造は、下側ガラス基板 2 3 の画素アレイに対する上側ガラス基板 2 2 の画素アレイの位置づけを除いて、第 1 実施例とほぼ同じであることに注目されたい。

【 0 1 0 0 】

本発明の第 2 実施例は、ユーザにより観察されるゲート線に沿った水平方向の画素の数を、第 1 実施例の画素の数の 2 倍に増大する。第 2 実施例において、上側ガラス基板 2 2 の各画素領域は、下側ガラス基板 2 3 の各画素領域に対して、画素領域の幅（即ちゲート線に沿った長さ）の半分に等しい距離だけ水平方向（ゲート線に沿った方向）にシフトされている。上側ガラス基板 2 2 の各画素領域は下側ガラス基板 2 3 の各画素領域に対し垂直方向（即ち、データ線に沿った方向）にはシフトされていない。即ち、上側ガラス基板 2 2 の各画素領域は下側ガラス基板 2 3 の各画素領域に対し垂直方向において整列されている。この整列は、上側ガラス基板 2 2 のゲート線を下側ガラス基板 2 3 のゲート線に整

10

20

30

40

50

列させることにより行われる。以下の説明において、画素領域の幅（即ち、ゲート線に沿った長さ）は、１つのゲート線の中心と隣接するゲート線の中心との間の距離に等しいとする。

【０１０１】

１つのデータ線（例えば、 $DU(X-1)$ 又は $DL(X-1)$ ）の中心と、次のデータ線（例えば、 $DU(X)$ 又は $DL(X)$ ）の中心との間の距離は距離 LX であり、そして１つのゲート線（例えば、 $GU(X-1)$ 又は $GL(X-1)$ ）の中心と次のゲート線（例えば、 $GU(X)$ 又は $GL(X)$ ）の中心との間の距離は距離 LY である。図１３の点線７１が示すように、上側ガラス基板２２のゲート線は下側ガラス基板２３のゲート線にそれぞれ整列され、そして上側ガラス基板２２の各データ線は、下側ガラス基板２３のデータ線相互間の中間位置に整列されている。更に具体的にいうと、中間位置は、データ線の中心から $LX/2$ だけ離れている。即ち、上側ガラス基板２２のデータ線は、下側ガラス基板２３のデータ線に対して、ゲート線に沿った水平方向において $LX/2$ だけシフトされている。

10

【０１０２】

前述のように上側及び下側ガラス基板２２及び２３のそれぞれの画素アレイは、複数の画素領域を含み、そして各画素領域は、ゲート線及びデータ線の交点のそれぞれに隣接する領域に形成され、そして画素領域は、図１３の１つの画素領域に示すように $TFT27$ 及び表示電極２９を含む。上側ガラス基板２２のデータ線の位置を下側ガラス基板２３のデータ線の位置からシフトすることにより、上側及び下側ガラス基板の１つの画素電極２

20

【０１０３】

第２実施例の動作を図１４を参照して説明する。図１４は上側及び下側ガラス基板２２及び２３のゲート線及びデータ線に印加されるゲート・パルス及びデータ・パルスを示す。画素 $P12$ が白イメージを表示し、画素 $P13$ が黒イメージを表示し画素 $P14$ が白イメージを表示し、そして画素 $P15$ が白イメージを表示するものとする。

30

【０１０４】

画素 $P12$ （白イメージ）：

画素 $P12$ は、ゲート線 $GU(X-1)$ 及びデータ線 $DU(X-1)$ の交点にある上側画素領域の右側半分と、ゲート線 $GL(X-1)$ 及びデータ線 $DL(X-1)$ の交点にある下側画素領域の左側半分とにより構成される。白イメージを表示するには、図３（Ａ）に示すように電圧 $0V$ が液晶材料に印加されねばならない。電圧 $-2.5V$ がデータ線 $DU(X-1)$ に印加されているものとする。データ線 $DL(X-1)$ に印加される電圧は、データ線 $DU(X-1)$ 上の電圧の値に基づいて選択されることに注目されたい。従って、図１４に示すように、ゲート線 $GU(X-1)$ 及び $GL(X-1)$ へのゲート・パルスの印加の間、電圧 $-2.5V$ がデータ線 $DU(X-1)$ に印加され、そして電圧 $-2.5V$ がデータ線 $DL(X-1)$ に印加される。

40

【０１０５】

画素 $P13$ （黒イメージ）：

画素 $P13$ は、ゲート線 $GU(X-1)$ 及びデータ線 $DU(X)$ の交点にある上側画素領域の左側半分と、ゲート線 $GL(X-1)$ 及びデータ線 $DL(X-1)$ の交点にある下側画素領域の右側半分とにより構成される。黒イメージを表示するには、図３（Ｂ）に示すように電圧 $5V$ が液晶材料に印加されねばならない。電圧 $-2.5V$ がデータ線 $DL(X-1)$ に印加されているので、データ線 $DU(X)$ に印加される電圧は、データ線 $DL(X-1)$ 上の電圧の値に基づいて選択される。従って、図１４に示すように、ゲート線 $GU(X-1)$ 及び $GL(X-1)$ へのゲート・パルスの印加の間、電圧 $+2.5V$ がデータ線 $DU(X)$ に印加され、そして電圧 $-2.5V$ がデータ線 $DL(X-1)$ に印加さ

50

れる。

【 0 1 0 6 】

画素 P 1 4 (白イメージ) :

画素 P 1 4 は、ゲート線 G U (X - 1) 及びデータ線 D U (X) の交点にある上側画素領域の右側半分と、ゲート線 G L (X - 1) 及びデータ線 D L (X) の交点にある下側画素領域の左側半分とにより構成される。白イメージを表示するには、図 3 (A) に示すように電圧 0 V が液晶材料に印加されねばならない。電圧 + 2 . 5 V がデータ線 D U (X) に印加されているので、データ線 D L (X) に印加される電圧は、データ線 D U (X) 上の電圧の値に基づいて選択される。従って、図 1 4 に示すように、ゲート線 G U (X - 1) 及び G L (X - 1) へのゲート・パルスの印加の間、電圧 + 2 . 5 V がデータ線 D U (X) に印加され、そして電圧 + 2 . 5 V がデータ線 D L (X) に印加される。

10

【 0 1 0 7 】

画素 P 1 5 (白イメージ) :

画素 P 1 5 は、ゲート線 G U (X - 1) 及びデータ線 D U (X + 1) の交点にある上側画素領域の左側半分と、ゲート線 G L (X - 1) 及びデータ線 D L (X) の交点にある下側画素領域の右側半分とにより構成される。白イメージを表示するには、図 3 (A) に示すように電圧 0 V が液晶材料に印加されねばならない。電圧 + 2 . 5 V がデータ線 D L (X) に印加されているので、データ線 D U (X + 1) に印加される電圧は、データ線 D L (X) 上の電圧の値に基づいて選択される。従って、図 1 4 に示すように、ゲート線 G U (X - 1) 及び G L (X - 1) へのゲート・パルスの印加の間、電圧 + 2 . 5 V がデータ線 D U (X + 1) に印加され、そして電圧 + 2 . 5 V がデータ線 D L (X) に印加される。

20

【 0 1 0 8 】

イメージを表示する動作を 4 つの画素だけについて説明したが、上述の動作が第 2 実施例のすべての画素に対して行われる。

【 0 1 0 9 】

図 8 に示す第 1 及び第 2 データ線ドライバ 4 5 及び 4 6 は、上側及び下側ゲート線へのゲート・パルスの印加の間、上述のようなデータ信号を上側及び下側データ線のそれぞれに同時に印加する。

【 0 1 1 0 】

図 1 5 は、図 1 2 の点線 1 5 A - 1 5 B に沿った上側及び下側ガラス基板 2 2 及び 2 3 上の構造の断面を示す。ガラス基板 2 2 及び 2 3 上の構造は本発明の概念を示すために簡略化されていることに注目されたい。第 2 実施例の L C D 装置は、図 1 0 の上側偏光板 2 5、下側偏光板 2 4 及びバック・ライト装置 2 6 を含むが、これらは図 1 5 に示されていない。

30

【 0 1 1 1 】

下側ガラス基板 2 3 上の構造を説明すると、データ線 D L (X - 1) , D L (X) 及び D L (X + 1) が下側ガラス基板 2 3 に形成されている。データ線は、3 つの層、即ち M o 層、A l 層及び M o 層、により構成される。表示電極即ち I T O 層 7 2 がデータ線相互間の位置でガラス基板 2 3 上に形成されている。例えば、S i N X 層のようなパッシベーション層 7 4 がデータ線を覆うように、そして I T O 層 7 4 をデータ線から絶縁するように形成される。

40

【 0 1 1 2 】

ブラック・マトリクス 7 8 は、上側ガラス基板 2 2 のデータ線のそれぞれと対面するように下側ガラス基板 2 3 上に形成される。図 2 6 に示すような逆スタガ型の T F T が画素領域のスイッチング素子として使用される場合には、M o W により形成されるゲート線とブラック・マトリクス 7 8 (7 9) (図 2 6 のブラック・マトリクス 9 7 に対応する) が下側又は上側ガラス基板 2 3 又は 2 2 に同時に形成され ; そして図 2 7 に示すようなスタガ型の T F T が画素領域のスイッチング素子として使用される場合には、M o 又は C u により形成される光遮断層 1 2 1 と、ブラック・マトリクス 1 2 2 (ブラック・マトリクス

50

78 (79) に対応する) が下側又は上側ガラス基板 23 又は 22 上に同時に形成されることに注目されたい。ゲート線及びブラック・マトリクス 78 のそれぞれの上側表面は、ITO 層 72 及びラビング層 (例えば、ポリイミド層) 76 をなめらかに形成させるために傾斜されている。ラビング層 76 は全体の構造を覆うように形成される。データ線の中心とブラック・マトリクス 78 の中心との間の距離は上述の値 $LX/2$ であり、これにより画素 P12, P13, P14 及び P15 が図 15 に示すように規定される。

【0113】

上側ガラス基板 22 上の構造を説明すると、上側ガラス基板 22 上の構造は、この基板 22 がカラー・フィルタを含む点を除いて、下側ガラス基板 23 の構造とほぼ同じである。更に具体的にいうと、上側ガラス基板 22 は、ブラック・マトリクス 79, データ線 DU (X) 及び DU (X+1)、パッシベーション層 75, 表示電極即ち ITO 層 73 及びラビング層 77 を含む。更に、1つの画素あたり1つのカラー・フィルタが、ITO 層 73 及びラビング層 77 の間に挟まれている。例えば、青のカラー・フィルタ 80B が画素 P12 に対して形成され、赤のカラー・フィルタ 80R が画素 P13 に対して形成され、緑のカラー・フィルタ 80G が画素 P14 に対して形成され、そして、青のカラー・フィルタ 80B が画素 P15 に対して形成されている。ラビング層 77 は、カラー・フィルタ及びパッシベーション層 77 を覆うように形成されている。図 3 の従来技術の場合のように、ラビング層 76 のラビング方向とラビング層 77 のラビング方向との間の角度は、約 90 度である。TN 型の液晶材料 (図示せず) が、下側ラビング層 76 と上側ラビング層 77 との間に挟まれており、そして、図 3 の従来技術の場合のように電圧 0V が印加されたときに、ラビング層 76 及びラビング層 77 との間で 90 度だけツイストされる。

【0114】

このようにして、それぞれ第 2 即ち下側ガラス基板 23 上の 1つのデータ線に対面するように位置決めされた複数個のブラック・マトリクス 79 が、第 1 即ち上側ガラス基板 22 上にデータ線と平行になるように形成され、そしてそれぞれ上側ガラス基板 22 上の 1つのデータ線に対面するように位置決めされた複数個のブラック・マトリクス 78 が、下側ガラス基板 23 上にデータ線と平行になるように形成されている。複数個のカラー・フィルタが上側ガラス基板 23 上に形成され、そして各カラーフィルタは上側データ線とブラック・マトリクスとの間の位置に形成されている。データ線の中心とブラック・マトリクスの中心との間の距離は、 $LX/2$ である。

【0115】

図 16 は、上側及び下側ガラス基板 22 及び 23 上のデータ線とゲート線の配列を示す。データ線とゲート線は、これらの交点において絶縁層により絶縁されている。各画素領域の TFT 及び表示電極は、図を簡略化するために図 16 には示されていない。それぞれ下側ガラス基板 23 上の 1つのデータ線に対面するように位置づけられた複数個のブラック・マトリクス 79 が上側ガラス基板 22 上にデータ線と平行になるように形成され、そしてそれぞれ上側ガラス基板 22 上の 1つのデータ線に対面するように位置づけられた複数個のブラック・マトリクス 78 が下側ガラス基板 23 上にデータ線と平行になるように形成されている。ゲート線の方角と垂直な方向に延びるブラック・マトリクス 78 及び 79 は、これらに隣接するゲート線との間の短絡を防止するためにゲート線から離されている。

【0116】

第 2 実施例の製造プロセスは、第 1 実施例の第 1 乃至第 6 ステップを含むが、第 1 及び第 3 ステップは次のように変更されている。

【0117】

第 1 ステップ：

図 26 に示すような逆スタガ型の TFT が画素領域のスイッチング素子として使用される場合には、MoW により形成されるゲート線とブラック・マトリクス 78 (79) が下側又は上側ガラス基板 23 又は 22 に同時に形成される。図 27 に示すようなスタガ型の TFT が画素領域のスイッチング素子として使用される場合には、Mo 又は Cu により形

成される光遮断層 1 2 1 とブラック・マトリクス 1 2 2 が下側又は上側ガラス基板 2 3 又は 2 2 上に同時に形成される。更に、複数のブラック・マトリクスが上側ガラス基板 2 2 に形成され、そして各カラー・フィルタは上側データ線とブラック・マトリクスとの間の位置に形成される。

【 0 1 1 8 】

第 3 ステップ：

上側ガラス基板 2 2 の各画素領域は、下側ガラス基板 2 3 の各画素領域に対して、画素領域の幅（即ちゲート線に沿った長さ）の半分に等しい距離だけ水平方向（ゲート線に沿った方向）にシフトされる。上側ガラス基板 2 2 の各画素領域は下側ガラス基板 2 3 の各画素領域に対し垂直方向（即ち、データ線に沿った方向）にはシフトされない。上側ガラス基板 2 2 のデータ線は、下側ガラス基板 2 3 のブラック・マトリクス 7 8 にそれぞれ対面され、そして下側ガラス基板 2 3 のデータ線は上側ガラス基板 2 2 のブラック・マトリクス 7 9 にそれぞれ対面される。

10

【 0 1 1 9 】

本発明の第 3 実施例：

図 1 7 及び図 1 8 は、本発明の第 3 実施例の第 1 即ち上側ガラス基板 2 2 上の画素アレイと第 2 即ち下側ガラス基板 2 3 上の画素アレイの配列を示す。この第 3 実施例の LCD 装置の構造は、下側ガラス基板 2 3 の画素アレイに対する上側ガラス基板 2 2 の画素アレイの位置づけを除いて、第 1 実施例とほぼ同じであることに注目されたい。

20

【 0 1 2 0 】

本発明の第 3 実施例は、ユーザにより観察されるデータ線に沿った垂直方向の画素の数を、第 1 実施例の画素の数の 2 倍に増大する。第 3 実施例において、上側ガラス基板 2 2 の各画素領域は、下側ガラス基板 2 3 の各画素領域に対して、画素領域の高さ（即ちデータ線に沿った長さ）の半分に等しい距離だけ垂直方向（データ線に沿った方向）にシフトされている。上側ガラス基板 2 2 の各画素領域は下側ガラス基板 2 3 の各画素領域に対し水平方向（即ち、ゲート線に沿った方向）にはシフトされていない。即ち、上側ガラス基板 2 2 の各画素領域は下側ガラス基板 2 3 の各画素領域に対し水平方向において整列されている。この整列は、上側ガラス基板 2 2 のデータ線を下側ガラス基板 2 3 のデータ線に整列させることにより行われる。

30

【 0 1 2 1 】

以下の説明において、画素領域の高さ（即ち、データ線に沿った長さ）は、1つのデータ線の中心と隣接するデータ線の中心との間の距離に等しいとする。1つのデータ線（例えば、 $DU(X-1)$ 又は $DL(X-1)$ ）の中心と、次のデータ線（例えば、 $DU(X)$ 又は $DL(X)$ ）の中心との間の距離は距離 LX であり、そして1つのゲート線（例えば、 $GU(X-1)$ 又は $GL(X-1)$ ）の中心と次のゲート線（例えば、 $GU(X)$ 又は $GL(X)$ ）の中心との間の距離は距離 LY である。図 1 8 の点線 8 1 が示すように、上側ガラス基板 2 2 のデータ線は下側ガラス基板 2 3 のデータ線にそれぞれ整列され、そして上側ガラス基板 2 2 の各ゲート線は、下側ガラス基板 2 3 のゲート線相互間の中間位置に整列されている。更に具体的にいうと、中間位置は、ゲート線の中心から $LY/2$ だけ離れている。即ち、上側ガラス基板 2 2 のゲート線は、下側ガラス基板 2 3 のゲート線に対して、データ線に沿った垂直方向において $LY/2$ だけシフトされている。

40

【 0 1 2 2 】

前述のように上側及び下側ガラス基板 2 2 及び 2 3 上のそれぞれの画素アレイは、複数の画素領域を含み、そして各画素領域は、ゲート線及びデータ線の交点のそれぞれに隣接する領域に形成され、そして画素領域は、図 1 8 の1つの画素領域に示すように TFT 2 7 及び表示電極 2 9 を含む。上側ガラス基板 2 2 のゲート線の位置を下側ガラス基板 2 3 のゲート線の位置からシフトすることにより、上側及び下側ガラス基板の1つの画素電極 2 9 は2つの画素領域に分割される。上側ガラス基板 2 2 のゲート線（例えば、 $GU(X-1)$ ）とデータ線（例えば、 $DU(X-1)$ ）との交点の1つの画素領域は、2つの画素領域（ $P11$ 、 $P21$ ）を形成するように水平方向において分割され、これによりユー

50

ザにより観察される垂直方向の画素の数が、第 1 実施例の画素の数の 2 倍に増大される。

【 0 1 2 3 】

第 3 実施例の動作を図 1 9 を参照して説明する。図 1 9 は上側及び下側ガラス基板 2 2 及び 2 3 のゲート線及びデータ線に印加されるゲート・パルス及びデータ・パルスを示す。画素 P 2 1 が黒イメージを表示し、画素 P 3 1 が白イメージを表示し、そして画素 P 4 1 が黒イメージを表示するものとする。

【 0 1 2 4 】

第 3 実施例において、上側ガラス基板 2 2 へのゲート・パルスの位相は、下側ガラス基板 2 3 へのゲート・パルスの位相に対して、ゲート・パルスの継続時間の半分にほぼ等しい期間 T だけシフトされている。例えば 1 画素行に関連するゲート・パルス G U (X - 1) の立ち上がりエッジと、ゲート・パルス G L (X - 1) の立ち上がりエッジとの間の差は期間 T にほぼ等しい。1 つの画素にイメージを表示するには、期間 T の間にデータ信号が上側及び下側データ線にそれぞれ印加される。この期間 T は、上側ゲート線へのゲート・パルスの前半部分と下側ゲート線へのゲート・パルスの後半部分とにより規定され、又は上側ゲート線へのゲート・パルスの後半部分と下側ゲート線へのゲート・パルスの前半部分とにより規定される。

【 0 1 2 5 】

画素 P 2 1 (黒イメージ) :

画素 P 2 1 は、ゲート線 G U (X - 1) とデータ線 D U (X - 1) との交点の上側画素領域の下側半分と、ゲート線 G L (X - 1) とデータ線 D L (X - 1) との交点の下側画素領域の上側半分とにより構成される。黒イメージを表示するには、図 3 (B) に示すように電圧 5 V が液晶材料に印加される。図 1 9 に示すように、ゲート・パルス G U (X - 1) の後半部分と、ゲート・パルス G L (X - 1) の前半部分とにより規定される期間 T 1 の間、電圧 + 2 . 5 V がデータ線 D U (X - 1) に印加されそして電圧 - 2 . 5 V がデータ線 D L (X - 1) に印加される。

【 0 1 2 6 】

画素 P 3 1 (白イメージ) :

画素 P 3 1 は、ゲート線 G U (X) とデータ線 D U (X - 1) との交点の上側画素領域の上側半分と、ゲート線 G L (X - 1) とデータ線 D L (X - 1) との交点の下側画素領域の下側半分とにより構成される。白イメージを表示するには、図 3 (A) に示すように電圧 0 V が液晶材料に印加される。図 1 9 に示すように、ゲート・パルス G U (X) の前半部分と、ゲート・パルス G L (X - 1) の後半部分とにより規定される期間 T 2 の間、電圧 + 2 . 5 V がデータ線 D U (X - 1) に印加されそして電圧 + 2 . 5 V がデータ線 D L (X - 1) に印加される。

【 0 1 2 7 】

画素 P 4 1 (黒イメージ) :

画素 P 4 1 は、ゲート線 G U (X) とデータ線 D U (X - 1) との交点の上側画素領域の下側半分と、ゲート線 G L (X) とデータ線 D L (X - 1) との交点の下側画素領域の上側半分とにより構成される。黒イメージを表示するには、図 3 (B) に示すように電圧 5 V が液晶材料に印加される。図 1 9 に示すように、ゲート・パルス G U (X) の後半部分と、ゲート・パルス G L (X) の前半部分とにより規定される期間 T 3 の間、電圧 + 2 . 5 V がデータ線 D U (X - 1) に印加されそして電圧 - 2 . 5 V がデータ線 D L (X - 1) に印加される。

【 0 1 2 8 】

イメージを表示する動作を 3 つだけの画素について説明したが、上述の動作は、第 3 実施例のすべての画素に対して行われる。

【 0 1 2 9 】

図 8 に示す第 1 及び第 2 ゲート線ドライバ 4 7 及び 4 8 は、上述のゲート・パルスを印加し、そして第 1 及び第 2 データ線ドライバ 4 5 及び 4 6 は、上側及び下側ゲート線へのゲート・パルスの印加の間、上述のようなデータ信号を上側及び下側データ線のそれぞれ

に同時に印加する。

【0130】

図20は、図17の点線20A - 20Bに沿った上側及び下側ガラス基板22及び23上の構造の断面を示す。ガラス基板22及び23上の構造は本発明の概念を示すために簡略化されていることに注目されたい。第3実施例のLCD装置は、図10の上側偏光板25、下側偏光板24及びバック・ライト装置26を含むが、これらは図20に示されていない。

【0131】

下側ガラス基板23上の構造を説明すると、データ線DL(X-1), DL(X)及びDL(X+1)が下側ガラス基板23に形成されている。データ線は、3つの層、即ちMo層, Al層及びMo層、により構成される。表示電極即ちITO層82がデータ線相互間の位置でガラス基板23上に形成されている。例えば、SiN_x層のようなパッシベーション層84がデータ線を覆うように、そしてITO層82をデータ線から絶縁するように形成される。

【0132】

ブラック・マトリクス88は、上側ガラス基板22のゲート線のそれぞれと対面するように下側ガラス基板23上に形成される。図26に示すような逆スタガ型のTF-Tが画素領域のスイッチング素子として使用される場合には、MoWにより形成されるゲート線とブラック・マトリクス88(89)(図26のブラック・マトリクス97に対応する)が下側又は上側ガラス基板23又は22に同時に形成され;そして図27に示すようなスタガ型のTF-Tが画素領域のスイッチング素子として使用される場合には、Mo又はCuにより形成される光遮断層121と、ブラック・マトリクス122(ブラック・マトリクス88(89)に対応する)が下側又は上側ガラス基板23又は22上に同時に形成されることに注目されたい。ゲート線及びブラック・マトリクス88のそれぞれの上側表面は、ITO層82及びラビング層(例えば、ポリイミド層)86をなめらかに形成させるために傾斜されている。ラビング層86は全体の構造を覆うように形成される。ゲート線の中心とブラック・マトリクス88の中心との間の距離は上述の値LY/2であり、これにより画素P21, P31及びP41が図20に示すように規定される。

【0133】

上側ガラス基板22上の構造を説明すると、上側ガラス基板22には、ブラック・マトリクス89, ゲート線GU(X)及びGU(X+1)、パッシベーション層85, 表示電極即ちITO層83及びラビング層87が形成されている。更に、1つの画素あたり1つのカラー・フィルタが、ITO層83及びラビング層87の間に挟まれている。同じ色が垂直方向に配列されているので、赤のカラー・フィルタ90Rが画素P11, P21, P31及びP41に対して形成されている。ラビング層87は、カラー・フィルタ及びパッシベーション層85を覆うように形成されている。図3の従来技術の場合のように、ラビング層86のラビング方向とラビング層87のラビング方向との間の角度は、約90度である。TN型の液晶材料(図示せず)が、下側ラビング層86と上側ラビング層87との間に挟まれており、そして、図3の従来技術の場合のように電圧0Vが印加されたときに、ラビング層86及びラビング層87との間で90度だけツイストされる。

【0134】

このようにして、それぞれ第2即ち下側ガラス基板23上の1つのゲート線に対面するように位置決めされた複数個のブラック・マトリクス89が、第1即ち上側ガラス基板22上にゲート線と平行になるように形成され、そしてそれぞれ上側ガラス基板22上の1つのゲート線に対面するように位置決めされた複数個のブラック・マトリクス88が、下側ガラス基板23上にゲート線と平行になるように形成されている。複数個のカラー・フィルタが上側ガラス基板23上に形成され、そして各カラーフィルタは上側ゲート線とブラック・マトリクスとの間の位置に形成されている。ゲート線の中心とブラック・マトリクスの中心との間の距離は、LY/2である。

【0135】

10

20

30

40

50

図 2 1 は、上側及び下側ガラス基板 2 2 及び 2 3 上のデータ線とゲート線の配列を示す。データ線とゲート線及びブラック・マトリクスとは、これらの交点において絶縁層により絶縁されている。各画素領域の T F T 及び表示電極は、図を簡略化するために図 2 1 には示されていない。それぞれ下側ガラス基板 2 3 上の 1 つのゲート線に対面するように位置づけられた複数のブラック・マトリクス 8 9 が上側ガラス基板 2 2 上にゲート線と平行になるように形成され、そしてそれぞれ上側ガラス基板 2 2 上の 1 つのゲート線に対面するように位置づけられた複数のブラック・マトリクス 8 8 が下側ガラス基板 2 3 上にゲート線と平行になるように形成されている。もしもブラック・マトリクス 8 8 及び 8 9 がデータ線と重なると、このデータ線、絶縁材料及びブラック・マトリクスにより構成されるキャパシタに、望ましくない電荷が溜まるので、各ブラック・マトリクスは、図 2 1 に示すように、データ線に隣接する部分で切断されている。

10

【 0 1 3 6 】

第 3 実施例の製造プロセスは、第 1 実施例の第 1 乃至第 6 ステップを含むが、第 1 及び第 3 ステップは次のように変更されている。

【 0 1 3 7 】

第 1 ステップ：

図 2 6 に示すような逆スタガ型の T F T が画素領域のスイッチング素子として使用される場合には、M o W により形成されるゲート線とブラック・マトリクス 8 8 (8 9) が下側又は上側ガラス基板 2 3 又は 2 2 に同時に形成される。図 2 7 に示すようなスタガ型の T F T が画素領域のスイッチング素子として使用される場合には、M o 又は C u により形成される光遮断層 1 2 1 とブラック・マトリクス 1 2 2 が下側又は上側ガラス基板 2 3 又は 2 2 上に同時に形成される。更に、複数のカラー・フィルタが上側ガラス基板 2 2 に形成され、そして各カラー・フィルタは上側ゲート線とブラック・マトリクスとの間の位置に形成される。

20

【 0 1 3 8 】

第 3 ステップ：

上側ガラス基板 2 2 の各画素領域は、下側ガラス基板 2 3 の各画素領域に対して、画素領域の高さ（即ちデータ線に沿った長さ）の半分に等しい距離だけ垂直方向（データ線に沿った方向）にシフトされる。上側ガラス基板 2 2 の各画素領域は下側ガラス基板 2 3 の各画素領域に対し水平方向（即ち、ゲート線に沿った方向）にはシフトされない。上側ガラス基板 2 2 のゲート線は、下側ガラス基板 2 3 のブラック・マトリクス 8 8 にそれぞれ対面され、そして下側ガラス基板 2 3 のゲート線は上側ガラス基板 2 2 のブラック・マトリクス 8 9 にそれぞれ対面される。

30

【 0 1 3 9 】

本発明の第 4 実施例：

図 2 2 及び図 2 3 は、本発明の第 4 実施例の第 1 即ち上側ガラス基板 2 2 上の画素アレイと第 2 即ち下側ガラス基板 2 3 上の画素アレイの配列を示す。この第 4 実施例の L C D 装置の構造は、下側ガラス基板 2 3 の画素アレイに対する上側ガラス基板 2 2 の画素アレイの位置づけを除いて、第 1 実施例とほぼ同じであることに注目されたい。

40

【 0 1 4 0 】

本発明の第 4 実施例は、ユーザにより観察されるゲート線に沿った水平方向の画素の数を、第 1 実施例の画素の数の 2 倍に等しい値に増大し、そしてユーザにより観察されるデータ線に沿った垂直方向の画素の数を、第 1 実施例の画素の数の 2 倍に等しい値に増大し、これにより画素の総数は、第 1 実施例の画素の数の 4 倍に等しい値に増大する。

【 0 1 4 1 】

もしも L C D パネルが 1 0 2 4 本のデータ線及び 7 6 8 本のゲート線を有し、そして X G A (E x t e n d e d G r a p h i c A r r a y) 方式の 1 0 2 4 × 7 6 8 画素を表示できるならば、第 4 実施例は、ゲート線及びデータ線の数を増大することなく、Q X G A (Q u a d E x t e n d e d G r a p h i c A r r a y) 方式の 2 0 4 8 × 1 5 3 6 画素を表示できる。又、もしも L C D パネルが 1 2 8 0 本のデータ線及び 1 0 2 4 本のゲ

50

ート線を有し、そしてSXGA (Super Extended Graphic Array) 方式の 1280×1024 画素を表示できるならば、第4実施例は、ゲート線及びデータ線の数を増大することなく、QSXGA (Quad Super Extended Graphic Array) 方式の 2560×2048 画素を表示できる。

【0142】

第4実施例において、上側ガラス基板22の各画素領域は、下側ガラス基板23の各画素領域に対して、画素領域の幅（即ちゲート線に沿った長さ）の半分に等しい距離だけ水平方向（ゲート線に沿った方向）にシフトされており、そして画素領域の高さ（即ちデータ線に沿った長さ）の半分に等しい距離だけ垂直方向（データ線に沿った方向）にシフトされている。1つのデータ線（例えば、 $DU(X-1)$ 又は $DL(X-1)$ ）の中心と、次のデータ線（例えば、 $DU(X)$ 又は $DL(X)$ ）の中心との間の距離は距離 LX であり、そして1つのゲート線（例えば、 $GU(X-1)$ 又は $GL(X-1)$ ）の中心と次のゲート線（例えば、 $GU(X)$ 又は $GL(X)$ ）の中心との間の距離は距離 LY である。図23の点線91が示すように、上側ガラス基板22の各ゲート線は、下側ガラス基板23のゲート線相互間の中間位置に整列され、そして上側ガラス基板22の各データ線は、下側ガラス基板23のデータ線相互間の中間位置に整列されている。更に具体的にいうと、ゲート線相互間の中間位置は、ゲート線の中心から $LY/2$ だけ離れており、そしてデータ線相互間の中間位置は、データ線の中心から $LX/2$ だけ離れている。即ち、上側ガラス基板22のゲート線は、下側ガラス基板23のゲート線に対して、データ線に沿った垂直方向において $LY/2$ だけシフトされており、そして上側ガラス基板22のデータ線は、下側ガラス基板23のデータ線に対して、ゲート線に沿った水平方向において $LX/2$ だけシフトされている。

【0143】

前述のように上側及び下側ガラス基板22及び23のそれぞれの画素アレイは、複数の画素領域を含み、そして各画素領域は、ゲート線及びデータ線の交点のそれぞれに隣接する領域に形成され、そして画素領域は、図23の1つの画素領域に示すようにTF27及び表示電極29を含む。上側ガラス基板22のデータ線の位置を下側ガラス基板23のデータ線の位置からシフトし、そして上側ガラス基板22のゲート線の位置を下側ガラス基板23のゲート線の位置からシフトすることにより、上側及び下側ガラス基板の1つの画素電極29は4つの画素領域に分割される。上側ガラス基板22のゲート線（例えば、 $GU(X-1)$ ）とデータ線（例えば、 $DU(X-1)$ ）との交点の1つの画素領域は、4つの画素領域（ $P11$, $P12$, $P21$, $P22$ ）を形成するように水平方向及び垂直方向において分割され、これによりユーザにより観察される水平方向及び垂直方向の画素の数が、第1実施例の画素の数の4倍に等しい値に増大される。

【0144】

第4実施例の動作を図24を参照して説明する。図24は上側及び下側ガラス基板22及び23のゲート線及びデータ線に印加されるゲート・パルス及びデータ・パルスを示す。画素P22が黒イメージを表示し、画素P23が白イメージを表示し、そして画素P24が黒イメージを表示し、そして画素P25が黒イメージを表示するものとする。

【0145】

第4実施例において画素にイメージを表示する動作は、第2実施例の動作及び第3実施例の動作の組み合わせであることに注目されたい。第3実施例で説明したように、図23の画素P21, P22, P23, ...を含む1つの画素行は、図24の期間T1に表示され、画素P31, P32, P33, ...を含む1つの画素行は、図24の期間T2に表示され、そして画素P41, P42, P43, ...を含む1つの画素行は、図24の期間T3に表示される。期間Tの間の上側及び下側ガラス基板22及び23のデータ線への電圧の選択は、第2実施例と同様に行われる。

【0146】

画素P22（黒イメージ）：

画素P22は、ゲート線 $GU(X-1)$ 及びデータ線 $DU(X-1)$ の交点の上側画素

領域の右下の部分と、ゲート線 $GL(X-1)$ 及びデータ線 $DL(X-1)$ の交点の下側画素領域の左上の部分とにより構成される。黒イメージを表示するには、図 3 (B) に示すように電圧 $5V$ が液晶材料に印加される。電圧 $+2.5V$ がデータ線 $DU(X-1)$ に印加されているものとする。データ線 $DL(X-1)$ に印加される電圧は、データ線 $DU(X-1)$ に印加されている電圧に基づいて選択される。従って、図 2 4 に示すように、期間 T_1 の間、電圧 $+2.5V$ がデータ線 $DU(X-1)$ に印加され、そして電圧 $-2.5V$ がデータ線 $DL(X-1)$ に印加される。

【0147】

画素 P_{23} (白イメージ) :

画素 P_{23} は、ゲート線 $GU(X-1)$ 及びデータ線 $DU(X)$ の交点の上側画素領域の左下の部分と、ゲート線 $GL(X-1)$ 及びデータ線 $DL(X-1)$ の交点の下側画素領域の右上の部分とにより構成される。白イメージを表示するには、図 3 (A) に示すように電圧 $0V$ が液晶材料に印加される。電圧 $-2.5V$ がデータ線 $DL(X-1)$ に印加されているので、期間 T_1 の間、電圧 $-2.5V$ がデータ線 $DU(X)$ に印加される。

10

【0148】

画素 P_{24} (黒イメージ) :

画素 P_{24} は、ゲート線 $GU(X-1)$ 及びデータ線 $DU(X)$ の交点の上側画素領域の右下の部分と、ゲート線 $GL(X-1)$ 及びデータ線 $DL(X)$ の交点の下側画素領域の左上の部分とにより構成される。黒イメージを表示するには、図 3 (B) に示すように電圧 $5V$ が液晶材料に印加される。電圧 $-2.5V$ がデータ線 $DU(X)$ に印加されているので、期間 T_1 の間、電圧 $+2.5V$ がデータ線 $DL(X)$ に印加される。

20

【0149】

画素 P_{25} (黒イメージ) :

画素 P_{25} は、ゲート線 $GU(X-1)$ 及びデータ線 $DU(X+1)$ の交点の上側画素領域の左下の部分と、ゲート線 $GL(X-1)$ 及びデータ線 $DL(X)$ の交点の下側画素領域の右上の部分とにより構成される。黒イメージを表示するには、図 3 (B) に示すように電圧 $5V$ が液晶材料に印加される。電圧 $+2.5V$ がデータ線 $DL(X)$ に印加されているので、期間 T_1 の間、電圧 $-2.5V$ がデータ線 $DU(X+1)$ に印加される。

【0150】

4つの画素だけにイメージを表示する動作を説明したが、上述の動作は、第4実施例のすべての画素に対して行われる。

30

【0151】

図 8 に示す第 1 及び第 2 データ線ドライバ 45 及び 46 は、期間 T_1 , T_2 , T_3 , . . . のそれぞれの間、上述のようなデータ信号を上側及び下側データ線のそれぞれに同時に印加する。

【0152】

第 4 実施例は、第 2 実施例及び第 3 実施例の組み合わせであるので、図 2 2 の点線 15 A - 15 B に沿った上側及び下側ガラス基板 22 及び 23 の構造の断面は、第 2 実施例の図 1 5 の構造とほぼ同じであり、そして図 2 2 の点線 20 A - 20 B に沿った上側及び下側ガラス基板 22 及び 23 の構造の断面は、第 3 実施例の図 2 0 の構造とほぼ同じである。

40

【0153】

図 2 5 は、上側及び下側ガラス基板 22 及び 23 上のデータ線とゲート線の配列を示す。データ線とゲート線は、これらの交点において絶縁層により絶縁されている。部分 78 及び 88 を有するブラック・マトリクスが、上側ガラス基板 22 のデータ線及びゲート線のそれぞれに対面するように下側ガラス基板 23 に形成され、そして部分 79 及び 89 を有するブラック・マトリクスが、下側ガラス基板 23 のデータ線及びゲート線のそれぞれに対面するように上側ガラス基板 22 に形成されている。図 2 6 に示すような逆スタガ型の T F T が画素領域のスイッチング素子として使用される場合には、MoW により形成されるゲート線とブラック・マトリクス 88 (89、78、79) (図 2 6 のブラック・マ

50

トリクス 97 に対応する) が下側又は上側ガラス基板 23 又は 22 に同時に形成される。図 27 に示すようなスタガ型の TFT が画素領域のスイッチング素子として使用される場合には、Mo 又は Cu により形成される光遮断層 121 と、ブラック・マトリクス 122 (ブラック・マトリクス 88 (89, 78, 79) に対応する) が下側又は上側ガラス基板 23 又は 22 上に同時に形成される。ラビング層が、全体の構造を覆うように形成される。ゲート線の方角と垂直方角に延びるブラック・マトリクス 78 及び 79 は、隣接するゲート線との間の短絡を防止するために、ゲート線から離されている。

【0154】

第 4 実施例の製造プロセスは、第 1 実施例の第 1 乃至第 6 ステップを含むが、第 1 及び第 3 ステップは次のように変更されている。

【0155】

第 1 ステップ：

図 26 に示すような逆スタガ型の TFT が画素領域のスイッチング素子として使用される場合には、MoW により形成されるゲート線とブラック・マトリクス 88 (89, 78, 79) が下側又は上側ガラス基板 23 又は 22 に同時に形成される。図 27 に示すようなスタガ型の TFT が画素領域のスイッチング素子として使用される場合には、Mo 又は Cu により形成される光遮断層 121 とブラック・マトリクス 122 (ブラック・マトリクス 88, 89, 78, 79 に対応する) が下側又は上側ガラス基板 23 又は 22 上に同時に形成される。更に、複数個のカラー・フィルタが上側ガラス基板 22 に形成される。

【0156】

第 3 ステップ：

上側ガラス基板 22 の各画素領域は、下側ガラス基板 23 の各画素領域に対して、画素領域の幅 (即ちゲート線に沿った長さ) の半分に等しい距離だけ水平方角 (ゲート線に沿った方角) にシフトされており、そして画素領域の高さ (即ちデータ線に沿った長さ) の半分に等しい距離だけ垂直方角 (データ線に沿った方角) にシフトされる。

【0157】

図 26 は、本発明において使用されうる逆スタガ型の TFT を使用した画素領域の構造を示す。前述のように、画素領域はゲート線及びデータ線の交点のそれぞれに隣接して形成され、そして TFT 及び表示電極を含む。TFT の寸法は、拡大して示されていることに注目されたい。MoW 層が透明基板即ちガラス基板 95 に付着され、そしてエッチングされてゲート線及び TFT のゲート電極 96 とブラック・マトリクス 97 とを同時に形成する。このエッチング・プロセスにおいて、ゲート線、ゲート電極 96 及びブラック・マトリクス 97 の肩部は、これらの上に形成される他の層をなめらかに走らせるために斜めにされている。垂直配向 (VA) 液晶材料を使用する以下の実施例においては、ガラス基板 95 の表面とブラック・マトリクス 97 の斜面との間の角度 θ は、 30 ± 10 度に選択されている。SiNx のゲート絶縁層 98 が、ゲート線、ゲート電極 96, ブラック・マトリクス 97 及びガラス基板 95 の露出面に形成される。島状のアモファス Si 層 99 が絶縁層 98 の上に形成される。チャネル・ストップ層 104 がアモファス Si 層 99 の上に形成される。例えば N⁺アモファス Si のオーミック層 100 が、チャネル・ストップ層 104 の上部を露出するように、この層 104 及びアモファス Si 層 99 の上に形成される。表示電極、例えば ITO 層 103 が絶縁層 98 の上に形成される。3 つの層、即ち Mo 層、Al 層及び Mo 層がこの構造の上に形成され、そしてデータ線、ドレイン電極 101 及びソース電極 102 を形成するようにエッチングされる。

【0158】

TN 液晶材料を使用する第 1 乃至第 4 実施例の場合には、この構造の上にラビング層 (図示せず) が形成される。SiNx のようなパッシベーション層 (図示せず) が、データ線を覆いそして ITO 層をデータ線から絶縁するように形成される。ブラック・マトリクス 97 が表示電極 103 の一部分に形成されている構造は、第 2 乃至第 7 実施例において使用されることができる。又、ブラック・マトリクス 97 を有しない逆スタガ型の TFT は、第 1 実施例において使用されることができる。

10

20

30

40

50

【 0 1 5 9 】

図 2 7 は、本発明において使用されうるスタガ型の T F T を使用した画素領域の構造を示す。前述のように、画素領域はゲート線及びデータ線の交点のそれぞれに隣接して形成され、そして T F T 及び表示電極を含む。T F T の寸法は、拡大して示されていることに注目されたい。スタガ型の T F T では、光遮断層即ちブラック・マトリクス 1 2 1 が、ガラス基板 1 2 0 の表面に形成されて、このガラス基板 1 2 0 を透過した光が T F T のチャネル領域に到達するのを防止する。M o (モリブデン) 又は C u が透明基板即ちガラス基板 1 2 0 の上に付着され、そしてエッチングされて光遮断層 1 2 1 及びブラック・マトリクス 1 2 2 を同時に形成する。このエッチング・プロセスにおいて、光遮断層 1 2 1 とブラック・マトリクス 1 2 2 の肩部は、これらの上に形成される層をなめらかに走らせるために斜めにされている。垂直配向 (V A) 液晶材料を使用する以下の実施例においては、ガラス基板 1 2 0 の表面とブラック・マトリクス 1 2 2 の斜面との間の角度 θ は、 30 ± 10 度を選択されている。S i N_x 又は S i O_x のような絶縁層 1 2 3 が、ガラス基板 9 5 の露出面、光遮断層 1 2 1 及びブラック・マトリクス 1 2 2 の上に形成される。表示電極即ち I T O 層 1 2 9 が絶縁層 1 2 3 の上に形成される。3 つの層、即ち M o 層、A l 層及び M o 層がこの構造の上に形成され、そしてデータ線、ドレイン電極 1 2 4 及びソース電極 1 2 5 を形成するようにエッチングされる。アモファス S i 層 1 2 6 が、ドレイン電極 1 2 4 , ソース電極 1 2 5 及び絶縁層 1 2 3 の露出表面の上に形成される。S i N_x のゲート絶縁層 1 2 7 が、アモファス S i 層 1 2 6 の上に形成され、そして M o W のゲート電極 1 2 8 が、ゲート絶縁層 1 2 7 の上に形成される。

10

20

【 0 1 6 0 】

T N 液晶材料を使用する第 1 乃至第 4 実施例の場合には、この構造の上にラビング層 (図示せず) が形成される。S i N_x のようなパッシベーション層 (図示せず) が、データ線を覆いそして I T O 層をデータ線から絶縁するように形成される。ブラック・マトリクス 1 2 2 が表示電極 1 2 9 の一部分に形成されている構造は、第 2 乃至第 7 実施例において使用されることができる。又、ブラック・マトリクス 1 2 2 を有しない逆スタガ型の T F T は、第 1 実施例において使用されることができる。

【 0 1 6 1 】

以下に説明する実施例は、広い視野角を実現する V A (垂直配向) 液晶材料として知られている液晶材料を使用する。図 2 8 は、V A 液晶材料の特性を示す。図 2 8 (A) を参照すると、表示電極即ち I T O 層 1 0 6 が上側及び下側ガラス基板 2 2 及び 2 3 に形成されている。T N 液晶材料で必要とされたラビング層は、V A 液晶表示装置では設けられていない。上側及び下側偏光板 1 0 8 及び 1 0 9 が、L C D パネルを挟むように装着されている。バック・ライト装置 (図 2 8 には示されていない) が L C D パネルの下側に配列されている。電圧が上側及び下側の I T O 層 1 0 6 に印加されない時には、V A 液晶分子 1 0 7 は I T O 層 1 0 6 の表面に垂直な方向に配向し、そして黒イメージを表示する。電圧が上側及び下側の I T O 層 1 0 6 に印加されると、V A 液晶分子 1 0 7 は、I T O 層 1 0 6 の表面にほぼ平行な方向に配向し、そして白イメージを表示する。図 2 8 (B) に示すように、それぞれ傾斜面を有する構造物 1 0 5 が上側及び下側ガラス基板 2 2 及び 2 3 に形成されると、V A 液晶分子は 2 つの方向に沿って傾斜して 2 つのドメイン、即ち一方のドメイン 1 0 7 A 及び他方のドメイン 1 0 7 B を形成し、そしてこれら 2 つのドメインは広い視野角を与える。上述の V A 液晶材料の特性は、雑誌、フラット・パネル・ディスプレイ、1998, pp. 146 - 149 に示されている。

30

40

【 0 1 6 2 】

本発明の第 5 実施例：

図 2 9 は、上側及び下側ガラス基板 2 2 及び 2 3 上に形成された構造の断面を示す。この第 5 実施例においては、V A 液晶材料が使用され、ラビング層は使用されず、そして上側及び下側ガラス基板 2 2 及び 2 3 の位置づけ即ち位置的なシフトは第 2 実施例と同じである。即ち、上側ガラス基板 2 2 の各画素領域は、下側ガラス基板 2 3 の各画素領域に対して、画素領域の幅 (即ちゲート線に沿った長さ) の半分に等しい距離だけ水平方向 (ゲ

50

ート線に沿った方向)にシフトされている。上側ガラス基板22の各画素領域は下側ガラス基板23の各画素領域に対し垂直方向(即ち、データ線に沿った方向)にはシフトされていない。即ち、上側ガラス基板22の各画素領域は下側ガラス基板23の各画素領域に対し垂直方向において整列されている。この整列は、上側ガラス基板22のゲート線を下側ガラス基板23のゲート線に整列させることにより行われる。即ち、上側ガラス基板22のゲート線は下側ガラス基板23のゲート線にそれぞれ整列され、そして上側ガラス基板22の各データ線は、下側ガラス基板23のデータ線相互間の中間位置に整列されている。中間位置は、データ線の中心から $LX/2$ だけ離れている。即ち、上側ガラス基板22のデータ線は、下側ガラス基板23のデータ線に対して、ゲート線に沿った水平方向において $LX/2$ だけシフトされている。

10

【0163】

データ線110, 絶縁層118, 台形状の断面を有するブラック・マトリクス114A及び114B並びにITO層112が下側ガラス基板23上に形成されている。データ線111, 絶縁層118, 台形状の断面を有するブラック・マトリクス114C、114D及び114E並びにITO層113が上側ガラス基板22上に形成されている。VA液晶材料(図示せず)が、上側及び下側ガラス基板22及び23の間の空間内に封入されている。ITO層112及び113の間に電圧が印加されていない時には、VA液晶分子は図28(B)に示す状態に配向され、これにより線117に示す方向でユーザは黒イメージを観察し、広い視野角が得られる。本発明においては、ガラス基板の表面と台形状のブラック・マトリクスの斜面との間の角度 θ は、 30 ± 10 度を選択されており、これにより最も広い視野角を実現する。

20

【0164】

図29に示す上側及び下側ガラス基板22及び23の組み合わせは、白黒表示のLCD装置を与える。もしもカラー表示が必要ならば、カラー・フィルタ116R、116G及び116Bが設けられている別個のガラス基板115が、接着剤により上側又は下側ガラス基板22又は23の外側表面に接着されることができる。偏光板及びバック・ライト装置がこの第5実施例のLCD装置に設けられているが、これらは図29に示されていない。

【0165】

本発明の第6実施例：

第6実施例を実現するために、第3実施例の上側及び下側ガラス基板22及び23の配列即ち位置的シフトを使用するように第5実施例が変更されている。即ち、上側ガラス基板22の各画素領域は、下側ガラス基板23の各画素領域に対して、画素領域の高さ(即ちデータ線に沿った長さ)の半分に等しい距離だけ垂直方向(データ線に沿った方向)にシフトされている。上側ガラス基板22の各画素領域は下側ガラス基板23の各画素領域に対し水平方向(即ち、ゲート線に沿った方向)にはシフトされていない。即ち、上側ガラス基板22の各画素領域は下側ガラス基板23の各画素領域に対し水平方向において整列されている。この整列は、上側ガラス基板22のデータ線を下側ガラス基板23のデータ線に整列させることにより行われる。更に具体的にいうと、上側ガラス基板22のデータ線は下側ガラス基板23のデータ線にそれぞれ整列され、そして上側ガラス基板22の各ゲート線は、下側ガラス基板23のゲート線相互間の中間位置に整列されている。この中間位置は、ゲート線の中心から $LY/2$ だけ離れている。即ち、上側ガラス基板22のゲート線は、下側ガラス基板23のゲート線に対して、データ線に沿った垂直方向において $LY/2$ だけシフトされている。

30

40

【0166】

本発明の第7実施例：

第7実施例を実現するために、第4実施例の上側及び下側ガラス基板22及び23の配列即ち位置的シフトを使用するように第5実施例が変更されている。即ち、上側ガラス基板22の各画素領域は、下側ガラス基板23の各画素領域に対して、画素領域の幅(即ちゲート線に沿った長さ)の半分に等しい距離だけ水平方向(ゲート線に沿った方向)にシフトされており、そして画素領域の高さ(即ちデータ線に沿った長さ)の半分に等しい距

50

離だけ垂直方向（データ線に沿った方向）にシフトされている。更に具体的にいうと、上側ガラス基板 2 2 の各ゲート線は、下側ガラス基板 2 3 のゲート線相互間の中間位置に整列され、そして上側ガラス基板 2 2 の各データ線は、下側ガラス基板 2 3 のデータ線相互間の中間位置に整列されている。ゲート線相互間の中間位置は、ゲート線の中心から $LY/2$ だけ離れており、そしてデータ線相互間の中間位置は、データ線の中心から $LX/2$ だけ離れている。即ち、上側ガラス基板 2 2 のゲート線は、下側ガラス基板 2 3 のゲート線に対して、データ線に沿った垂直方向において $LY/2$ だけシフトされており、そして上側ガラス基板 2 2 のデータ線は、下側ガラス基板 2 3 のデータ線に対して、ゲート線に沿った水平方向において $LX/2$ だけシフトされている。

【0167】

10

第 1 , 第 2 , 第 3 及び第 3 実施例においては、カラー・フィルタは上側ガラス基板に形成されたが、第 4 , 第 5 及び第 7 実施例の場合のように、これらのカラー・フィルタは別個のガラス基板 1 1 5 に形成されて、そしてこの別個のガラス基板 1 1 5 が、接着剤により上側ガラス基板の外側表面または下側ガラス基板の外側表面に接着されることができる。第 5 , 第 6 及び第 7 実施例においては、カラー・フィルタは別個のガラス基板 1 1 5 に形成されたが、第 1 , 第 2 , 第 3 及び第 4 実施例の場合のように、これらのカラーフィルタは上側ガラス基板に形成されることができる。

【符号の説明】

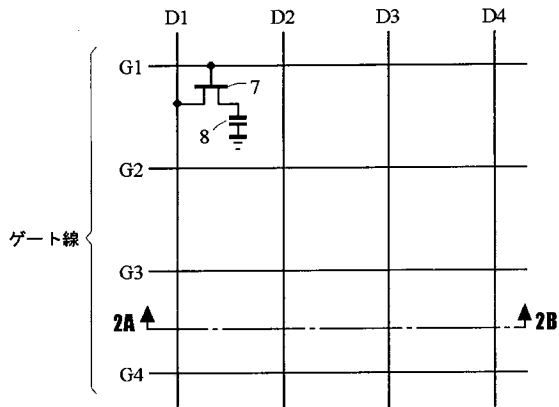
【0168】

- 2 1 . . . L S D 装置
- 2 2 , 2 3 . . . ガラス基板
- 2 4 , 2 5 . . . 偏光板
- 2 6 . . . バック・ライト装置
- 2 7 . . . T F T
- 2 9 , 3 3 . . . I T O 層
- 3 0 , 3 4 . . . パッシベーション層
- 3 1 , 3 6 . . . ラビング層
- 3 2 . . . ブラック・マトリクス
- 3 5 . . . カラー・フィルタ
- 3 8 , 3 9 , 4 0 , 4 1 . . . 接続パッド
- 4 2 , 4 3 . . . I C モジュール
- 4 4 . . . 封止領域

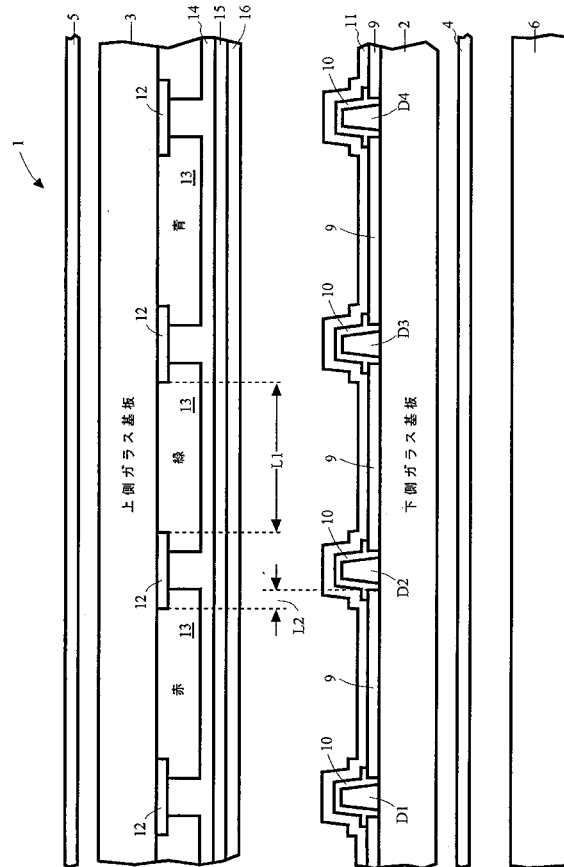
20

30

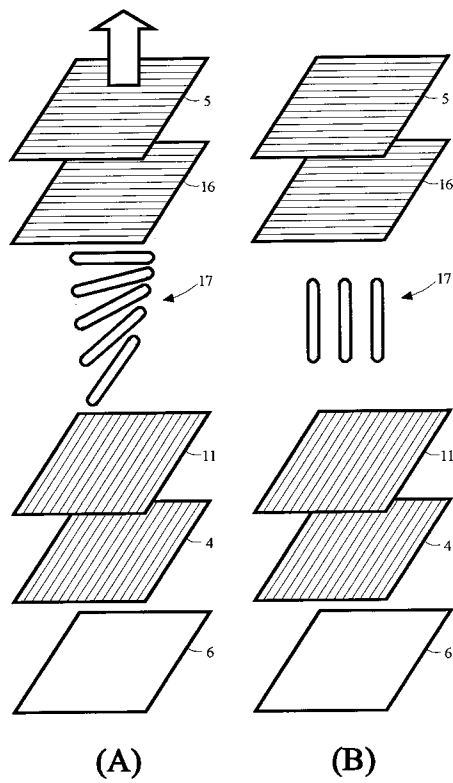
【図 1】



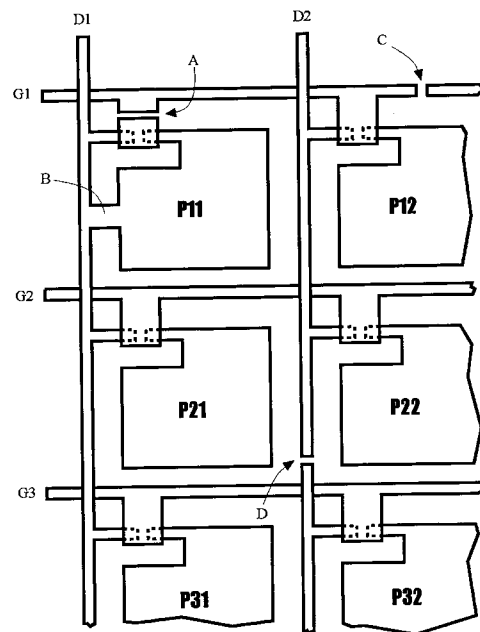
【図 2】



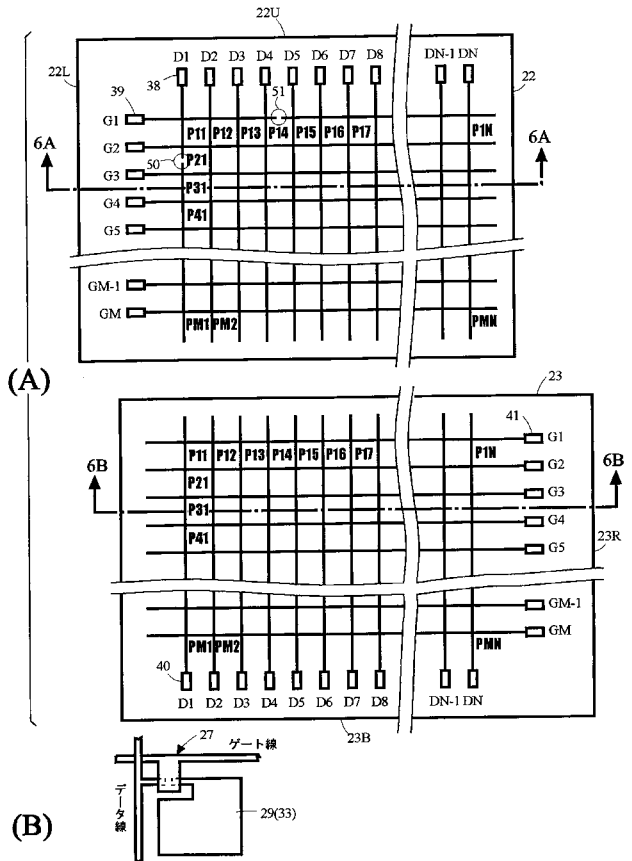
【図 3】



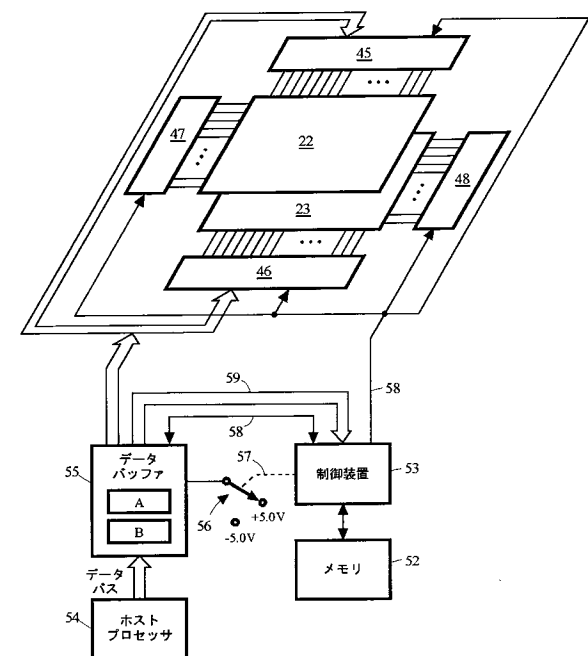
【図 4】



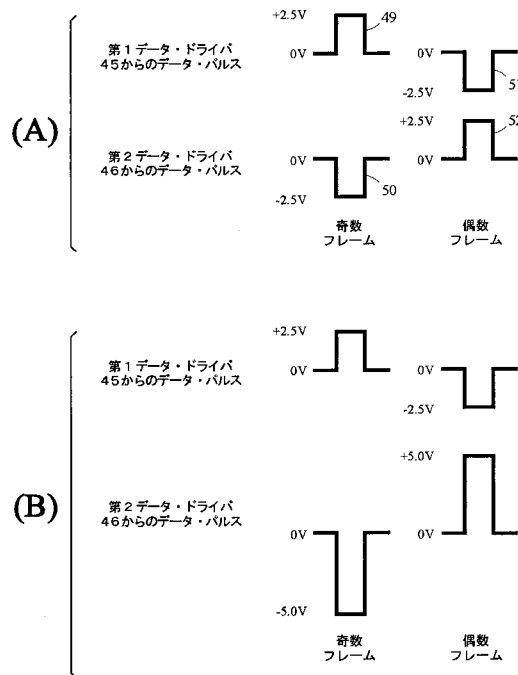
【 図 6 】



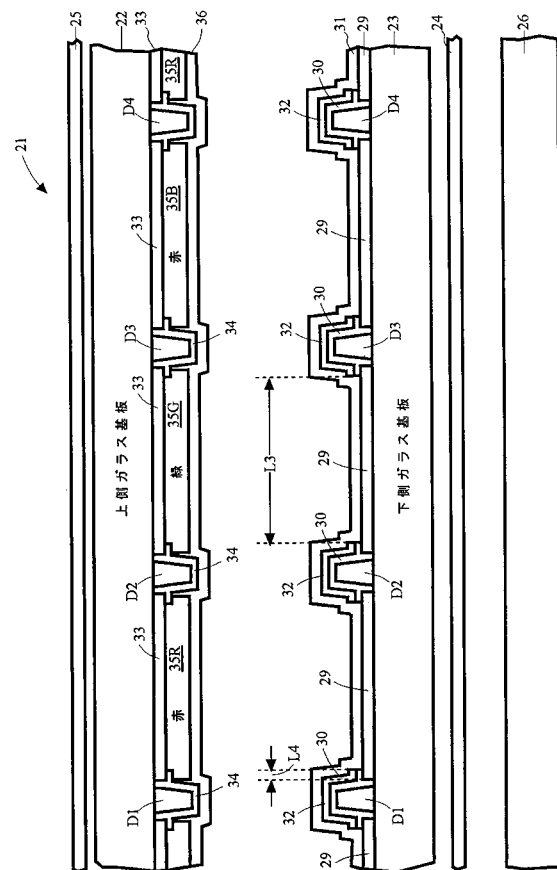
【圖 8】



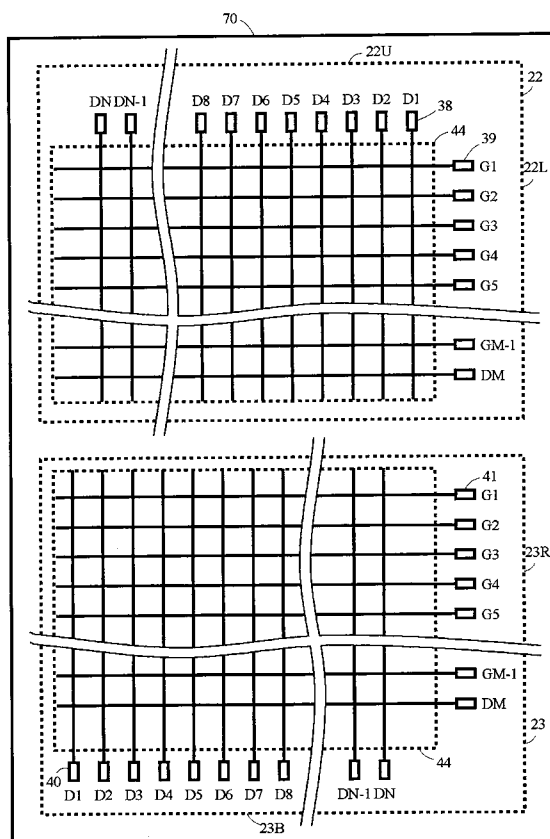
【図 9】



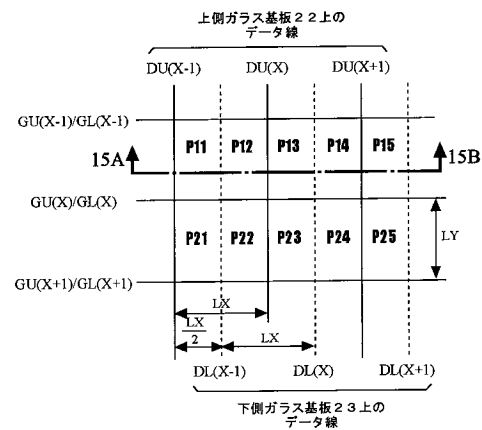
【図 10】



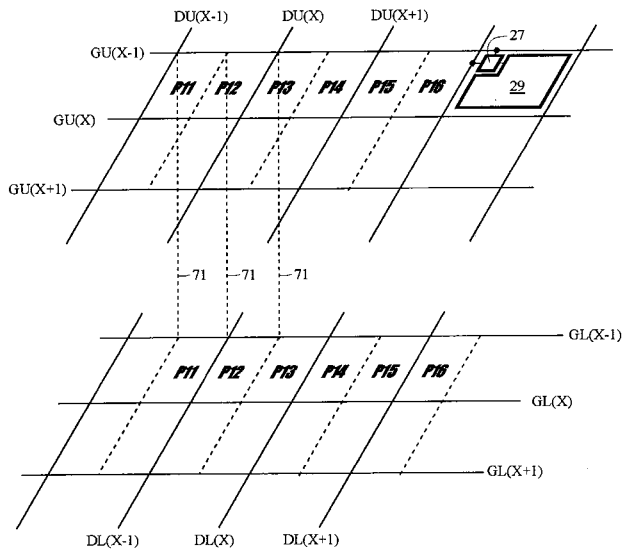
【図 11】



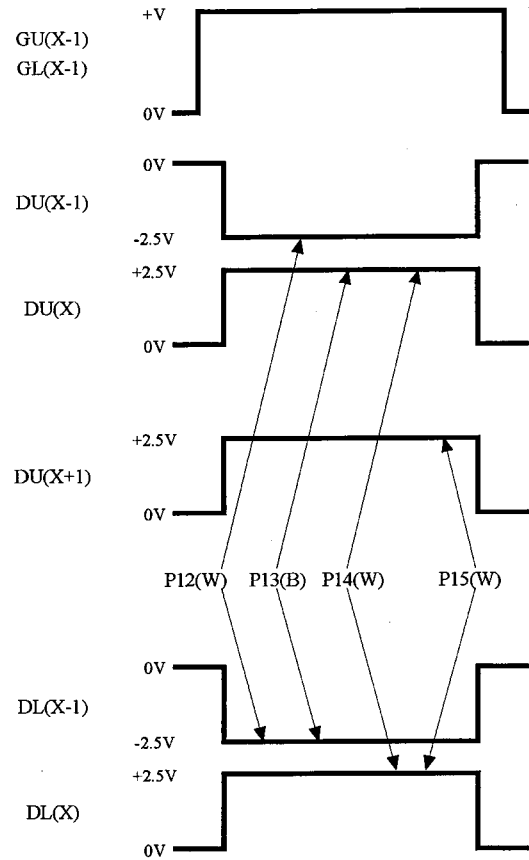
【図 12】



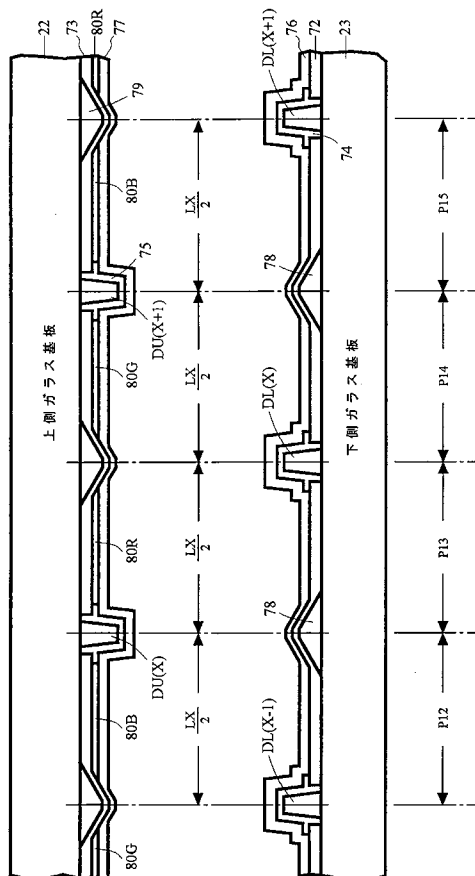
【図 13】



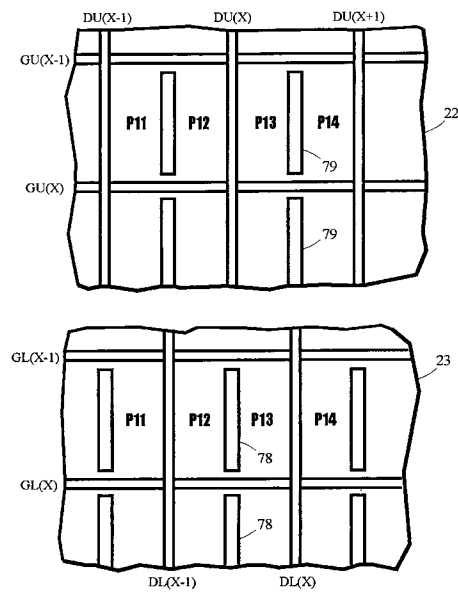
【図 14】



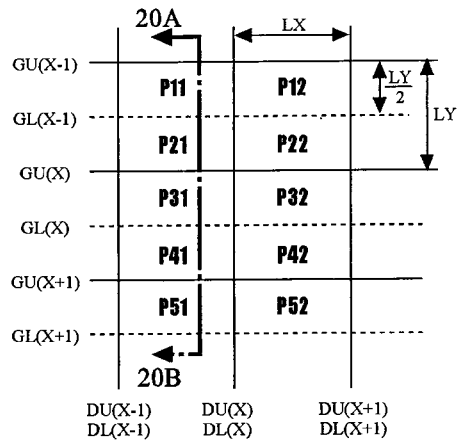
【図 15】



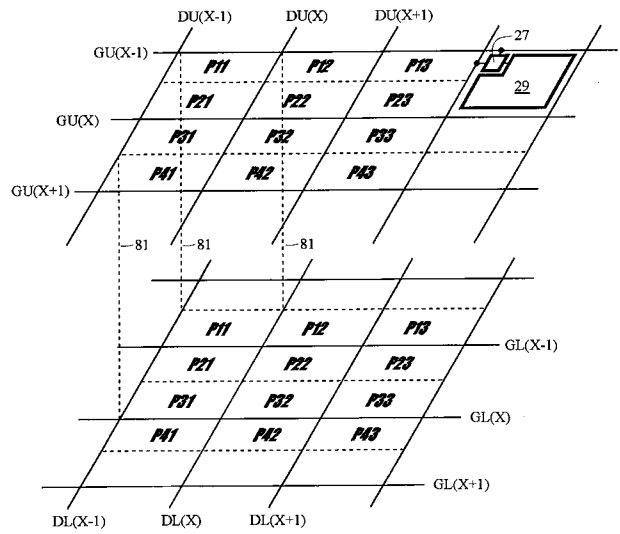
【図 16】



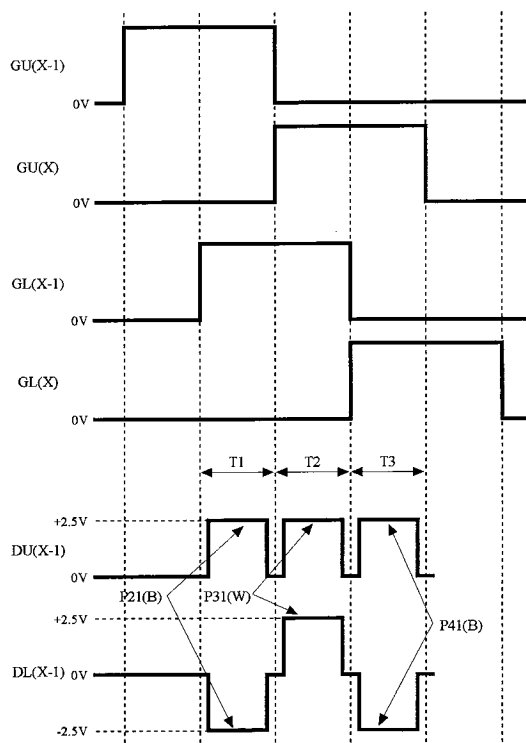
【図 17】



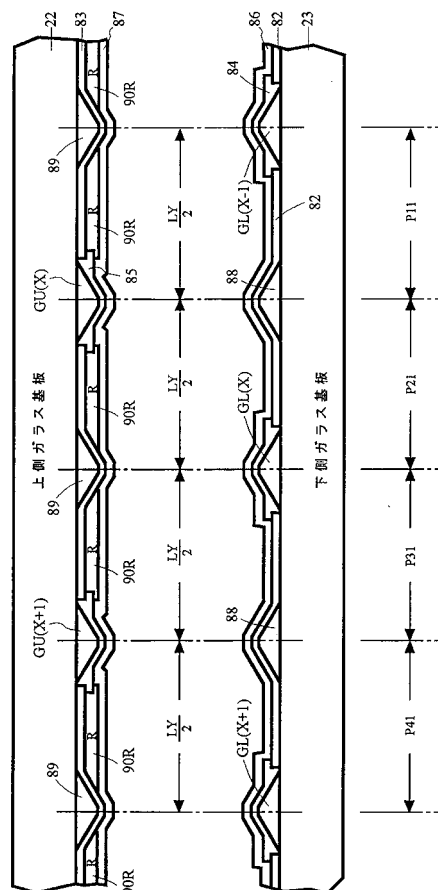
【図 18】



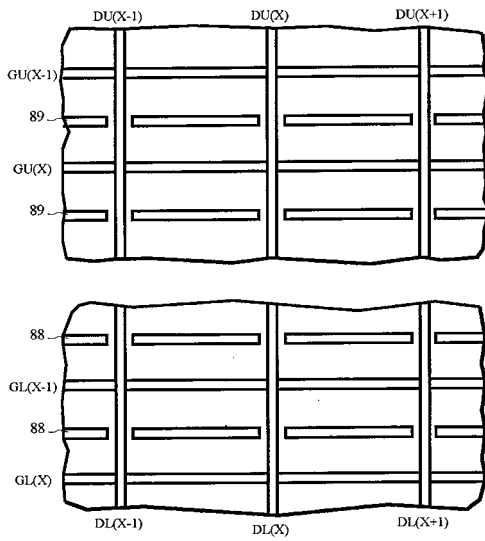
【図 19】



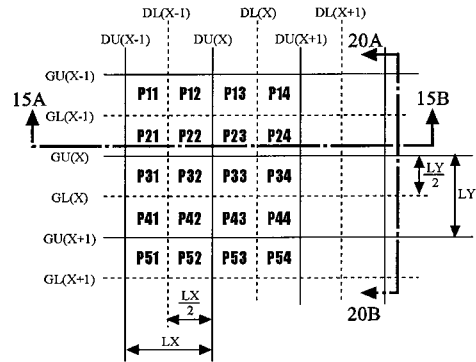
【図 20】



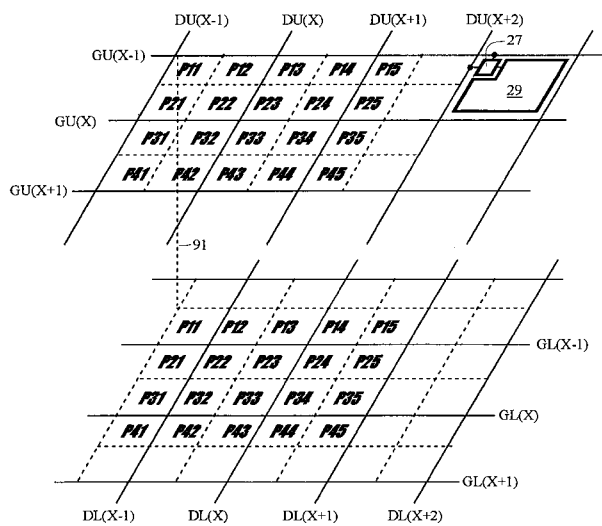
【図 2 1】



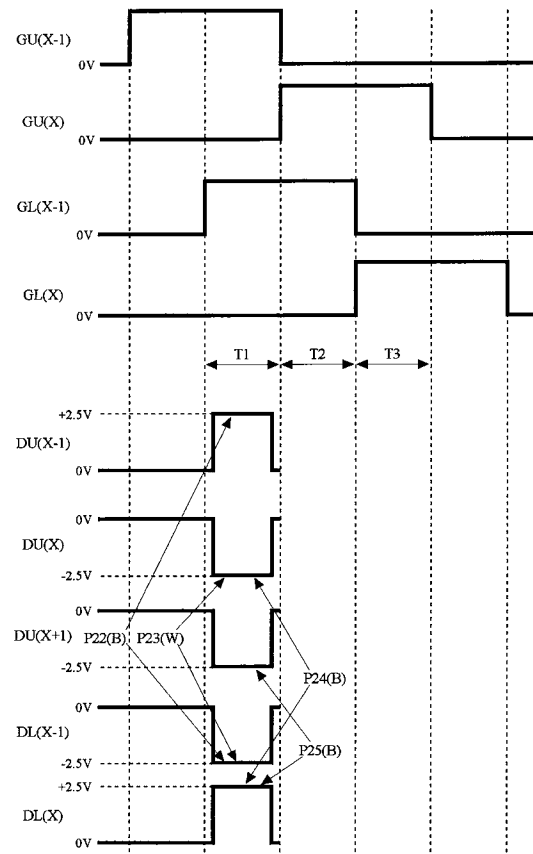
【図 2 2】



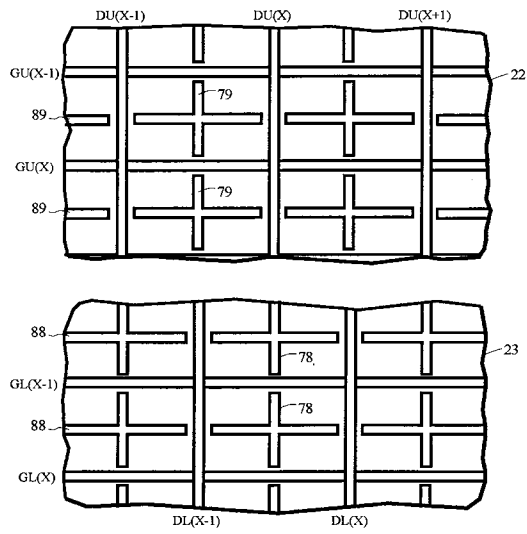
【図 2 3】



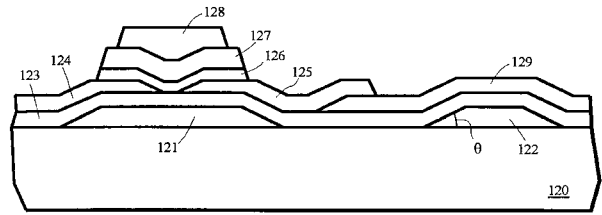
【図 2 4】



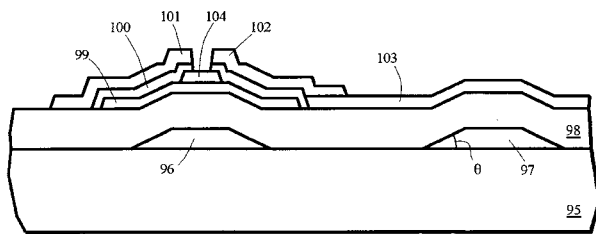
【図 25】



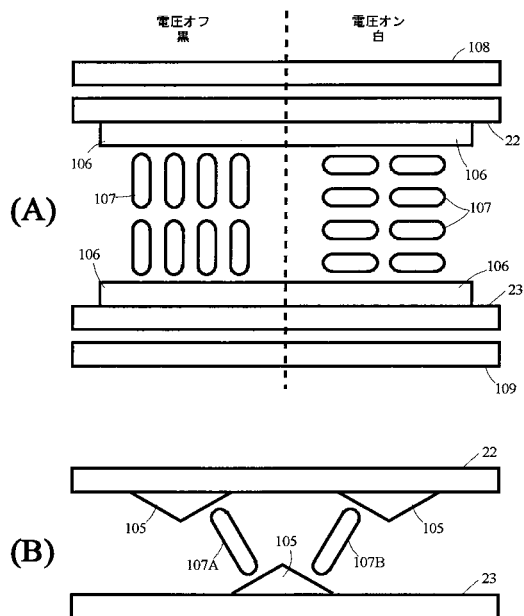
【図 27】



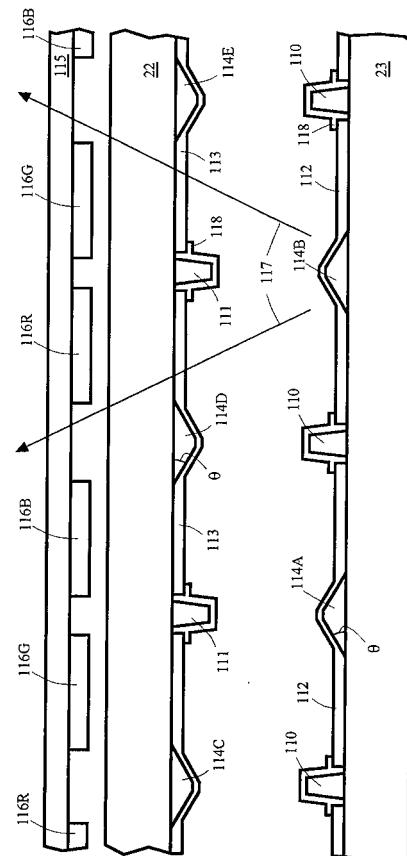
【図 26】



【図 28】



【図 29】



フロントページの続き

(72)発明者 武市 和才

滋賀県野洲郡野洲町大字市三宅 8 0 0 番地 日本アイ・ピー・エム株式会社 野洲事業所内

(72)発明者 北原 洋明

神奈川県大和市下鶴間 1 6 2 3 番地 1 4 日本アイ・ピー・エム株式会社 大和事業所内

F ターム(参考) 2H092 GA13 JA26 JB05 JB42 JB52 NA01 NA25 NA29 PA06 PA08
5C094 AA01 AA12 AA24 AA31 AA32 AA41 AA42 AA55 BA03 BA43
CA19 DA13 DA20 DB10 EA10 EB02 ED14 GA10 GB10 JA20

专利名称(译)	液晶显示装置及其制造方法		
公开(公告)号	JP2010044403A	公开(公告)日	2010-02-25
申请号	JP2009219345	申请日	2009-09-24
[标]申请(专利权)人(译)	友达光电股份有限公司		
申请(专利权)人(译)	友达光电股份有限公司		
[标]发明人	武市和才 北原洋明		
发明人	武市 和才 北原 洋明		
IPC分类号	G02F1/1368 G09F9/30		
FI分类号	G02F1/1368 G09F9/30.338		
F-TERM分类号	2H092/GA13 2H092/JA26 2H092/JB05 2H092/JB42 2H092/JB52 2H092/NA01 2H092/NA25 2H092/NA29 2H092/PA06 2H092/PA08 5C094/AA01 5C094/AA12 5C094/AA24 5C094/AA31 5C094/AA32 5C094/AA41 5C094/AA42 5C094/AA55 5C094/BA03 5C094/BA43 5C094/CA19 5C094/DA13 5C094/DA20 5C094/DB10 5C094/EA10 5C094/EB02 5C094/ED14 5C094/GA10 5C094/GB10 5C094/JA20 2H192/AA24 2H192/AA25 2H192/BC51 2H192/CB03 2H192/CB05 2H192/CB42 2H192/CC02 2H192/CC04 2H192/CC42 2H192/CC72 2H192/EA03 2H192/EA15 2H192/EA42 2H192/FB22 2H192/GD14 2H192/GD61 2H192/HB04 2H192/HB37 2H192/HB73 2H192/JA06 2H192/JA13		
其他公开文献	JP4612100B2		
外部链接	Espacenet		

摘要(译)

解决的问题：要恢复由于点缺陷或线缺陷而导致的图像质量下降，在不增加数据线和栅极线数的情况下增加像素数，实现宽视角并执行H/V反转。实现了一种能够降低数据线驱动器的输出信号的电压电平的LCD装置。在第一透明基板和第二透明基板的第一表面上设置有像素阵列，在该像素阵列中，多个像素区域以行和列排列，并且经由数据线将数据信号施加到像素区域。并且数据线沿行和列方向之一布置，栅极线沿行和列方向另一个布置，并且透明基板的每个像素区域相对于第二透明基板的每个像素区域在沿着栅极线的方向上偏移距离是沿着栅极线的像素区域的宽度的一半。[选择图]图6

