

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-33028
(P2010-33028A)

(43) 公開日 平成22年2月12日(2010.2.12)

(51) Int.Cl.	F I	テーマコード (参考)
GO2F 1/1343 (2006.01)	GO2F 1/1343	2H092
GO2F 1/1368 (2006.01)	GO2F 1/1368	

審査請求 未請求 請求項の数 9 O L (全 31 頁)

<p>(21) 出願番号 特願2009-135669 (P2009-135669)</p> <p>(22) 出願日 平成21年6月5日 (2009.6.5)</p> <p>(31) 優先権主張番号 10-2008-0073647</p> <p>(32) 優先日 平成20年7月28日 (2008.7.28)</p> <p>(33) 優先権主張国 韓国 (KR)</p>	<p>(71) 出願人 390019839 三星電子株式会社 SAMSUNG ELECTRONICS CO., LTD. 大韓民国京畿道水原市靈通区梅灘洞416 416, Maetan-dong, Yeongtong-gu, Suwon-si, Gyeonggi-do 442-742 (KR)</p> <p>(74) 代理人 100094145 弁理士 小野 由己男</p> <p>(74) 代理人 100106367 弁理士 稲積 朋子</p>
--	--

最終頁に続く

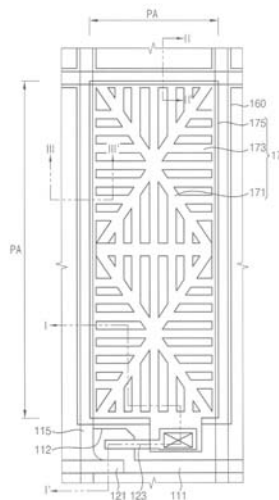
(54) 【発明の名称】 アレイ基板、これの製造方法、及びこれを有する液晶表示装置

(57) 【要約】

【課題】液晶表示装置の表示品質を向上することが可能なアレイ基板、このアレイ基板の製造方法、及びこれを有する液晶表示装置を提供する。

【解決手段】アレイ基板は、互いに電気絶縁状態で交差するゲートライン及びデータラインと、ゲートライン及びデータラインに接続されるスイッチング素子とが形成される基板と、データライン及びゲートラインに沿って上側に形成されたアウトライン部と、データライン及びゲートラインと交差する方向に各々延長されてアウトライン部に接続され、アウトライン部によって定義された画素領域を複数のドメインに分割する複数の接続部と、各ドメインにおいて接続部の側面から突出されてアウトライン部に接続される複数のスリット部を含む画素電極と、データライン及びゲートラインの上部において、アウトライン部に沿って形成されてデータライン及びゲートラインを覆うように (shielding)、データラインとアウトライン部との間に形成された遮蔽電極とを含む

【選択図】 図2



【特許請求の範囲】

【請求項 1】

互いに電気絶縁状態で交差するゲートライン及びデータラインと、前記ゲートライン及び前記データラインに接続されるスイッチング素子とが形成される基板と、

前記データライン及び前記ゲートラインに沿って上側に形成されたアウトライン部と、前記データライン及び前記ゲートラインと交差する方向に各々延長されて前記アウトライン部に接続され、前記アウトライン部によって定義された画素領域を複数のドメインに分割する複数の接続部と、各前記ドメインにおいて前記接続部の側面から突出されて前記アウトライン部に接続される複数のスリット部を含む画素電極と、

前記データライン及び前記ゲートラインの上部において、前記アウトライン部に沿って形成されて前記データライン及び前記ゲートラインを覆うように (shielding)、前記データラインと前記アウトライン部との間に形成された遮蔽電極と、を含むアレイ基板。

10

【請求項 2】

前記データラインと前記遮蔽電極との間に形成された第 1 絶縁膜と、

前記遮蔽電極と前記画素電極との間に形成された第 2 絶縁膜と、

をさらに含むことを特徴とする請求項 1 記載のアレイ基板。

【請求項 3】

前記第 1 絶縁膜と前記遮蔽電極との間に形成された有機絶縁膜をさらに含むことを特徴とする請求項 2 記載のアレイ基板。

20

【請求項 4】

前記接続部は、前記画素電極の対角線方向に延長されて X 字形状に形成され、前記データラインに接するドメインにおいて前記スリット部は前記ゲートラインと平行に形成され、前記ゲートラインに接するドメインにおいて前記スリット部は前記データラインと平行に形成されることを特徴とする請求項 2 記載のアレイ基板。

【請求項 5】

1 つの前記画素領域には、2 つの前記画素電極が前記データライン方向に前記アウトライン部が互いに接続するように配置されることを特徴とする請求項 4 記載のアレイ基板。

【請求項 6】

1 つの前記画素領域には、1 つの前記画素電極が配置され、前記画素電極は長辺が前記データラインの延長方向と平行であることを特徴とする請求項 4 記載のアレイ基板。

30

【請求項 7】

前記遮蔽電極は、透明な導電性物質で、前記データライン及び前記ゲートラインより広い幅に形成されて前記アウトライン部と一部がオーバーラップすることを特徴とする請求項 4 記載のアレイ基板。

【請求項 8】

前記アウトライン部は、前記データライン及び前記ゲートラインと一部がオーバーラップすることを特徴とする請求項 7 記載のアレイ基板。

【請求項 9】

前記基板の背面に配置されて、偏光軸が前記対角線方向のうち、1 つと平行な偏光板をさらに含むことを特徴とする請求項 4 記載のアレイ基板。

40

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、アレイ基板、これの製造方法、及びこれを有する液晶表示装置に関する。より詳しくは、液晶表示装置の表示品質を向上するためのアレイ基板、このアレイ基板の製造方法、及びこれを有する液晶表示装置に関する。

【背景技術】

【0002】

一般的に、中小型モバイル用 PVA (patterned vertical ali

50

g n m e n t) モード (以下、「m P V A」とする) 液晶表示装置は、透過率が異なる他のモードに比べて優秀な円偏光適用光学モードを有する。

【 0 0 0 3 】

しかし、円偏光適用された光学モードを有する m P V A 液晶表示装置は、視認性、あるいはコントラスト比の面で、線偏光が適用された P V A モードより弱点を有することが知られている。しかし、線偏光適用 P V A モードは原理的に円偏光適用 P V A に比して、透過率が落ちることが知られている。

【 0 0 0 4 】

従って、線偏光光学モードを m P V A モードに適用する場合には、透過率を向上させるために、基本的に画素の開口率自体を大きくする必要があるだけでなく、液晶の配向子が偏光板の偏光軸と 4 5 ° を成すようにすることが望ましい。

【 0 0 0 5 】

しかし、m P V A モードの場合、フリンジ領域 (F r i n g e F i e l d) によって液晶を制御するため、カラーフィルター基板の共通電極にスリット部が形成されて光透過率が減少するという問題点がある。

【 0 0 0 6 】

これを改善するために、共通電極にはスリットを形成せず、アレイ基板の画素電極にスリットを形成するマイクロ・スリットモードが提案されている。しかし、このマイクロ・スリットモードで画素電極に形成されたマイクロ・スリットの縁部分、あるいはスリット間において、液晶の制御が充分に行われぬおそれがあり、表示品質の低下が問題となる。

【 発明の概要 】

【 発明が解決しようとする課題 】

【 0 0 0 7 】

本発明の技術的課題は、このような従来の問題点を解決することであり、液晶表示装置の表示品質を向上することが可能なアレイ基板を提供することにある。

【 0 0 0 8 】

また、本発明は前述したようなアレイ基板の製造方法を提供する。

【 0 0 0 9 】

また、本発明は前述したようなアレイ基板を有する液晶表示装置を提供する。

【 課題を解決するための手段 】

【 0 0 1 0 】

本発明の技術的課題を解決するために、本発明の実施例によるアレイ基板は、基板、画素電極、及び遮蔽電極を含む。基板には、互いに電氣的に絶縁状態で交差するゲートライン及びデータラインと、ゲートライン及びデータラインに接続されたスイッチング素子とが形成されている。画素電極は、アウトライン部、接続部、及びスリット部を含む。アウトライン部は、データライン及びゲートラインに沿って、上面に形成される。接続部は、データライン及びゲートラインと交差する方向に各々延長され、アウトライン部に接続される。接続部は、アウトライン部によって定義された画素領域を複数のドメインに分割する。スリット部は各ドメインにおいて接続部の側面から突出されてアウトライン部に接続される。遮蔽電極は、データライン及びゲートラインの上面においてアウトラインに沿って形成され、データライン及びゲートラインを覆うように (s h i e l d i n g)、データラインとアウトライン部との間に形成されている。

【 0 0 1 1 】

本発明の実施例において、アレイ基板は第 1 絶縁膜及び第 2 絶縁膜をさらに含むことができる。第 1 絶縁膜は、データラインと遮蔽電極との間に形成されることができる。第 2 絶縁膜は、遮蔽電極と画素電極との間に形成することができる。

【 0 0 1 2 】

アレイ基板は有機絶縁膜をさらに含むことができる。有機絶縁膜は、第 1 絶縁膜と遮蔽電極との間に形成されて遮蔽電極とデータラインとの間に形成される寄生容量を減少させ

10

20

30

40

50

る。

【0013】

接続部は、画素電極の対角線方向に延長されてX字形状に形成され、データラインに接するドメインでスリット部はゲートラインと実質的に平行に形成され、ゲートラインに接するドメインにおいてスリット部はデータラインと実質的に平行に形成することができる。

【0014】

1つの画素領域には、2つの画素電極がデータライン方向に配置され、アウトライン部が互いに接続されるように配置される。これとは別に、1つの画素領域に1つの画素電極を配置し、この画素電極の長辺がデータラインの延長方向と実質的に平行になるように配置することができる。

10

【0015】

遮蔽電極は、透明な導電性物質で形成することができ、データライン及びゲートラインより広い幅に形成して、幅方向に完全に覆って(shielding)、アウトライン部と幅方向に一部がオーバーラップするように構成できる。アウトライン部は幅方向にデータライン及びゲートラインと一部がオーバーラップするように構成できる。

【0016】

アレイ基板は、偏光板をさらに含むように構成できる。偏光板は、基板の背面に配置され、偏光軸が対角線方向のうちの1つと実質的に平行となるように構成できる。

【0017】

前述の本発明の技術的な課題を解決するために本発明の実施例によるアレイ基板の製造方法において、基板上にゲートライン及びデータラインと接続されるスイッチング素子を形成する。スイッチング素子が形成された基板上に、データライン及びゲートラインに沿って上面に配置されるアウトライン部と、データライン及びゲートラインと交差する方向に各々延長されてアウトライン部に接続され、アウトライン部によって定義された画素領域を複数のドメインに分割する複数の接続部と、各ドメインにおいて接続部の側面から突出されてアウトライン部に接続される複数のスリット部を含む画素電極を形成する。データライン及びゲートラインの上面においてアウトラインに沿って形成され、データライン及びゲートラインを覆うように(shielding)、データラインとアウトライン部との間に配置される遮蔽電極を形成する。

20

30

【0018】

本発明の実施例において、データラインと遮蔽電極との間に第1絶縁膜を形成し、遮蔽電極と画素電極との間に第2絶縁膜を形成することができる。これとは別に、第1絶縁膜上に遮蔽電極を形成する前に、第1絶縁膜上に有機絶縁膜をさらに形成することができる。この場合、遮蔽電極は有機絶縁膜上に形成することができる。

【0019】

接続部は、画素電極の対角線方向に延長されてX字形状に形成することができる。スリット部はデータラインに接するドメインにおいてゲートラインと実質的に平行になるように形成することができ、ゲートラインに接するドメインでデータラインと実質的に平行になるように形成することができる。

40

【0020】

1つの画素領域には2つの画素電極がデータライン方向に配置され、アウトライン部が互いに接続するように形成することができる。これとは別に、1つの画素領域には1つの画素電極を形成し、画素電極の長辺がデータラインの延長方向と実質的に平行になるように形成することができる。

【0021】

遮蔽電極は、透明な導電性物質に形成することができる。遮蔽電極はデータライン及びゲートラインを幅方向に完全に覆うように(shielding)、アウトライン部と幅方向に一部がオーバーラップするように形成することができる。アウトライン部は幅方向にデータライン及びゲート線と一部がオーバーラップするように形成することができる。

50

【0022】

前述したような本発明の技術的課題を解決するために、本発明の実施例による液晶表示装置は、第1基板、第2基板、及び液晶層を含む。第1基板は、上部基板と、上部基板の下面に配置された共通電極を含む。第2基板は、下部基板、画素電極、及び遮蔽電極を含む。下部基板は、上部基板と対向するように配置され、下部基板にはゲートライン及びデータラインに接続されたスイッチング素子が形成されている。画素電極は、アウトライン部、接続部、及びスリット部を含む。アウトライン部は、データライン及びゲートラインに沿って上側に形成される。接続部はデータライン及びゲートラインと交差する方向に各々延長し、アウトライン部に接続される。スリット部は接続部の側面から突出してアウトライン部に接続する。遮蔽電極は、データライン及びゲートラインの上部でアウトラインに沿って形成されて、データライン及びゲートラインを覆うように (shielding)、データラインとアウトライン部との間に形成される。液晶層は画素電極と共通電極との間に配置される。

10

【0023】

本発明の実施例において、アレイ基板は、第1絶縁膜及び第2絶縁膜をさらに含むように構成できる。第1絶縁膜は、データラインと遮蔽電極との間に形成することができる。第2絶縁膜は遮蔽電極と画素電極との間に形成することができる。

【0024】

アレイ基板は、第1絶縁膜上に形成された有機絶縁膜をさらに含むように構成できる。この場合、遮蔽電極は有機絶縁膜に形成することができる。

20

【0025】

接続部は、画素電極の対角線方向に延長することによりX字形状に形成することができ、データラインに接するドメインにおいてスリット部はゲートラインと実質的に平行に形成することができ、ゲートラインに接するドメインにおいてスリット部はデータラインと実質的に平行に形成することができる。

【0026】

1つの画素領域には2つの画素電極をデータライン方向に配置することができ、アウトライン部が互いに接続するように配置することができる。これとは別に、1つの画素領域には1つの画素電極を配置し、画素電極の長辺がデータラインの延長方向と実質的に平行になるように配置することができる。

30

【0027】

遮蔽電極は、透明な導電性物質で形成することができる。遮蔽電極は、データライン及びゲートラインを幅方向に完全に覆うように (shielding)、アウトライン部と幅方向に一部がオーバーラップするように配置することができる。

【0028】

電気場がオフされた場合、液晶分子の長軸方向が共通電極に対して垂直であるように配列することができる。液晶表示装置は、第1偏光板及び第2偏光板をさらに含むように構成できる。第1偏光板は下部基板の背面に配置され、偏光軸が対角線方向のうちの1つと実質的に平行になるように構成できる。第2偏光板は上部基板の上面に配置され、偏光軸が対角線方向のうちの残りの1つと実質的に平行になるように構成できる。

40

【発明の効果】

【0029】

前述のアレイ基板、これの製造方法、及びこれを有する液晶表示装置によれば、画素電極においてスリット部の延長方向、アウトライン部及び遮蔽電極によって画素電極の縁部分でのテクスチャ (texture) 発生を減少することができ、画素領域の透過率及び応答速度が増加する。

【0030】

また、遮蔽電極は透明な導電性物質からなるため、遮蔽電極による開口率の減少を防止することができ、遮蔽電極をミドルコム (middle-com) タイプに形成することから、画素電極と遮蔽電極との間の間隔を狭くして遮蔽電極の面積を小さくすることがで

50

きて透過率が向上する。

【0031】

従って、液晶表示装置の表示品質が向上される。

【図面の簡単な説明】

【0032】

【図1】実施例1による液晶表示装置の平面図である。

【図2】図1に示した画素領域の一例の拡大平面図である。

【図3】図2に示した液晶表示装置をI-I'線に沿って切断した断面図である。

【図4】図1～図3において説明したアレイ基板を製造する方法を説明する工程図である

10

【図5】図1～図3において説明したアレイ基板を製造する方法を説明する工程図である

【図6】図1～図3において説明したアレイ基板を製造する方法を説明する工程図である

【図7】図1～図3において説明したアレイ基板を製造する方法を説明する工程図である

【図8】図1～図3において説明したアレイ基板を製造する方法を説明する工程図である

【図9】図1～図3において説明したアレイ基板を製造する方法を説明する工程図である

20

【図10】図1～図3において説明したアレイ基板を製造する方法を説明する工程図である。

【図11】図1～図3において説明したアレイ基板を製造する方法を説明する工程図である。

【図12】図1～図3において説明したアレイ基板を製造する方法を説明する工程図である。

【図13】図2に示した液晶表示装置をII-II'線に沿って切断した断面図である。

【図14】図2に示した液晶表示装置をIII-III'線に沿って切断した断面図である。

【図15】図13または図14で、遮蔽電極及び画素電極のアウトライン部との間の液晶層の動きを示した断面図である。

30

【図16】スリット部が対角線方向に形成された液晶表示装置の光透過率を観測した写真である。

【図17】図1～図14において説明した液晶表示装置の光透過率を観測した写真である

【図18】図16及び図17において説明した液晶表示装置の応答速度を示すグラフ図である。

【図19】実施例2による液晶表示装置のアレイ基板の画素領域の拡大平面図である。

【図20】図19に示したアレイ基板をIV-IV'に沿って切断した断面図である。

【図21】図19及び図20に示したアレイ基板の製造方法の工程図である。

【図22】図19及び図20に示したアレイ基板の製造方法の工程図である。

40

【図23】図19及び図20に示したアレイ基板の製造方法の工程図である。

【図24】図19及び図20に示したアレイ基板の製造方法の工程図である。

【図25】画素電極のアウトライン部がないことを除いては、図19及び図20に示したアレイ基板と同一のアレイ基板を有する液晶表示装置の光透過率を観測した写真である。

【図26】図19及び図20に示したアレイ基板を有する液晶表示装置の光透過率を観測した写真である。

【図27】図25及び図26に説明した液晶表示装置の応答速度を示すグラフである。

【発明を実施するための形態】

【0033】

以下、添付図面を参照しながら、本発明の例示的な実施例を詳しく説明する。

50

【0034】

本発明は多様な変更を加えることができ、様々な形態を有することができるため、特定の実施例を図面に例示し、本明細書に詳しく説明する。しかし、これは本発明を特定の開示形態に限定するものではなく、本発明の思想及び技術範囲に含まれる全ての変更、均等物、ないしは代替物を含むことと理解されるべきである。

【0035】

各図面の説明において同一の構成要素に対しては同一の参照符号を使用している。添付図面において、構造物のサイズは本発明の明確性に基づくために実際より拡大して示している。

【0036】

第1、第2などの用語は多様な構成要素を説明するにあたって使用するものであって、各構成要素はこれら用語によって限定されるものではない。各用語は1つの構成要素を他の構成要素と区別する目的で使用されるものである。例えば、本発明の明細書において、第1構成要素は第2構成要素と置き換えることができ、同様に第2構成要素を第1構成要素と置き換えることも可能である。単数表現は文脈上、明白に異なる意味を有しない限り、複数の表現を含む。

【0037】

本明細書において、「含む」または「有する」などの用語は、明細書上に記載された特徴、数字、段階、動作、構成要素、部分品、またはこれらを組み合わせたものが存在することを指定するものであって、1つまたはそれ以上の別の特徴、数字、段階、動作、構成要素、部分品、またはこれらを組み合わせたものの存在または付加可能性を予め排除しないものと理解されるべきである。

【0038】

また、別に定義しない限り、技術的或いは科学的用語を含むものであって、ここにおいて使用される全ての用語は、本発明が属する技術分野で通常の知識を有する者であれば、一般的に理解されるものと同じの意味を有する。一般的に使用される辞書において定義する用語と同じ用語は、関連技術の文脈上に有する意味と一致する意味を有するものと理解されるべきで、本明細書において明白に定義しない限り、理想的或いは形式的な意味として解釈しないこととする。

【実施例1】

【0039】

図1は、実施例1による液晶表示装置の平面図である。

【0040】

図1に示すように、本実施例による液晶表示装置100は表示パネル5及び駆動部10を含む。

【0041】

表示パネル5はアレイ基板101、対向基板105、及び液晶層を含む。対向するアレイ基板101及び対向基板105がフレーム形状の密封材102によって接合され、アレイ基板101、対向基板105、及び密封材102の内側に液晶が封入されて液晶層を構成する。

【0042】

図1において、紙面から前方（観察者側）に対向基板105が配置され、前方から紙面に向かう方向にアレイ基板101が配置されている。

【0043】

対向基板105は、R、G、Bカラーフィルターを有するカラーフィルター基板とすることができる。アレイ基板101は、薄膜トランジスタ（TFT素子）を利用したアクティブマトリクス駆動方式に駆動される素子基板である。

【0044】

また、液晶表示装置100において、アレイ基板はマイクロスリット（micro-slit）パターンが形成された画素電極を有し、対向基板はプレート形態に形成された共

10

20

30

40

50

通電極を有する。

【0045】

アレイ基板101は、ほぼ長方形形状を有する。従って、図1の横方向をx方向とし、図1の縦方向をy方向としてそれぞれ定義する。

【0046】

図2は、図1に示した画素領域の一例の拡大平面図である。図3は、図2に示した液晶表示装置100をI-I'線に沿って切断した断面図である。

【0047】

図1～図3に示すように、表示装置100はアレイ基板101、対向基板105、及び液晶層107を含む。

10

【0048】

図2には説明の便宜上、アレイ基板101の平面図のみを図示し、図3には、アレイ基板101、対向基板105、及び液晶層107の断面を示している。

【0049】

図1～図3に示すように、本実施例によるアレイ基板101は、下部基板102、複数のゲートライン111、データライン115、スイッチング素子108、遮蔽電極160、及び画素電極170を含む。

【0050】

図4～図12は、図1～図3において説明したアレイ基板101を製造する方法を説明する工程図である。

20

【0051】

本実施例によるアレイ基板の製造方法において、まず、ガラス質の下部基板102上にスパッタリング(sputtering)などの方法で、ゲート金属、例えば、アルミニウムAl及びモリブデンMoの二重層をほぼ3000の厚さで蒸着し、写真エッチング工程によって、図4に示したように、ゲートライン111及びゲートライン111から突出されたゲート電極112を形成する。ゲートライン111は下部基板102上にほぼ横方向(x)に互いに平行方向に延長されている。

【0052】

その後、図2及び図5に示したように、ゲート絶縁膜及び半導体パターンを形成する。ゲート絶縁膜は、ゲートライン111上に、例えば、窒化シリコン(SiNx)を約4500の厚さに形成する。ゲート絶縁膜上に、半導体層、例えば、アモルファスシリコン(a-Si)層を約2000及び高濃度のn+にドーピングされたアモルファスシリコン(n+a-Si)層を約500の厚さに蒸着し、エッチングして半導体パターンを形成する。半導体パターンはゲート電極112上のゲート絶縁膜上に形成される。

30

【0053】

引き続き、図2及び図6に示したように、ゲート絶縁膜上にデータ金属、例えば、モリブデン-アルミニウム-モリブデンからなる三重層をそれぞれ約300、2500、1000の厚さに蒸着し、パターンングしてデータライン115、ソース電極、及びドレイン電極を形成する。

【0054】

データライン115は、ゲート絶縁膜113上において、ほぼ縦方向(y)に延長されている。ゲートライン111とデータライン115の交差点付近のデータライン115で、ソース電極121が突出されてゲート電極112上の半導体パターン上に延長される。ドレイン電極123は、半導体パターン上でソース電極と対向して配置され、ゲート絶縁膜上に延長されて下部基板102上に定義された画素領域PAに一部が配置される。

40

【0055】

本実施例において、画素領域PAはほぼ縦方向に長く形成された長方形の形状を有する。これとは別に、画素領域PAはZ字形状に定義することができる。ゲートライン111は画素領域PAの周辺において、横方向に配列され、データライン115は画素領域PAの周辺において縦方向に配列されている。

50

【 0 0 5 6 】

半導体層とデータ金属層を単一エッチング工程で、ともにエッチングした場合、データライン 1 1 5、ソース電極 1 2 1、ドレイン 1 2 3 の下、及びゲート電極 1 1 2 の上部のゲート絶縁膜上に半導体パターンが形成され、ソース電極 1 2 1 とドレイン電極 1 2 3 との間の半導体パターンはエッチバック工程を通じてチャンネル層 1 1 5 に形成される。

【 0 0 5 7 】

ゲート電極 1 1 2、ゲート絶縁膜 1 1 3、半導体パターン 1 1 5、ソース電極 1 2 1、及びドレイン電極 1 2 3 は三端子素子であるスイッチング素子 1 0 8 を構成する。

【 0 0 5 8 】

その後、図 7 に示したように、データライン 1 1 5 が形成された下部基板 1 0 2 を覆う第 1 パッシベーション膜 1 3 0 を形成する。第 1 パッシベーション膜は、例えば、窒化シリコン (SiN_x) を約 2 0 0 0 の厚さに形成することができる。第 1 パッシベーション膜にはドレイン電極の一部を露出させるコンタクトホールを形成することができる。

10

【 0 0 5 9 】

その後、第 1 パッシベーション膜 1 3 0 上に、図 8 に示したように、有機絶縁膜 1 4 0 を約 2 . 0 μm の厚さに形成する。有機絶縁膜 1 4 0 及び第 1 パッシベーション膜 1 3 0 にはドレイン電極 1 2 3 の一部を露出させるコンタクトホールを形成することができる。有機絶縁膜 1 4 0 は、後述する画素電極 1 7 0 とデータライン 1 1 5 との寄生容量を減少させる。画素電極 1 7 0 をデータライン 1 1 5 とオーバーラップしないように形成する場合、有機絶縁膜を省略することが可能である。

20

【 0 0 6 0 】

続いて、図 9 に示したように、有機絶縁膜 1 4 0 上に遮蔽電極 1 6 0 を形成する。遮蔽電極 1 6 0 は、データライン 1 1 5 及びゲートライン 1 1 1 と画素電極 1 7 0 との間の寄生容量の発生を防止する。遮蔽電極は、一方では、画素電極 1 7 0 とストレージコンデンサを形成して 1 つのフレームの間に画素電極 1 7 0 に印加された画素電圧を維持する。

【 0 0 6 1 】

遮蔽電極 1 6 0 は、インジウムスズ酸化物 (ITO) またはインジウム亜鉛酸化物 (IZO) のような透明な導電性物質で、約 9 0 0 の厚さで有機絶縁膜 1 4 0 上に蒸着し、パターンングして形成することができる。

【 0 0 6 2 】

図 1 3 は、図 2 に示した液晶表示装置 1 0 0 を II-II' 線に沿って切断した断面図である。図 1 4 は、図 2 に示した液晶表示装置 1 0 0 を III-III' 線に沿って切断した断面図である。

30

【 0 0 6 3 】

図 2、図 1 3、及び図 1 4 に示すように、遮蔽電極 1 6 0 はゲートライン 1 1 1 及びデータライン 1 1 5 を幅方向に完全に覆うように形成される。即ち、遮蔽電極 1 6 0 は、画素領域 PA の間のゲートライン 1 1 1 及びデータライン 1 1 5 の上部に形成され、ゲートライン 1 1 1 及びデータライン 1 1 5 の線幅より広い幅に形成される。従って、遮蔽電極 1 6 0 は、画素領域の縁部分に延長されている。本実施例において、遮蔽電極 1 6 0 は、透明な導電性物質からなるため、遮蔽電極 1 6 0 が画素領域 PA の縁部分にはみ出して

40

【 0 0 6 4 】

その後、図 1 0 に示したように、遮蔽電極 1 6 0 上に第 2 パッシベーション膜を形成する。第 2 パッシベーション膜は、第 1 パッシベーション膜と同一の物質、実質的に同一の厚さに形成することができる。第 2 パッシベーション膜には有機絶縁膜 1 4 0 に形成されたコンタクトホールと接続されるコンタクトホールを形成することができる。

【 0 0 6 5 】

続いて、図 1 1 に示したように、第 2 パッシベーション膜上に、ITO または IZO のような透明な導電性物質層を約 9 0 0 の厚さに蒸着し、パターンングして画素電極 1 7 0 を形成する。画素電極 1 7 0 は、コンタクトホール 1 4 3 を通じてドレイン電極 1 2 3

50

に接触する。

【0066】

再び、図2、図13、及び図14に示すように、画素電極170は、アウトライン部175、接続部171、及びスリット部173を含む。アウトライン部175は、ゲートライン111及びデータライン115に沿って画素領域PAの縁部分に対応するように、第2パッシベーション膜上に形成される。アウトライン部175は、画素領域PAの縁部分に延長された遮蔽電極160と幅方向に一部が重畳するように形成することができる。アウトライン部175は、図13及び図14に示したように、ゲートライン111及びデータライン115と幅方向に一部が重畳するように形成することができる。

【0067】

接続部171は、画素領域PAを複数のドメインに分割して、アウトライン部175に接続される。接続部171は、ゲートライン111及びデータライン115の延長方向と交差する方向に各々配置される。

【0068】

本実施例において、画素電極170は、図2に示したものと同様に、2つの接続部171を含む。1つの接続部171はゲートライン111とほぼ45°を成す方向に配置され、他の接続部171はゲートライン111とほぼ135°を成す方向に配置される。

【0069】

2つの接続部171は、画素電極170の対角線方向に各々延長されている。従って、接続部171はほぼX字形状に配置される。従って、画素領域PAは、接続部171によって4つのドメインに分割される。

【0070】

スリット173は、各ドメインにおいて互いに平行に形成される。スリット部173は、接続部171の側面から突出されてアウトライン部175に接続される。ゲートライン111に接するドメインにおいて、スリット部173はデータライン115と実質的に平行に形成され、データライン115に接するドメインにおいて、スリット173はゲートライン111と実質的に平行に形成されている。

【0071】

本実施例においては、1つの画素領域PAに2つの画素電極170が配置される。2つの画素電極170はデータライン115方向にアウトライン部175が互いに接続するように配置される。従って、画素電極170は、横方向及び縦方向の長さがほぼ同一に形成される。従って、スリット部173は、横方向及び縦方向にほぼ同一の長さで形成されている。

【0072】

駆動部からデータライン115にデータ信号が印加され、ゲートライン111にゲート信号が印加されると、スイッチング素子108によってデータ信号が画素電圧に変更されて画素電極170に印加される。

【0073】

本実施例においては、画素電極170のアウトライン部175とデータライン115及びゲートライン111が一部重畳するが、遮蔽電極160がデータライン115と寄生容量を構成し、画素電極170とデータライン115との間に寄生容量が形成されて信号が歪曲することを防ぐ。

【0074】

最後に、図12に示したように、画素電極170を覆う下部配向膜20を形成する。

【0075】

下部配向膜20は、後述する対向基板105とともに液晶層107の液晶分子を垂直方向、即ち、アレイ基板101から対向基板105に向かう方向に初期配向する。

【0076】

アレイ基板は下部偏光板をさらに含むように構成できる。図12に示したように、下部基板102の背面に下部偏光板を付着してアレイ基板101を製造することができる。

10

20

30

40

50

【0077】

下部偏光板30は、下部偏光軸が接続部171の延長方向、即ち、対角線方向に平行するように配置される。即ち、下部偏光軸はスリット部173の延長方向とほぼ45°(degree)または135°を成す方向に配置されている。

【0078】

再び、図1及び図3に示すように、対向基板105は、上部基板104、遮光パターン181、カラーフィルターパターン185、オーバーコーティング層187、共通電極190、上部配向膜60、及び上部偏光板70を含むように構成できる。

【0079】

遮光パターン181は、ゲートライン111、データライン115、及びスイッチング素子108に対応するように上部基板104の下面に形成されている。従って、画素領域PAに対応する上部基板には、カラーフィルターパターン185が形成される。カラーフィルターパターン185は、例えば、赤、緑、及び青フィルターを含むように構成でき、たとえば、赤、緑、及び青の各フィルターを各画素領域PAの横方向(1)に順に配置するように構成できる。

10

【0080】

オーバーコーティング層187は、カラーフィルターパターン185及び遮光パターン181を覆い、共通電極190は、オーバーコーティング層187上に形成されている。

【0081】

上部配向膜60は共通電極190上に形成されて液晶層107を垂直配向させる。

20

【0082】

上部偏光板70を上部基板104の上面に付着することができ、この上部偏光板70の偏光軸は下部偏光板30の偏光軸と実質的に直交するように配置することができる。

【0083】

本実施例において、画素電極170にスリット部173のように、マイクロスリットパターンが形成され、垂直配向される液晶が使用される。従って、画素領域PAには複数種類のドメインが具現できるため、液晶表示装置100の側面視認性を向上することができる。

【0084】

図15は、図13または図14で、遮蔽電極160及び画素電極170のアウトライン部175との間の液晶層の動きを示した断面図である。

30

【0085】

図15に示すように、画素電圧が画素電極170に印加されると、遮蔽電極160とアウトライン部175の間には境界電気場が形成される。アウトライン部175のエッジが、遮蔽電極60の上部にオーバーラップしているため、境界電気場は他の部分の電気場に比べて、水平成分が遥かに強く形成される。従って、図15に示したように、遮蔽電極160上の液晶分子は、十分に水平方向に配向されることとなる。

【0086】

即ち、電気場印加の際、画素領域PAの縁部分の液晶分子の2次効率が增加される。ここで、2次効率は液晶分子が垂直方向から水平方向に回転する動作の効率を意味する。

40

【0087】

他方、本実施例において、境界電気場の水平成分は、ゲートライン111の上部では縦方向と実質的に平行であり、データライン115の上部で横方向と実質的に平行に形成される。また、液晶分子はスリット部173の長さ方向に配向子が平行に配列される特性を有する。スリット部173は、ドメインに沿って横方向または縦方向に延長される。

【0088】

即ち、液晶分子を動かす境界電気場の水平成分の方向と、液晶分子の配向子をガイドするスリット部173の長さ方向とが一致するため、液晶分子は不必要に水平方向に回転運動をしなくてもよい。従って、液晶分子の3次効率が增加される。ここで、3次効率は水平方向で液晶分子の回転運動の効率を意味する。

50

【 0 0 8 9 】

従って、画素領域 P A の縁部分で液晶分子を効果的に制御することができ、テクスチャの発生が抑制され、開口率及び液晶層の応答速度を向上することができる。

【 0 0 9 0 】

図 1 6 は、スリット部 1 7 3 が対角線方向に形成された液晶表示装置の光透過率を観測した写真である。図 1 7 は、図 1 ~ 図 1 4 において説明した液晶表示装置 1 0 0 の光透過率を観測した写真である。

【 0 0 9 1 】

図 1 6 及び図 1 7 の写真は、画素電圧印加後、同一の時間が経過した後に光透過率を観測した写真である。写真において、暗い部分は液晶分子の応答が遅くて光透過率が他の部分より小さくなり、暗く表示されたものである。

10

【 0 0 9 2 】

図 1 6 に示した液晶表示装置で、スリット部 1 7 3 は本実施例とは別に、対角線方向に延長されている。また、スリット部 1 7 3 の端部を接続するアウトライン部 1 7 5 が削除され、本実施例とは別に、光を遮断する金属を遮蔽金属 1 6 0 が画素領域 P A の一部に形成されている。その他は、本実施例の液晶表示装置 1 0 0 と実質的に同一である。

【 0 0 9 3 】

図 1 6 の写真より図 1 7 の写真がより明るく、輝度が均一であることがわかる。図 1 7 の写真において、画素領域 P A の縁及びスリット部 1 7 3 との間で相対的により暗いことがわかる。

20

【 0 0 9 4 】

図 1 8 は、図 1 6 及び図 1 7 において説明した液晶表示装置の応答速度を示すグラフである。

【 0 0 9 5 】

図 1 8 において、横軸は画素電極印加後の経過時間を示し、縦軸は画素領域 P A の光透過率を示す。図 1 8 に示すように、図 1 6 に説明した液晶表示装置の光透過率は同一時間で図 1 7 に説明した本実施例の液晶表示装置 1 0 0 の光透過率より著しく小さいことがわかる。

【 0 0 9 6 】

図 1 6 及び図 1 8 において説明した液晶表示装置においては、本実施例のようなアウトライン部 1 7 5 及び遮蔽電極 1 6 0 による効果がなく、スリット部 1 7 3 の方向と水平電場方向が互いに約 4 5 ° 程度異なって液晶分子の 2 次及び 3 次効率が良くないことがわかる。

30

【 0 0 9 7 】

即ち、本実施例の液晶表示装置 1 0 0 は、図 1 6 及び図 1 8 に説明した液晶表示装置よりアウトライン部 1 7 5 及び遮蔽電極 1 6 0 による効果及びスリット部 1 7 3 の方向によって、液晶分子の 2 次及び 3 次効率が大きく向上することができ、表示品質が向上する。

【 実施例 2 】

【 0 0 9 8 】

図 1 9 は、実施例 2 による液晶表示装置のアレイ基板の画素領域の拡大平面図である。図 2 0 は、図 1 9 に示したアレイ基板を IV-IV' に沿って切断した断面図である。

40

【 0 0 9 9 】

図 1 9 及び図 2 0 に示すように、本実施例のアレイ基板及びこれの製造方法は画素電極 3 7 0 のサイズ及び有機絶縁膜 1 4 0 が省略されたことを除いては、図 1 ~ 図 1 5 に説明したアレイ基板及びこれの製造方法と実質的に同一である。従って、対応する要素に対しては対応する参照番号を与え、重複する説明は省略する。

【 0 1 0 0 】

本実施例において、画素領域 P A には、1 つの画素電極 3 7 0 が配置され、画素電極 3 7 0 は長辺がデータライン 3 1 5 の延長方向と実質的に平行に形成される。その他の構成については、図 1 ~ 図 1 5 において説明した画素電極 3 7 0 と実質的に同一である。従っ

50

て、スリット部 373 は縦方向に形成されたものが横方向に形成されたものよりさらに長く形成されている。

【0101】

図 21 ~ 図 24 は、図 19 及び図 20 に示したアレイ基板の製造方法の工程図である。

【0102】

本実施例によるアレイ基板の製造方法は、有機絶縁膜 140 を削除し、図 21 に示したように、第 1 パッシベーション膜を形成した後に、図 22 に示したように、第 1 パッシベーション膜上に遮蔽電極 360 を形成する。その後、図 23 に示したように、遮蔽電極 360 を覆う第 2 パッシベーション膜を形成する。続いて、図 24 に示したように、第 2 パッシベーション膜上に画素電極 370 を形成し、配向膜を形成する。

10

【0103】

本実施例によれば、有機絶縁膜 140 形成工程が削除されて工程の数が減少する。

【0104】

本実施例による液晶表示装置は、図 19 及び図 20 に示したアレイ基板を含むことを除いては、図 1 ~ 図 15 に説明した液晶表示装置と実質的に同一である。従って、重複する説明を省略する。

【0105】

図 25 は、画素電極 370 のアウトライン部 375 がないこと及び遮蔽電極 360 を除いては、図 19 及び図 20 に示したアレイ基板と同様のアレイ基板を有する液晶表示装置の光透過率を観測した写真である。図 26 は、図 19 及び図 20 に示したアレイ基板を有する液晶表示装置の光透過率を観測した写真である。

20

【0106】

図 25 に示した液晶表示装置において、スリット部 373 の端部を接続するアウトライン部 375 が削除され、本実施例と別に、光を遮断する金属で、遮蔽電極 360 が画素領域 PA の一部に形成されている。その他は、本実施例の液晶表示装置と実質的に同一である。

【0107】

図 25 の写真より、図 26 の写真がより明るく、輝度が均一であることがわかる。図 25 の写真で、画素領域 PA の縁及びスリット部 373 との間で相対的にさらに暗いことがわかる。

30

【0108】

図 27 は、図 25 及び図 26 に説明した液晶表示装置の応答速度を示すグラフである。

【0109】

図 27 において、横軸は画素電圧印加後の経過時間を示し、縦軸は画素領域 PA の光透過率を示す。図 27 に示すように、図 25 に説明した液晶表示装置の光透過率は同一時間で、図 26 に説明した本実施例の液晶表示装置の光透過率より小さいことがわかる。

【0110】

即ち、本実施例の液晶表示装置は、図 25 に説明した液晶表示装置よりアウトライン部 375 及び遮蔽電極 360 による効果によって、液晶分子の 2 次及び 3 次効率が大きく向上し、表示品質が向上できる。

40

【0111】

以上、添付図面を参照しながら本発明の好適な実施形態について詳細に説明したが、本発明はかかる例に限定されない。本発明の属する技術の分野における通常の知識を有する者であれば、特許請求の範囲に記載された技術的思想の範疇内において、各種の変更例または修正例に想到し得ることは明らかであり、これらについても、当然に本発明の技術的範囲に属するものである。

【産業上の利用可能性】

【0112】

本発明の実施例によるアレイ基板、これの製造方法、及びこれを有する液晶表示装置によれば、画素電極 370 の縁部分において、テクスチャ発生を減少して画素領域 PA の透

50

過率及び応答速度を向上して表示品質の向上を図ることができる。

【 0 1 1 3 】

従って、本発明は液晶表示装置の表示品質を改善する技術に適用することができる。

【 符号の説明 】

【 0 1 1 4 】

5 ドライブ I C

3 0 F P C

1 0 0 表示装置

1 0 1 アレイ基板

1 0 5 対向基板

1 1 0 下部基板

1 1 1 ゲートライン

1 1 2 ゲート電極

1 1 5 データライン

1 2 0 スイッチング素子

1 2 3 ソース電極

1 2 5 ドレイン電極

1 6 0 遮蔽電極

1 6 5 第 2 パッシベーション膜

1 7 0 画素電極

1 7 1 接続部

1 7 3 スリット部

1 7 5 アウトライン部

1 1 3 ゲート絶縁膜

1 3 0 第 1 パッシベーション膜

1 4 4 コンタクトホール

1 4 0 有機絶縁膜

1 9 0 共通電極

1 0 4 上部基板

1 8 1 光遮断層

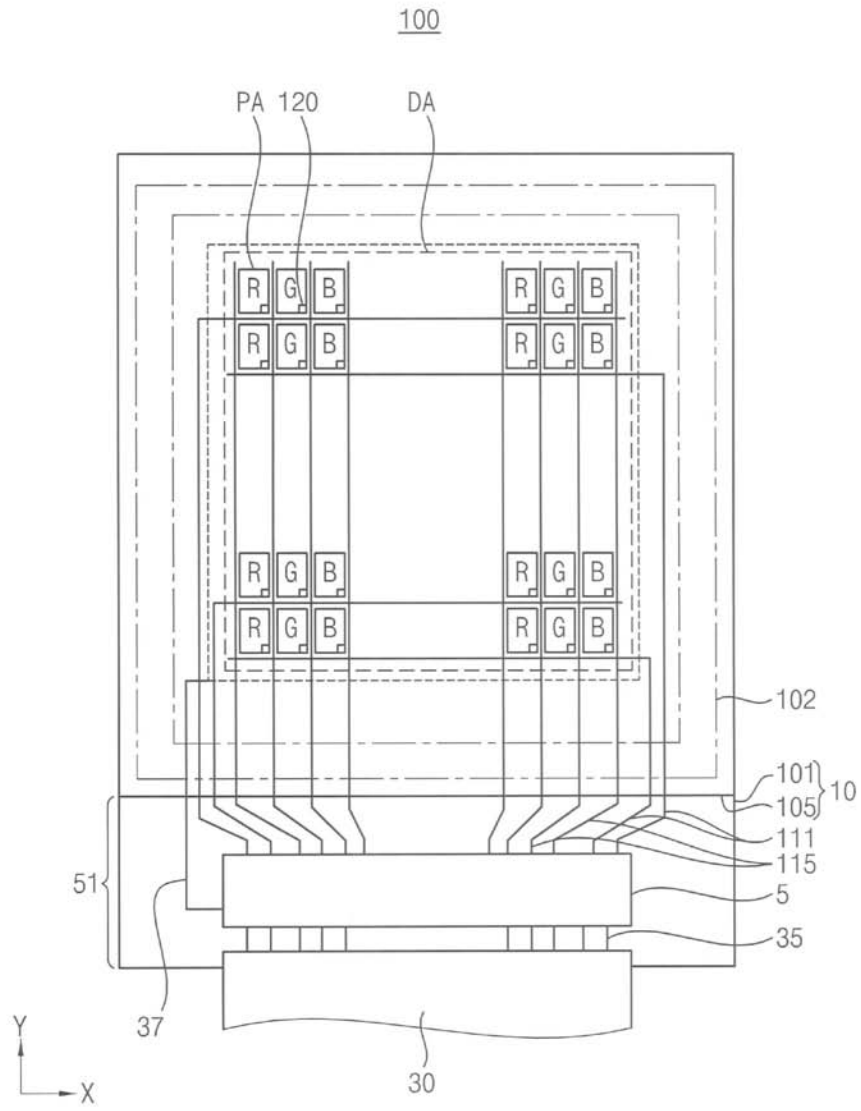
P A 画素領域

10

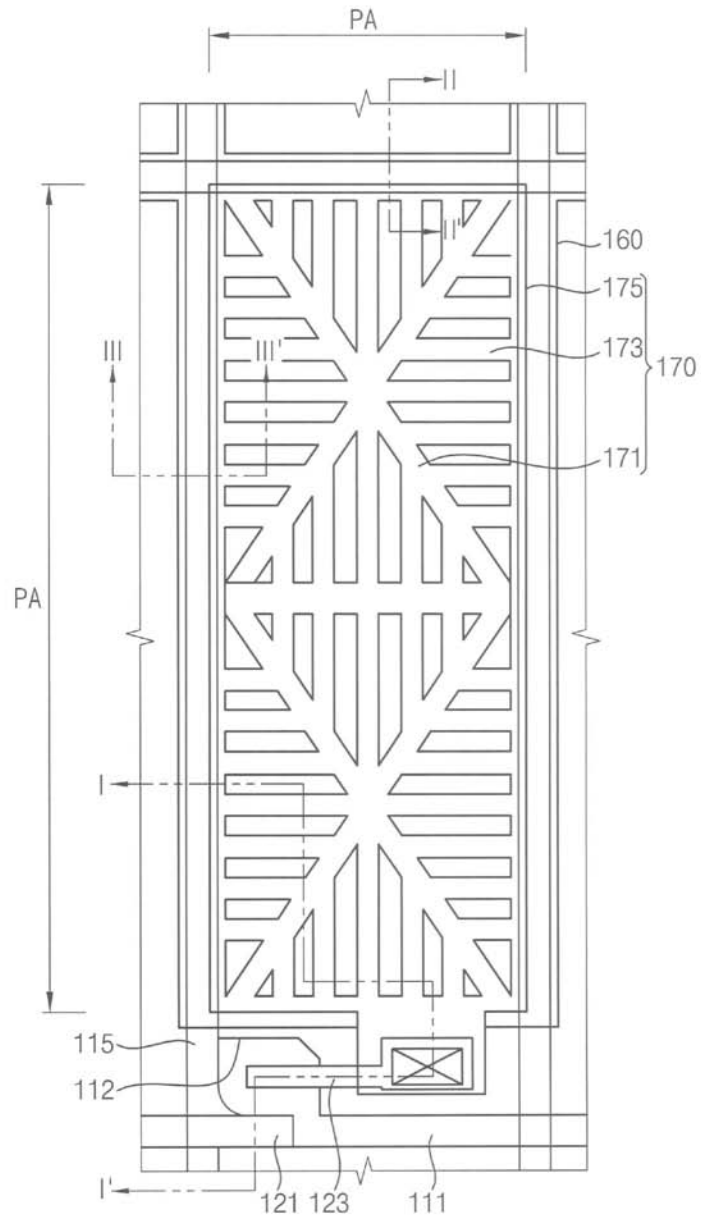
20

30

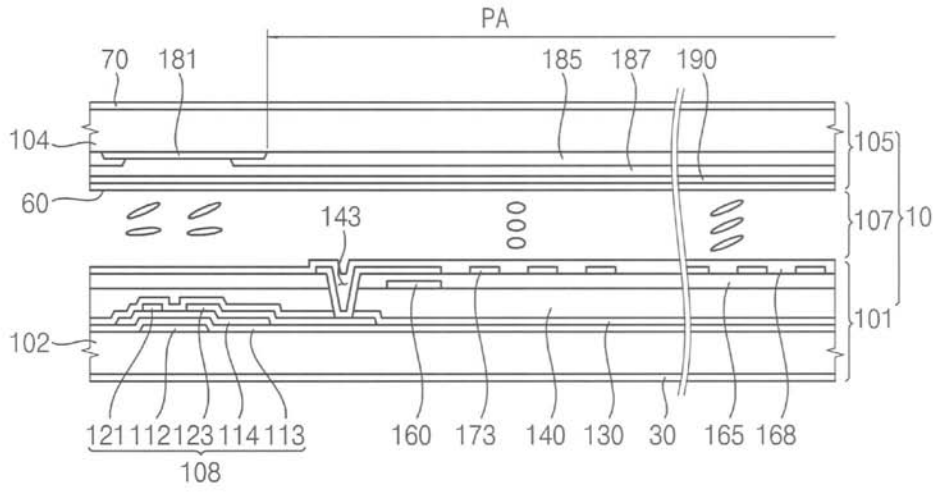
【 図 1 】



【 図 2 】



【 図 3 】



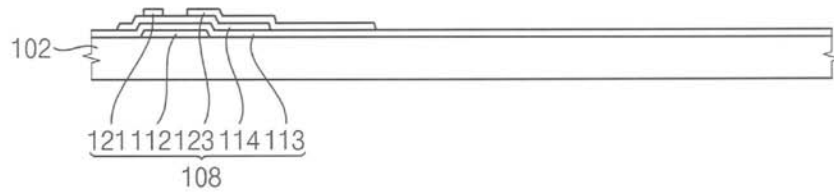
【 図 4 】



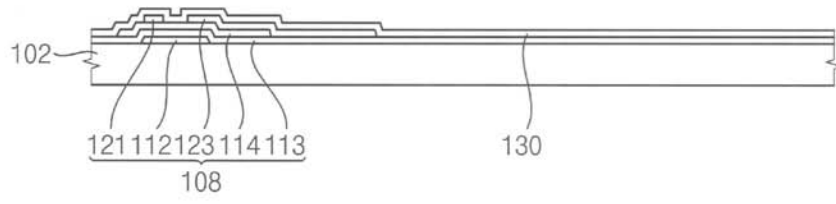
【 図 5 】



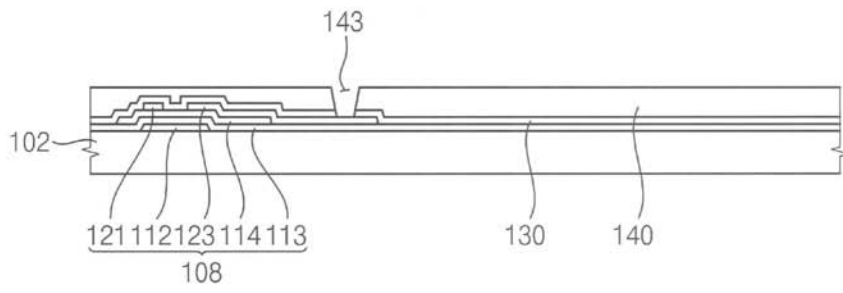
【 図 6 】



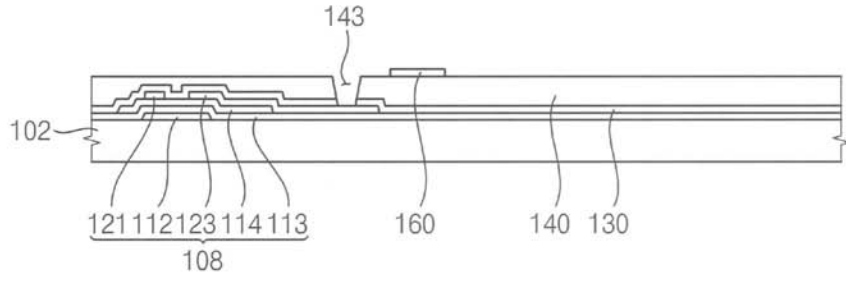
【 図 7 】



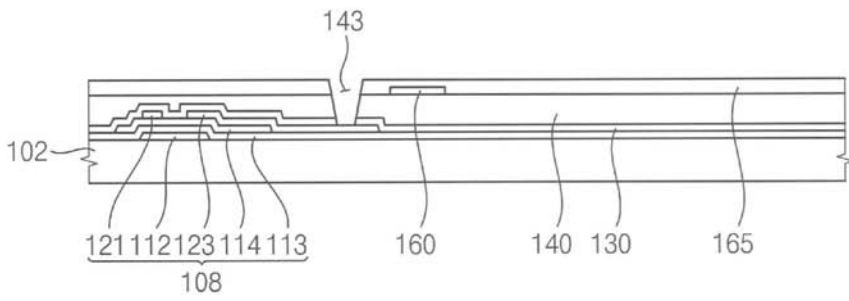
【 図 8 】



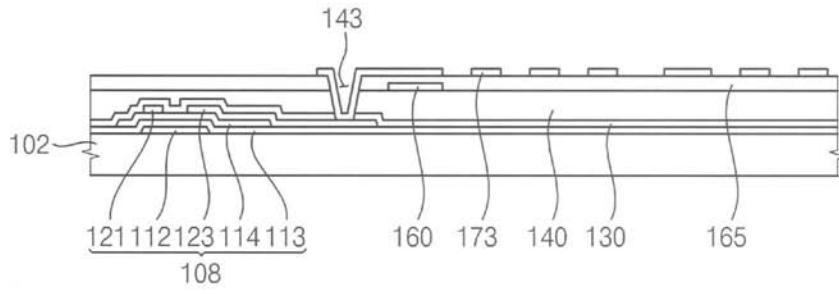
【 図 9 】



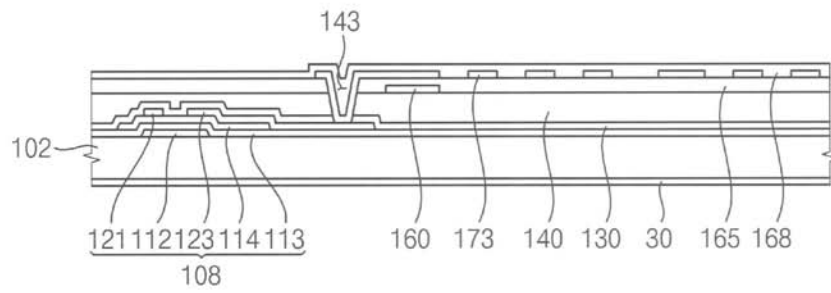
【 図 10 】



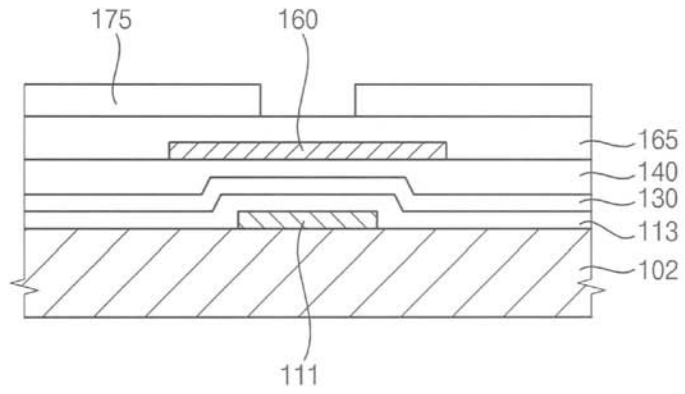
【 図 1 1 】



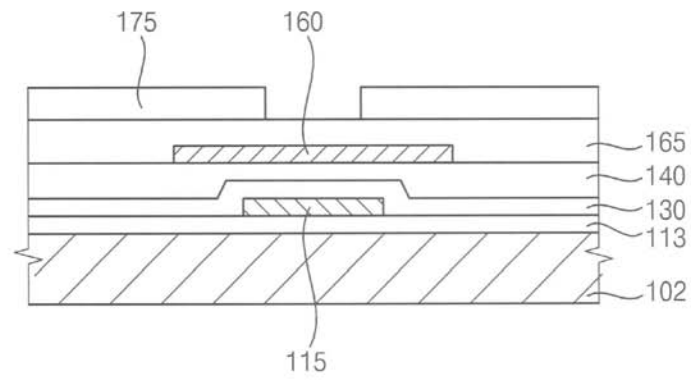
【 図 1 2 】



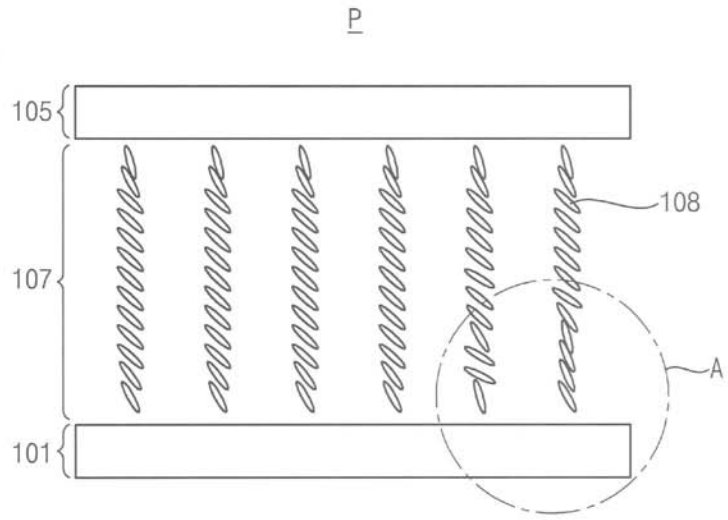
【 図 1 3 】



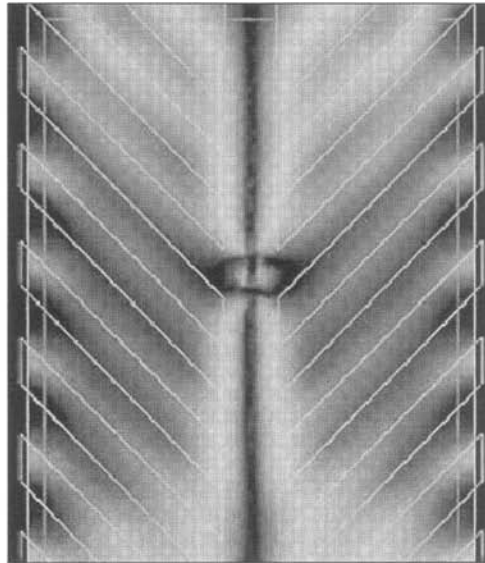
【 図 1 4 】



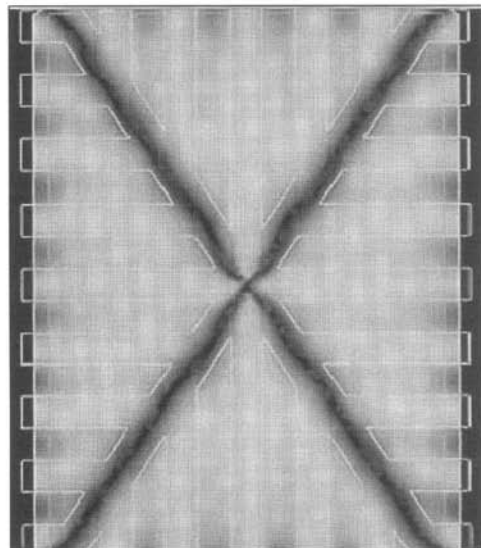
【 図 1 5 】



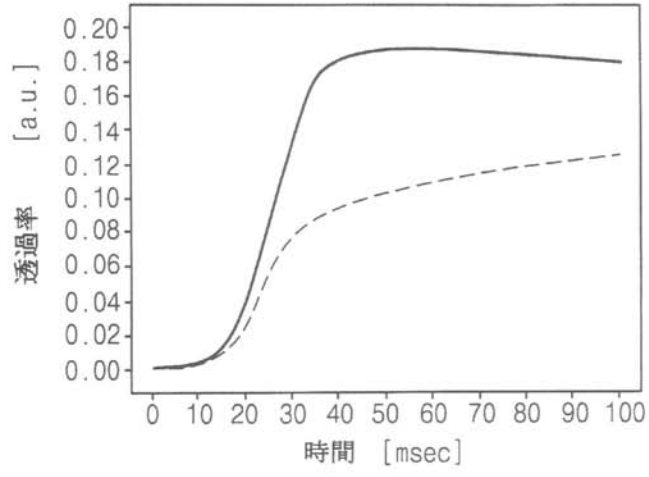
【 図 1 6 】



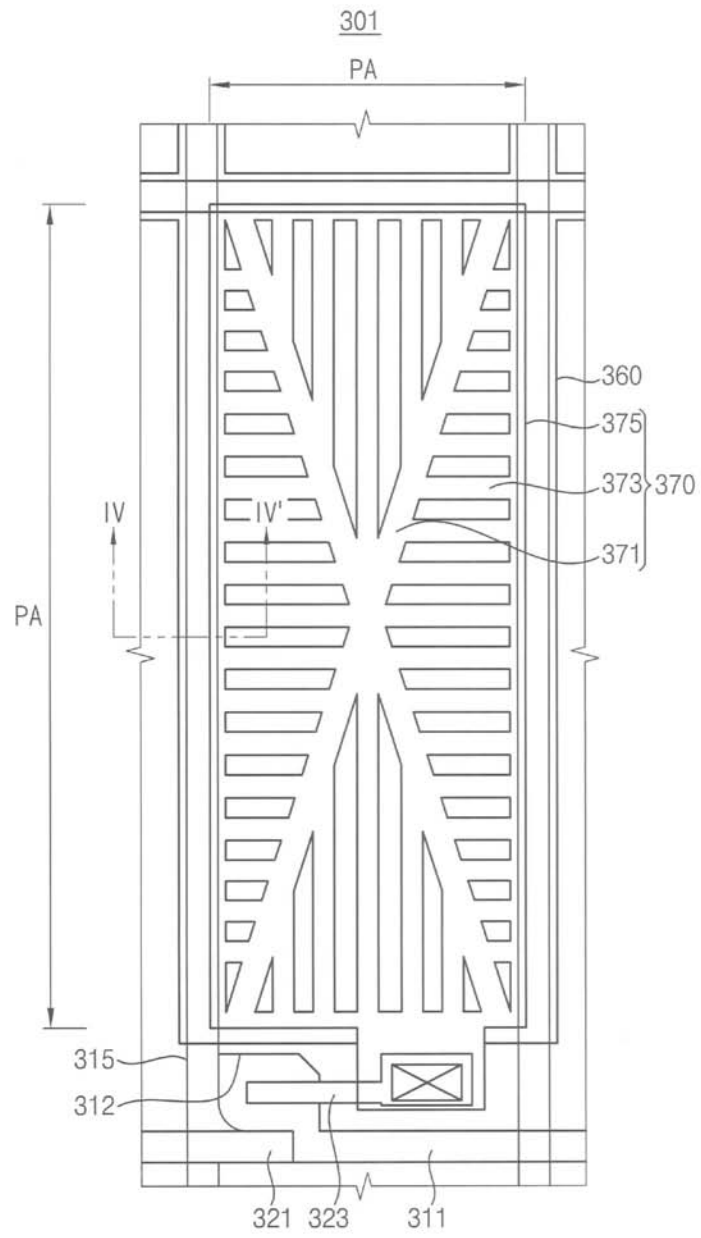
【 図 1 7 】



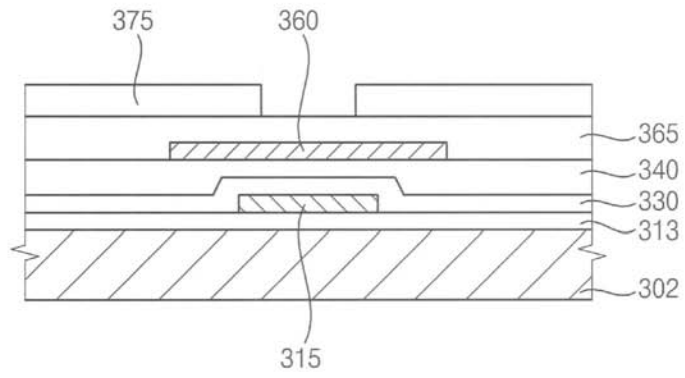
【 図 1 8 】



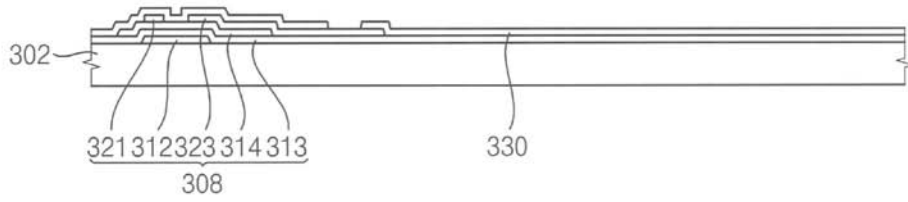
【 図 1 9 】



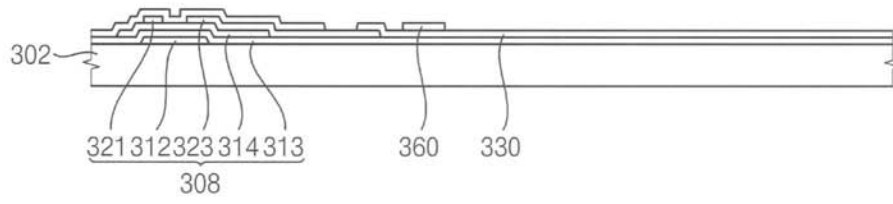
【 図 2 0 】



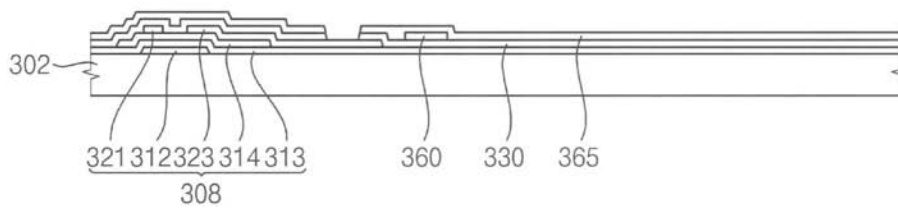
【 図 2 1 】



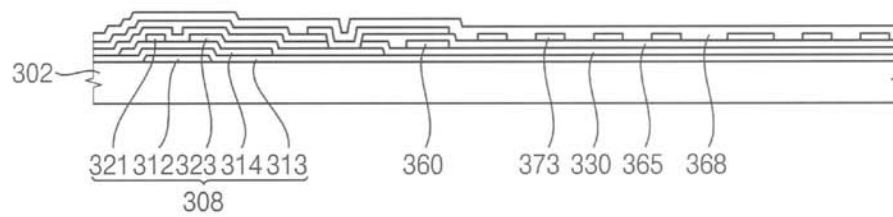
【 図 2 2 】



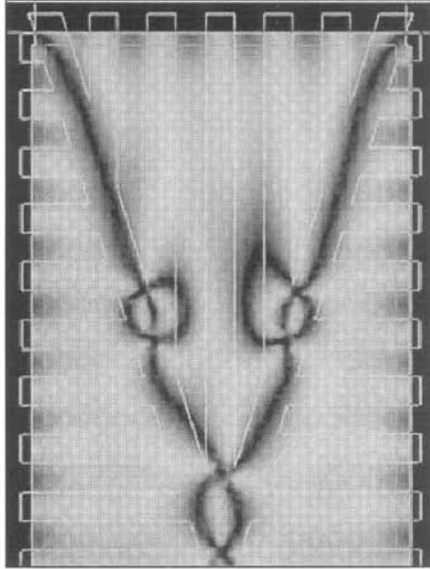
【 図 2 3 】



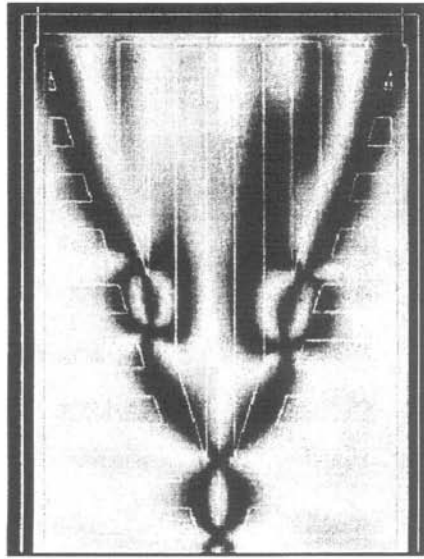
【 図 2 4 】



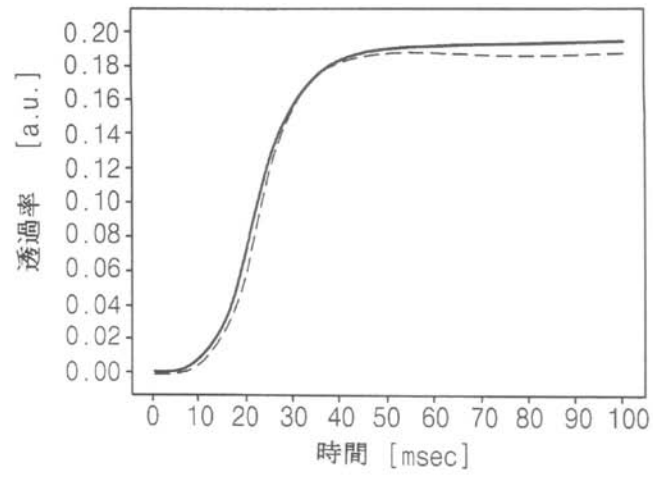
【 図 2 5 】



【 図 2 6 】



【 図 2 7 】



フロントページの続き

(72)発明者 劉 恵 蘭

大韓民国仁川市西区当下洞トップスビルアパート 1 1 5 棟 6 0 2 号

(72)発明者 嚴 允 成

大韓民国京畿道龍仁市水枝区上 ヒョン 洞上 ヒョン マウル双龍 2 次アパート 2 1 6 棟 1 7 0
2 号

(72)発明者 金 寿 ジョン

大韓民国ソウル龍山区葛月洞 7 - 3 2 番地南山ネオピレッジ B 棟 4 0 1 号

(72)発明者 柳 在 鎮

大韓民国京畿道龍仁市器興区新葛洞セチョンニヨングリーンビル 4 団地 4 0 7 棟 1 3 0 2 号

(72)発明者 朴 乘 範

大韓民国ソウル永登浦区堂山洞 5 街サムスンレミアン 4 次アパート 4 0 9 棟 5 0 2 号

F ターム(参考) 2H092 GA13 GA29 GA60 GA64 JA26 JA40 JA44 JA46 JB05 JB24
JB33 KA05 KA12 KA18 KB24 MA04 MA05 MA13 MA27 NA01
NA05 NA23 PA11

专利名称(译)	阵列基板，其制造方法以及具有该阵列基板的液晶显示装置		
公开(公告)号	JP2010033028A	公开(公告)日	2010-02-12
申请号	JP2009135669	申请日	2009-06-05
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子株式会社		
[标]发明人	劉惠蘭 嚴允成 金寿ジョン 柳在鎭 朴乘範		
发明人	劉惠蘭 嚴允成 金寿 ▲ジョン▼ 柳在鎭 朴乘範		
IPC分类号	G02F1/1343 G02F1/1368		
CPC分类号	G02F1/1393 G02F1/133707 G02F2001/13606		
FI分类号	G02F1/1343 G02F1/1368 G02F1/1337		
F-TERM分类号	2H092/GA13 2H092/GA29 2H092/GA60 2H092/GA64 2H092/JA26 2H092/JA40 2H092/JA44 2H092/JA46 2H092/JB05 2H092/JB24 2H092/JB33 2H092/KA05 2H092/KA12 2H092/KA18 2H092/KB24 2H092/MA04 2H092/MA05 2H092/MA13 2H092/MA27 2H092/NA01 2H092/NA05 2H092/NA23 2H092/PA11 2H192/AA24 2H192/BA25 2H192/BC31 2H192/CB05 2H192/CB35 2H192/CB46 2H192/CB61 2H192/CC72 2H192/DA15 2H192/DA24 2H192/DA73 2H192/DA74 2H192/EA22 2H192/EA43 2H192/FA44 2H192/FA73 2H192/GA03 2H192/JA13 2H290/AA33 2H290/BA07 2H290/BB46 2H290/BB49		
优先权	1020080073647 2008-07-28 KR		
其他公开文献	JP5596305B2		
外部链接	Espacenet		

摘要(译)

提供一种能够提高液晶显示装置的显示质量的阵列基板，制造该阵列基板的方法以及具有该阵列基板的液晶显示装置。阵列基板包括：基板，在该基板上形成以电绝缘状态彼此交叉的栅极线和数据线；以及形成连接到栅极线和数据线的开关元件；多个连接部分，每个连接部分在与数据线和栅极线交叉的方向上延伸并连接到轮廓部分，并将由轮廓部分限定的像素区域划分为多个域；覆盖像素电极包括多个从所述连接部分的侧表面突出连接到域中的轮廓部的狭缝部的，上面的数据线和栅极线，沿轮廓部分数据线和栅极线形成屏蔽数据线和轮廓部分之间的屏蔽和一个制成的屏蔽电极。The

