

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-9045

(P2010-9045A)

(43) 公開日 平成22年1月14日(2010.1.14)

(51) Int.Cl.	F I	テーマコード (参考)
G02F 1/1368 (2006.01)	G02F 1/1368	2H092
G02F 1/1335 (2006.01)	G02F 1/1335	2H191
G02F 1/133 (2006.01)	G02F 1/133 550	2H193
G09G 3/36 (2006.01)	G09G 3/36	5C006
G09G 3/20 (2006.01)	G09G 3/20 680H	5C080
審査請求 未請求 請求項の数 10 O L (全 25 頁) 最終頁に続く		

(21) 出願番号 特願2009-149904 (P2009-149904)
 (22) 出願日 平成21年6月24日 (2009. 6. 24)
 (31) 優先権主張番号 10-2008-0059430
 (32) 優先日 平成20年6月24日 (2008. 6. 24)
 (33) 優先権主張国 韓国 (KR)

(71) 出願人 390019839
 三星電子株式会社
 SAMSUNG ELECTRONICS
 CO., LTD.
 大韓民国京畿道水原市靈通区梅灘洞416
 416, Maetan-dong, Yeongtong-gu, Suwon-si,
 Gyeonggi-do 442-742
 (KR)

(74) 代理人 100094145
 弁理士 小野 由己男

(74) 代理人 100106367
 弁理士 稲積 朋子

最終頁に続く

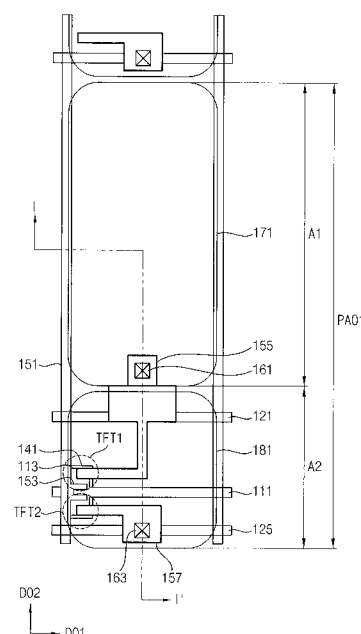
(54) 【発明の名称】 液晶表示装置の駆動方法、アレイ基板、アレイ基板の製造方法、及びアレイ基板を有する液晶表示装置

(57) 【要約】

【課題】液晶表示装置の駆動方法、アレイ基板、アレイ基板の製造方法、及びアレイ基板を有する液晶表示装置の提供。

【解決手段】第1及び第2ブースティング信号によってデータ信号の電圧をそれぞれ第1及び第2画素電圧にブースティングして透過電極及び反射電極に印加することにより、透過電極上の液晶層を透過する第1光のリターデーション量と反射電極上の液晶層に入射して反射電極によって反射される第2光の液晶層によるリターデーション量とが実質的に同じになるように制御する。半透過液晶表示装置に液晶層のセルギャップをモノセルギャップにすることができるので、装置の歩留まりが向上される。

【選択図】図2



【特許請求の範囲】**【請求項 1】**

画像信号によってデータ信号を出力する段階と、

第 1 ブースティング信号によって前記データ信号の電圧を第 1 画素電圧にブースティングして透過電極に印加することにより、前記透過電極上の液晶層を透過する第 1 光を制御する段階と、

第 2 ブースティング信号によって前記データ信号の電圧を第 2 画素電圧にブースティングして反射電極に印加することにより、前記反射電極上の液晶層に入射して前記反射電極によって反射される第 2 光の前記液晶層によるリターデーション量を前記第 1 光のリターデーション量と実質的に同じであるように制御する段階と、

を含む液晶表示装置の駆動方法。

10

【請求項 2】

前記透過電極及び前記反射電極それぞれにおける液晶層のセルギャップを、実質的に同程度に調整することを特徴とする請求項 1 に記載の液晶表示装置の駆動方法。

【請求項 3】

前記入射光を第 1 偏光板及び第 $1\frac{1}{2}\lambda$ 位相差板で線偏光し、以後第 $1\frac{1}{4}\lambda$ 位相差板で円偏光して前記第 1 光を提供する段階と、

前記液晶層を透過した前記第 1 光及び前記第 2 光を第 $2\frac{1}{4}\lambda$ 位相差板、第 $2\frac{1}{2}\lambda$ 位相差板、及び第 2 偏光板の順に線偏光して出射させる段階と、

を更に含むことを特徴とする請求項 2 に記載の液晶表示装置の駆動方法。

20

【請求項 4】

画素領域が定義された基板上に形成された第 1 スイッチング素子及び第 2 スイッチング素子と、

前記第 1 及び第 2 スイッチング素子のゲート電極と電氣的に連結されたゲートラインと、

前記第 1 及び第 2 スイッチング素子のソース電極と連結されたデータラインと、

前記第 1 スイッチング素子のドレイン電極と第 1 ストレージキャパシタを形成する第 1 ブースティングラインと、

前記第 2 スイッチング素子のドレイン電極と第 2 ストレージキャパシタを形成する第 2 ブースティングラインと、

30

前記画素領域の第 1 領域で前記第 1 スイッチング素子の前記ドレイン電極に電氣的に連結された透過電極と、

前記画素領域の第 2 領域で前記第 2 スイッチング素子の前記ドレイン電極に連結された反射電極と、

を含むアレイ基板と、

前記アレイ基板と対向する対向基板と、

前記アレイ基板と前記対向基板との間に設けられ、前記透過電極と前記反射電極とのそれぞれにおいて実質的に同じセルギャップを有する液晶層と、

を有することを特徴とする液晶表示装置。

40

【請求項 5】

前記第 1 ブースティングライン及び第 2 ブースティングラインは、前記ゲートラインと同じ層に前記ゲートラインの両側に互いに沿うように形成され、前記ゲートラインは前記第 1 スイッチング素子と前記第 2 スイッチング素子との間に延長されたことを特徴とする請求項 4 に記載の液晶表示装置。

【請求項 6】

前記第 1 ブースティングライン及び第 2 ブースティングライン、前記ゲートライン、前記第 1 及び第 2 ソース電極及び前記第 2 ドレイン電極は前記反射電極の下部に配置されることを特徴とする請求項 5 に記載の液晶表示装置。

【請求項 7】

前記アレイ基板は、

50

前記第 1 ブースティングラインと電氣的に連結されるように光透過性伝導性物質で形成され、前記第 1 スイッチング素子のドレイン電極に対向する第 1 ストレージ電極と、

前記第 2 ブースティングラインと電氣的に連結されるように光透過性伝導性物質で形成され、前記第 2 スイッチング素子のドレイン電極に対向する第 2 ストレージ電極と、

を更に含むことを特徴とする請求項 6 に記載の液晶表示装置。

【請求項 8】

前記反射電極上の液晶層に入射して前記反射電極によって反射される光の前記液晶層によるリターデーション量と、前記透過電極上の液晶層を透過する光のリターデーション量と、を実質的に同じになるように制御する駆動部を更に含み、

前記駆動部は、

外部から伝達された画像信号によって前記データラインに印加されるデータ信号と

10

、
前記第 1 ブースティングラインに印加され前記データ信号を前記透過電極に印加される第 1 画素電圧にブースティングする第 1 ブースティング信号と、

前記第 2 ブースティングラインに印加され前記データ信号を前記反射電極に印加される第 2 画素電圧にブースティングする第 2 ブースティング信号と、

前記第 1 及び第 2 スイッチング素子を制御する制御信号と、

を提供することを特徴とする請求項 4 に記載の液晶表示装置。

【請求項 9】

前記アレイ基板の背面に順次に積層された第 1 $1/4\lambda$ 位相差板、第 1 $1/2\lambda$ 位相差板、及び第 1 偏光板と、

20

前記対向基板の上面に順次に積層された第 2 $1/4\lambda$ 位相差板、第 2 $1/2\lambda$ 位相差板、及び第 2 偏光板と、

を更に含むことを特徴とする請求項 8 に記載の液晶表示装置。

【請求項 10】

前記駆動部は、前記透過電極を通じて前記液晶層を透過した光の階調と、前記反射電極から反射され前記液晶層を透過した光の階調と、が実質的に同じになるように、前記第 1 ブースティング信号及び前記第 2 ブースティング信号を制御することを特徴とする請求項 9 に記載の液晶表示装置。

【発明の詳細な説明】

30

【技術分野】

【0001】

本発明は液晶表示装置の駆動方法、アレイ基板、その製造方法、及びこれを有する液晶表示装置に関する。より詳細には、半透過液晶表示装置でモノセルギャップを具現することができる駆動方法、アレイ基板、アレイ基板の製造方法、及びアレイ基板を有する液晶表示装置に関する。

【背景技術】

【0002】

一般的に、液晶表示装置は、電界を用いて液晶の光透過率を調節することにより画像を表示する。このような液晶表示装置は、画像表示の基礎となる光をバックライト装置を用いて提供する透過型と自然光を用いる反射型と透過型と反射型とを結合した半透過型がある。

40

【0003】

半透過型では透過電極と反射電極が 1 つの画素領域に分離され形成されるが、基本的に 1 つの薄膜トランジスタ T F T を通じて画素電圧が同時に印加される。前記画素電圧と共通電極に印加された共通電圧によって液晶セルに電場が印加され、前記液晶セルの液晶は再配列される。

【0004】

透過領域の液晶セルは、入射光の位相に $1/2\lambda$ の光経路差 (r e t a r d a t i o n) を発生させる。しかし、反射領域の場合、入射光は前記反射電極で反射される前及び後に

50

それぞれ前記液晶セルを透過する。従って、前記液晶セルから出射される光の位相が前記透過領域と前記反射領域で実質的に同様にするために、前記反射領域で液晶セルのセルギャップを透過領域での液晶セルのセルギャップの1/2にして、光の総透過長さを互いに同様にするマルチセルギャップ方式を使用している。反射領域のセルギャップを透過領域のセルギャップより小さくするために、薄膜トランジスタ基板又はカラーフィルタ基板に段差を形成して反射領域のセルギャップを減少させる方式を使用している。

【0005】

このようなマルチセルギャップ方式は、半透過モードを容易に設計することができるという長所があるが、製造工程では多様な不良の原因となるという問題点がある。例えば、反射領域の段差による配向膜塗布不良及びポリイミドの塊のような配向不良及びテクスチャー現象を起こして特性の低下をもたらす。特に、ブルージング (bruising) 及び対比比 (CR) の低下は、半透過モードの競争力を低下させるという問題点となっている。

10

【発明の概要】

【発明が解決しようとする課題】

【0006】

本発明の技術的課題は、このような従来の問題点を解決するもので、本発明は、対比比低下及びテクスチャー発生等を防止する半透過モードの液晶表示装置の駆動方法を提供する。

【0007】

20

又、本発明は、対比比低下及びテクスチャー発生等を防止するアレイ基板を提供する。

【0008】

又、本発明は、前記アレイ基板の製造方法を提供する。

【0009】

又、本発明は、前記アレイ基板を有する液晶表示装置を提供する。

【課題を解決するための手段】

【0010】

前記した本発明の技術的課題を解決するために、実施例による液晶表示装置の駆動方法において、画像信号によってデータ信号を出力する。第1ブースティング信号によって前記データ信号の電圧を第1画素電圧にブースティングして透過電極に印加することにより、前記透過電極上の液晶層を透過する第1光を制御する。第2ブースティング信号によって前記データ信号の電圧を第2画素電圧にブースティングして反射電極に印加することにより、第2光の前記液晶層によるリターデーション (retardation) 量を前記第1光のリターデーション量と実質的に同様に制御する。前記第2光は、前記反射電極上の液晶層に入射して前記反射電極によって反射される。

30

【0011】

一実施例において、前記液晶層のセルギャップは、前記透過電極及び前記反射電極で実質的に同様にすることができる。前記第2光が前記反射電極によって反射される前及び後を合した前記液晶層によるリターデーション量が実質的に前記第1光が前記透過電極上の液晶層を透過する時のリターデーション量と実質的に同一であるように前記第1画素電圧及び前記第2画素電圧のレベルを制御することができる。

40

【0012】

前記した本発明の技術的課題を解決するために、実施例によるアレイ基板は、画素領域が定義された基板上に形成された第1スイッチング素子、第2スイッチング素子、ゲートライン、データライン、第1ブースティングライン、第2ブースティングライン、透過電極、及び反射電極を含む。前記第1及び第2スイッチング素子は、それぞれゲート電極、前記ゲート電極上で互に対向するソース電極及びドレイン電極を有する。前記ゲートラインは、前記第1及び第2スイッチング素子の前記ゲート電極と電氣的に連結される。前記データラインは、前記ゲートラインと絶縁され交差し、前記第1及び第2スイッチング素子の前記ソース電極と連結される。前記第1ブースティングラインは、前記第1スイッ

50

チング素子の前記ドレイン電極と第 1 ストレージキャパシタを形成する。前記第 2 ブースティングラインは、前記第 2 スイッチング素子の前記ドレイン電極と第 2 ストレージキャパシタを形成する。前記透過電極は前記画素領域の第 1 領域に配置され、前記第 1 スイッチング素子の前記ドレイン電極に電氣的に連結される。前記反射電極は前記画素領域の第 2 領域に配置され、前記第 2 スイッチング素子の前記ドレイン電極に連結される。

【0013】

一実施例において、前記基板から前記透過電極までの高さと同様に前記反射電極までの高さを実質的に互いに同じにすることができる。前記第 1 及び第 2 ブースティングラインは、前記ゲートラインと同じ層に前記ゲートラインの両側に互いに平行に形成されることができる。前記ゲートラインは、前記第 1 スイッチング素子と前記第 2 スイッチング素子との間に延長されることができる。

10

【0014】

前記した本発明の技術的課題を解決するために、実施例によるアレイ基板の製造方法において、画素領域が定義された基板上に第 1 ブースティングライン、第 2 ブースティングライン、前記第 1 及び第 2 ブースティングラインの間にゲートライン及びゲート電極を形成する。前記ゲート電極上に第 1 絶縁膜及び前記第 1 絶縁膜上に半導体層を形成する。前記第 1 絶縁膜上に前記ゲートラインと交差するデータライン、前記データラインから前記半導体層の上部に延長された第 1 ソース電極、第 2 ソース電極、前記第 1 及び第 2 ソース電極とそれぞれ対向する第 1 ドレイン電極及び第 2 ドレイン電極を形成する。前記データライン上に前記第 1 及び第 2 ドレイン電極の一部を露出させる第 1 コンタクトホール及び第 2 コンタクトホールを有する第 2 絶縁膜を形成する。前記画素領域の第 1 領域に対応する前記第 2 絶縁膜上に前記第 1 コンタクトホールを通じて前記第 1 ドレイン電極と電氣的に連結される透明電極を形成する。前記画素領域の第 2 領域に対応する前記第 2 絶縁膜上に前記第 2 コンタクトホールを通じて前記第 2 ドレイン電極と電氣的に連結される反射電極を形成する。

20

【0015】

一実施例において、前記基板から前記透過電極までの高さと同様に前記反射電極までの高さを実質的に同様に形成することができる。前記第 1 絶縁膜を形成する前に透光性伝導性物質で前記第 1 及び第 2 ブースティングラインにそれぞれ連結され、前記第 1 及び第 2 ドレイン電極にそれぞれ対向するように第 1 ストレージ電極及び第 2 ストレージ電極を更に形成することができる。透過率向上のために、前記第 1 及び第 2 ブースティングライン、前記ゲートライン、前記第 1 及び第 2 ソース電極、及び前記第 2 ドレイン電極は前記反射電極の下部に形成することができる。

30

【0016】

前記した本発明の技術的課題を解決するために、実施例による液晶表示装置は、アレイ基板、対向基板、及び液晶層を含む。前記アレイ基板は、画素領域が定義された基板上に形成された第 1 スイッチング素子及び第 2 スイッチング素子、ゲートライン、データライン、第 1 ブースティングライン、第 2 ブースティングライン、透過電極、及び反射電極を含む。前記ゲートラインは、前記第 1 及び第 2 スイッチング素子のゲート電極と電氣的に連結される。前記データラインは、前記第 1 及び第 2 スイッチング素子のソース電極と連結される。前記第 1 ブースティングラインは、前記第 1 スイッチング素子のドレイン電極と第 1 ストレージキャパシタを形成する。前記第 2 ブースティングラインは、前記第 2 スイッチング素子のドレイン電極と第 2 ストレージキャパシタを形成する。前記透過電極は、前記画素領域の第 1 領域で前記第 1 スイッチング素子の前記ドレイン電極に電氣的に連結される。前記反射電極は、前記画素領域の第 2 領域で前記第 2 スイッチング素子の前記ドレイン電極に連結される。前記対向基板は、前記アレイ基板と対向するように配置される。前記液晶層は、前記アレイ基板と前記対向基板との間に介在され、前記透過電極と前記反射電極でセルギャップが実質的に同様に形成される。

40

【0017】

一実施例において、前記第 1 及び第 2 ブースティングラインは、前記ゲートラインと同

50

じ層に前記ゲートラインの両側に互いに平行に形成され、前記ゲートラインは前記第 1 スイッチング素子と前記第 2 スイッチング素子との間に延長され形成されることができる。前記透過電極の透過率を向上させるために、前記第 1 及び第 2 ブースティングライン、前記ゲートライン、前記第 1 及び第 2 ソース電極、及び前記第 2 ドレイン電極は前記反射電極の下部に配置されることができる。

【発明の効果】

【0018】

前記した液晶表示装置の駆動方法、アレイ基板、その製造方法、及びこれを有する液晶表示装置によると、モノセルギャップで半透過モードが具現される。従って、マルチセルギャップで半透過モードを具現する場合に対して製造工程数が減少され、マルチセルギャップに誘発された対比低下、テクスチャー発生、及び配向不良などの問題を防止して、液晶表示装置の製造歩留まり及び表示品質を向上させることができる。

10

【図面の簡単な説明】

【0019】

【図 1】実施例 1 による液晶表示装置の平面図である。

【図 2】図 1 に図示された単位画素領域の構成の一例を示す部分拡大平面図である。

【図 3】図 2 に図示された液晶表示装置を I - I ' に沿って切断した断面図である。

【図 4】図 1 乃至図 3 に図示されたアレイ基板の製造方法の工程図である。

【図 5】図 1 乃至図 3 に図示されたアレイ基板の製造方法の工程図である。

【図 6】図 1 乃至図 3 に図示されたアレイ基板の製造方法の工程図である。

20

【図 7】図 2 に図示された単位画素領域に形成された素子の等価回路図である。

【図 8】図 1 乃至図 7 で説明された液晶表示装置の駆動方法を説明する順序図である。

【図 9】ゲート信号、データ信号、第 1 ブースティング信号、共通電圧、及び第 1 画素電圧の関係を示す波形図である。

【図 10】ゲート信号、データ信号、第 2 ブースティング信号、共通電圧、及び第 2 画素電圧の関係を示す波形図である。

【図 11】第 1 画素電圧及び第 2 画素電圧と透過電極及び反射電極で光透過率を示す電圧 - 透過率のグラフである。

【図 12】透過電極と反射電極で階調を実質的に同様にするための差等駆動電圧を示す階調駆動電圧グラフである。

30

【図 13】透過電極と反射電極に差等電圧を印加してガンマ値を実質的に同一にする時の階調 - 透過率グラフである。

【図 14】図 8 乃至図 13 で説明された駆動方法によって図 1 乃至図 7 で説明された液晶表示装置を駆動する時、透過電極と反射電極で光の偏光状態を示すダイアグラムである。

【図 15】図 8 乃至図 13 で説明された駆動方法によって図 1 乃至図 7 で説明された液晶表示装置を駆動する時、透過電極と反射電極で光の偏光状態を示すダイアグラムである。

【図 16】実施例 2 によるアレイ基板の単位画素領域を示す平面図である。

【図 17】実施例 3 によるアレイ基板の単位画素領域を示す平面図である。

【図 18】図 17 に図示されたアレイ基板を I I - I I ' に沿って切断した断面図である。

40

【図 19】実施例 4 によるアレイ基板の単位画素領域を示す平面図である。

【図 20】図 19 に図示されたアレイ基板を I I I - I I I ' に沿って切断した断面図である。

【発明を実施するための形態】

【0020】

以下、添付図面を参照して本発明の例示的な実施例を詳細に説明する。

【0021】

本発明は多様に変更することができ、多様な形態を有することができること、特定の実施形態を図面に例示して本文に詳細に説明する。しかし、これは、本発明を特定の開示形態に限定するのではなく、本発明の思想及び技術範囲に含まれる全ての変更、均等物、乃

50

至代替物を含むことを理解すべきである。

【 0 0 2 2 】

各図面を説明しながら類似の参照符号を類似の構成要素に対して付与した。図面において、構造物の寸法は本発明の明確性のために実際より拡大して示した。

【 0 0 2 3 】

第 1、第 2 等の用語は、多様な構成要素を説明するために使用することができるが、構成要素は用語によって限定されない。用語は一つの構成要素を他の構成要素から区別する目的としてのみ使用される。例えば、本発明の権利範囲から逸脱することなしに、第 1 構成要素は第 2 構成要素と称されてもよく、同様に第 2 構成要素も第 1 構成要素に称されてもよい。単数の表現は、文脈上、明白に相違が示されない限り、複数の表現を含む。

10

【 0 0 2 4 】

本出願において、「含む」または「有する」等の用語は、明細書上に記載された特徴、数字、段階、動作、構成要素、部品、又はこれらを組み合わせたものが存在することを意図するものであって、一つまたはそれ以上の他の特徴や数字、段階、動作、構成要素、部品、又はこれらを組み合わせたもの等の存在または付加の可能性を予め排除しないことを理解しなければならない。

【 0 0 2 5 】

なお、異なるものとして定義しない限り、技術的であるか科学的な用語を含めてここで用いられる全ての用語は、本発明が属する技術分野において通常の知識を有する者によって一般的に理解されるものと同一の意味を有している。一般的に用いられる辞典に定義されているもののような用語は、関連技術の文脈上で有する意味と一致する意味を有することと解釈すべきであり、本出願で明白に定義されない限り、異常的であるか過度に形式的な意味に解釈されない。

20

【 0 0 2 6 】

実施例 1

図 1 は、実施例 1 による液晶表示装置の平面図である。

【 0 0 2 7 】

図 1 を参照すると、本実施例の液晶表示装置 1 0 0 は、アレイ基板 1 0 1、対向基板 2 0 1、及び液晶層を含む。

【 0 0 2 8 】

30

互いに対向する前記アレイ基板 1 0 1 及び前記対向基板 2 0 1 がフレーム形状の密封材 5 0 によって接合されている。前記アレイ基板 1 0 1、前記対向基板 2 0 1、及び前記密封材 5 0 の内側に液晶が封入され前記液晶層が形成される。

【 0 0 2 9 】

前記アレイ基板 1 0 1 は、薄膜トランジスタ (T F T 素子) を用いたアクティブマトリックス駆動方式で駆動される素子基板であり得る。前記対向基板 2 0 1 は、 R、 G、 B カラーフィルタを有するカラーフィルタ基板であり得る。

【 0 0 3 0 】

図 2 は、図 1 に図示された単位画素領域の構成の一例を示す部分拡大平面図である。

【 0 0 3 1 】

40

図 2 を参照すると、前記アレイ基板 1 0 1 に定義された画素領域 P A には光が透過される透過電極 1 7 1 及び光が反射される反射電極 1 8 1 が全部形成されている。従って、前記液晶表示装置 1 0 0 は、半透過方式の液晶表示装置 1 0 0 である。

【 0 0 3 2 】

前記液晶層は、前記透過電極 1 7 1 と前記反射電極 1 8 1 でセルギャップが実質的に同様に形成される。前記セルギャップは、前記アレイ基板 1 0 1 と前記対向基板 2 0 1 との間で前記液晶層の厚みで定義される。

【 0 0 3 3 】

図 3 は、図 2 に図示された液晶表示装置 1 0 0 を I - I ' 線に沿って切断した断面図である。図 4 乃至図 6 は、図 1 乃至図 3 に図示されたアレイ基板 1 0 1 の製造方法の工程図

50

である。

【0034】

図1乃至図3を参照すると、本実施例による前記アレイ基板101は、下部基板105、第1スイッチング素子TF T1、第2スイッチング素子TF T2、ゲートライン111、データライン151、第1ブースティングライン121、第2ブースティングライン125、透過電極171、及び反射電極181を含む。

【0035】

前記下部基板105には、マトリックス形態に複数の画素領域PAが定義される。前記画像領域PAは、前記液晶層105が独立的に制御される個別領域単位で定義される。前記画像領域PAは、前記対向基板201の前記R、G、及びBカラーフィルタにそれぞれ対応する。前記画像領域PAの形状は、長方形、Z字形状など多様に変形されることができる。

10

【0036】

本実施例において、前記画像領域PAは大略長方形形状を有する。前記長方形形状の短辺と平行な方向を第1方向で定義し、前記長方形形状の長辺と平行な方向を第2方向で定義する。

【0037】

本実施例において、前記画素領域PAは、互いに隣接した第1領域A1及び前記第2領域A2に分割されている。前記第1領域A1及び第2領域A2は前記第2方向に直列配列されており、前記第2領域A2は前記第1領域A1より小さい面積を有することができる。

20

【0038】

前記第1スイッチング素子TF T1及び前記第2スイッチング素子TF T2は3端子素子であって、ゲート電極113、半導体層141、ソース電極153、及びドレイン電極155、157を含む。

【0039】

前記半導体層141は、前記ゲート電極113と絶縁され上部に形成され、前記ソース電極153及び前記ドレイン電極155、157は、前記半導体層141上で互いに対向するように配置されている。前記半導体層141は、活性層及び前記活性層上に形成された抵抗性接触層を含むことができる。前記活性層はアモルファスシリコン又はポリシリコンを含むことができる。

30

【0040】

本実施例によるアレイ基板の製造方法において、まず、前記下部基板105上に前記第1ブースティングライン121、前記第2ブースティングライン125、前記第1及び第2ブースティングライン121、125の間に前記ゲートライン111及び前記ゲート電極113を形成する。

【0041】

図4を参照すると、スパッタリング等の方法で前記下部基板105上にゲート金属層を形成し、写真エッチング工程を通じて前記ゲート金属層をエッチングして前記ゲートライン111を形成する。複数の前記ゲートライン111は、例えば、チタン(Ti)、アルミニウム(Al)、及びチタン(Ti)からなる3層構造を有し、前記下部基板105の上面で前記第1方向に延長するように形成される。前記ゲートライン111は、前記第2領域A2を横切るように形成されている。前記第2領域A2には、後述される前記反射電極181が配置されるので、前記ゲートライン111が前記画素領域PAの開口率を減少させるのが防止される。

40

【0042】

前記ゲートライン111から、図4に示すように、前記第1スイッチング素子TF T1及び前記第2スイッチング素子TF T2の前記ゲート電極113が延長されている。これと異なり、前記第1スイッチング素子TF T1及び前記第2スイッチング素子TF T2のゲート電極113は一体に単一に形成されることができる。

50

【 0 0 4 3 】

前記第 1 及び第 2 ブースティングライン 1 2 1、1 2 5 は、前記ゲートライン 1 1 1 と同じ層に前記ゲートライン 1 1 1 と同じ材質で形成されることができる。前記第 1 及び第 2 ブースティングライン 1 2 1、1 2 5 は、図 4 に示すように、前記ゲートライン 1 1 1 と実質的に平行に前記ゲートライン 1 1 1 の両側にそれぞれ形成されることができる。本実施例では、開口率を向上させるために、前記第 1 及び第 2 ブースティングライン 1 2 1、1 2 5 は前記第 2 領域 A 2 を横切るように配置されている。

【 0 0 4 4 】

前記アレイ基板 1 0 1 は、第 1 絶縁層 1 3 1 を更に含むことができる。前記第 1 絶縁層 1 3 1 は、前記ゲートライン 1 1 1、前記第 1 及び第 2 ブースティングライン 1 2 1、1 2 5 上に形成される。前記第 1 絶縁層 1 3 1 は、窒化珪素又は酸化珪素などの絶縁物で形成されることができる。前記ゲート電極 1 1 3 上の前記第 1 絶縁層 1 3 1 上には、図 7 に示すように、前記第 1 及び第 2 スwitchング素子 T F T 1、T F T 2 の前記半導体層 1 4 1 が形成される。以後、図 6 に示すように、前記第 1 絶縁層 1 3 1 上に前記データライン 1 5 1 が形成される。前記データライン 1 5 1 は、前記ゲートライン 1 1 1 と交差して前記第 2 方向に延長されることができる。前記第 1 及び第 2 スwitchング素子 T F T 1、T F T 2 の前記ソース電極 1 5 3 は、前記データライン 1 5 1 から前記半導体層 1 4 1 上にそれぞれ延長されている。

【 0 0 4 5 】

前記第 1 スwitchング素子 T F T 1 の第 1 ドレイン電極 1 5 5 は、一側端部が前記半導体層 1 4 1 上で前記ソース電極 1 5 3 と向き合うように配置され、他側端部は前記第 1 領域 A 1 のエッジまで延長されている。前記第 1 ドレイン電極 1 5 5 は、前記第 1 ブースティングライン 1 2 1 と一部が重なるように形成されることができる。前記第 2 スwitchング素子 T F T 2 の第 2 ドレイン電極 1 5 7 の一側端部は、前記半導体層 1 4 1 上で前記第 2 スwitchング素子 T F T 2 のソース電極 1 5 3 と向き合うように配置され、前記第 2 ドレイン電極 1 5 7 の他側端部は、前記第 2 領域 A 2 に配置されている。前記第 2 ドレイン電極 1 5 7 は前記第 2 ブースティングライン 1 2 5 と一部が重なるように形成されている。

【 0 0 4 6 】

前記アレイ基板 1 0 1 は、パシベーション膜 1 3 5 及び第 2 絶縁層 1 6 0 を更に含むことができる。前記パシベーション膜 1 3 5 は、前記データライン 1 5 1、前記第 1 及び第 2 スwitchング素子 T F T 1、T F T 2 上に形成される。前記第 2 絶縁層 1 6 0 は、前記パシベーション膜 1 3 5 上に有機絶縁物を用いて形成されることができる。前記第 2 絶縁層 1 6 0 及び前記パシベーション膜 1 3 5 には前記第 1 及び第 2 スwitchング素子 T F T 1、T F T 2 の第 1 及び第 2 ドレイン電極 1 5 5、1 5 7 の一部を露出させるコンタクトホール 1 6 1、1 6 3 が形成されている。

【 0 0 4 7 】

前記液晶表示装置 1 0 0 は駆動部を更に含むことができる。前記駆動部は、データ駆動部 1 0 及びゲート駆動部 3 0 を含むことができる。前記対向基板 2 0 1 によってカバーされない前記下部基板 1 0 5 の周辺領域 6 1 のうち上側に、図 1 に示すように、前記データ駆動部 1 0 が実装されている。又、前記周辺領域 6 1 のうち左側には前記ゲート駆動部 3 0 が実装されている。前記データ駆動部 1 0 及び前記ゲート駆動部 3 0 は、それぞれデータドライバ I C 1 0 及びゲートドライバ I C 3 0 のようにチップの形態に形成されることができる。これと異なり、前記駆動部は、前記データ駆動部 1 0 及び前記ゲート駆動部 3 0 に分離されず、単一なチップ形態に形成されることもできる。

【 0 0 4 8 】

前記周辺領域 6 1 の前記上側エッジには前記画像信号が伝達されるフレキシブル印刷回路フィルム (F P C) 2 0 が電氣的に連結されている。前記データドライバ I C 1 0 及び前記ゲートドライバ I C 3 0 の入力側端子は、外部接続用配線 3 5 によって前記フレキシブル印刷回路フィルム 2 0 と連結されている。各前記ゲートライン 1 1 1、前記第 1 ブー

10

20

30

40

50

スティングライン 1 2 1 及び前記第 2 ブースティングライン 1 2 5 は、一側端部が前記ゲートドライバ I C 3 0 の出力側端子に電氣的に連結されている。

【 0 0 4 9 】

図 7 は、図 2 に図示された単位画素領域 P A に形成された素子の等価回路図である。

【 0 0 5 0 】

図 1 及び図 7 を参照すると、前記データライン 1 5 1 の一側端部は、前記データドライバ I C 1 0 の出力側端子に電氣的に連結されている。前記データ駆動部 1 0 は、外部から伝達された画像信号に基づいて前記データライン 1 5 1 にデータ信号を印加する。前記データ信号は、前記データライン 1 5 1 を通じて前記第 1 及び第 2 スwitchング素子 T F T 1、T F T 2 のソース電極 1 5 3 に共通的に印加される。

10

【 0 0 5 1 】

前記ゲート駆動部 3 0 は、前記画像信号に基づいて前記ゲートライン 1 1 1 にゲート信号を印加する。前記ゲート信号は、前記ゲートライン 1 1 1 を通じて前記第 1 及び第 2 スwitchング素子 T F T 1、T F T 2 のゲート電極 1 1 3 に共通的に印加される。

【 0 0 5 2 】

前記ゲート電極 1 1 3 に前記ゲート信号が印加された場合、前記ソース電極 1 5 3 に印加された前記データ信号が前記第 1 及び第 2 ドレイン電極 1 5 5、1 5 7 に出力される。従って、前記第 1 ドレイン電極 1 5 5 及び前記第 2 ドレイン電極 1 5 7 には同じデータ信号が出力されることができる。

【 0 0 5 3 】

20

前記第 1 ブースティングライン 1 2 1、前記第 1 絶縁層 1 3 1、及び前記第 1 ドレイン電極 1 5 5 は、第 1 ストレージキャパシタ C S T _T を形成する。又、前記第 2 ブースティングライン 1 2 5、前記第 2 絶縁層 1 6 0、及び前記第 2 ドレイン電極 1 5 7 は第 2 ストレージキャパシタ C S T _2 を形成する。

【 0 0 5 4 】

本実施例において、前記ゲート駆動部 3 0 は、前記データ信号及び前記ゲート信号に連動された第 1 ブースティング信号及び第 2 ブースティング信号を前記第 1 ブースティングライン 1 2 1 及び前記第 2 ブースティングライン 1 2 5 にそれぞれ出力することができる。前記第 1 ブースティング信号を制御すると、前記第 1 ストレージキャパシタ C S T _T によって前記第 1 ドレイン電極 1 5 5 に印加されたデータ信号の電圧レベルが第 1 画素電圧にブースティングされることができる。又、前記第 2 ブースティング信号を制御すると、前記第 2 ストレージキャパシタ C S T _R によって前記第 2 ドレイン電極 1 5 7 に印加されたデータ信号の電圧レベルが第 2 画素電圧にブースティングされることができる。

30

【 0 0 5 5 】

前記透過電極 1 7 1 は、図 2 及び図 3 に示すように、前記第 1 領域 A 1 に対応する前記第 2 絶縁層 1 6 0 上に形成される。前記透過電極 1 7 1 は、透明な伝導性物質である I T O 又は I Z O を図 6 に図示された前記第 2 絶縁層 1 6 0 上に蒸着してパターニングして形成されることができる。

【 0 0 5 6 】

前記透過電極 1 7 1 は、前記第 2 絶縁層 1 6 0 に形成された第 1 コンタクトホールを通じて前記第 1 ドレイン電極 1 5 5 に電氣的に連結されている。従って、前記透過電極 1 7 1 には前記データ信号又は前記データ信号がブースティングされた前記第 1 画素電圧が印加されることができる。

40

【 0 0 5 7 】

前記透過電極 1 7 1 を形成しつつ前記第 2 領域 A 2 には、図 3 に示すように、前記透明な伝導性物質からなる伝導層 1 7 3 が共に形成される。前記伝導層 1 7 3 は、前記第 2 コンタクトホール 1 6 3 を通じて前記第 2 スwitchング素子 T F T 2 の前記第 2 ドレイン電極 1 5 7 に電氣的に連結されている。

【 0 0 5 8 】

前記反射電極 1 8 1 は、図 2 及び図 3 に示すように、前記第 2 領域 A 2 に形成された前

50

記伝導層 173 上に形成される。前記反射電極 181 は、アルミニウムのような反射率に優れた金属膜で形成されることができる。従って、前記反射電極 181 は、前記伝導層 173 と電氣的に連結され前記第 2 ドレイン電極 157 を通じて前記データ信号又は前記第 2 画素電圧の印加を受けることができる。

【0059】

前記反射電極 181 から反射される光が拡散されるように前記第 2 領域 A2 に対応する前記第 2 絶縁層 160 の上面に、図 3 に示すように、凸凹パターンを形成することもできる。但し、図 3 に図示された凸凹パターンの凸凹サイズは誇張されるように表示されており、前記凸凹パターンによって前記第 1 領域 A1 と前記第 2 領域 A2 で前記下部基板 105 から前記透過電極 171 と前記反射電極 181 までの高さは実質的に差異がない。

10

【0060】

前記アレイ基板 101 は、第 1 配向膜 191 を更に含むことができる。前記第 1 配向膜 191 は、前記透過電極 171、前記反射電極 181、及び前記第 2 絶縁層 160 上に形成される。前記第 1 配向膜 191 は、後述される前記液晶層 103 の初期配列を決定する。

【0061】

図 1 及び図 3 を更に参照すると、前記対向基板 201 は、上部基板 205、ブラックマトリックス 210、カラーフィルタ 230、オーバーコーティング層 240、共通電極 250、及び第 2 配向膜 260 を含むことができる。

【0062】

前記上部基板 205 は前記下部基板 105 と対向し、前記下部基板 105 と同じ材質、例えば、ガラス又はプラスチックで形成されることができる。

20

【0063】

前記ブラックマトリックス 210 は、前記第 1 及び第 2 スイッチング素子 TFT2、前記ゲートライン 111、及び前記データライン 151 に対応するように前記上部基板 205 に形成される。前記ブラックマトリックス 210 は、有機物又はクロムを含む金属性物質からなることができる。

【0064】

前記カラーフィルタ 230 は、前記画素領域 PA に対応する前記上部基板 205 に印刷方法又はカラーフォトレジストを用いたフォトエッチング方法等によって形成されることができる。前記カラーフィルタ 230 は、赤色 R、緑色 G、及び青色 B カラーフィルタ 230 を含むことができる。前記オーバーコーティング層 240 は、前記カラーフィルタ 230 及び前記ブラックマトリックス 210 を覆って平坦化する。

30

【0065】

前記共通電極 250 は、ITO 及び IZO のような透明な導電性物質で前記オーバーコーティング層 240 上に形成される。前記共通電極 250 は、図 1 に示すように、共通電極 250 と同じ材料等からなる共通信号線 137 を通じて前記データドライバ IC10 の COM 端子と電氣的に接続されることができる。前記画素領域 PA を複数のドメインに分割するために、図 3 に示すように、前記共通電極 250 にはスリットが形成されることもできる。前記第 2 配向膜 260 は前記共通電極 250 上に形成される。

40

【0066】

前記液晶層 103 は、前記第 1 配向膜 191 と前記第 2 配向膜 260 との間に介在される。前記液晶層 103 が有する液晶は、前記アレイ基板 101 で前記対向基板 201 に向かう垂直方向に配向され VA (Vertical Align) モードに形成されることができる。

【0067】

本実施例において、前記液晶層 103 の厚み、即ち、液晶層 103 のセルギャップは、図 3 に示すように、前記透過電極 171 と前記反射電極 181 で実質的に同様に形成されている。即ち、本発明の液晶表示装置 100 は、液晶層 103 のセルギャップをモノセルギャップにしつつ半透過タイプで駆動される。

50

【 0 0 6 8 】

従って、前記透過電極 1 7 1 上の液晶層 1 0 3 を透過する第 1 光と前記反射電極 1 8 1 上の液晶層 1 0 3 に入射して前記反射電極 1 8 1 によって反射される第 2 光は前記液晶層 1 0 3 を透過する距離が互いに異なる。従って、前記透過電極 1 7 1 と前記反射電極 1 8 1 で前記液晶層 1 0 3 の駆動を同様にすると、前記液晶層 1 0 3 から出射される前記第 1 光及び前記第 2 光のリターデーション量が互いに異なって、正常的に液晶表示装置 1 0 0 が画像を表示することができない。

【 0 0 6 9 】

従って、本発明では前記透過電極 1 7 1 と前記反射電極 1 8 1 に互いに異なるレベルの電圧を印加して前記液晶層 1 0 3 による前記第 1 光及び前記第 2 光のリターデーション量を実質的に同様に制御する。

10

【 0 0 7 0 】

図 8 は、図 1 乃至図 7 で説明された液晶表示装置 1 0 0 の駆動方法を説明する順序図である。

【 0 0 7 1 】

本実施例の液晶表示装置 1 0 0 の駆動方法で液晶表示装置 1 0 0 は、A L S 駆動方式で駆動される。例えば、データ信号をブースティングラインでブースティングして透過電極 1 7 1 と反射電極 1 8 1 に差等電圧を印加する。図 8 を参照すると、まず、外部から伝達された画像信号によってデータ信号を出力する（段階 S 1 0）。例えば、グラフィックカードのような外部装置から印加された画像信号によって前記データ駆動部 1 0 は、データライン 1 5 1 に印加されるデータ信号を出力する。これと連動され前記ゲート駆動部 3 0 は、前記ゲートライン 1 1 1 に印加されるゲート信号を出力する。

20

【 0 0 7 2 】

図 9 は、ゲート信号、データ信号、第 1 ブースティング信号、共通電圧、及び第 1 画素電圧の関係を示す波形図である。図 1 0 は、ゲート信号、データ信号、第 2 ブースティング信号、共通電圧、及び第 2 画素電圧の関係を示す波形図である。

【 0 0 7 3 】

図 9 を参照すると、第 1 ブースティング信号 V c s t 1 によって前記データ信号 D S を第 1 画素電圧 V 1 にブースティングする（段階 S 3 0）。前述したように、前記ゲート信号 G S が前記第 1 スイッチング素子 T F T 1 の前記ゲート電極 1 1 3 に印加されると、前記第 1 スイッチング素子 T F T 1 のソース電極 1 5 3 に印加された前記データ信号 D S は前記第 1 ドレイン電極 1 5 5 に印加される。

30

【 0 0 7 4 】

前記データ信号 D S と連動され前記第 1 ブースティングライン 1 2 1 には前記第 1 ブースティング信号 V c s t 1 が印加される。前記第 1 ブースティング信号 V c s t 1 は、前記共通電極 2 5 0 に印加される前記共通電圧より電圧レベルがずっと大きい。従って、前記データ信号 D S は、前記第 1 ストレージキャパシタ C S T _ T によって前記第 1 画素電圧 V 1 にブースティングされ前記透過電極 1 7 1 に印加されることができる。

【 0 0 7 5 】

前記第 1 画素電圧 V 1 が印加されることにより、前記透過電極 1 7 1 上の液晶層 1 0 3 は配列が変更され、前記透過電極 1 7 1 上の前記液晶層 1 0 3 を透過する前記第 1 光は前記液晶層 1 0 3 によって第 1 リターデーション量だけ光経路差を有することになる。

40

【 0 0 7 6 】

図 1 0 を参照すると、第 2 ブースティング信号 V c s t 2 によって前記データ信号 D S を第 2 画素電圧 V 2 にブースティングする（段階 S 5 0）。前記データ信号 D S が前記第 1 画素電圧 V 1 にブースティングされることと実質的に同時に前記データ信号 D S は前記第 2 ブースティングライン 1 2 5 によって前記第 2 画素電圧 V 2 にブースティングされる。

。

【 0 0 7 7 】

前記ゲート信号 G S が前記第 2 スイッチング素子 T F T 2 の前記ゲート電極 1 1 3 に印

50

加されると、前記第2スイッチング素子TF T2のソース電極153に印加された前記データ信号DSは、前記第2ドレイン電極157に印加される。前記第2ブースティングライン125には、前記第2ブースティング信号Vcst2が印加される。前記第2ブースティング信号Vcst2は、前記共通電極250に印加される前記共通電圧より電圧レベルが大きい。従って、前記データ信号DSは前記第2ドレイン電極157と前記第2ブースティングライン125が形成する前記第2ストレージキャパシタCST_2によって前記第2画素電圧V2にブースティングされ前記反射電極181に印加されることができる。

【0078】

前記第2画素電圧V2が印加されることにより、前記反射電極181上の液晶層103は配列が変更され、前記液晶層103に入射して前記反射電極181によって反射される第2光は前記反射される前及び後に総合して前記液晶層103によって第2リターデーション量だけ光経路差を有することになる。

【0079】

前記透過電極171又は前記反射電極181に印加される前記第1及び第2画素電圧V1、V2は下記された数式1から決定されることができる。

(数1)

【0080】

$$V_p = V_d \pm \Delta = V_d \pm [C_{st} / (C_{st} + C_{Lc})] (V_h - V_L)$$

【0081】

前記数式1において、Vpは画素電圧、Vdはデータライン151を通じてスイッチング素子のドレイン電極に充電されたデータ信号DSの電圧、Δはブースティング信号の電圧レベルによってキャパシティブ(capacitive)カップリング(coupling)によって変わるブースティングされる量、Cstはストレージキャパシタ容量、CLcは液晶キャパシタ容量、Vhはブースティング信号のハイレベル電圧、VLはブースティング信号のローレベル電圧をそれぞれ意味する。

【0082】

本実施例による液晶表示装置100の駆動方法において、前記第1ブースティング信号Vcst1及び前記第2ブースティング信号Vcst2のレベルを制御して前記第1リターデーション量と前記第2リターデーション量を実質的に同様に制御する。

【0083】

図11は、透過電極171及び反射電極181にそれぞれ印加される第1画素電圧V1及び第2画素電圧V2と透過電極171及び反射電極181で光透過率を示す電圧-透過率グラフである。

【0084】

図11に図示されたグラフにおいて、縦軸は前記透過電極171及び前記反射電極181で100%で示した液晶層103の光透過率を示す。横軸は前記透過電極171に印加された前記第1画素電圧V1と前記反射電極181に印加された第2画素電圧V2のサイズを示す。

【0085】

図11に図示されたグラフは、液晶層103のセルギャップを透過電極171と反射電極181で実質的に同様に、約3.3μm乃至3.5μmとし、前記透過電極171を透過する第1光と、前記反射電極181から反射される第2光の前記液晶層103に対する透過率を観測した結果を示す。

【0086】

図11で黒丸(TN)が表示された透過電極171に対する電圧-透過率グラフにおいて、前記第1画素電圧V1が約2V以下である場合、光透過率がほぼ0%に近接することがわかる。又、前記第1画素電圧V1が約2.0Vから約4.3Vまで変わる時、前記透過電極171上の液晶層103の光透過率は0%から最大100%に増加され、前記第1画素電圧V1が約4.3V以上に増加することにより、光透過率が漸次的に減少されるこ

10

20

30

40

50

とがわかる。従って、前記第 1 画素電圧 V_1 は、前記透過電極 171 上の前記液晶層 103 の前記光透過率が最小から最大まで変わる区間、例えば、約 2.0 V 乃至 4.3 V の駆動範囲で変化されることが好ましいことがわかる。

【0087】

図 11 において、黒四角 (RN) が表示された反射電極 181 に対する電圧 - 透過率グラフで、前記第 2 画素電圧 V_2 が約 2 V 以下及び約 5.5 V 以上であれば、光透過率が約 10 % であることがわかる。又、前記第 2 画素電圧 V_2 が約 2 V 乃至 3.1 V まで変わる時、前記光透過率は 10 % から最大 100 % まで急激に増加して、前記第 2 画素電圧 V_2 が約 3.1 V から約 5.5 V まで変わる時、前記光透過率は 100 % から 10 % に減少されることがわかる。従って、前記第 2 画素電圧 V_2 は前記反射電極 181 上の前記液晶層 103 の前記光透過率が最小から最大まで変わる区間、例えば、約 2.0 V 乃至 3.1 V の駆動範囲で変わることが好ましいことがわかる。

10

【0088】

前記透過電極 171 と前記反射電極 181 で前記液晶層 103 の絶対的な光透過量は互いに異なることができるが、前記光透過率が実質的に同じであるように前記液晶層 103 に差等電圧が印加されることができる。前記透過電極 171 と前記反射電極 181 上の液晶層 103 の光透過率が実質的に同じである時、前記第 1 及び第 2 リターデーション量が実質的に互いに同じになることができる。

【0089】

例えば、図 11 で光透過率が 50 % である時、前記第 1 画素電圧 V_1 は約 3.1 V、及び前記第 2 画素電圧 V_2 は約 2.5 V であることがわかる。従って、この場合、前記データ信号 DS の電圧、前記第 1 及び第 2 画素電圧 V_2 を知っているので、前記数式 1 から前記第 1 及び第 2 ブースティング信号 V_{cst2} の電圧を決定することができる。

20

【0090】

図 12 は、差等電圧が印加される時、透過電極 171 と反射電極 181 で階調を実質的に同様にするための駆動電圧を図示する階調 - 駆動電圧グラフである。図 13 は、透過電極 171 と反射電極 181 に差等電圧を印加して、ガンマ値を実質的に同様にする時、階調 - 透過率グラフである。

【0091】

図 12 において、横軸は、前記液晶表示装置 100 によって表示される画像の階調を示し、縦軸は、透過電極 171 又は反射電極 181 に印加される電圧を示す。

30

【0092】

図 12 を参照すると、黒上向き三角印 (ピクセルに印加された電圧 T) が表示された第 1 画素電圧 V_1 - 階調グラフは、黒丸 (ピクセルに印加された電極 R) が表示された第 2 画素電圧 V_2 - 階調グラフより傾きがより急激に増加することがわかる。即ち、0 階調から 64 階調に変わる時、前記第 1 画素電圧 V_1 は、図 11 で説明されたように約 2.0 V から約 4.3 V まで変化される。又、前記第 2 画素電圧 V_2 は約 2.0 V から約 3.1 V まで変化される。従って、同じ階調で前記第 1 画素電圧 V_1 が前記第 2 画素電圧 V_2 より大きく、階調が増加することにより電圧差異が増加することがわかる。

【0093】

40

図 13 において、横軸は画像表示の階調を示し、縦軸は前記透過電極 171 と前記反射電極 181 で光透過率を示す。図 13 を参照すると、階調と関係されたパラメーターであるガンマ値が約 2.2 である時、黒丸 (透過) が表示されたグラフを参照すると、透過電極 171 の光透過率は実線で表示された理想的な階調 - 透過率グラフに殆ど近似するように変化されることがわかる。又、黒四角 (反射) が表示されたグラフを参照すると、反射電極 181 の光透過率も前記理想的な階調 - 透過率グラフに殆ど近似するように変化されることがわかる。

【0094】

従って、図 12 及び図 13 から階調によって異なるレベルの前記第 1 画素電圧 V_1 及び前記第 2 画素電圧 V_2 をそれぞれ前記透過電極 171 及び前記反射電極 181 に印加する

50

と、標準化された光透過率が実質的に互いに同様になる。従って、前記第 1 及び第 2 ブースティング信号 V_{cst1} 、 V_{cst2} を前記階調によって前記数式 1 によって決定された値とすれば、前記液晶表示装置 100 は所望する階調の画像を表示することができることになる。

【0095】

図 14 及び図 15 は、図 8 乃至図 13 で説明された駆動方法によって図 1 乃至図 7 で説明された液晶表示装置 100 を駆動する時、透過電極 171 と反射電極 181 で光の偏光状態を示すダイアグラムである。

【0096】

図 14 は、前記第 1 及び第 2 画素電圧 V_1 、 V_2 が前記透過電極 171 及び前記反射電極 181 に印加されないオフ状態でダークモードが具現されることを図示する。図 15 は、前記第 1 及び第 2 画素電圧 V_1 、 V_2 が前記透過電極 171 及び前記反射電極 181 に印加されたオン状態でホワイトモードが具現されることを図示する。

【0097】

図 14 及び図 15 に図示された光学モードは、前記液晶層 103 が m P V A モードで駆動される場合を含むことができる。これと異なり、オフ状態でホワイトモードが具現され、オン状態でダークモードが具現されるように光学モードを設計することができ、この場合、前記光学モードは前記液晶層 103 が T N モード又は E C B モードで駆動される場合を含むことができる。

【0098】

図 3、図 14、及び図 15 を参照すると、前記液晶表示装置 100 は、第 1 偏光板 71、第 $1\frac{1}{2}\lambda$ 位相差板 72、第 $1\frac{1}{4}\lambda$ 位相差板 73、第 $2\frac{1}{4}\lambda$ 位相差板 74、第 $2\frac{1}{2}\lambda$ 位相差板 75、及び第 2 偏光板 76 を更を含むことができる。

【0099】

前記第 $1\frac{1}{4}\lambda$ 位相差板 73 は、前記アレイ基板 101 の背面に配置され、前記第 1 偏光板 71 は前記第 $1\frac{1}{4}\lambda$ 位相差板 73 の下に配置され、前記第 $1\frac{1}{2}\lambda$ 位相差板 72 は、前記第 $1\frac{1}{4}\lambda$ 位相差板 73 と前記第 1 偏光板 71 との間に介在されることができる。前記第 $2\frac{1}{4}\lambda$ 位相差板 74 は前記対向基板 201 の上面に配置され、前記第 2 偏光板 76 は前記第 $2\frac{1}{4}\lambda$ 位相差板 75 上に配置され、前記第 $2\frac{1}{2}\lambda$ 位相差板 75 は前記第 $2\frac{1}{4}\lambda$ 位相差板 74 と前記第 2 偏光板 76 との間に介在されることができる。

【0100】

図 14 で前記第 1 偏光板 71 に入射された第 1 光は、前記第 1 偏光板 71 及び前記第 $1\frac{1}{2}\lambda$ 位相差板 72 によって特定な方向に線偏光され、前記第 $1\frac{1}{4}\lambda$ 位相差板 73 によって第 1 偏光方向に円偏光され前記透過電極 171 を通じて前記液晶層 103 に入射される。前記第 1 偏光方向は便宜上円偏光の方向を区分するために使用された。

【0101】

前記オフ状態で前記液晶層 103 は、前記第 1 光の偏光状態をそのまま維持する。従って、前記第 1 偏光方向に円偏光された前記第 1 光は、前記第 $2\frac{1}{4}\lambda$ 位相差板 74 及び前記第 $2\frac{1}{2}\lambda$ 位相差板 75 によって線偏光される。前記第 1 光は、前記第 1 偏光板 71 と偏光軸が直交するように配置された前記第 2 偏光板 76 によって遮断されダークモードになる。

【0102】

一方、前記第 2 光は、前記第 2 偏光板 76 及び前記第 $2\frac{1}{2}\lambda$ 位相差板 75 によって特定な方向に線偏光され、前記第 $2\frac{1}{4}\lambda$ 位相差板 74 によって第 2 偏光方向に円偏光され前記反射電極 181 上の液晶層 103 に入射される。前記第 2 方向は、前記第 1 偏光方向と 180° 位相差がある方向で定義されることができる。

【0103】

前記オフ状態なので、前記液晶層 103 を通過しながら前記第 2 光の偏光状態は変更されない。前記第 2 光は、前記反射電極 181 で反射されながら位相が反転され前記第 1 偏光方向に偏光された円偏光になって更に前記第 $2\frac{1}{4}\lambda$ 位相差板 74 に入射される。前記

10

20

30

40

50

第 1 偏光方向に円偏光された前記第 2 光は、前記第 2 $1/4\lambda$ 位相差板 7 4 及び前記第 2 $1/2\lambda$ 位相差板 7 5 によって線偏光される。前記第 2 光は、前記第 2 偏光板 7 6 によって遮断されダークモードになる。

【0104】

従って、前記透過電極 1 7 1 と前記反射電極 1 8 1 でオフモードでダークモードが具現されることができる。

【0105】

図 1 5 で前記透過電極 1 7 1 と前記反射電極 1 8 1 でセルギャップが実質的に同じであり、オン状態なので前記液晶層 1 0 3 は入射光の偏光状態を変更させる。前記透過電極 1 7 1 上の液晶層 1 0 3 は、前記第 1 画素電圧 V_1 が印加された前記透過電極 1 7 1 と前記共通電極 2 5 0 が形成する電場によって再配列され、前記液晶層 1 0 3 を透過する前記第 1 光は $1/2\lambda$ だけ位相が変更される。従って、前記第 1 方向に円偏光された前記第 1 光は前記液晶層 1 0 3 によって前記第 2 方向に円偏光される。前記第 2 方向に円偏光された前記第 1 光は、前記第 2 $1/4\lambda$ 位相差板 7 4 及び前記第 2 $1/2\lambda$ 位相差板 7 5 によって線偏光され前記第 2 偏光板 7 6 を透過してホワイトモードが具現される。

10

【0106】

前記反射電極 1 8 1 上の液晶層 1 0 3 は、前記第 2 画素電圧 V_2 が印加された前記反射電極 1 8 1 と前記共通電極 2 5 0 が形成する電場によって再配列され、前記第 2 光は、前記反射電極 1 8 1 上の液晶層 1 0 3 を 1 回通過する時、 $1/4\lambda$ だけ位相が変更される。前記第 2 $1/4\lambda$ 位相差板 7 4 によって前記第 2 方向に円偏光された前記第 2 光は、前記液晶層 1 0 3 によって更に線偏光され前記反射電極 1 8 1 に入射される。前記反射電極 1 8 1 から反射された前記第 2 光は、位相が 180° 変更された線偏光になって更に液晶層 1 0 3 を通過する。前記液晶層 1 0 3 によって更に $1/4\lambda$ だけ位相が変更された前記第 2 光は前記第 2 方向に円偏光された光になる。

20

【0107】

前記第 2 方向に円偏光された前記第 2 光は、前記第 2 $1/4\lambda$ 位相差板 7 4 及び前記第 2 $1/2\lambda$ 位相差板 7 5 によって線偏光され、前記第 2 偏光板 7 6 を透過してホワイトモードが具現される。

【0108】

従って、前記透過電極 1 7 1 と前記反射電極 1 8 1 でオンモードでホワイトモードが具現されることができる。従って、前記液晶表示装置 1 0 0 の駆動方法によると、ダークモードとホワイトモードが全部具現可能で、前記第 1 ブースティング信号 V_{cst1} 及び前記第 2 ブースティング信号 V_{cst2} を制御して所望する階調の画像を表示することができる。

30

【0109】

実施例 2

図 1 6 は、実施例 2 によるアレイ基板 4 0 1 の単位画素領域 PA を示す平面図である。

【0110】

図 1 6 を参照すると、本実施例によるアレイ基板 4 0 1 及びその製造方法は、第 1 ブースティングライン 4 2 1 の位置が変更されたこと、及び第 1 スイッチング素子 TFT_1 の第 1 ドレイン電極 4 5 5 が画像領域 PA の第 1 領域 A_1 の中央まで延長されたことを除いては図 1 乃至図 7 で説明されたアレイ基板 1 0 1 及びその製造方法と実質的に同じである。従って、対応する要素には同じ参照符号を付与して、その重複説明は省略する。

40

【0111】

本実施例において、前記第 1 ブースティングライン 4 2 1 は、ゲートライン 4 1 1 と平行で前記画素領域 PA の第 1 領域 A_1 を横切るように、例えば、大略前記第 1 領域 A_1 の中心を通過するように配置される。前記第 1 ドレイン電極 4 5 5 は前記第 1 領域 A_1 の中心まで延長され、前記第 1 ドレイン電極 4 5 5 の端部は前記第 1 ブースティングライン 4 2 1 と重なって第 1 ストレージキャパシタ CST_T を形成する。

【0112】

50

本実施例によると、前記第 1 ブースティングライン 4 2 1、前記第 2 ブースティングライン 4 2 5、及び前記ゲートライン 4 1 1 間の離隔間隔を実施例 1 より大きく形成することができる。従って、前記第 1 ブースティングライン 4 2 1、前記第 2 ブースティングライン 4 2 5、及び前記ゲートライン 4 1 1 の工程マージンを余裕のあるようにすることができるという長所がある。

【0113】

本実施例による液晶表示装置は、図 1 6 に図示されたアレイ基板 4 0 1 を含むことを除いては、図 1 乃至図 7 で説明された液晶表示装置 1 0 0 と実質的に同じである。従って、対応する要素については、対応する参照番号を付与して重複説明は省略する。

【0114】

本実施例による液晶表示装置の駆動方法は、図 8 乃至図 1 5 で説明された液晶表示装置の駆動方法と実質的に同じである。従って、重複された説明は省略する。

【0115】

実施例 3

図 1 7 は、実施例 3 によるアレイ基板 6 0 1 の単位画素領域 P A を示す平面図である。図 1 8 は、図 1 7 に図示されたアレイ基板 6 0 1 を I I - I I ' に沿って切断した断面図である。

【0116】

図 1 7 及び図 1 8 を参照すると、本実施例によるアレイ基板 6 0 1 及びその製造方法は、第 1 ストレージ電極 6 2 3 及び第 2 ストレージ電極 6 2 7 及びこれを形成する段階を更に含むことを除いては図 1 乃至図 7 で説明されたアレイ基板 1 0 1 及びその製造方法と実質的に同じである。従って、対応する要素については対応する参照番号を使用して重複された説明は省略する。

【0117】

本実施例のアレイ基板 6 0 1 及びその製造方法において、前記第 1 ストレージ電極 6 2 3 は、前記透過電極 6 7 1 と同じ透明な導電性物質である I T O 又は I Z O のような物質で形成される。前記第 1 ストレージ電極 6 2 3 は、前記第 1 領域 A 1 に対応する下部基板 6 0 5 上に前記透過電極 6 7 1 より小さい面積で形成され、一側エッジは前記第 1 ブースティングライン 6 2 1 上に接触される。

【0118】

前記第 1 ストレージ電極 6 2 3 は、前記第 1 スイッチング素子 T F T 1 の第 1 ドレイン電極 6 5 5 と前記第 1 ブースティングライン 6 2 1 との間に形成される第 1 ストレージキャパシタ C S T _ T のサイズを増加させる。従って、前記第 1 ブースティングライン 6 2 1 及び前記第 1 ドレイン電極 6 5 5 の線幅をより減少させることができる。

前記第 2 ストレージ電極 6 2 7 は、前記透過電極 6 7 1 と同じ透明な導電性物質である I T O 又は I Z O のような物質で形成されることができる。前記第 2 ストレージ電極 6 2 7 は、前記画素領域 P A の第 2 領域 A 2 に対応する基板上に前記反射電極 6 8 1 より小さい面積で形成され、一側エッジは、前記第 2 ブースティングライン 6 2 5 上に接触され前記第 2 ブースティングライン 6 2 5 と電氣的に連結される。

【0119】

前記第 2 ストレージ電極 6 2 7 は、前記第 2 スイッチング素子 T F T 2 の第 2 ドレイン電極 6 5 7 と前記第 2 ブースティングライン 6 2 5 との間に形成される第 2 ストレージキャパシタ C S T _ 2 のサイズを増加させる。従って、前記第 2 ブースティングライン 6 2 5 及び前記第 2 ドレイン電極 6 5 7 の線幅をより減少させることができる。

【0120】

従って、本実施例のアレイ基板 6 0 1 は、実施例 1 のアレイ基板 1 0 1 より開口率を増加させることができる。

【0121】

本実施例による液晶表示装置は、図 1 7 及び図 1 8 に図示されたアレイ基板 6 0 1 を含むことを除いては、図 1 乃至図 7 で説明された液晶表示装置 1 0 0 と実質的に同じである

10

20

30

40

50

。従って、重複説明は省略する。

【0122】

本実施例による液晶表示装置の駆動方法は、図8乃至図15で説明された液晶表示装置の駆動方法と実質的に同じである。従って、重複説明は省略する。

【0123】

実施例4

図19は、実施例4によるアレ基板801の単位画素領域PAを示す平面図である。図20は、図19に図示されたアレ基板801をIII-III'に沿って切断した断面図である。

【0124】

図19及び図20を参照すると、本実施例によるアレ基板801及びその製造方法は、第1ストレージ電極823及び第2ストレージ電極827を更に含むこと、及び第1ブースティングライン821が第1領域A1に配置されたこと、及び第1領域A1と第2領域A2が殆ど類似な面積を有することを除いては、図1乃至図7で説明されたアレ基板101と実質的に同じである。従って、対応する要素については対応する参照番号を使用して、重複された説明は省略する。

【0125】

本実施例によるアレ基板801及びその製造方法において、前記画素領域PAの第1領域A1及び第2領域A2は殆ど類似な面積を有する。本実施例において、前記第1ブースティングライン821は、ゲートライン811と平行で前記画素領域PAの第1領域A1を横切るように、例えば、大略前記第1領域A1の中心を通過するように形成される。前記第1ドレイン電極855は前記第1領域A1の中心まで延長され、前記第1ドレイン電極855の端部は、前記第1ブースティングライン821と重なって第1ストレージキャパシタCST_Tを形成する。

【0126】

前記第1及び第2ストレージ電極823、827は、前記透過電極871と同じ透明な導電性物質であるITO又はIZOのような物質で形成されることができる。前記第1及び第2ストレージ電極823、827は、それぞれ前記第1領域A1及び前記第2領域A2に形成され、前記第1ブースティングライン821及び前記第2ブースティングライン825を覆うように形成される。従って、前記第1ストレージ電極823は前記第1ブースティングライン821に電氣的に連結され、前記第2ストレージ電極827は前記第2ブースティングライン825に電氣的に連結される。

【0127】

前記第1ストレージ電極823は、前記第1ストレージキャパシタCST_Tのサイズを増加させ、前記第2ストレージ電極827は、前記第2ストレージキャパシタCST₂のサイズを増加させる。従って、本実施例によると、第1及び第2ストレージラインと第1及び第2ドレイン電極855、857の線幅を大幅減少させることができる。従って、本実施例のアレ基板801は、図1乃至図7で説明されたアレ基板801より画素領域PAの開口率が増加される。

【0128】

又、本実施例によると、前記第1ブースティングライン821、前記第2ブースティングライン825、及び前記ゲートライン811間の離隔間隔を実施例1より大きくすることができる。従って、前記第1ブースティングライン821、前記第2ブースティングライン825、及び前記ゲートライン811の工程マージンを余裕のあるようにすることができるという長所がある。

【0129】

本実施例による液晶表示装置は、図19及び図20に図示されたアレ基板801を含むことを除いては、図1乃至図7で説明された液晶表示装置と実質的に同じである。従って、重複説明は省略する。

【0130】

本実施例による液晶表示装置の駆動方法は、図 8 乃至図 15 で説明された液晶表示装置の駆動方法と実質的に同じである。従って、重複説明は省略する。

【産業上の利用可能性】

【0131】

本発明の実施例による液晶表示装置の駆動方法、アレイ基板、その製造方法、及びこれを有する液晶表示装置において、モノセルギャップで半透過モードが具現される。従って、マルチセルギャップで半透過モードを具現する場合に対して製造工程数が減少され、マルチセルギャップで誘発された対比低下、テクスチャー発生、及び配向不良などの問題を防止して、液晶表示装置の製造歩留まり及び表示品質を向上させることができる。従って、本発明は、半透過モードでモノセルギャップを有する液晶表示装置を具現するのに適用されることができる。

10

【0132】

以上、添付図面を参照しながら本発明の好適な実施形態について詳細に説明したが、本発明はかかる例に限定されない。本発明の属する技術の分野における通常の知識を有する者であれば、特徴請求の範囲に記載された技術的思想の範疇内において、各種の変更例または修正例に想到し得ることは明らかであり、これらについても、当然に本発明の技術的範囲に属するものと了解される。

【符号の説明】

【0133】

10 データ駆動部
 30 ゲート駆動部
 100 液晶表示装置
 101 アレイ基板
 105 下部基板
 111 ゲートライン
 113 ゲート電極
 121 第1ブースティングライン
 125 第2ブースティングライン
 141 半導体層
 151 データライン
 153 ソース電極
 155 第1ドレイン電極
 157 第2ドレイン電極
 161、163 コンタクトホール
 171 画素電極
 181 反射電極
 191 第1配向膜
 PA 画素領域
 A1 第1領域
 A2 第2領域
 201 対向基板
 205 上部基板
 210 ブラックマトリックス
 230 カラーフィルタ
 240 オーバーコーティング層
 250 共通電極
 260 第2配向膜
 71、76 偏光板
 72、75 $1/2\lambda$ 位相差板
 73、74 $1/4\lambda$ 位相差板

20

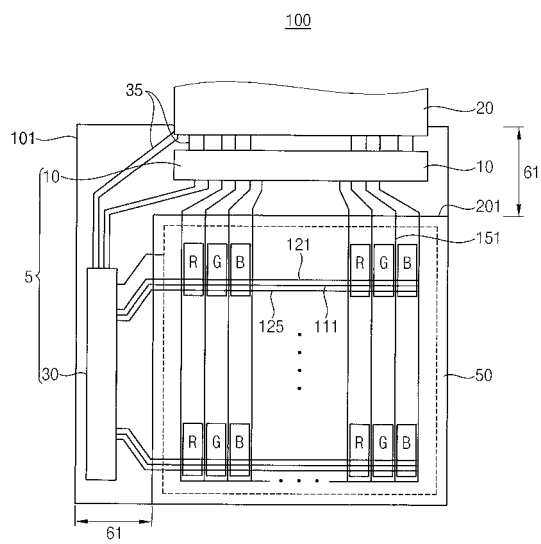
30

40

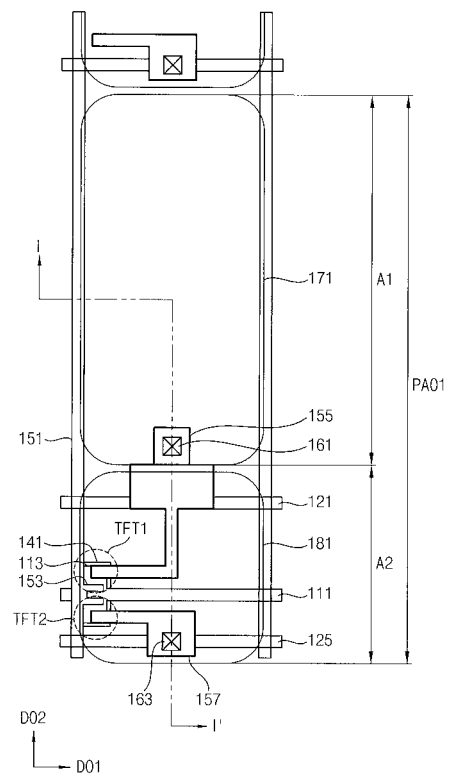
50

1 0 3 液晶層

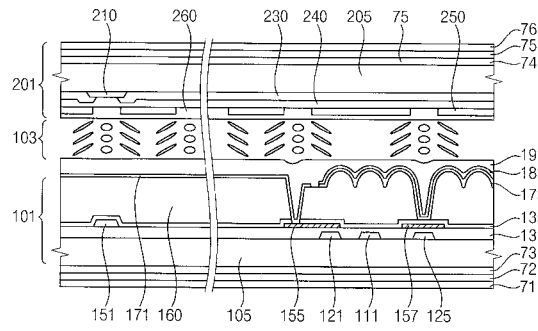
【 図 1 】



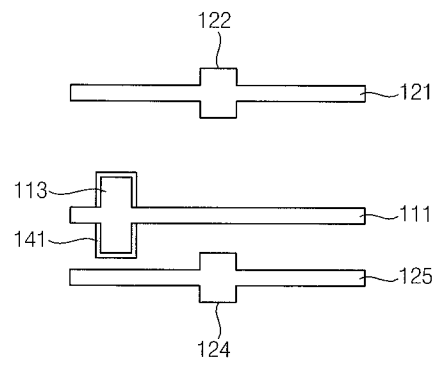
【 図 2 】



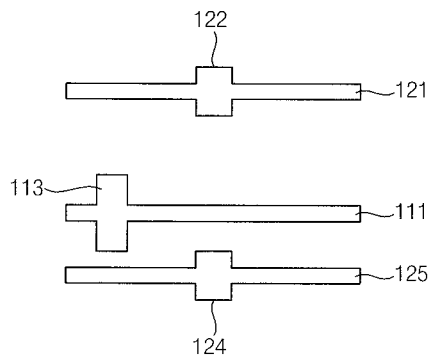
【図 3】



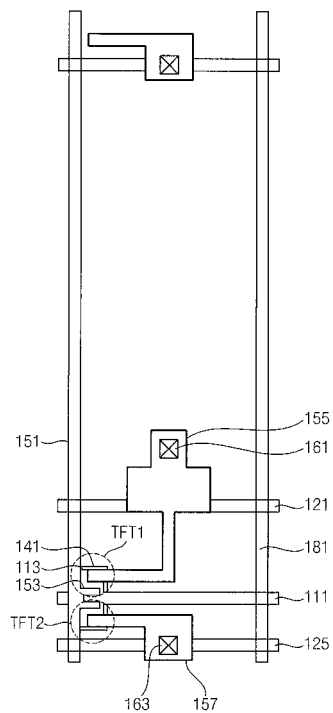
【図 5】



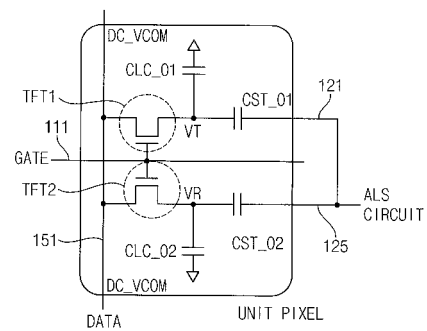
【図 4】



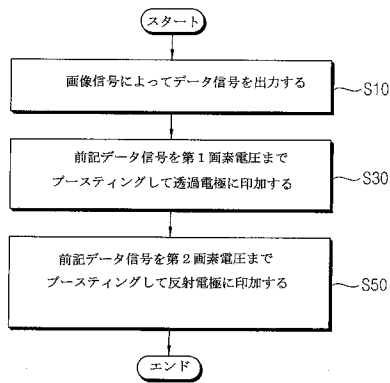
【図 6】



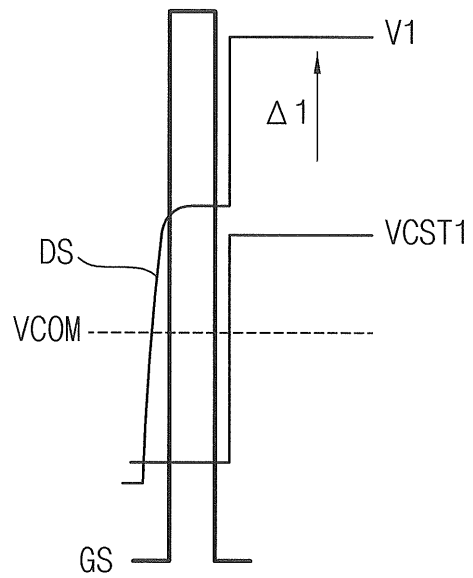
【図 7】



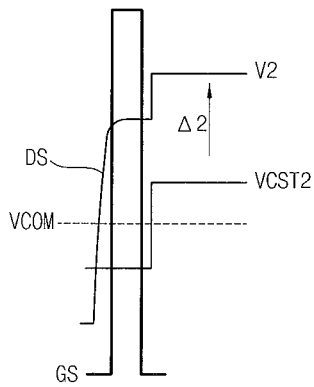
【図 8】



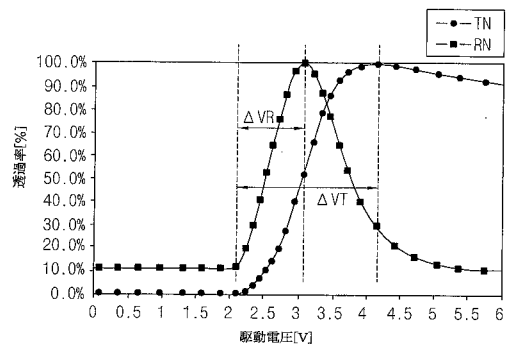
【図 9】



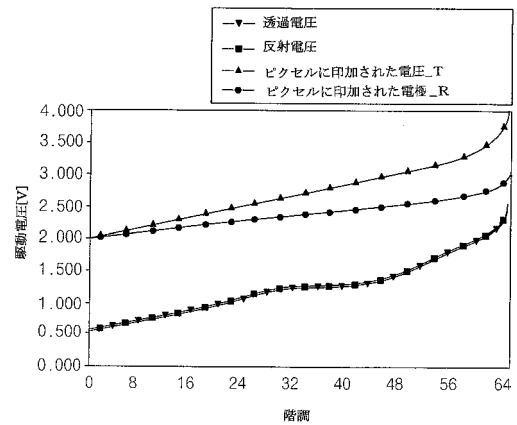
【図 10】



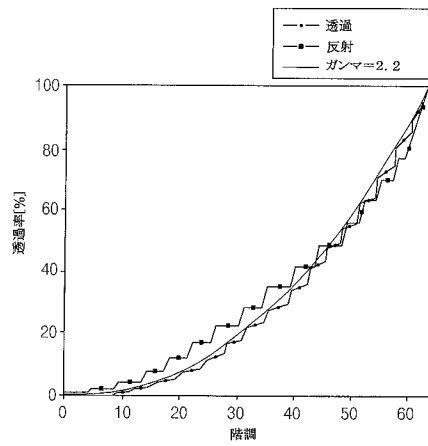
【図 11】



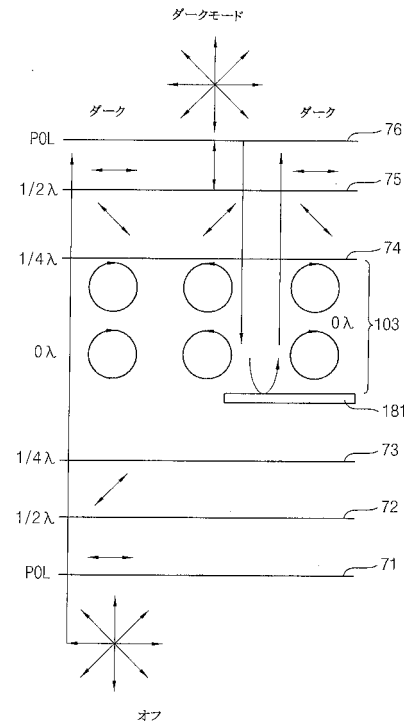
【図 12】



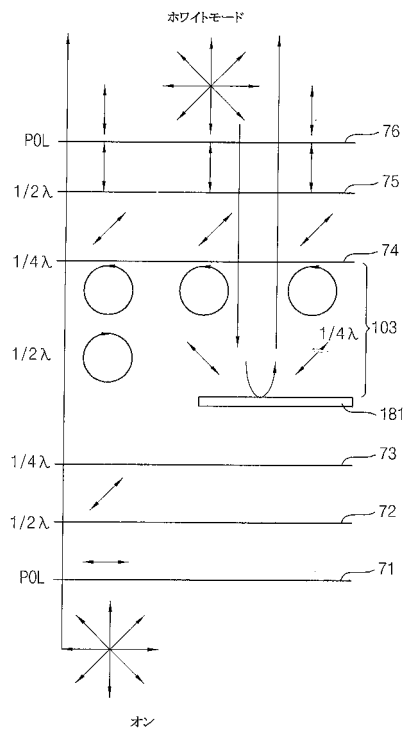
【図 13】



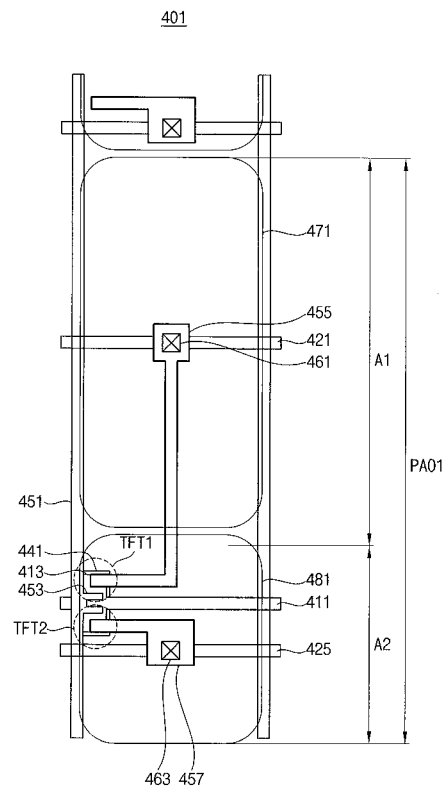
【図 14】



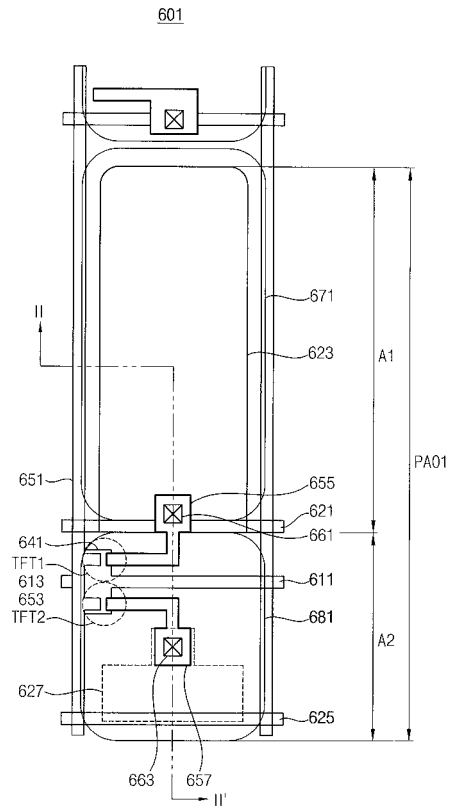
【図 15】



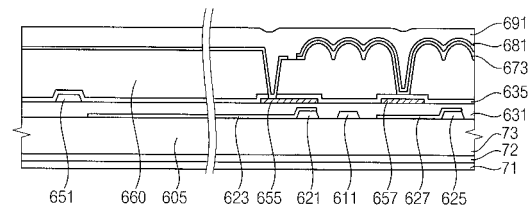
【図 16】



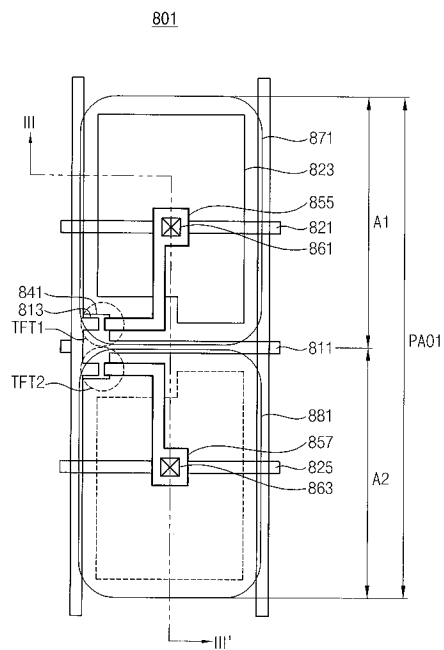
【図 17】



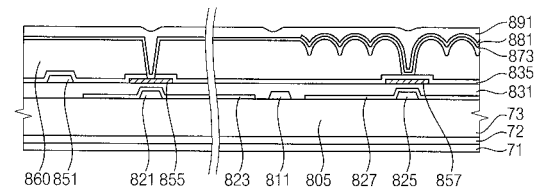
【図 18】



【図 19】



【図 20】



フロントページの続き

(51)Int.Cl. F I テーマコード(参考)

G 0 9 G 3/20 6 2 4 B
 G 0 9 G 3/20 6 4 2 A
 G 0 9 G 3/20 6 4 2 E
 G 0 9 G 3/20 6 2 1 J
 G 0 9 G 3/20 6 2 4 E
 G 0 9 G 3/20 6 2 4 D

(72)発明者 趙 容 ▲ソク▼

大韓民国ソウル特別市江南区道谷1洞大林アパート101棟505号

(72)発明者 金 宰 賢

大韓民国京畿道水原市靈通区靈通洞972-2ビョクチョクゴル住公アパート840棟1602号

(72)発明者 金 起 範

大韓民国仁川広域市南洞区南村洞豊林アパート649 302棟1402号

(72)発明者 ▲黄▼ 載 ▲薰▼

大韓民国ソウル特別市瑞草区瑞草1洞1648-2瑞草現代アパート101棟1003号

Fターム(参考) 2H092 GA12 GA29 HA04 HA05 JA26 JA29 JA38 JA46 JB07 JB14
 JB23 JB43 JB46 JB63 JB69 NA04 NA19 NA29 PA06 PA11
 QA07 QA09
 2H191 FA05Y FA14Y FA22X FA22Z FA30X FA30Z FA34Y FA94Y FD12 FD22
 FD25 GA19 HA06 HA08 HA11 HA34 KA02 LA13 LA21 NA22
 NA25 NA34 NA37 PA42 PA44 PA73
 2H193 ZA04 ZA08 ZB14 ZB16 ZC24 ZD01 ZD02 ZD13 ZD23 ZE23
 ZF23 ZF60 ZP03 ZP15 ZP16 ZQ06 ZQ08 ZQ11 ZQ44 ZQ47
 5C006 AA16 AA22 AC11 AC25 AF42 AF52 AF71 BA19 BB16 BB28
 BC03 BC06 BC22 EB04 FA18 FA22 FA54
 5C080 AA10 BB05 CC03 DD05 DD28 EE29 FF11 JJ02 JJ03 JJ04
 JJ05 JJ06 JJ07

专利名称(译)	驱动液晶显示装置的方法，阵列基板，阵列基板的制造方法以及具有阵列基板的液晶显示装置		
公开(公告)号	JP2010009045A	公开(公告)日	2010-01-14
申请号	JP2009149904	申请日	2009-06-24
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子株式会社		
[标]发明人	趙容ソク 金宰賢 金起範 黄載薰		
发明人	趙 容 ▲ソク▼ 金 宰 賢 金 起 範 ▲黄▼ 載 ▲薰▼		
IPC分类号	G02F1/1368 G02F1/1335 G02F1/133 G09G3/36 G09G3/20		
CPC分类号	G09G3/3648 G02F1/133555 G02F1/13624 G02F1/1368 G09G2300/0426 G09G2300/0439 G09G2300/0456 G09G2300/0465 G09G2300/0852 G09G2320/0233		
FI分类号	G02F1/1368 G02F1/1335 G02F1/133.550 G09G3/36 G09G3/20.680.H G09G3/20.624.B G09G3/20.642.A G09G3/20.642.E G09G3/20.621.J G09G3/20.624.E G09G3/20.624.D		
F-TERM分类号	2H092/GA12 2H092/GA29 2H092/HA04 2H092/HA05 2H092/JA26 2H092/JA29 2H092/JA38 2H092/JA46 2H092/JB07 2H092/JB14 2H092/JB23 2H092/JB43 2H092/JB46 2H092/JB63 2H092/JB69 2H092/NA04 2H092/NA19 2H092/NA29 2H092/PA06 2H092/PA11 2H092/QA07 2H092/QA09 2H191/FA05Y 2H191/FA14Y 2H191/FA22X 2H191/FA22Z 2H191/FA30X 2H191/FA30Z 2H191/FA34Y 2H191/FA94Y 2H191/FD12 2H191/FD22 2H191/FD25 2H191/GA19 2H191/HA06 2H191/HA08 2H191/HA11 2H191/HA34 2H191/KA02 2H191/LA13 2H191/LA21 2H191/NA22 2H191/NA25 2H191/NA34 2H191/NA37 2H191/PA42 2H191/PA44 2H191/PA73 2H193/ZA04 2H193/ZA08 2H193/ZB14 2H193/ZB16 2H193/ZC24 2H193/ZD01 2H193/ZD02 2H193/ZD13 2H193/ZD23 2H193/ZE23 2H193/ZF23 2H193/ZF60 2H193/ZP03 2H193/ZP15 2H193/ZP16 2H193/ZQ06 2H193/ZQ08 2H193/ZQ11 2H193/ZQ44 2H193/ZQ47 5C006/AA16 5C006/AA22 5C006/AC11 5C006/AC25 5C006/AF42 5C006/AF52 5C006/AF71 5C006/BA19 5C006/BB16 5C006/BB28 5C006/BC03 5C006/BC06 5C006/BC22 5C006/EB04 5C006/FA18 5C006/FA22 5C006/FA54 5C080/AA10 5C080/BB05 5C080/CC03 5C080/DD05 5C080/DD28 5C080/EE29 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 5C080/JJ06 5C080/JJ07 2H192/AA24 2H192/BC26 2H192/BC31 2H192/BC63 2H192/BC72 2H192/BC82 2H192/CB05 2H192/CC32 2H192/DA12 2H192/EA22 2H192/EA43 2H192/FA73 2H192/FB22 2H192/GD43 2H192/GD61 2H192/JA13 2H291/FA05Y 2H291/FA14Y 2H291/FA22X 2H291/FA22Z 2H291/FA30X 2H291/FA30Z 2H291/FA34Y 2H291/FA94Y 2H291/FD12 2H291/FD22 2H291/FD25 2H291/GA19 2H291/HA06 2H291/HA08 2H291/HA11 2H291/HA34 2H291/KA02 2H291/LA13 2H291/LA21 2H291/NA22 2H291/NA25 2H291/NA34 2H291/NA37 2H291/PA42 2H291/PA44 2H291/PA73		
优先权	1020080059430 2008-06-24 KR		
其他公开文献	JP5539674B2		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种用于驱动液晶显示器的方法，阵列基板，制造阵列基板的方法，以及具有阵列基板的液晶显示器。解决方案：数据信号的电压首先被提升第二和第二升压信号分别达到第一和第二像素电压，并施加到透射电极和反射电极。因此，通过透

射电极上的液晶层的第一光的延迟量和入射在反射电极上的液晶层上并被反射电极反射的第二光的液晶层的延迟量被控制为基本上是平等的。因此，由于液晶层的单元间隙在透反液晶显示器中变成单元间隙，所以器件的产量增加。

