

(19) 日本国特許庁(JP)

再公表特許(A1)

(11) 国際公開番号

WO2009/050777

発行日 平成23年2月24日 (2011. 2. 24)

(43) 国際公開日 平成21年4月23日 (2009. 4. 23)

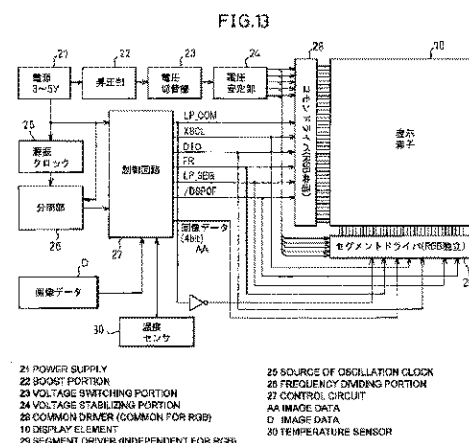
(51) Int. Cl.	F I	テーマコード (参考)
GO2F 1/133 (2006.01)	GO2F 1/133 560	2H189
GO2F 1/1347 (2006.01)	GO2F 1/133 580	2H193
GO9G 3/36 (2006.01)	GO2F 1/133 575	5C006
GO9G 3/20 (2006.01)	GO2F 1/1347	5C080
GO9F 9/00 (2006.01)	GO9G 3/36	5G435
審査請求 有 予備審査請求 未請求 (全 52 頁) 最終頁に続く		

出願番号	特願2009-537790 (P2009-537790)	(71) 出願人	000005223
(21) 国際出願番号	PCT/JP2007/070099		富士通株式会社
(22) 国際出願日	平成19年10月15日 (2007. 10. 15)		神奈川県川崎市中原区上小田中4丁目1番1号
(81) 指定国	AP (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), EA (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, MT, NL, PL, PT, RO, SE, SI, SK, TR), OA (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), A E, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, U G, US, UZ, VC, VN, ZA, ZM, ZW	(71) 出願人	000237639
			富士通フロンテック株式会社
			東京都稲城市矢野口1776番地
		(74) 代理人	100099759
			弁理士 青木 篤
		(74) 代理人	100119987
			弁理士 伊坪 公一
		(74) 代理人	100081330
			弁理士 樋口 外治
		(74) 代理人	100141254
			弁理士 榎原 正巳
		最終頁に続く	

(54) 【発明の名称】 ドットマトリクス型の表示素子を有する表示装置およびその駆動方法

(57) 【要約】

コレステリック液晶表示素子10と、駆動回路29,29と、制御回路27と、を備える表示装置であって、書換え対象の画素に初期化パルス印加して初期階調状態にした後、階調パルス印加して中間調状態にし、階調パルスの印加される累積時間が、階調レベルに関する表示装置において、表示装置の温度を検出する温度センサ30を備え、制御回路は、初期化パルスのパルス電圧を固定とし、温度センサの検出した温度に応じて、初期化パルスのパルス幅を変化させ、温度センサの検出した温度が低温の時には階調パルスのパルス幅を変化させ、温度センサの検出した温度が高温の時には階調パルスのパルス電圧を変化させる。



【特許請求の範囲】

【請求項 1】

マトリクス型の表示素子と、
前記表示素子の画素を駆動する駆動回路と、
前記駆動回路を制御する制御回路と、を備える表示装置であって、
前記制御回路は、書換え対象の画素を初期化する初期化パルス印加して初期階調状態にした後、初期化された画素に対して階調パルス印加して前記初期階調状態以外の階調状態にするように、前記駆動回路を制御し、
前記階調パルス印加される累積時間が、階調状態の値に関係する表示装置において、当該表示装置の温度を検出する温度センサを備え、
前記制御回路は、
前記初期化パルスのパルス電圧を固定とし、前記温度センサの検出した温度に応じて、前記初期化パルスのパルス幅を変化させ、
前記温度センサの検出した温度が低温の時には前記階調パルスのパルス幅を変化させ、前記温度センサの検出した温度が高温の時には前記階調パルスのパルス電圧を変化させることを特徴とする表示装置。

10

【請求項 2】

前記制御回路は、
前記温度センサの検出した温度が低温の時には、前記初期化パルスおよび前記階調パルスのパルス幅を広くし、前記温度センサの検出した温度が高温の時には前記階調パルスのパルス電圧を低下させることを特徴とする請求項 1 に記載の表示装置。

20

【請求項 3】

前記階調パルスは、パルス幅の異なる複数のサブ階調パルスを有し、
前記制御回路は、前記温度センサの検出した温度が低温の時には前記複数のサブ階調パルスのパルス幅を変化させ、前記温度センサの検出した温度が高温の時には前記複数のサブ階調パルスのパルス電圧を変化させることを特徴とする請求項 1 に記載の表示装置。

【請求項 4】

前記表示素子は、コレステリック液晶を含むことを特徴とする請求項 1 に記載の表示装置。

【請求項 5】

前記初期階調状態はプレーナ状態であり、前記初期階調状態以外の階調状態は、前記プレーナ状態とフォーカルコニック状態が混在した状態であり、前記プレーナ状態と前記フォーカルコニック状態の混在比により中間調の値が決定され、前記階調パルスは前記混在比を増加させることを特徴とする請求項 4 に記載の表示装置。

30

【請求項 6】

温度に応じて変化する前記表示素子の粘度を η とし、前記階調パルスの波高を V とし、前記階調パルスのパルス幅を T とすると、
前記制御回路は、 $V^2 \times T$ が η^p (ただし、 $0 < p < 1$) と略比例の関係となるように前記階調パルスの波高およびパルス幅を制御することを特徴とする請求項 1 に記載の表示装置。

40

【請求項 7】

前記 p は、約 0.5 であることを特徴とする請求項 6 に記載の表示装置。

【請求項 8】

前記表示装置は、複数の異なる反射光を呈する複数の前記表示素子が積層された積層構造を備えることを特徴とする請求項 1 に記載の表示装置。

【請求項 9】

温度に応じた前記初期化パルスのパルス幅および前記階調パルスの波高およびパルス幅の変化は、前記複数の表示素子で異なることを特徴とする請求項 8 に記載の表示装置。

【請求項 10】

マトリクス型の表示素子の駆動方法であって、

50

書換え対象の画素を初期化する初期化パルス印加して初期階調状態にする第 1 ステップと、

前記第 1 ステップで初期化された画素に対して階調パルス印加して前記初期階調状態以外の階調状態にする第 2 ステップと、を備え、

前記第 2 ステップにおいて前記階調パルスの印加される累積時間が、階調状態の値に係する駆動方法において、

前記初期化パルスのパルス電圧を固定とし、前記温度センサの検出した温度に応じて、前記初期化パルスのパルス幅を変化させ、

前記温度センサの検出した温度が低温の時には、前記階調パルスのパルス電圧を固定として前記階調パルスのパルス幅を変化させ、前記温度センサの検出した温度が高温の時には前記階調パルスのパルス電圧を変化させる、ことを特徴とする表示素子の駆動方法。

10

【請求項 1 1】

前記温度センサの検出した温度が低温の時には、前記初期化パルスおよび前記階調パルスのパルス幅を広くし、前記温度センサの検出した温度が高温の時には前記階調パルスのパルス電圧を低下させることを特徴とする請求項 9 に記載の表示素子の駆動方法。

【請求項 1 2】

前記階調パルスは、パルス幅の異なる複数のサブ階調パルスを有し、

前記温度センサの検出した温度が低温の時には前記複数のサブ階調パルスのパルス幅を変化させ、前記温度センサの検出した温度が高温の時には前記複数のサブ階調パルスのパルス電圧を変化させることを特徴とする請求項 9 に記載の表示素子の駆動方法。

20

【請求項 1 3】

前記表示素子は、コレステリック液晶を含むことを特徴とする請求項 9 に記載の表示素子の駆動方法。

【請求項 1 4】

前記初期階調状態はプレーナ状態であり、前記初期階調状態以外の階調状態は、前記プレーナ状態とフォーカルコニック状態が混在した状態であり、前記プレーナ状態と前記フォーカルコニック状態の混在比により中間調の値が決定され、前記階調パルスは前記混在比を増加させることを特徴とする請求項 1 2 に記載の表示素子の駆動方法。

【請求項 1 5】

温度に応じて変化する前記表示素子の粘度を η とし、前記階調パルスの波高を V とし、各サブ階調パルスのパルス幅を $T/2$ とすると、

30

$V^2 \times T$ が η^p (ただし、 $0 < p < 1$) と略比例の関係となるように前記階調パルスの波高およびパルス幅を変化させることを特徴とする請求項 1 0 に記載の表示素子の駆動方法。

【請求項 1 6】

前記 p は、約 0.5 であることを特徴とする請求項 1 4 に記載の表示素子の駆動方法。

【請求項 1 7】

前記表示装置は、複数の異なる反射光を呈する複数の前記表示素子が積層された積層構造を備えることを特徴とする請求項 1 0 に記載の表示素子の駆動方法。

【請求項 1 8】

40

温度に応じた前記初期化パルスのパルス幅および前記階調パルスの波高およびパルス幅の変化は、前記複数の表示素子で異なることを特徴とする請求項 1 6 に記載の表示素子の駆動方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、ドットマトリクス型の表示素子を有する表示装置およびその駆動方法に関し、特にコレステリック液晶などのメモリ性の表示材料を有するドットマトリクス型の表示素子を有する表示装置およびその駆動方法に関する。

【背景技術】

50

【 0 0 0 2 】

近年、各企業および大学などにおいて、電子ペーパーの開発が盛んに進められている。電子ペーパーの利用が期待されている応用分野として、電子書籍を筆頭に、モバイル端末機器のサブディスプレイやＩＣカードの表示部など、多様な応用形態が提案されている。電子ペーパーの有力な方式の１つに、コレステリック液晶がある。コレステリック液晶は、半永久的な表示保持（メモリ性）や鮮やかなカラー表示、高コントラスト、高解像度といった優れた特徴を有している。

【 0 0 0 3 】

コレステリック液晶は、カイラルネマティック液晶とも称されることがあり、ネマティック液晶にキラリティの添加剤（カイラル材）を比較的多く（数十％）添加することにより、ネマティック液晶の分子がらせん状のコレステリック相を形成する液晶である。

10

【 0 0 0 4 】

図１は、コレステリック液晶の状態を説明する図である。図１（Ａ）および図１（Ｂ）に示すように、コレステリック液晶を利用した表示素子１０は、上側基板１１と、コレステリック液晶層１２と、下側基板１３と、有する。コレステリック液晶には、図１（Ａ）に示すように入射光を反射するプレーナ状態と、図１（Ｂ）に示すように入射光を透過するフォーカルコニック状態と、があり、これらの状態は、無電界下でも安定してその状態が保持される。

【 0 0 0 5 】

プレーナ状態の時には、液晶分子のらせんピッチに応じた波長の光を反射する。反射が最大となる波長 λ は、液晶の平均屈折率 n 、らせんピッチ p から次の式で表される。

20

【 0 0 0 6 】

$$\lambda = n \cdot p$$

一方、反射帯域 $\Delta\lambda$ は、液晶の屈折率異方性 Δn により大きく異なる。

【 0 0 0 7 】

プレーナ状態の時には、入射光が反射するので「明」状態、すなわち白を表示することができる。一方、フォーカルコニック状態の時には、下側基板１３の下に光吸収層を設けることにより、液晶層を透過した光が吸収されるので「暗」状態、すなわち黒を表示することができる。

【 0 0 0 8 】

30

次に、コレステリック液晶を利用した表示素子の駆動方法を説明する。

【 0 0 0 9 】

図２は、一般的なコレステリック液晶の電圧 - 反射特性の一例を示している。横軸は、コレステリック液晶を挟む電極間に所定のパルス幅で印加されるパルス電圧の電圧値（ V ）を表し、縦軸はコレステリック液晶の反射率（％）を表している。図２に示す実線の曲線 P は、初期状態がプレーナ状態のコレステリック液晶の電圧 - 反射率特性を示し、破線の曲線 FC は、初期状態がフォーカルコニック状態のコレステリック液晶の電圧 - 反射率特性を示す。

【 0 0 1 0 】

図２において、電極間に所定の高電圧 V_{P100} （例えば $\pm 36V$ ）を印加して、コレステリック液晶中に相対的に強い電界を発生させると、液晶分子のらせん構造は完全にほどこけて、すべての分子が電界の方向に従うホメオトロピック状態になる。次に、液晶分子がホメオトロピック状態の時に、印加電圧を V_{P100} から所定の低電圧（例えば、 $V_{F0} = \pm 4V$ ）に急激に低下させて、液晶中の電界を急激にほぼゼロにすると、液晶のらせん軸は電極に垂直になり、らせんピッチに応じた光を選択的に反射するプレーナ状態になる。

40

【 0 0 1 1 】

一方、電極間に所定の低電圧 V_{F100b} （例えば、 $\pm 24V$ ）を印加し、コレステリック液晶中の相対的に弱い電界を発生させると、液晶分子のらせん構造が完全には解けない状態になる。この状態において、印加電圧を V_{F100b} から低電圧 V_{F0} に急激に低

50

下させて、液晶中の電界を急激にほぼゼロにするか、あるいは強い電界を印加し緩やかに電界を除去した場合は、液晶分子のらせん軸が電極に平行になり、入射光を透過するフォーカルコニック状態になる。

【 0 0 1 2 】

また、中間的な強さの電界を印加し、急激に電界を除去すると、プレーナ状態とフォーカルコニック状態が混在し、中間調の表示が可能となる。

【 0 0 1 3 】

ここで、図 2 に示す曲線 P において、破線枠 A 内では、印加する電圧パルスの電圧値を高くするに従ってフォーカルコニック状態の割合を増加させてコレステリック液晶の反射率を低下させることができる。また、図 2 に示す曲線 P および F C において、破線枠 B 内では、印加する電圧値を低くするに従って増加させてコレステリック液晶の反射率を低下させることができる。

10

【 0 0 1 4 】

中間調を表示するためには、A 領域または B 領域を利用する。A 領域を利用する場合には、画素を初期化してプレーナ状態にした後に、V F 0 と V F 1 0 0 a の間の電圧パルスを印加して一部をフォーカルコニック状態にする。また、B 領域を利用する場合には、画素を初期化してフォーカルコニック状態にした後に、V F 1 0 0 b と V P 0 の間の電圧パルスを印加して一部をプレーナ状態にする。

【 0 0 1 5 】

以上説明した電圧応答特性に基づく駆動方法の原理を、図 3 A から図 3 C を参照して説明する。

20

【 0 0 1 6 】

図 3 A は電圧パルスのパルス幅が数十 m s の場合のパルス応答特性を示し、図 3 B は電圧パルスのパルス幅が 2 m s の場合のパルス応答特性を示し、図 3 C は電圧パルスのパルス幅が 1 m s の場合のパルス応答特性を示す。それぞれの図において、上側にはコレステリック液晶に印加される電圧パルスが示され、下側には電圧 - 反射率特性が示され、横軸は電圧 (V) を表し、縦軸は反射率 (%) を表す。図 3 A の電圧 - 反射率特性は、図 2 の曲線 P および F C を模式化して示し、図 3 B および図 3 C の電圧 - 反射率特性は、図 2 の曲線 P のみを模式化して示す。ここで使用する電圧パルスは、液晶の駆動パルスとしてよく知られているように、分極による液晶の劣化を防止するために、正極性と負極性のパルスを組み合わせている。

30

【 0 0 1 7 】

図 3 A に示すように、パルス幅が大きい場合には、実線で示すように、初期状態がプレーナ状態だと、電圧をある範囲に上げると、フォーカルコニック状態となり、さらに電圧を上げると、再度プレーナ状態となる。破線で示すように、初期状態がフォーカルコニック状態だと、パルス電圧を上げるにつれて次第にプレーナ状態になる。

【 0 0 1 8 】

パルス幅が大きい場合に、初期状態がプレーナ状態とフォーカルコニック状態のいずれでも必ずプレーナ状態になるパルス電圧は、図 3 A では ± 3.6 V である。また、この中間のパルス電圧では、プレーナ状態とフォーカルコニック状態が混在した状態になり、中間調が得られる。

40

【 0 0 1 9 】

一方、図 3 B に示すように、パルス幅が 2 m s の場合には、初期状態がプレーナ状態では、パルス電圧が ± 1.0 V では反射率は変化しないが、それ以上大きな電圧になるとプレーナ状態とフォーカルコニック状態が混在した状態になり、反射率が低下する。反射率の低下量は電圧が大きくなるに従って大きくなるが、 ± 3.6 V よりさらに大きな電圧になると反射率の低下量は一定となる。これは、初期状態がプレーナ状態とフォーカルコニック状態が混在した状態でも同じである。従って、初期状態がプレーナ状態である場合に、パルス幅が 2 m s でパルス電圧が ± 2.0 V の電圧パルスを 1 回印加すると、反射率はある程度低下する。このようにしてプレーナ状態とフォーカルコニック状態が混在した状態で反

50

射率が少し低下した状態で、パルス幅が 2 m s でパルス電圧が ± 20 V の電圧パルスをさらに印加すると、反射率はさらに低下する。これを繰り返すと、反射率は所定値まで低下する。

【0020】

図 3 C に示すように、パルス幅が 1 m s の場合には、パルス幅が 2 m s の場合と同様に、電圧パルスを印加することにより反射率が低下するが、反射率の低下具合はパルス幅が 2 m s の場合と比べて小さい。

【0021】

以上のことから、数十 m s のパルス幅で 36 V のパルスを印加すればプレーナ状態になり、2 m s 程度のパルス幅で十数 V から 20 V 程度のパルスを印加すればプレーナ状態からプレーナ状態とフォーカルコニック状態が混在した状態になって反射率が低下し、反射率の低下量は、パルスの累積時間に関係すると考えられる。

10

【0022】

そこで、コレステリック液晶表示装置では、第 1 ステップにおいて書き換える画素にパルス幅数十 m s の ± 36 V の初期化パルスを印加してプレーナ状態にし、次の第 2 ステップでは、中間調にする画素に狭いパルス幅の約 ± 20.0 V の階調パルスを印加し、その累積印加時間を中間調のレベルに応じた値にする。言い換えれば、この表示方法は、図 2 の領域 A を利用して中間調レベルを表示する。

【0023】

表示装置では、表示材料層の一方の面に互いに平行な複数のスキャン電極を設け、表示材料層の他方の面に前記複数のスキャン電極と交差する互いに平行な複数のデータ電極を設け、スキャン電極とデータ電極の交差部分に画素が形成される。ここでは、スキャン電極をスキャンライン、データ電極をデータラインと称する。表示装置では、コモンドライバがスキャンラインにスキャンパルスを印加し、セグメントドライバがデータラインにデータパルスを印加する。

20

【0024】

第 1 ステップでは、全スキャンラインと全データラインに同時にパルスが印加される。第 2 ステップでは、画素ごとに階調レベルを設定するため、1 本のスキャンラインにスキャンパルスを印加している時に、全データラインにデータパルスを印加することにより、1 スキャンライン内の画素への電圧パルスの印加が行われる。以下、スキャンパルスを印加するスキャンラインを順次シフトしながら全スキャンラインの画素への電圧パルスの印加が終了する。

30

【0025】

第 2 ステップでは、1 本のスキャンラインにスキャンパルスに対応する選択スキャン電圧が印加される間、他のスキャンラインには非選択スキャン電圧が印加される。また、階調書込みを行う画素のデータラインにはデータパルスに対応する選択データ電圧が印加され、階調書込みを行わない画素のデータラインには非選択データ電圧が印加される。従って、選択スキャン電圧と選択データ電圧が印加された画素、非選択スキャン電圧と選択データ電圧が印加された画素、非選択スキャン電圧と非選択データ電圧が印加された画素、および非選択スキャン電圧と非選択データ電圧が印加された画素が存在することになる。選択スキャン電圧と選択データ電圧が印加された画素のみで反射率（階調）が低下し、他の 3 種類の画素では反射率（階調）が低下しないように、選択スキャン電圧、非選択スキャン電圧、選択データ電圧および非選択データ電圧を設定する必要がある。

40

【0026】

コレステリック液晶を利用した表示装置では、プレーナ状態から中間調レベルに変化させるために印加する階調パルスとしてセグメントドライバおよびコモンドライバは、例えば図 4 A に示すようなパルスを出力する。このようなパルスを印加することにより、画素には図 4 B に示すような電圧が印加される。

【0027】

セグメントドライバには、V0 として 20 V が、V21 S および V34 S として 10 V

50

が、供給され、正極フェーズ ($FR = 1$) では正パルスが、負極フェーズ ($FR = 0$) では負パルスが、出力される。

【0028】

コモンライバには、 V_0 として $20V$ が、 V_{21C} として $15V$ が、 V_{34C} として $5V$ が、供給され、正極フェーズ ($FR = 1$) では負パルスが、負極フェーズ ($FR = 0$) では正パルスが、出力される。

【0029】

図4Aのようなパルスが印加されることにより、スキャンラインが選択状態 (コモンがオン) で、データラインも選択状態 (セグメントがオン) では、正極フェーズ ($FR = 1$) においては $20V$ が、負極フェーズ ($FR = 0$) では $-20V$ が印加される。スキャンラインが選択状態 (コモンがオン) で、データラインが非選択状態 (セグメントがオフ) では、正極フェーズ ($FR = 1$) においては $10V$ が、負極フェーズ ($FR = 0$) では $-10V$ が印加される。スキャンラインが非選択状態 (コモンがオフ) で、データラインが選択状態 (セグメントがオン) では、正極フェーズ ($FR = 1$) においては $5V$ が、負極フェーズ ($FR = 0$) では $-5V$ が印加される。スキャンラインが非選択状態 (コモンがオフ) で、データラインが非選択状態 (セグメントがオフ) では、正極フェーズ ($FR = 1$) においては $-5V$ が、負極フェーズ ($FR = 0$) では $5V$ が印加される。

【0030】

従って、選択状態のスキャンラインの各画素に印加される電圧パルスの波形は図5Aに示すようになり、非選択状態のスキャンラインの各画素に印加される電圧パルスの波形は図5Bに示すようになり、どちらの場合も、選択状態のデータラインの波形を実線で、非選択状態のデータラインの波形を点線で示す。図3Bに示すように、パルス幅が $2ms$ の電圧パルスの場合、電圧が $\pm 20V$ では液晶の状態、すなわち反射率が変化するが、電圧が $\pm 10V$ では反射率は変化しないので、上記のような波形であれば、スキャンラインとデータラインの両方がONの場合に、階調パルスによる書き込みが行われ、それ以外の場合には書き込みは行われないことになる。実際にはクロストークの問題があるが、本発明には直接関係しないので、説明は省略する。

【0031】

上記のように、表示装置において実際に印加される電圧パルスは図5A及び図5Bに示すような波形であるが、以下の記載では説明を簡単にするために、 $0V$ を中心にして対称な正負のパルスで表す。

【0032】

コレステリック液晶による多階調表示方法については各種の駆動方法が提案されている。コレステリック液晶の多階調表示の駆動方法は、ダイナミック駆動とコンベンショナル駆動の2つの方法に分けられる。

【0033】

特許文献1は、ダイナミック駆動法を記載している。しかし、ダイナミック駆動法は、駆動波形が複雑なため、複雑な制御回路およびドライバICを必要とし、パネルの透明電極も低抵抗ものが必要であるため、製造コストが高くなるという問題がある。また、ダイナミック駆動法は、消費電力も大きいという問題がある。

【0034】

非特許文献1は、コンベンショナル駆動法を記載している。非特許文献1は、液晶特有の累積時間を利用し、短いパルスを印加する回数を調整することで、徐々にプレーナ状態からフォーカルコニック状態へ、あるいはフォーカルコニックからプレーナ状態へ準動画レートの比較的高速で駆動する方法を記載している。

【0035】

コンベンショナル駆動法で累積時間を利用して階調を設定する場合、図6Aに示すように、短いパルスの印加回数を調整する方法と、図6Bに示すように、パルス幅 W を異ならせる方法が考えられる。パルス幅を異ならせる方法の方が、短いパルスの印加回数を調整するよりも、消費電力を抑制する上では有利である。

10

20

30

40

50

【 0 0 3 6 】

さらに、パルス幅とパルスの印加回数の両方でパルス印加の累積時間を変える方法もある。図 7 はそのような方法における電圧パルスの例を示す図であり、電圧パルスとそれを印加することにより変化する階調状態を示す。

【 0 0 3 7 】

図 7 の (A) は、第 1 ステップで使用する初期化パルスであり、パルス電圧が $\pm 36 \text{ V}$ で、比較的大きなパルス幅を有する。このパルスを印加することにより、画素の液晶はプレーナ状態になり、最大の階調状態になる。図 7 の (B) から (D) は、第 2 ステップで使用する第 1 から第 3 階調パルスであり、それぞれパルス電圧は $\pm 20 \text{ V}$ であるが、第 1 から第 3 階調パルスの順にパルス幅が狭くなる。図 7 の (B) から (D) のパルスを印加すると、画素内で液晶は一部がプレーナ状態からフォーカルコニック状態に変化して階調が低下し、階調の低下具合は、(B) から (D) になるに従って小さくなる。言い換えれば、(B) から (D) のパルスを印加すると、相対的に低階調、中程度の階調、高階調になる。ここでは、(B) を低階調パルス、(B) を中階調パルス、(C) を高階調パルスと称する。これでは (B) から (D) のパルスのいずれかを印加するかまたはいずれも印加しないというだけでは 4 階調を表現できるだけであるが、図 7 に示す 3 種類のパルスを組み合わせることも可能である。例えば、周期 T を n 個合わせて 1 ライン周期 nT とし、各周期 T におけるパルス幅を選択することにより、多数の階調を表現することが可能である。また、階調パルスの印加を複数のフレームで行い、各フレームで (B) から (D) のパルスのいずれかを印加するかまたはいずれも印加しないという選択を行うことにより、多数の階調を表現することが可能である。

【 0 0 3 8 】

図 8 は、低階調パルス L、中階調パルス M および高階調パルス H の印加回数 (パルス数) に対する明度 Y (階調) の変化を示す図である。図示のように、小さいパルス幅の高階調パルス H の場合は、1 パルス当たりの明度の低下は小さく、パルス数に応じて順に明度が低下する。中ぐらいのパルス幅の中階調パルス M の場合は、1 パルス当たりの明度の低下は高階調パルス H より大きく、パルス数に応じて順に明度が低下するが、低下具合は徐々に小さくなる。大きなパルス幅の低階調パルス L の場合は、1 パルス当たりの明度の低下は中階調パルス M よりさらに大きい、パルス数が 3 以上では明度はほとんど低下しない。これは、フォーカルコニック状態の割合が飽和したためである。

【 0 0 3 9 】

液晶などの表示材料は、温度により粘度が変化し、電圧パルスに対する応答性が変化することが知られている。これに応じて、プレーナ状態にできる初期化パルスのパルス幅およびパルス電圧 (波高) も変化する。もちろん広いパルス幅で大きな波高の電圧パルスを使用すればプレーナ状態にすることが可能であるが、不要な電力を消費することになる。また、所定の階調パルスを印加しても所望の階調レベルにならないという問題を生じる。

【 0 0 4 0 】

図 9 は、コレステリック液晶の電圧 - 反射特性の温度変化による影響を説明する図である。ここでは、図 2 の曲線 p に対応する特性のみを示す。図示のように、階調表現に関係する A 領域や B 領域が、完全なプレーナ状態になるポイントに比べ、特性が相対的に大きくシフトすることが分かる。

【 0 0 4 1 】

温度変化による影響を低減するための各種の温度補償方法が提案されている。

【 0 0 4 2 】

特許文献 2 は、リセット (初期化) パルスによりコレステリック液晶をフォーカルコニック状態に初期化した後、階調レベルに応じてパルス電圧およびパルス幅が設定された選択 (階調) 電圧パルスを印加する個数を調整することにより中間調を表現する液晶表示装置において、温度に応じて選択電圧パルスのパルス幅および波高 (パルス電圧) を調整することを記載している。特許文献 2 に記載された方法では、フォーカルコニック状態に初期化するため、初期化パルスを印加して液晶をフォーカルコニック状態からプレーナ状態

に変化させる。液晶をプレーナ状態に変化させるには波高の高い電圧パルス印加するが、温度が低下した場合波高を一層高くする必要があり、消費電力が著しく増加するという問題がある。なお、特許文献2の記載によれば、第2リセットパルス印加してフォーカルコニック状態にする前にホメオトロピック状態にするために、大きな電圧の第1リセットパルス印加する。特許文献2は、第1および第2リセットパルスの温度補償については特に記載していない。

【0043】

特許文献3は、リセット（初期化）パルスによりコレステリック液晶をホメオトロピック状態に初期化した後、階調状態を設定する選択期間において印加する電圧パルスのパルス幅を温度に応じて調整することを記載している。特許文献3は、ホメオトロピック状態に初期化するリセットパルスの温度補償については特に記載していない。

10

【0044】

特許文献4は、コレステリック液晶表示装置で、高温時には選択パルスの波高を高くしてパルス幅を狭くし、低温時には波高を低くしてパルス幅を広くすることにより温度補償することを記載している。この方法では、高温時に消費電力が著しく増加するという問題を生じる。

【0045】

特許文献5は、メモリ性を有する強誘電性液晶表示素子において、低温時には駆動電圧を一定にして駆動パルス周期を変化させ、高温時には、駆動パルス周期を一定にして駆動電圧を変化させる構成を記載している。具体的には、温度上昇に伴い駆動電圧を低くし、温度低下に伴いパルス周期を長くする。図9に示すように、ある程度長いパルス幅を持つパルス印加する場合、プレーナ状態からフォーカルコニック状態へ遷移する途中のA領域や、フォーカルコニック状態からプレーナ状態へ遷移する途中のB領域は、温度変化に応じてシフトするが、完全なプレーナ状態になるポイントは、温度によるシフト量が相対的に小さい。そのため、特許文献5に記載されたように、25℃以上の温度において駆動電圧（パルス波高）での補償を適用すると、50℃から35℃、25℃となるに従ってパルス波高を上げていくことになる。その結果、低温になっても常温と同じパルス波高でリセット可能であるのに、高いパルス波高にするために、消費電力が無駄になるという問題がある。また、回路部品は駆動電圧が40Vを超えると汎用部品が使用できないため、特許文献5の構成ではコストが急激に増加するという問題がある。

20

30

【0046】

また、引用文献5は、それぞれの階調に応じたパルス周期を使用する駆動方法であるが、低温になるに従ってパルス周期をどのように広げるかについては具体的に記載していない。

【0047】

【特許文献1】特開2001-228459号公報

【特許文献2】特開2001-100182号公報

【特許文献3】特開2002-268036号公報

【特許文献4】特許第3714324号公報

【特許文献5】特開昭63-044636号公報

40

【非特許文献1】Y.-M. Zhu, D-K. Yang, Cumulative Drive Schemes for Bistable Reflective Cholesteric LCDs, SID 98 DIGEST, pp798-801, 1998

【発明の開示】

【発明が解決しようとする課題】

【0048】

特許文献2-4によれば、温度変化に応じて選択（階調）パルスのパルス電圧および/またはパルス幅を調整するが、リセット（初期化）パルスのパルス電圧およびパルス幅については調整しない。また、特許文献5は、温度変化に応じて電圧パルスのパルス電圧およびパルス幅を調整することを記載しているが、リセット（初期化）パルスおよび階調パルスを含む具体的なパルスの構成については記載していない。

50

【 0 0 4 9 】

また、特許文献 2 - 5 は、選択パルス（階調パルス）を、図 7 に示すような異なるパルス幅の複数の電圧パルスで構成することについては記載していない。

【 0 0 5 0 】

一方、従来の液晶表示装置では、液晶の応答性（反射量の変化量など）は、パルス電圧とパルス周期の積に比例するとして制御が行われてきた。コレステリック液晶表示装置の応答性について特に言及した文献は知られていないが、従来の液晶表示装置と同様の制御が行われていると考えられる。しかし、本願発明者は、上記の温度変化による液晶の応答性の変化に対する温度補償を検討している際に、コレステリック液晶表示装置で従来と同様の制御を行うと問題が発生することを見出した。

10

【 0 0 5 1 】

図 10 は、コレステリック液晶の温度と粘度の関係を示す図である。図示のように、温度の低下に伴い粘度は指数関数的に上昇する。一般に、液晶の応答速度は、液晶の粘度に反比例することが知られているが、図 7 に示すような異なるパルス幅の複数の電圧パルスを印加する場合、液晶の粘度とパルス周期を比例関係として温度補償を行うと、温度ごとの階調特性のバラツキが大きく、温度補償の精度が不十分であることを見出した。

【 0 0 5 2 】

本発明は、このような問題を解決して、消費電力が増加せず、装置のコストアップが少なく、温度補償が一層精度よく行われる表示装置および表示素子の駆動方法の実現を目的とする。

20

【課題を解決するための手段】

【 0 0 5 3 】

上記目的を実現するため、本発明の表示装置およびドットマトリクス型の表示素子の駆動方法は、温度センサにより表示装置の温度を検出し、初期化パルスのパルス電圧を一定とし、温度センサの検出した温度に応じて、初期化パルスのパルス幅を変化させ、温度センサの検出した温度が低温の時には階調パルスのパルス幅を変化させ、温度センサの検出した温度が高温の時には階調パルスのパルス電圧を変化させる。

【 0 0 5 4 】

本発明によれば、初期化パルスも温度補償の対象とするので、温度補償をより一層正確に行うことができ、消費電力を低減できる。しかも、初期化パルスのパルス電圧は固定で、初期化パルスのパルス幅のみを調整ので、低温時でも消費電力の増加は小さい。具体的には、温度が低いほど初期化パルスのパルス幅を広くする。また、低温時には階調パルスのパルス電圧は固定で、階調パルスのパルス幅を変化させ、高温時には階調パルスのパルス幅は固定で、階調パルスのパルス電圧を変化させる。具体的には温度上昇に従ってパルス電圧を低下させるので、消費電力は増加しない。これにより、大きな耐圧のドライバ IC を使用する必要がなく、汎用ドライバ IC が使用できるので、装置のコストがアップすることはない。

30

【 0 0 5 5 】

図 7 に示したように、階調パルスをパルス幅の異なる複数のサブ階調パルスで構成する場合には、複数のサブ階調パルスについて、上記と同様に、低温時には各サブ階調パルスのパルス幅を変化させ、高温時には各サブ階調パルスのパルス電圧を変化させる。

40

【 0 0 5 6 】

メモリ性の表示材料は、コレステリック液晶である場合、初期階調状態はプレーナ状態であり、初期階調状態以外の階調状態は、プレーナ状態とフォーカルコニック状態が混在した状態であり、プレーナ状態とフォーカルコニック状態の混在比により中間調の値が決定され、階調パルスは混在比を増加させるように構成することが望ましい。

【 0 0 5 7 】

前述のように、ツイストネマティック液晶などを利用した従来の液晶表示装置では、液晶の応答性（反射量の変化量など）は、パルス電圧とパルス周期の積に比例するとして制御が行われてきた。しかし、本願発明者は、コレステリック液晶の応答性は、パルス電圧

50

の 2 乗とパルス周期の積に関係することを見出した。

【 0 0 5 8 】

また、液晶の応答速度は、一般に液晶の粘度に反比例することが知られているが、コレステリック液晶ではこの関係が成り立たず、温度補償を行う場合、単に反比例するとしてパルス電圧およびパルス幅を制御したのでは正確な温度補償が行えないことを見出した。

【 0 0 5 9 】

具体的には、温度に応じて変化するコレステリック液晶の粘度を η とし、階調パルスの波高を V とし、階調パルスのパルス幅を T とすると、 $V^2 \times T$ が η^p (ただし、 $0 < p < 1$) と略比例の関係となるように、より具体的には p を 0.5 に近い値として、階調パルスの波高およびパルス幅を制御することにより、温度補償の精度が向上することを見出した。

10

【 0 0 6 0 】

表示装置は、複数の異なる反射光を呈する複数の表示素子が積層された積層構造を有すれば、カラー表示が可能である。

【図面の簡単な説明】

【 0 0 6 1 】

【図 1】図 1 は、コレステリック液晶のプレーナ状態及びフォーカルコニック状態を説明する図である。

【図 2】図 2 は、パルス電圧によるコレステリック液晶の状態変化を説明する図である。

【図 3 A】図 3 A は、コレステリック液晶に印加する大きな電圧と広いパルス幅のパルスによる反射率の変化を説明する図である。

20

【図 3 B】図 3 B は、コレステリック液晶に印加する中間電圧と狭いパルス幅のパルスによる反射率の変化を説明する図である。

【図 3 C】図 3 C は、コレステリック液晶に印加する中間電圧とより狭いパルス幅のパルスによる反射率の変化を説明する図である。

【図 4 A】図 4 A は、階調パルス印加時のドライバ出力電圧を示す図である。

【図 4 B】図 4 B は、階調パルス印加における液晶印加電圧を示す図である。

【図 5 A】図 5 A は、実際に印加される対称パルスの例を示す図である。

【図 5 B】図 5 B は、実際に印加される対称パルスの例を示す図である。

【図 6 A】図 6 A は、短パルスの個数で累積印加時間を変化させる構成を説明する図である。

30

【図 6 B】図 6 B は、パルス幅で累積印加時間を変化させる構成を説明する図である。

【図 7】図 7 は、液晶に印加する初期化パルス、パルス幅の異なる複数の階調パルスの例を示す図である。

【図 8】図 8 は、図 7 の階調パルスの印加個数による明度の変化を示す図である。

【図 9】図 9 は、図 2 のパルス電圧によるコレステリック液晶の状態変化曲線の温度変化を説明する図である。

【図 10】図 10 は、コレステリック液晶の温度による粘度の変化を示す図である。

【図 11】図 11 は、本発明の実施形態のカラー表示装置のコレステリック液晶素子の積層構造を示す図である。

40

【図 12】図 12 は、実施形態のカラー表示装置の 1 個のコレステリック液晶素子の構造を示す図である。

【図 13】図 13 は、第 1 実施形態のカラー表示装置の概略構成を示す図である。

【図 14 A】図 14 A は、第 1 実施形態のカラー表示装置の温度センサの取り付け位置を示す図である。

【図 14 B】図 14 B は、第 1 実施形態のカラー表示装置の温度センサの取り付け位置を示す図である。

【図 15】図 15 は、第 1 実施形態のカラー表示装置の動作を示すタイムチャートである。

【図 16】図 16 は、第 1 実施形態における初期化パルスおよび階調パルスの温度に応じ

50

たパルス幅の変化を示す図である。

【図 17】図 17 は、第 1 実施形態における階調パルスの温度に応じたパルス電圧の変化を示す図である。

【図 18】図 18 は、第 1 実施形態の表示装置の消費電力を、従来例と対比して示す図である。

【図 19 A】図 19 A は、コレステリック液晶の所定の応答性を得るための粘度と駆動エネルギーの関係を示す図であり、横軸が粘度 η の場合の図である。

【図 19 B】図 19 B は、コレステリック液晶の所定の応答性を得るための粘度と駆動エネルギーの関係を示す図であり、横軸が粘度 η の平方根の場合の図である。

【図 20】図 20 は、第 1 実施形態の表示装置における明度と駆動エネルギーを粘度 η の平方根で除した値の関係を示す図である。

10

【図 21】図 21 は、第 1 実施形態の表示装置における温度とコントラストの関係を示す図である。

【図 22 A】図 22 A は、第 1 実施形態の表示装置の低温でのトーンカーブを示す図である。

【図 22 B】図 22 B は、第 1 実施形態の表示装置の室温でのトーンカーブを示す図である。

【図 22 C】図 22 C は、第 1 実施形態の表示装置の高温でのトーンカーブを示す図である。

【図 23】図 23 は、第 2 実施形態の表示装置の表示素子とドライバの部分の構成を示す図である。

20

【図 24】図 24 は、第 2 実施形態の表示装置の制御回路内の温度補償に関する部分を示す図である。

【図 25】図 25 は、第 2 実施形態の表示装置の動作を示すタイムチャートである。

【図 26】図 26 は、第 2 実施形態における温度データの読み取りタイミングを説明する図である。

【符号の説明】

【0062】

- 10 表示素子
- 11 上側基板
- 12 液晶層
- 13 下側基板
- 14 上側電極層
- 15 下側電極層
- 17 吸光層
- 18 制御回路
- 21 電源
- 22 昇圧部
- 23 電圧切替部
- 24 電圧安定部
- 27 制御回路
- 28, 28R, 28G, 28B コモンドライバ
- 29, 289, 29G, 29B セグメントドライバ
- 30 温度センサ

30

【発明を実施するための最良の形態】

【0063】

本発明の実施形態の表示装置および表示方法を説明する前に、本発明の前提となるコレステリック液晶応答特性の温度依存性について説明する。

【0064】

例えば、室温では、プレーナ状態に初期化した後、階調パルスを構成する高階調パルス

50

、中階調パルス、低階調パルスを累積して印加することで、図 8 に示すような階調特性が得られる。本願発明者は、研究により、低温および高温における階調特性を、室温の階調特性と同じ γ 値とするには、高階調パルス、中階調パルス、低階調パルスの波高（パルス電圧）を液晶の粘度と比例して単に増加させる、または同じ比率でパルス幅を広げるだけでは不十分であり、液晶の反射率を低下させて中間調にするための駆動エネルギーを波高（パルス電圧）の 2 乗とパルス幅の周期の積が、液晶の粘度の平方根と高い相関性を有することを見出した。従って、温度補償もこの関係に基づいて行うことにより、より一層高い精度で温度補償が行える。

【 0 0 6 5 】

また、プレーナ状態への初期化する初期化パルスについては、パルスの波高（パルス電圧）は一定で、パルス幅を変化させるのみで十分に温度補償できることを確認した。

【 0 0 6 6 】

以上のような温度特性に基づいた本発明の温度補償方法を説明する。

【 0 0 6 7 】

本発明によれば、図 7 の（ A ）に示すような初期化（リセット）パルスを印加してプレーナ状態にした後、階調パルスを印加してフォーカルコニック状態にする。階調パルスは、図 7 の（ B ）から（ D ）に示すような低階調パルス、中階調パルスおよび高階調パルスで構成されていても、 $\pm 20 \text{ V}$ でパルス幅が変化する 1 個のパルスでもよい。このような駆動方法において、プレーナ状態にするための初期化パルスの温度補償は、パルス電圧を固定としてパルス幅を変化させ、階調パルスの温度補償は、低温時には階調パルスのパルス幅を変化させ、温度センサの検出した温度が高温の時には階調パルスのパルス電圧を変化させる。具体的には、初期化パルスの温度補償は、低温では、温度が低くなるに従ってパルス幅を広くする。階調パルスの温度補償は、所定温度より低温の領域では、パルス電圧を固定し、パルス幅を広くし、所定温度より高温の領域では、パルス幅は一定とし、パルス電圧を温度の上昇に従って低下させる。

【 0 0 6 8 】

上記のように、コレステリック液晶の粘度 η は、温度に応じて図 8 に示すように変化する。この関係から温度に応じたコレステリック液晶の粘度 η を求め、階調パルスの波高を V とし、階調パルスのパルス幅を T とすると、 $V^2 \times T = \eta^p \times C$ （ただし、 $0 < p < 1$ 、 $C = \text{一定}$ ）となるように、階調パルスの温度補償を行う。 $V^2 \times T$ は駆動エネルギーを表す。 p は実験的には 0.5 の場合にもっとも相関が高かったが、液晶の塑性やパネル構造により多少変動し、 $p = 0.5$ より若干ずれた値の時にもっとも相関が高くなる場合もあった。

【 0 0 6 9 】

初期化パルスは、全温度領域に渡ってパルス幅を変化させてもよいが、例えばある温度 T （例えば 25°C ）以上の高温では、その温度 T の時のパルス幅に固定するようにしてもよい。

【 0 0 7 0 】

また、階調パルス温度補償に関する所定温度は、表示パネルの特性や電源回路の容量などを考慮して適宜設定すればよい。

【 0 0 7 1 】

パルス電圧およびパルス幅の変化は、ステップ状に変化させても、連続的に変化させてもよい。

【 0 0 7 2 】

いずれにしても、階調パルスは、波高（パルス電圧）による補正とパルス幅による補正を使い分け、駆動エネルギーを粘度の平方根に比例する関係に近い関係で変化させる。

【 0 0 7 3 】

以下、図面を参照して本発明の実施形態を説明する。

【 0 0 7 4 】

図 11 は、実施形態で使用する表示素子 10 の構成を示す図である。図 11 に示すよう

10

20

30

40

50

に、この表示素子 10 は、見る側から順番に、青（ブルー）用パネル 10 B、緑（グリーン）用パネル 10 G、および赤（レッド）用パネル 10 R の 3 枚のパネルが積層されており、レッド用パネル 10 R の下側には光吸収層 17 が設けられている。パネル 10 B、10 G および 10 R は、同じ構成を有するが、パネル 10 B は反射の中心波長が青色（約 480 nm）、パネル 10 G は反射の中心波長が緑色（約 550 nm）、パネル 10 R は反射の中心波長が赤色（約 630 nm）になるように、液晶材料およびカイラル材が選択され、カイラル材の含有率が決定されている。パネル 10 B、10 G および 10 R は、青層用制御回路 18 B、緑層用制御回路 18 G および赤層用制御回路 18 R で、それぞれ駆動される。

【0075】

10

図 12 は、1 枚のパネル 10 A の基本構成を示す図である。実施形態で使用するパネルについて、図 12 を参照して説明する。

【0076】

図 12 に示すように、表示素子 10 A は、上側基板 11 と、上側基板 11 の表面に設けられた上側電極層 14 と、下側基板 13 の表面に設けられた下側電極層 15 と、シール材 16 と、を有する。上側基板 11 と下側基板 13 は、電極が対向するように配置され、間に液晶材料を封入した後シール材 16 で封止される。なお、液晶層 12 内にスペーサが配置されるが図示は省略している。上側電極層 14 と下側電極層 15 の電極には、駆動回路 18 から電圧パルス信号が印加され、それにより液晶層 12 に電圧が印加される。液晶層 12 に電圧を印加して、液晶層 12 の液晶分子をプレーナ状態またはフォーカルコニック状態にして表示を行う。

20

【0077】

上側基板 11 と下側基板 13 は、いずれも透光性を有しているが、パネル 10 R の下側基板 13 は不透光性でもよい。透光性を有する基板としては、ガラス基板があるが、ガラス基板以外にも、PET（ポリエチレンテレフタレート）や PC（ポリカーボネート）などのフィルム基板を使用してもよい。

【0078】

上側電極層 14 と下側電極層 15 の電極の材料としては、例えば、インジウム錫酸化物 (ITO: Indium Tin Oxide) が代表的であるが、その他インジウム亜鉛酸化物 (IZO: Indium Zic Oxide) などの透明導電膜を使用することが可能である。

30

【0079】

上側電極層 14 の透明電極は、上側基板 11 上に互いに平行な複数の帯状の上側透明電極として形成され、下側電極層 15 の透明電極は、下側基板 13 上に互いに平行な複数の帯状の下側透明電極として形成されている。そして、上側基板 11 と下側基板 13 は、基板に垂直な方向から見た時に、上側電極と下側電極が交差するように配置され、交差部分に画素が形成される。電極上には絶縁性のある薄膜が形成される。この薄膜が厚いと駆動電圧を高くする必要があり、汎用 STN ドライバで駆動回路を構成するのが難しくなる。逆に、薄膜がないとリーク電流が流れるため、消費電力が増大するという問題を生じる。ここでは、薄膜は比誘電率が約 5 であり、液晶よりもかなり低いため、薄膜の厚さは約 0.3 μm 以下とするのが適している。

40

【0080】

なお、この絶縁性薄膜は、SiO₂ の薄膜、あるいは配向安定化膜として知られているポリイミド樹脂、アクリル樹脂などの有機膜で実現できる。

【0081】

上記のように、液晶層 12 内にスペーサが配置され、上側基板 11 と下側基板 13 の間隔、すなわち液晶層 12 の厚さを一定にする。スペーサは、一般に樹脂製または無機酸化物製の球体であるが、基板表面に熱可塑性の樹脂をコーティングした固着スペーサを使用することも可能である。このスペーサによって形成されるセルギャップは 3.5 μm ~ 6 μm の範囲が適正である。セルギャップがこの値より小さいと反射率が低下して暗い表示になり、逆のこの値より大きいと駆動電圧が上昇して汎用ドライバ IC による駆動が困難

50

になる。

【 0 0 8 2 】

液晶層 1 2 を形成する液晶組成物は、ネマティック液晶混合物にカイラル材を 1 0 ~ 4 0 重量 % (w t %) 添加したコレステリック液晶である。ここで、カイラル材の添加量は、ネマティック液晶成分とカイラル材の合計量を 1 0 0 w t % とした時の値である。

【 0 0 8 3 】

ネマティック液晶としては、従来から公知の各種のものを使用可能であるが、誘電率異方性 ($\Delta \epsilon$) が 1 5 ~ 3 5 の範囲の液晶材料であることが望ましい。誘電率異方性が 1 5 以上であれば、駆動電圧が比較的低くなり、この範囲より大きいと駆動電圧自体は低下するが比抵抗が小さくなり、特に高温時の消費電力が増大する。

10

【 0 0 8 4 】

また、屈折率異方性 (Δn) は、 0 . 1 8 ~ 0 . 2 4 であることが望ましい。屈折率異方性が、この範囲より小さいと、プレーナ状態の反射率が低くなり、この範囲より大きいと、フォーカルコニック状態での散乱反射が大きくなるのに加えて、粘度も高くなり、応答速度が低下する。

【 0 0 8 5 】

図 1 3 は、本発明の第 1 実施形態の表示装置の全体構成を示す図である。表示素子 1 0 は、A 4 判 X G A 仕様で、1 0 2 4 × 7 6 8 画素を有する。電源 2 1 は、例えば 3 V ~ 5 V の電圧を出力する。昇圧部 2 2 は、D C - D C コンバータなどのレギュレータにより、電源 2 1 からの入力電圧を 3 6 V ~ 4 0 V に昇圧する。この昇圧レギュレータは、専用 I C が広く使用されており、その I C にはフィードバック電圧を設定することにより、昇圧電圧を調整する機能を有している。従って、抵抗による分圧などにより生成した複数の電圧を選択してフィードバック端子に供給するように構成することで、昇圧電圧を変化させることが可能である。

20

【 0 0 8 6 】

電圧切替部 2 3 は、抵抗分割などにより各種の電圧を生成する。電圧切替部 2 3 におけるリセット電圧と階調書込み電圧のスイッチングには、高耐圧のアナログスイッチを用いてもよいが、トランジスタによる単純なスイッチング回路、あるいは D / A コンバータを使用することも可能である。電圧安定部 2 4 は、電圧切替部 2 3 から供給される各種の電圧を安定化させるために、オペアンプのボルテージフォロア回路を使用することが望ましい。オペアンプは、容量性負荷に対して強い特性を有するものを使用するのが望ましい。なお、オペアンプに接続する抵抗を切り替えることにより増幅率を切り替える構成が広く知られており、この構成を使用すれば、電圧安定部 2 4 から出力する電圧を容易に切り替えることが可能である。

30

【 0 0 8 7 】

原振クロック部 2 5 は、動作の基本となる基本クロックを発生する。分周部 2 6 は、基本クロックを分周して、後述する動作に必要な各種クロックを生成する。

【 0 0 8 8 】

制御回路 2 7 は、基本クロック、各種クロックおよび画像データ D に基づいて制御信号を生成して、コモンドライバ 2 8 およびセグメントドライバ 2 9 に供給する。制御回路 2 7 は、表示装置に設けられた温度センサ 3 0 により検出された温度に応じて、昇圧部 2 2 の昇圧電圧または電圧安定部 2 4 の出力電圧を調整すると共に、コモンドライバ 2 8 およびセグメントドライバ 2 9 の出力するパルス幅を調整する。

40

【 0 0 8 9 】

コモンドライバ 2 8 は 7 6 8 本のスキャンラインを駆動し、セグメントドライバ 2 9 は 1 0 2 4 本のデータラインを駆動する。R G B の各画素に与える画像データが異なるため、セグメントドライバ 2 9 は各データラインを独立して駆動する。コモンドライバ 2 8 は、R G B のラインを共通に駆動する。本実施形態では、ドライバ I C は、汎用の 2 値出力の S T N ドライバを使用した。利用可能な汎用 S T N ドライバは、様々なものが使用可能である。

50

【 0 0 9 0 】

セグメントドライバ 2 9 へ入力する画像データは、フルカラーの原画像を誤差拡散法により RGB 各 1 6 階調の 4 0 9 6 色のデータに変換した、4 ビットのデータ D 0 - D 3 である。この階調変換は、高い表示品質を得られる方法が好ましく、誤差拡散法のほかにブルーノイズマスク法などが使用できる。

【 0 0 9 1 】

図 1 4 A および図 1 4 B は、温度センサ 3 0 の配置を示す図である。表示素子（表示パネル）1 0 は、筐体 3 3 に取り付けられて保持される。図 1 3 の表示素子 1 0 以外の部分が搭載される回路基板 3 2 も筐体 3 3 に取り付けられ、表示素子 1 0 の裏面に配置される。表示素子 1 0 と回路基板 3 2 は、フレキシブルプリント基板（FPC）3 2 A および 3 2 B で電氣的に接続される。回路基板 3 2 に設けられた電源回路や制御回路は、動作に応じて発熱するので、温度センサ 3 0 は、発熱の影響を受けにくい図示のような位置に配置されることが望ましい。図 1 4 A および図 1 4 B の例では、回路基板 3 2 から突き出した部分に温度センサ 3 0 を配置している。これにより、温度センサ 3 0 の周囲はほぼ空気層に覆われるので、電源回路や制御回路からの発熱の影響を低減でき、表示素子 1 0 と温度センサ 3 0 の温度の一致具合を向上できる。なお、温度センサ 3 0 の配置については、図示した位置以外に、表示素子 1 0 の裏面に貼り付けるなども可能であり、各種の変形例があり得る。

10

【 0 0 9 2 】

次に、本実施形態における画像の書込み動作を説明する。

20

【 0 0 9 3 】

図 1 5 は、本実施形態における画像の書込み動作を示すタイムチャートである。画像の書込み動作は、 ± 3.6 V のパルスを全画素に同時に印加して、全画素をプレーナ状態にリセットする第 1 ステップと、第 1 ステップの後で画素に選択的に階調パルスを印加して、プレーナ状態とフォーカルコニック状態が混在した中間調状態にする第 2 ステップと、を有する。本実施形態では、汎用 STN ドライバが有する出力電圧オフ機能（/DSPOF）を利用してパルス幅を変化させる。

【 0 0 9 4 】

第 1 ステップでは、セグメントドライバ 2 9 の出力電圧をすべてグランド（GND）レベルにした上で、コモンドライバ 2 8 の全出力ラインを選択状態にする。出力電圧をすべて GND レベルにするのは、/DSPOF を低（L）にすればよい。

30

【 0 0 9 5 】

次に極性信号 FR を高（H）レベルにした上で、/DSPOF を H レベルにすると、選択された全ラインに + 3.6 V が印加され、図 1 2 B に示すように、全画素がホメオトロピック状態になる。

【 0 0 9 6 】

次に、極性信号 FR を低（H）レベルにして全ラインに印加した電圧を + 3.6 V から - 3.6 V に反転させる。

【 0 0 9 7 】

この場合の + 3.6 V と - 3.6 V の印加時間は、表示素子の構成によって適正值が異なるが、本実施形態では、10 ms のパルス幅のパルスとした。

40

【 0 0 9 8 】

最後に、/DSPOF を L にして出力を 0 V にすると、全画素はホメオトロピック状態からプレーナ状態に切り替わる。このようにして初期化パルスが印加される。/DSPOF を用いると、ドライバ IC の短絡回路で強制的に放電するため、表示素子に充放電された放電時間を短くできる。プレーナ状態への遷移は、電圧パルスの急峻性が必要なので、この /DSPOF を用いた強制放電は、サイズが大きな表示素子の場合でも確実にプレーナ状態にリセットすることが可能である。

【 0 0 9 9 】

第 2 ステップは、3 つのサブステップ S 1 , S 2 , S 3 を有する。本実施形態では、3

50

つのサブステップは、1フレームにおいて、1つのスキャンラインを選択している間に連続して行われる。サブステップS1では、図7の(D)の $\pm 20V$ のパルス幅の狭い高階調パルスが選択的に印加され、サブステップS2では、図7の(C)の $\pm 20V$ のパルス幅の中ぐらいの中階調パルスが選択的に印加され、図7の(B)の $\pm 20V$ のパルス幅の広い低階調パルスが選択的に印加される。

【0100】

図15に示すように、第1ステップの終了する前に、高階調パルスを印加する第1ラインの画素を示すデータDATAをセグメントドライバ29に転送し、データの転送が終了し且つ第1ステップが終了すると、セグメントドライバ29はラッチ信号LATCHに応じて転送データを保持する。この時、コモンドライバ28は、図示していないシフト信号に応じて、第1スキャンラインを示すスキャンデータが保持される。FRをHにした上で、/DSPOFをHにすると、コモンドライバ28は第1スキャンラインに正極フェーズのスキャンパルス(0V)を印加し、セグメントドライバ29はデータラインにDATAに応じて正極フェーズのデータパルス(20V)および非データパルス(0V)を印加する。他のスキャンラインには電圧パルスは印加されない。一旦/DSPOFをLにした後、FRをLにし、再び/DSPOFをHにすると、コモンドライバ28は、第1スキャンラインに負極フェーズのスキャンパルス(20V)を印加し、セグメントドライバ29はデータラインに正極フェーズのデータパルス(0V)および非データパルス(20V)を印加する。サブステップS1は、例えば2msであり、約2msのパルス幅の $\pm 20V$ のパルスが印加される。

【0101】

サブステップS1を実行している間に、中階調パルスを印加する第1ラインの画素を示すデータDATAをセグメントドライバ29に転送し、第1サブステップS1が終了すると、セグメントドライバ29はラッチ信号LATCHに応じて転送データを保持する。以下、第1サブステップS1と同様に第2サブステップS2を実行し、約2msのパルス幅の $\pm 20V$ のパルスが印加される。第3サブステップS3についても同様である。

【0102】

第2ステップの第1スキャンラインに対するサブステップS1-S3が終了すると、第2スキャンラインに対して第2ステップのサブステップS1-S3を実行する。これを最後のスキャンラインまで行えば、表示素子10の全面での書き込みが終了する。

【0103】

サブステップS1-S3のそれぞれで電圧パルスを印加するか印加しないかを選択することにより、8種類の累積印加時間を設定でき、8階調が実現できる。なお、サブステップS1-S3における電圧パルスのパルス幅を変化可能にすれば、その分表現可能な中間調のレベル数が増加する。

【0104】

図15のタイムチャートでは、第2ステップのサブステップS1-S3を、各スキャンラインで連続して実行する例を示したが、第2ステップのサブステップS1-S3を、3つのフレームF1、F2およびF3に分けて行うことも可能である。

【0105】

本実施形態では、初期化パルスおよび3種のパルス(高階調パルス、中階調パルス、低階調パルス)で構成される階調パルスを図15に示すタイムチャートに従って印加するが、温度センサ30の検出した温度に応じて、初期化パルスのパルス幅、および3種のパルス(高階調パルス、中階調パルス、低階調パルス)のパルス幅およびパルス電圧を調整する。

【0106】

前述のように、初期化パルスの温度補償は、パルス電圧を固定としてパルス幅を変化させる。初期化パルスのパルス幅は全温度領域に渡って、温度が低くなるに従って初期化パルスのパルス幅を広くする。

【0107】

しかし、図 16 に示すように、所定の温度以下では、温度が低くなるに従って初期化パルスのパルス幅を広くするが、所定の温度（例えば 25 °C）以上では、その所定の温度におけるパルス幅を維持するようにしてもよい。

【0108】

階調パルスの温度補償は、低温時には階調パルスのパルス幅を変化させ、高温時には階調パルスのパルス電圧を変化させる。具体的には、階調パルスの温度補償は、所定温度（例えば 25 °C）より低温の領域では、パルス電圧を固定し、パルス幅を広くし、所定温度より高温の領域では、パルス幅は一定とし、パルス電圧を温度の上昇に従って低下させる。この際、温度に応じたコレステリック液晶の粘度 η を求め、パルスのパルス電圧を V とし、パルス幅を T とすると、 $V^2 \times T \propto \eta^{1/2} \times C$ （ただし、 $C = \text{一定}$ ）となるように、階調パルス（高階調パルス、中階調パルス、低階調パルス）の温度補償を行う。

10

【0109】

例えば、パルス幅については、初期化パルスの場合とはスケールが異なるが、図 16 に示すように、温度が低くなるに従って高階調パルス、中階調パルス、低階調パルスのパルス幅を広くし、所定の温度（例えば 25 °C）以上では、その所定の温度におけるパルス幅を維持するようにする。また、パルス電圧については、図 17 に示すように、所定の温度以下では高階調パルス、中階調パルス、低階調パルスのパルス電圧は一定とし、所定温度以上では、高階調パルス、中階調パルス、低階調パルスのパルス電圧を低下させてもよい。

【0110】

以上説明した本実施形態の XGA 仕様の RGB 積層型コレステリック液晶表示装置では、表示素子 10 は、 $\pm 36V$ で初期化可能なように構成したので、回路部品は低耐圧の安価な汎用部品が使用できる。また、上記の説明では高階調パルス、中階調パルスおよび低階調パルスの 3 種類の階調パルスを使用する例を説明したが、実際にはパルス幅の異なる 4 種類の階調パルスを使用し、RGB 各 16 階調の 4096 色表示の表示装置とした。

20

【0111】

図 18 は、上記の構成の表示装置において、本実施形態の温度補償制御を適用した場合と、特許文献 3 または 4 に記載された従来の単純にパルス幅を変化させる温度補償制御を適用した場合における、温度変化に対する消費電力の変化を示す図である。参照符号 X が本発明の場合を、Y が従来例の場合を示す。従来例によれば、消費電力は温度の上昇に従って上昇し、40 °C を超える温度では消費電力が 400 mW を超える。これに対して、本発明では、高温ではパルス電圧を下げるように補償するため、高温での消費電力が抑制され、消費電力は 400 mW を超えない。

30

【0112】

表示装置の消費電力が大きくなると、電源回路の負荷が大きくなり、特に昇圧電圧が数十ボルトを超えると昇圧効率が急激に低下していくため、ますます消費電力については不利な方向に作用する。例えば、消費電力が 400 mW を超える領域は、高負荷で低効率の範囲であり、消費電力が 400 mW を超えない領域は、低負荷で高効率の範囲であり、この境界を超えないことが重要である。これに対して、本発明では、高温側ではパルス幅を固定としてパルス電圧を下けているため、高温での消費電力は逆に低下する。低温においても、パルス電圧の上昇による電圧上昇は、パルス幅を広げることで、最小限に抑えられている。

40

【0113】

図 19 A および図 19 B は、所定の応答性（反射率低下量）を得るための粘度と階調パルス（高階調パルス、中階調パルス、低階調パルス）の駆動エネルギーの関係を示す図であり、図 19 A は横軸が粘度 η で、縦軸が駆動エネルギー（ $V^2 T$ ）である場合を、図 19 B は横軸が粘度 $\eta^{1/2}$ で、縦軸が駆動エネルギー（ $V^2 T$ ）である場合を示す。ここで、 V は階調パルスのパルス電圧（波高）であり、 T は階調パルスのパルス幅である。

【0114】

図 19 B の方が、図 19 A より比例関係に近いことが分かる。従って、温度変化により

50

液晶の粘度が変化する場合、駆動エネルギーを粘度 $\eta^{1/2}$ で除した値が一定となるように温度補償制御することが望ましいことが分かる。

【 0 1 1 5 】

図 2 0 は、本実施形態のコレステリック液晶表示装置における、表示素子の明るさ（明度）と駆動エネルギーを粘度 $\eta^{1/2}$ で除した値をグラフにしたものであり、縦軸はある明度にするために必要な階調パルスの駆動エネルギーを粘度 $\eta^{1/2}$ で除した値を示す。図 2 0 から、粘度が異なる各温度の曲線がほぼ一致しており、粘度の平方根と相関関係が高いことが分かる。

【 0 1 1 6 】

図 2 1 は、本実施形態のコレステリック液晶表示装置における、温度変化に対する表示のコントラストの変化を示す図である。図 2 1 に示すように、コントラストは、温度依存性が小さく、広い温度範囲に渡って安定したコントラストが得られることが分かる。特に、一般的な動作温度とされる 0 ° C から 5 0 ° C において、安定して高いコントラストが得られる。0 ° C より低い温度、また 5 0 ° C より高い温度でコントラストが低下しているのは、表示素子固有の特性であり、温度補償の精度とは直接関係しないことが分かっている。

【 0 1 1 7 】

図 2 2 A から図 2 2 C は、本実施形態のコレステリック液晶表示装置表示装置において白から黒までの画像データに対応する複数階調を表示させた時のトーンカーブであり、図 2 2 A は 0 ° C の時のトーンカーブを、図 2 2 B は 2 5 ° C の時のトーンカーブを、図 2 2 C は 5 0 ° C の時のトーンカーブを示す。これらの図から、各温度で安定したトーンカーブが得られることが分かる。

【 0 1 1 8 】

図 2 3 および図 2 4 は、本発明の第 2 実施形態のコレステリック液晶表示装置表示装置の構成を示す図であり、図 2 3 は表示素子とドライバの部分を示し、図 2 4 は、制御装置 2 7 内に設けられる温度センサ 3 0 の検出した温度に基づいて制御を行う部分の構成を示す。また、図 2 5 は、第 2 実施形態における画像の書込み動作を示すタイムチャートである。第 2 実施形態では、R G B の 3 層のパネルに印加する電圧パルスのパルス電圧およびパルス幅が独立に制御される。第 2 実施形態の他の部分は基本的には第 1 実施形態と同じである。

【 0 1 1 9 】

図 1 3 に示すように、第 1 実施形態では、コモンドライバ 2 8 は表示素子 1 0 の R G B の 3 層のパネル 1 0 R , 1 0 G , 1 0 B のスキャン電極を共通に駆動したが、第 2 実施形態では、R G B の 3 層のパネルのスキャン電極を 3 個のコモンドライバ 2 8 R , 2 8 G , 2 8 B でそれぞれ独立に駆動する。また、図 2 4 に示すように、制御回路 2 7 内には、温度に応じた R G B の 3 層のパネルに印加する電圧パルス（初期化パルス、階調パルス（高階調パルス、中階調パルス、低階調パルス））のパルス電圧およびパルス幅に関するデータを記憶したルックアップテーブル 4 1 が設けられている。ルックアップテーブル 4 1 から、温度センサ 3 0 の検出した温度に対応した R G B の 3 層のパネルに印加する電圧パルスのパルス電圧およびパルス幅のデータがレジスタ 4 2 に読み出される。制御回路 2 7 は、データがレジスタ 4 2 に読み出されパルス電圧のデータに基づいて昇圧部 2 2 および電圧安定部 2 4 を制御する。データがレジスタ 4 2 に読み出されたパルス幅のデータは、カウンタ 4 3 に入力され、カウンタ 4 3 は、パネル 1 0 R を駆動するセグメントドライバ 2 9 R およびコモンドライバ 2 8 R の出力をオン・オフ制御する / D S P O F R E D 、パネル 1 0 G を駆動するセグメントドライバ 2 9 G およびコモンドライバ 2 8 G の出力をオン・オフ制御する / D S P O F G R E E N 、パネル 1 0 B を駆動するセグメントドライバ 2 9 B およびコモンドライバ 2 8 B の出力をオン・オフ制御する / D S P O F B L U E を発生する。

【 0 1 2 0 】

階調パルスの電圧を温度に応じて変化させるため、第 2 ステップを行う時には、制御部

10

20

30

40

50

27は温度センサ30の検出した温度に対応するデータをLUT41から読み出し、電圧安定部24が補正した電圧を出力するように制御する。

【0121】

前述のように、液晶用汎用ドライバには、通常出力電圧をすべてオフにする出力電圧オフ機能（/DSPOF）が設けられており、第2実施形態でもこの機能を利用して初期化パルスおよび階調パルスのパルス幅を変化させる。

【0122】

図25のタイムチャートは、第2ステップの一部のみを示している。第2実施形態では、1スキャンラインが選択される間に1個の階調パルスが印加される。従って、第2ステップを構成する複数のサブステップは、異なるフレームで実行される。各サブステップを実行するフレームをここでは書込みフェーズと称する。

10

【0123】

図25に示すように、/DSPOF RED、/DSPOF GREENおよび/DSPOF BLUEは、検出した温度に応じてHとなる期間が独立に調整され、セグメントドライバ29Rおよびコモンドライバ28R、セグメントドライバ29Gおよびコモンドライバ28G、セグメントドライバ29Bおよびコモンドライバ28Bに印加される。これに応じて各ドライバが電圧を出力する期間、すなわちパルス幅が制御される。

【0124】

/DSPOFをRGBのドライバごとに設けることにより、RGBの3種のパネル間の温度依存性の相違まで含めて高精度で温度補償を行うことができる。例えば、低温で赤（RED）のパルス応答性がもっとも低下する場合には、図25に示すように、/DSPOFのアサート時間を青（BLUE）に対してもっとも短く、次いで緑（GREEN）、赤の順に長くすることで、赤のパルス幅をもっとも長くでき、RGBの3種のパネルで同じ応答特性が得られる。

20

【0125】

図26は、温度センサが温度を検出するタイミングを説明する図である。図26の（A）のように、書き込みステップS10を開始すると、温度検出データTDを読み出し、初期化处理（リセット）S12、第1のサブステップを行う書込みフェーズS13、第2サブステップを行うフェーズS14、という具合に最後のサブステップまでを、温度データTDに基づいて補正したパルス幅およびパルス電圧で実行する。

30

【0126】

図26の（A）であれば、制御回路27の負担はもっとも少ないが、書込み途中で温度が急変した場合などには補償精度が低下するという問題がある。

【0127】

図26の（B）のように、書き込みステップS10を開始すると、温度検出データTD1を読み出し、初期化处理（リセット）S12を温度データTD1に基づいて補正したパルス幅で実行する。S12の後、再び温度検出データTD2を読み出し、フェーズS13を温度データTD2に基づいて補正したパルス幅およびパルス電圧で実行する。以下同様に、温度検出データTD3を読み出して書込みフェーズS14を実行するという具合に、各書込みフェーズの前に温度検出データを読み出して、その温度に基づいてパルス幅およびパルス電圧を補正することを繰り返す。

40

【0128】

図26の（B）であれば、図26の（A）の制御に比べて、温度補償精度は向上するが、制御回路27の負担は大きくなる。

【0129】

図26の（C）は、各書込みフェーズにおいて、各スキャンラインごとに検出した温度を読み込む場合を示す。この構成であれば、パネル温度分布があっても補償可能であり、温度補償精度はもっとも高い。しかし、制御回路27の負担は一層大きくなる。

【0130】

図26の（A）から（C）に示した温度の読み込みタイミングのいずれを採用するかは

50

、製品の形態やアプリケーションによって適宜選択される。

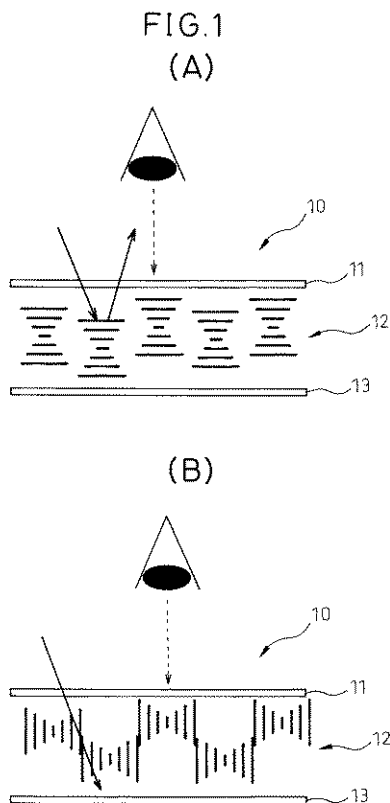
【 0 1 3 1 】

以上説明したように、本発明によれば、コレステリック液晶表示装置において、低消費電力かつ安価な部品構成で、精度の高い温度補償を実現できる。

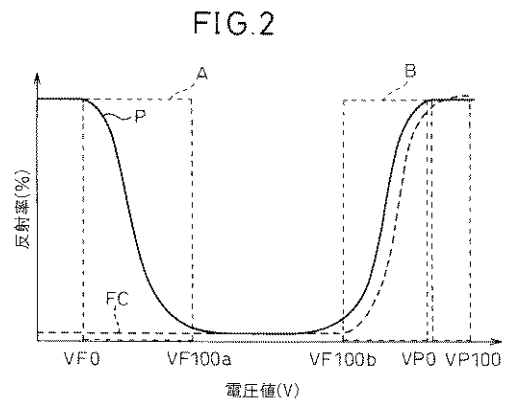
【 0 1 3 2 】

以上、本発明の実施例を説明したが、他にも各種の実施例が可能であるのはいうまでもない。例えば、本発明は、コレステリック液晶を使用した表示素子以外にも、メモリ性を有するドットマトリクス型の表示素子であれば、適用可能である。

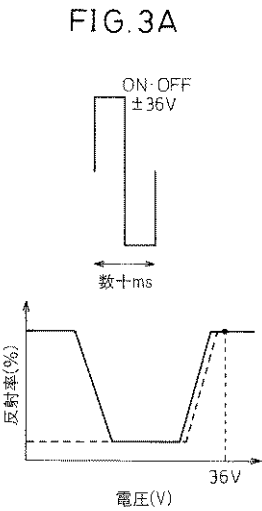
【 図 1 】



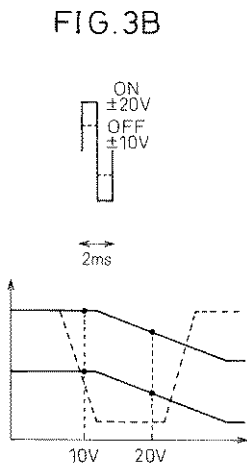
【 図 2 】



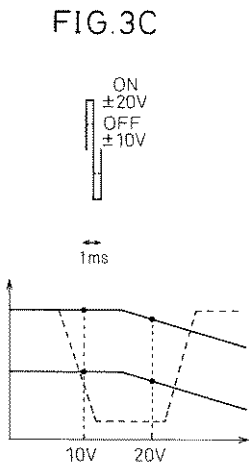
【図 3 A】



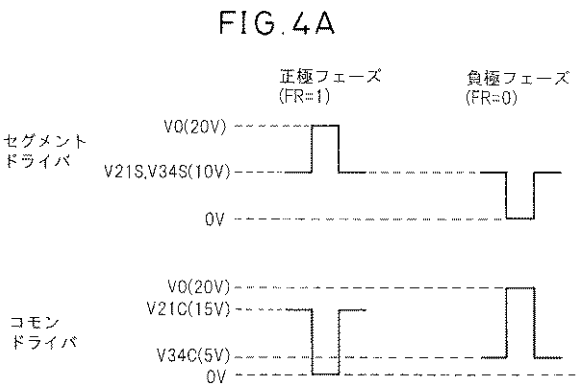
【図 3 B】



【図 3 C】



【図 4 A】



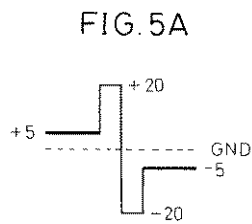
【図 4 B】

FIG.4B

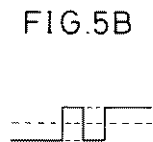
コモン	セグメント	正極性	負極性
ON	ON	20	-20
	OFF	10	-10
OFF	ON	5	-5
	OFF	-5	5

(V)

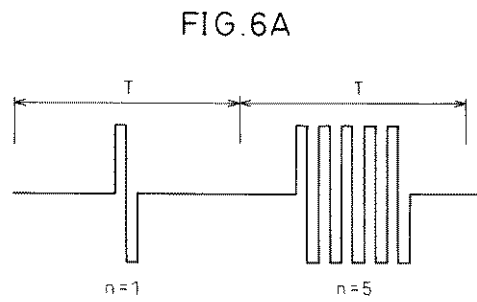
【図 5 A】



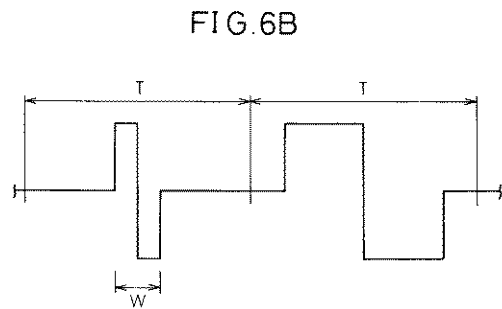
【図 5 B】



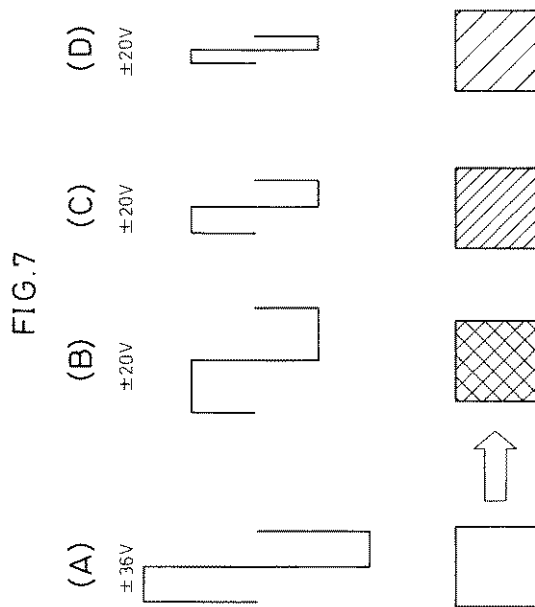
【図 6 A】



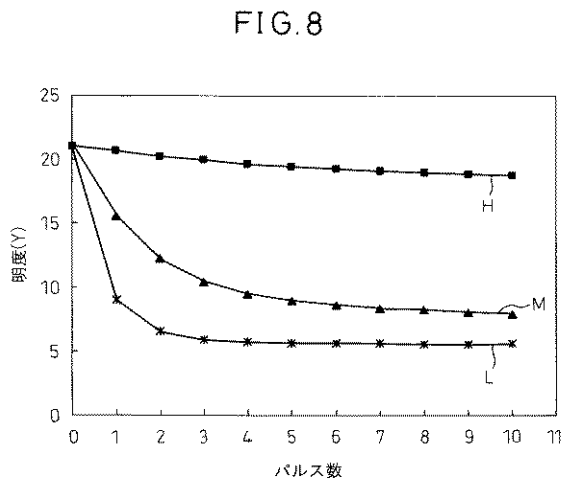
【図 6 B】



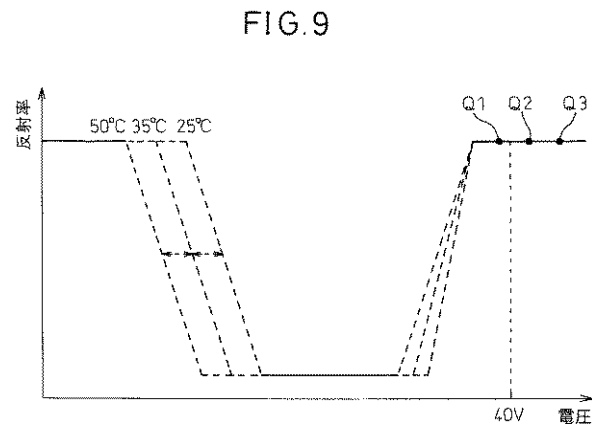
【図 7】



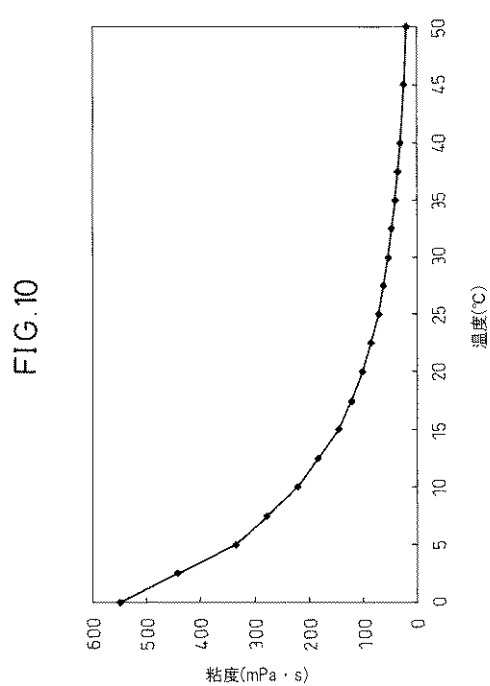
【図 8】



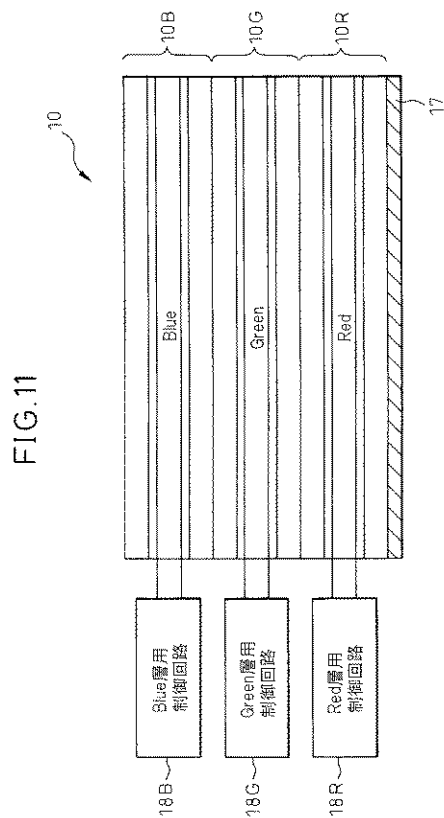
【 図 9 】



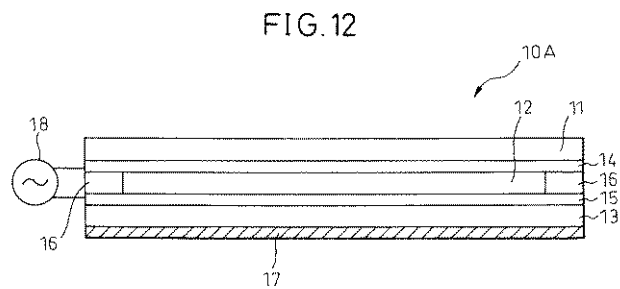
【 図 1 0 】



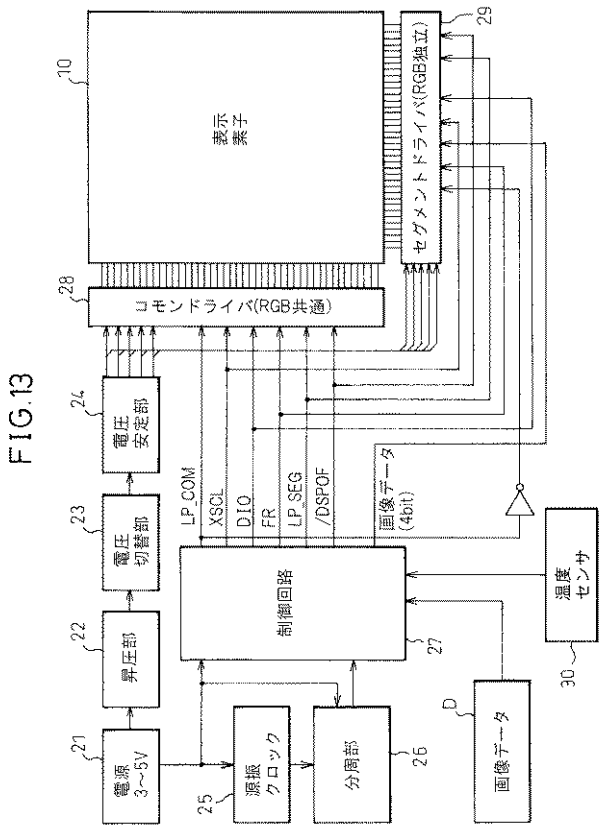
【 図 1 1 】



【 図 1 2 】

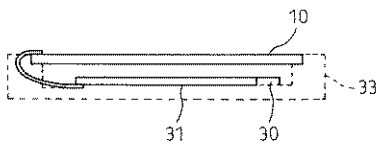


【図 1 3】



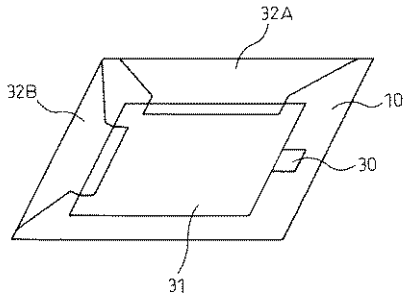
【図 1 4 A】

FIG.14A

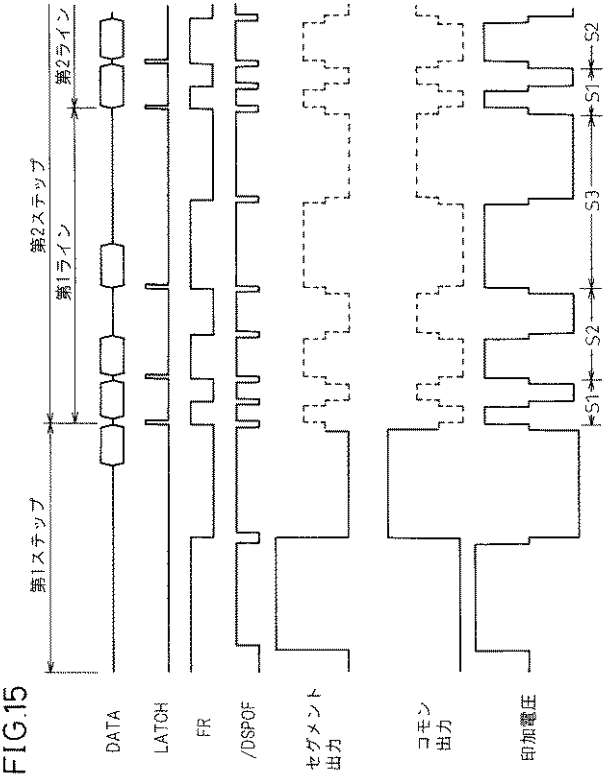


【図 1 4 B】

FIG.14B

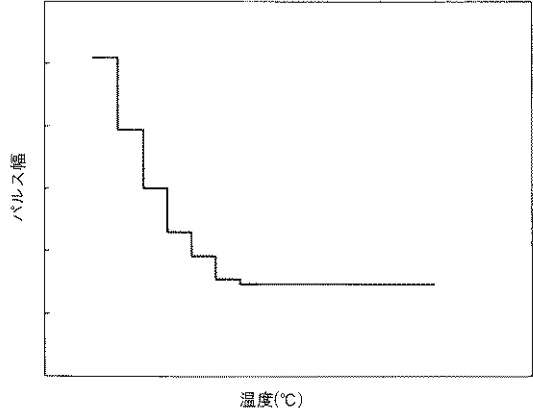


【図 1 5】



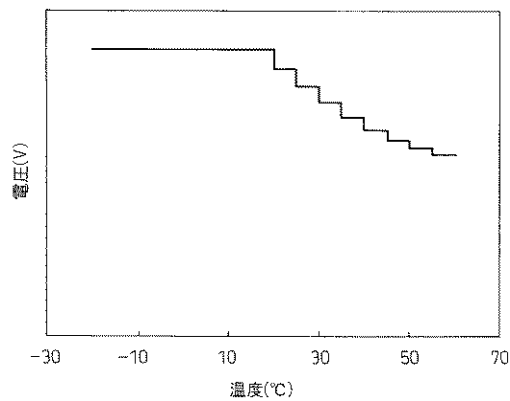
【図 1 6】

FIG.16



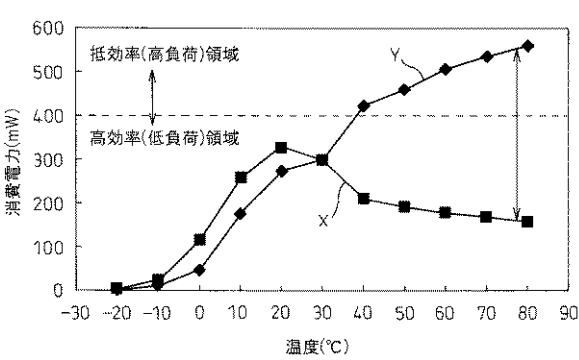
【図 17】

FIG.17



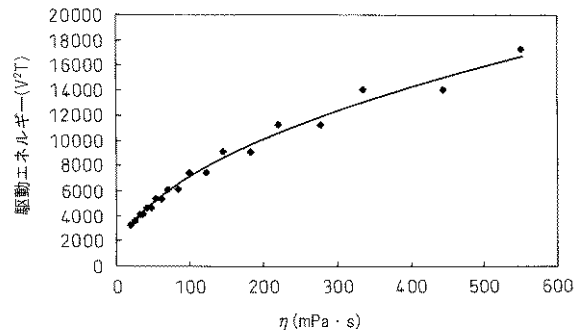
【図 18】

FIG.18



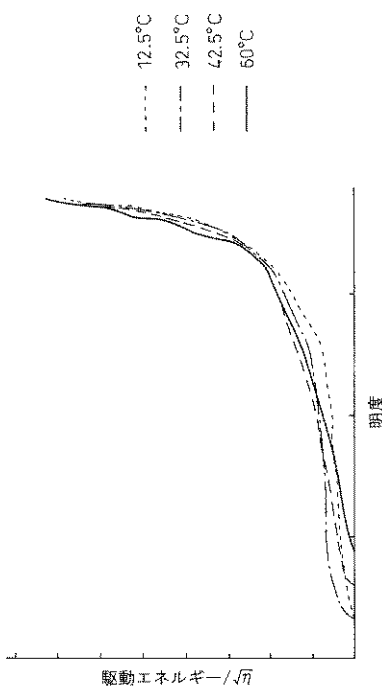
【図 19 A】

FIG.19A



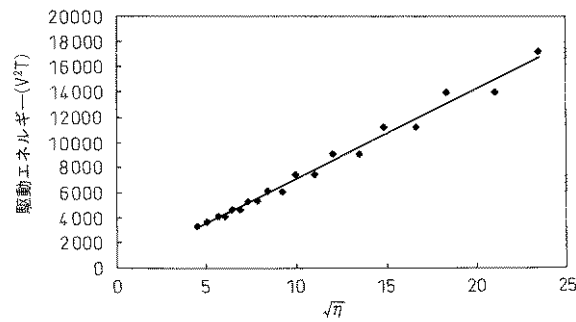
【図 20】

FIG.20



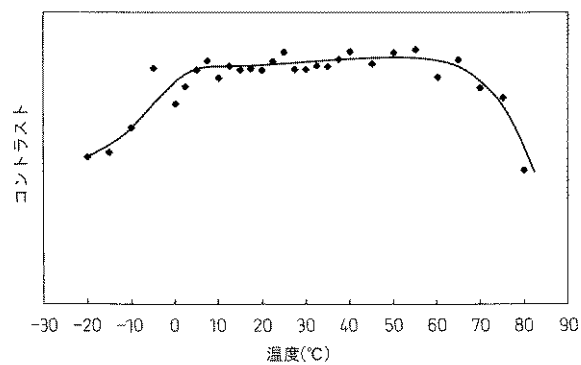
【図 19 B】

FIG.19B



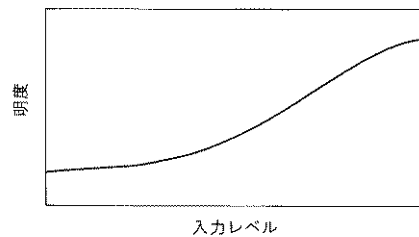
【図 2 1】

FIG.21



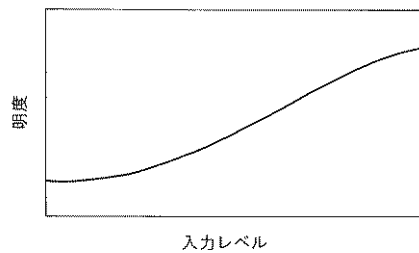
【図 2 2 B】

FIG.22B



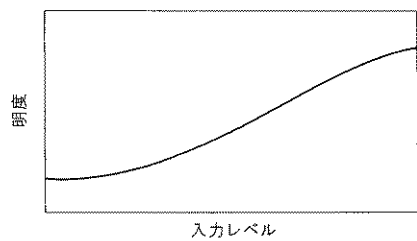
【図 2 2 C】

FIG.22C



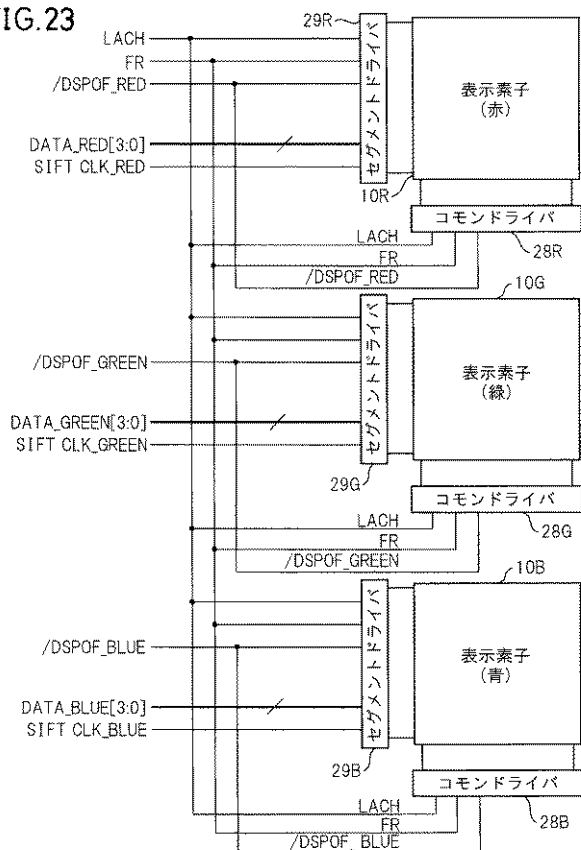
【図 2 2 A】

FIG.22A



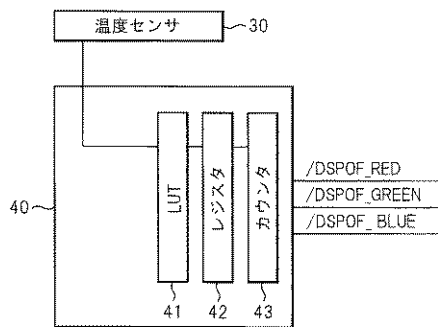
【図 2 3】

FIG.23

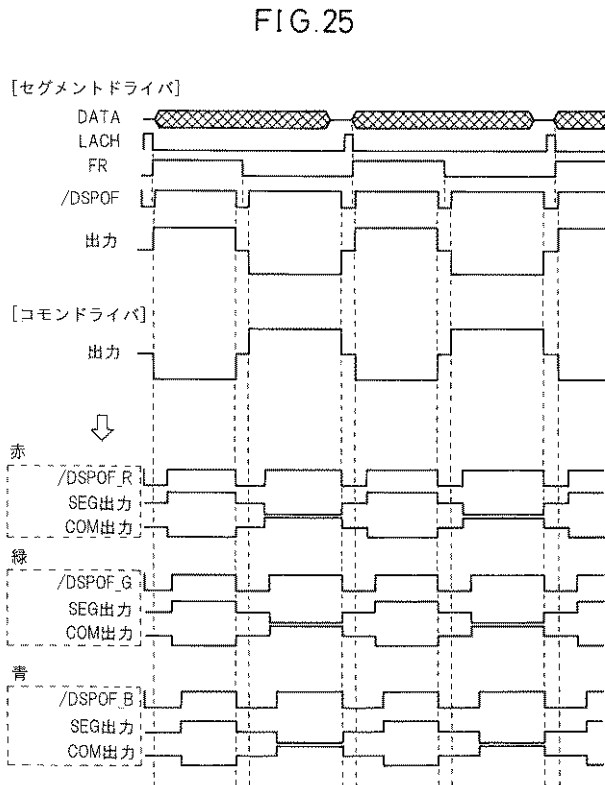


【図 2 4】

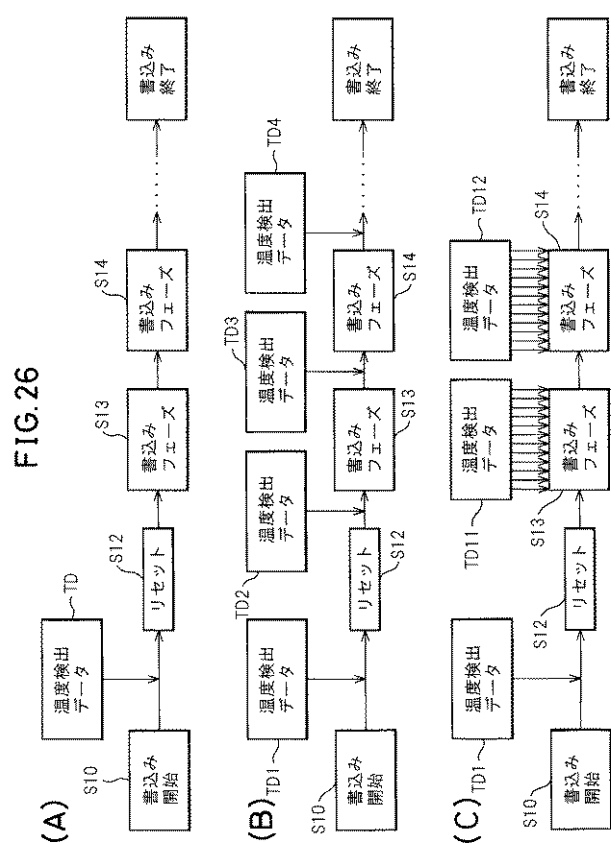
FIG.24



【図 25】



【図 26】



【手続補正書】

【提出日】平成22年4月1日(2010.4.1)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

マトリクス型の表示素子と、
前記表示素子の画素を駆動する駆動回路と、
前記駆動回路を制御する制御回路と、を備える表示装置であって、
前記制御回路は、書換え対象の画素を初期化する初期化パルスを印加して初期階調状態にした後、初期化された画素に対して階調パルスを印加して前記初期階調状態以外の階調状態にするように、前記駆動回路を制御し、

前記階調パルスの印加される累積時間が、階調状態の値に関係する表示装置において、当該表示装置の温度を検出する温度センサを備え、

前記制御回路は、

前記初期化パルスのパルス電圧を固定とし、前記温度センサの検出した温度に応じて、前記初期化パルスのパルス幅を変化させ、

前記温度センサの検出した温度が低温の時には前記階調パルスのパルス幅を変化させ、前記温度センサの検出した温度が高温の時には前記階調パルスのパルス電圧を変化させることを特徴とする表示装置。

【請求項 2】

前記制御回路は、

前記温度センサの検出した温度が低温の時には、前記初期化パルスおよび前記階調パルスのパルス幅を広くし、前記温度センサの検出した温度が高温の時には前記階調パルスのパルス電圧を低下させることを特徴とする請求項 1 に記載の表示装置。

【請求項 3】

前記表示素子は、コレステリック液晶を含むことを特徴とする請求項 1 に記載の表示装置。

【請求項 4】

温度に応じて変化する前記表示素子の粘度を η とし、前記階調パルスの波高を V とし、前記階調パルスのパルス幅を T とすると、

前記制御回路は、 $V^2 \times T$ が η^p (ただし、 $0 < p < 1$) と略比例の関係となるように前記階調パルスの波高およびパルス幅を制御することを特徴とする請求項 1 に記載の表示装置。

10

【請求項 5】

前記表示装置は、複数の異なる反射光を呈する複数の前記表示素子が積層された積層構造を備えることを特徴とする請求項 1 に記載の表示装置。

【請求項 6】

温度に応じた前記初期化パルスのパルス幅および前記階調パルスの波高およびパルス幅の変化は、前記複数の表示素子で異なることを特徴とする請求項 5 に記載の表示装置。

【請求項 7】

マトリクス型の表示素子の駆動方法であって、

20

書換え対象の画素を初期化する初期化パルスを印加して初期階調状態にする第 1 ステップと、

前記第 1 ステップで初期化された画素に対して階調パルスを印加して前記初期階調状態以外の階調状態にする第 2 ステップと、を備え、

前記第 2 ステップにおいて前記階調パルスの印加される累積時間が、階調状態の値に係る駆動方法において、

前記初期化パルスのパルス電圧を固定とし、前記温度センサの検出した温度に応じて、前記初期化パルスのパルス幅を変化させ、

前記温度センサの検出した温度が低温の時には、前記階調パルスのパルス電圧を固定として前記階調パルスのパルス幅を変化させ、前記温度センサの検出した温度が高温の時には前記階調パルスのパルス電圧を変化させる、ことを特徴とする表示素子の駆動方法。

30

【請求項 8】

前記温度センサの検出した温度が低温の時には、前記初期化パルスおよび前記階調パルスのパルス幅を広くし、前記温度センサの検出した温度が高温の時には前記階調パルスのパルス電圧を低下させることを特徴とする請求項 7 に記載の表示素子の駆動方法。

【請求項 9】

前記表示素子は、コレステリック液晶を含むことを特徴とする請求項 7 に記載の表示素子の駆動方法。

【請求項 10】

温度に応じて変化する前記表示素子の粘度を η とし、前記階調パルスの波高を V とし、各サブ階調パルスのパルス幅を $T/2$ とすると、

40

$V^2 \times T$ が η^p (ただし、 $0 < p < 1$) と略比例の関係となるように前記階調パルスの波高およびパルス幅を変化させることを特徴とする請求項 7 に記載の表示素子の駆動方法。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【発明の詳細な説明】

50

【技術分野】

【0001】

本発明は、ドットマトリクス型の表示素子を有する表示装置およびその駆動方法に関し、特にコレステリック液晶などのメモリ性の表示材料を有するドットマトリクス型の表示素子を有する表示装置およびその駆動方法に関する。

【背景技術】

【0002】

近年、各企業および大学などにおいて、電子ペーパーの開発が盛んに進められている。電子ペーパーの利用が期待されている応用分野として、電子書籍を筆頭に、モバイル端末機器のサブディスプレイやＩＣカードの表示部など、多様な応用形態が提案されている。電子ペーパーの有力な方式の１つに、コレステリック液晶がある。コレステリック液晶は、半永久的な表示保持（メモリ性）や鮮やかなカラー表示、高コントラスト、高解像度といった優れた特徴を有している。

10

【0003】

コレステリック液晶は、カイラルネマティック液晶とも称されることがあり、ネマティック液晶にキラリティの添加剤（カイラル材）を比較的多く（数十％）添加することにより、ネマティック液晶の分子がらせん状のコレステリック相を形成する液晶である。

【0004】

図１は、コレステリック液晶の状態を説明する図である。図１（Ａ）および図１（Ｂ）に示すように、コレステリック液晶を利用した表示素子１０は、上側基板１１と、コレステリック液晶層１２と、下側基板１３と、有する。コレステリック液晶には、図１（Ａ）に示すように入射光を反射するプレーナ状態と、図１（Ｂ）に示すように入射光を透過するフォーカルコニック状態と、があり、これらの状態は、無電界下でも安定してその状態が保持される。

20

【0005】

プレーナ状態の時には、液晶分子のらせんピッチに応じた波長の光を反射する。反射が最大となる波長 λ は、液晶の平均屈折率 n 、らせんピッチ p から次の式で表される。

【0006】

$$\lambda = n \cdot p$$

一方、反射帯域 $\Delta\lambda$ は、液晶の屈折率異方性 Δn により大きく異なる。

30

【0007】

プレーナ状態の時には、入射光が反射するので「明」状態、すなわち白を表示することができる。一方、フォーカルコニック状態の時には、下側基板１３の下に光吸収層を設けることにより、液晶層を透過した光が吸収されるので「暗」状態、すなわち黒を表示することができる。

【0008】

次に、コレステリック液晶を利用した表示素子の駆動方法を説明する。

【0009】

図２は、一般的なコレステリック液晶の電圧 - 反射特性の一例を示している。横軸は、コレステリック液晶を挟む電極間に所定のパルス幅で印加されるパルス電圧の電圧値（ V ）を表し、縦軸はコレステリック液晶の反射率（％）を表している。図２に示す実線の曲線 P は、初期状態がプレーナ状態のコレステリック液晶の電圧 - 反射率特性を示し、破線の曲線 FC は、初期状態がフォーカルコニック状態のコレステリック液晶の電圧 - 反射率特性を示す。

40

【0010】

図２において、電極間に所定の高電圧 V_{P100} （例えば $\pm 36V$ ）を印加して、コレステリック液晶中に相対的に強い電界を発生させると、液晶分子のらせん構造は完全にほどこけて、すべての分子が電界の方向に従うホメオトロピック状態になる。次に、液晶分子がホメオトロピック状態の時に、印加電圧を V_{P100} から所定の低電圧（例えば、 $V_{F0} = \pm 4V$ ）に急激に低下させて、液晶中の電界を急激にほぼゼロにすると、液晶のらせ

50

ん軸は電極に垂直になり、らせんピッチに応じた光を選択的に反射するプレーナ状態になる。

【0011】

一方、電極間に所定の低電圧VF100b（例えば、 $\pm 24V$ ）を印加し、コレステリック液晶中の相対的に弱い電界を発生させると、液晶分子のらせん構造が完全には解けない状態になる。この状態において、印加電圧をVF100bから低電圧VF0に急激に低下させて、液晶中の電界を急激にほぼゼロにするか、あるいは強い電界を印加し緩やかに電界を除去した場合は、液晶分子のらせん軸が電極に平行になり、入射光を透過するフォーカルコニック状態になる。

【0012】

また、中間的な強さの電界を印加し、急激に電界を除去すると、プレーナ状態とフォーカルコニック状態が混在し、中間調の表示が可能となる。

【0013】

ここで、図2に示す曲線Pにおいて、破線枠A内では、印加する電圧パルスの電圧値を高くするに従ってフォーカルコニック状態の割合を増加させてコレステリック液晶の反射率を低下させることができる。また、図2に示す曲線PおよびFCにおいて、破線枠B内では、印加する電圧値を低くするに従って増加させてコレステリック液晶の反射率を低下させることができる。

【0014】

中間調を表示するためには、A領域またはB領域を利用する。A領域を利用する場合には、画素を初期化してプレーナ状態にした後に、VF0とVF100aの間の電圧パルスを印加して一部をフォーカルコニック状態にする。また、B領域を利用する場合には、画素を初期化してフォーカルコニック状態にした後に、VF100bとVP0の間の電圧パルスを印加して一部をプレーナ状態にする。

【0015】

以上説明した電圧応答特性に基づく駆動方法の原理を、図3Aから図3Cを参照して説明する。

【0016】

図3Aは電圧パルスのパルス幅が数十msの場合のパルス応答特性を示し、図3Bは電圧パルスのパルス幅が2msの場合のパルス応答特性を示し、図3Cは電圧パルスのパルス幅が1msの場合のパルス応答特性を示す。それぞれの図において、上側にはコレステリック液晶に印加される電圧パルスが示され、下側には電圧 - 反射率特性が示され、横軸は電圧（V）を表し、縦軸は反射率（%）を表す。図3Aの電圧 - 反射率特性は、図2の曲線PおよびFCを模式化して示し、図3Bおよび図3Cの電圧 - 反射率特性は、図2の曲線Pのみを模式化して示す。ここで使用する電圧パルスは、液晶の駆動パルスとしてよく知られているように、分極による液晶の劣化を防止するために、正極性と負極性のパルスを組み合わせている。

【0017】

図3Aに示すように、パルス幅が大きい場合には、実線で示すように、初期状態がプレーナ状態だと、電圧をある範囲に上げると、フォーカルコニック状態となり、さらに電圧を上げると、再度プレーナ状態となる。破線で示すように、初期状態がフォーカルコニック状態だと、パルス電圧を上げるにつれて次第にプレーナ状態になる。

【0018】

パルス幅が大きい場合に、初期状態がプレーナ状態とフォーカルコニック状態のいずれでも必ずプレーナ状態になるパルス電圧は、図3Aでは $\pm 36V$ である。また、この中間のパルス電圧では、プレーナ状態とフォーカルコニック状態が混在した状態になり、中間調が得られる。

【0019】

一方、図3Bに示すように、パルス幅が2msの場合には、初期状態がプレーナ状態では、パルス電圧が $\pm 10V$ では反射率は変化しないが、それ以上大きな電圧になるとプレ

10

20

30

40

50

ーナ状態とフォーカルコニック状態が混在した状態になり、反射率が低下する。反射率の低下量は電圧が大きくなるに従って大きくなるが、 $\pm 36\text{ V}$ よりさらに大きな電圧になると反射率の低下量は一定となる。これは、初期状態がプレーナ状態とフォーカルコニック状態が混在した状態でも同じである。従って、初期状態がプレーナ状態である場合に、パルス幅が 2 ms でパルス電圧が $\pm 20\text{ V}$ の電圧パルスを1回印加すると、反射率はある程度低下する。このようにしてプレーナ状態とフォーカルコニック状態が混在した状態で反射率が少し低下した状態で、パルス幅が 2 ms でパルス電圧が $\pm 20\text{ V}$ の電圧パルスをさらに印加すると、反射率はさらに低下する。これを繰り返すと、反射率は所定値まで低下する。

【0020】

10

図3Cに示すように、パルス幅が 1 ms の場合には、パルス幅が 2 ms の場合と同様に、電圧パルスを印加することにより反射率が低下するが、反射率の低下具合はパルス幅が 2 ms の場合と比べて小さい。

【0021】

以上のことから、数十 ms のパルス幅で 36 V のパルスを印加すればプレーナ状態になり、 2 ms 程度のパルス幅で十数 V から 20 V 程度のパルスを印加すればプレーナ状態からプレーナ状態とフォーカルコニック状態が混在した状態になって反射率が低下し、反射率の低下量は、パルスの累積時間に関係すると考えられる。

【0022】

そこで、コレステリック液晶表示装置では、第1ステップにおいて書き換える画素にパルス幅数十 ms の $\pm 36\text{ V}$ の初期化パルスを印加してプレーナ状態にし、次の第2ステップでは、中間調にする画素に狭いパルス幅の約 $\pm 20.0\text{ V}$ の階調パルスを印加し、その累積印加時間を中間調のレベルに応じた値にする。言い換えれば、この表示方法は、図2の領域Aを利用して中間調レベルを表示する。

20

【0023】

表示装置では、表示材料層の一方の面に互いに平行な複数のスキャン電極を設け、表示材料層の他方の面に前記複数のスキャン電極と交差する互いに平行な複数のデータ電極を設け、スキャン電極とデータ電極の交差部分に画素が形成される。ここでは、スキャン電極をスキャンライン、データ電極をデータラインと称する。表示装置では、コモンドライバがスキャンラインにスキャンパルスを印加し、セグメントドライバがデータラインにデータパルスを印加する。

30

【0024】

第1ステップでは、全スキャンラインと全データラインに同時にパルスが印加される。第2ステップでは、画素ごとに階調レベルを設定するため、1本のスキャンラインにスキャンパルスを印加している時に、全データラインにデータパルスを印加することにより、1スキャンライン内の画素への電圧パルスの印加が行われる。以下、スキャンパルスを印加するスキャンラインを順次シフトしながら全スキャンラインの画素への電圧パルスの印加が終了する。

【0025】

第2ステップでは、1本のスキャンラインにスキャンパルスに対応する選択スキャン電圧が印加される間、他のスキャンラインには非選択スキャン電圧が印加される。また、階調書込みを行う画素のデータラインにはデータパルスに対応する選択データ電圧が印加され、階調書込みを行わない画素のデータラインには非選択データ電圧が印加される。従って、選択スキャン電圧と選択データ電圧が印加された画素、非選択スキャン電圧と選択データ電圧が印加された画素、非選択スキャン電圧と非選択データ電圧が印加された画素が存在することになる。選択スキャン電圧と選択データ電圧が印加された画素のみで反射率(階調)が低下し、他の3種類の画素では反射率(階調)が低下しないように、選択スキャン電圧、非選択スキャン電圧、選択データ電圧および非選択データ電圧を設定する必要がある。

40

【0026】

50

コレステリック液晶を利用した表示装置では、プレーナ状態から中間調レベルに変化させるために印加する階調パルスとしてセグメントドライバおよびコモンドライバは、例えば図4Aに示すようなパルスを出力する。このようなパルスを印加することにより、画素には図4Bに示すような電圧が印加される。

【0027】

セグメントドライバには、 V_0 として20Vが、 V_{21S} および V_{34S} として10Vが、供給され、正極フェーズ($FR=1$)では正パルスが、負極フェーズ($FR=0$)では負パルスが、出力される。

【0028】

コモンライバには、 V_0 として20Vが、 V_{21C} として15Vが、 V_{34C} として5Vが、供給され、正極フェーズ($FR=1$)では負パルスが、負極フェーズ($FR=0$)では正パルスが、出力される。

【0029】

図4Aのようなパルスが印加されることにより、スキャンラインが選択状態(コモンがオン)で、データラインも選択状態(セグメントがオン)では、正極フェーズ($FR=1$)においては20Vが、負極フェーズ($FR=0$)では-20Vが印加される。スキャンラインが選択状態(コモンがオン)で、データラインが非選択状態(セグメントがオフ)では、正極フェーズ($FR=1$)においては10Vが、負極フェーズ($FR=0$)では-10Vが印加される。スキャンラインが非選択状態(コモンがオフ)で、データラインが選択状態(セグメントがオン)では、正極フェーズ($FR=1$)においては5Vが、負極フェーズ($FR=0$)では-5Vが印加される。スキャンラインが非選択状態(コモンがオフ)で、データラインが非選択状態(セグメントがオフ)では、正極フェーズ($FR=1$)においては-5Vが、負極フェーズ($FR=0$)では5Vが印加される。

【0030】

従って、選択状態のスキャンラインの各画素に印加される電圧パルスの波形は図5Aに示すようになり、非選択状態のスキャンラインの各画素に印加される電圧パルスの波形は図5Bに示すようになり、どちらの場合も、選択状態のデータラインの波形を実線で、非選択状態のデータラインの波形を点線で示す。図3Bに示すように、パルス幅が2msの電圧パルスの場合、電圧が $\pm 20V$ では液晶の状態、すなわち反射率が変化するが、電圧が $\pm 10V$ では反射率は変化しないので、上記のような波形であれば、スキャンラインとデータラインの両方がONの場合に、階調パルスによる書き込みが行われ、それ以外の場合には書き込みは行われないことになる。実際にはクロストークの問題があるが、本発明には直接関係しないので、説明は省略する。

【0031】

上記のように、表示装置において実際に印加される電圧パルスは図5A及び図5Bに示すような波形であるが、以下の記載では説明を簡単にするために、0Vを中心にして対称な正負のパルスで表す。

【0032】

コレステリック液晶による多階調表示方法については各種の駆動方法が提案されている。コレステリック液晶の多階調表示の駆動方法は、ダイナミック駆動とコンベンショナル駆動の2つの方法に分けられる。

【0033】

特許文献1は、ダイナミック駆動法を記載している。しかし、ダイナミック駆動法は、駆動波形が複雑なため、複雑な制御回路およびドライバICを必要とし、パネルの透明電極も低抵抗のものが必要であるため、製造コストが高くなるという問題がある。また、ダイナミック駆動法は、消費電力も大きいという問題がある。

【0034】

非特許文献1は、コンベンショナル駆動法を記載している。非特許文献1は、液晶特有の累積時間を利用し、短いパルスを印加する回数を調整することで、徐々にプレーナ状態からフォーカルコニック状態へ、あるいはフォーカルコニックからプレーナ状態へ準動画

10

20

30

40

50

レートと比較的高速で駆動する方法を記載している。

【0035】

コンベンショナル駆動法で累積時間を利用して階調を設定する場合、図6Aに示すように、短いパルスの印加回数を調整する方法と、図6Bに示すように、パルス幅 W を異ならせる方法が考えられる。パルス幅を異ならせる方法の方が、短いパルスの印加回数を調整するよりも、消費電力を抑制する上では有利である。

【0036】

さらに、パルス幅とパルスの印加回数の両方でパルス印加の累積時間を変える方法もある。図7はそのような方法における電圧パルスの例を示す図であり、電圧パルスとそれを印加することにより変化する階調状態を示す。

【0037】

図7の(A)は、第1ステップで使用する初期化パルスであり、パルス電圧が $\pm 3.6\text{V}$ で、比較的大きなパルス幅を有する。このパルスを印加することにより、画素の液晶はプレーナ状態になり、最大の階調状態になる。図7の(B)から(D)は、第2ステップで使用する第1から第3階調パルスであり、それぞれパルス電圧は $\pm 2.0\text{V}$ であるが、第1から第3階調パルスの順にパルス幅が狭くなる。図7の(B)から(D)のパルスを印加すると、画素内で液晶は一部がプレーナ状態からフォーカルコニック状態に変化して階調が低下し、階調の低下具合は、(B)から(D)になるに従って小さくなる。言い換えれば、(B)から(D)のパルスを印加すると、相対的に低階調、中程度の階調、高階調になる。ここでは、(B)を低階調パルス、(C)を中階調パルス、(D)を高階調パルスと称する。これでは(B)から(D)のパルスのいずれかを印加するかまたはいずれも印加しないというだけでは4階調を表現できるだけであるが、図7に示す3種類のパルスを組み合わせることも可能である。例えば、周期 T を n 個合わせて1ライン周期 nT とし、各周期 T におけるパルス幅を選択することにより、多数の階調を表現することが可能である。また、階調パルスの印加を複数のフレームで行い、各フレームで(B)から(D)のパルスのいずれかを印加するかまたはいずれも印加しないという選択を行うことにより、多数の階調を表現することが可能である。

【0038】

図8は、低階調パルスL、中階調パルスMおよび高階調パルスHの印加回数(パルス数)に対する明度 Y (階調)の変化を示す図である。図示のように、小さいパルス幅の高階調パルスHの場合は、1パルス当たりの明度の低下は小さく、パルス数に応じて順に明度が低下する。中ぐらいのパルス幅の中階調パルスMの場合は、1パルス当たりの明度の低下は高階調パルスHより大きく、パルス数に応じて順に明度が低下するが、低下具合は徐々に小さくなる。大きなパルス幅の低階調パルスLの場合は、1パルス当たりの明度の低下は中階調パルスMよりさらに大きい、パルス数が3以上では明度はほとんど低下しない。これは、フォーカルコニック状態の割合が飽和したためである。

【0039】

液晶などの表示材料は、温度により粘度が変化し、電圧パルスに対する応答性が変化することが知られている。これに応じて、プレーナ状態にできる初期化パルスのパルス幅およびパルス電圧(波高)も変化する。もちろん広いパルス幅で大きな波高の電圧パルスを使用すればプレーナ状態にすることが可能であるが、不要な電力を消費することになる。また、所定の階調パルスを印加しても所望の階調レベルにならないという問題を生じる。

【0040】

図9は、コレステリック液晶の電圧-反射特性の温度変化による影響を説明する図である。ここでは、図2の曲線pに対応する特性のみを示す。図示のように、階調表現に関係するA領域やB領域が、完全なプレーナ状態になるポイントに比べ、特性が相対的に大きくシフトすることが分かる。

【0041】

温度変化による影響を低減するための各種の温度補償方法が提案されている。

【0042】

10

20

30

40

50

特許文献 2 は、リセット（初期化）パルスによりコレステリック液晶をフォーカルコニック状態に初期化した後、階調レベルに応じてパルス電圧およびパルス幅が設定された選択（階調）電圧パルスを印加する個数を調整することにより中間調を表現する液晶表示装置において、温度に応じて選択電圧パルスのパルス幅および波高（パルス電圧）を調整することを記載している。特許文献 2 に記載された方法では、フォーカルコニック状態に初期化するため、初期化パルスを印加して液晶をフォーカルコニック状態からプレーナ状態に変化させる。液晶をプレーナ状態に変化させるには波高の高い電圧パルスを印加するが、温度が低下した場合波高を一層高くする必要がある、消費電力が著しく増加するという問題がある。なお、特許文献 2 の記載によれば、第 2 リセットパルスを印加してフォーカルコニック状態にする前にホメオトロピック状態にするために、大きな電圧の第 1 リセットパルスを印加する。特許文献 2 は、第 1 および第 2 リセットパルスの温度補償については特に記載していない。

10

【 0 0 4 3 】

特許文献 3 は、リセット（初期化）パルスによりコレステリック液晶をホメオトロピック状態に初期化した後、階調状態を設定する選択期間において印加する電圧パルスのパルス幅を温度に応じて調整することを記載している。特許文献 3 は、ホメオトロピック状態に初期化するリセットパルスの温度補償については特に記載していない。

【 0 0 4 4 】

特許文献 4 は、コレステリック液晶表示装置で、高温時には選択パルスの波高を高くしてパルス幅を狭くし、低温時には波高を低くしてパルス幅を広くすることにより温度補償することを記載している。この方法では、高温時に消費電力が著しく増加するという問題を生じる。

20

【 0 0 4 5 】

特許文献 5 は、メモリ性を有する強誘電性液晶表示素子において、低温時には駆動電圧を一定にして駆動パルス周期を変化させ、高温時には、駆動パルス周期を一定にして駆動電圧を変化させる構成を記載している。具体的には、温度上昇に伴い駆動電圧を低くし、温度低下に伴いパルス周期を長くする。図 9 に示すように、ある程度長いパルス幅を持つパルスを印加する場合、プレーナ状態からフォーカルコニック状態へ遷移する途中の A 領域や、フォーカルコニック状態からプレーナ状態へ遷移する途中の B 領域は、温度変化に応じてシフトするが、完全なプレーナ状態になるポイントは、温度によるシフト量が相対的に小さい。そのため、特許文献 5 に記載されたように、25 °C 以上の温度において駆動電圧（パルス波高）での補償を適用すると、50 °C から 35 °C、25 °C となるに従ってパルス波高を上げていくことになる。その結果、低温になっても常温と同じパルス波高でリセット可能であるのに、高いパルス波高にするために、消費電力が無駄になるという問題がある。また、回路部品は駆動電圧が 40 V を超えると汎用部品が使用できないため、特許文献 5 の構成ではコストが急激に増加するという問題がある。

30

【 0 0 4 6 】

また、特許文献 5 は、それぞれの階調に応じたパルス周期を使用する駆動方法であるが、低温になるに従ってパルス周期をどのように広げるかについては具体的に記載していない。

40

【 0 0 4 7 】

【特許文献 1】特開 2 0 0 1 - 2 2 8 4 5 9 号公報

【特許文献 2】特開 2 0 0 1 - 1 0 0 1 8 2 号公報

【特許文献 3】特開 2 0 0 2 - 2 6 8 0 3 6 号公報

【特許文献 4】特許第 3 7 1 4 3 2 4 号公報

【特許文献 5】特開昭 6 3 - 0 4 4 6 3 6 号公報

【非特許文献 1】Y.-M. Zhu, D.-K. Yang, Cumulative Drive Schemes for Bistable Reflective Cholesteric LCDs, SID 98 DIGEST, pp798-801, 1998

【発明の開示】

【発明が解決しようとする課題】

50

【 0 0 4 8 】

特許文献 2 - 4 によれば、温度変化に応じて選択（階調）パルスのパルス電圧および／またはパルス幅を調整するが、リセット（初期化）パルスのパルス電圧およびパルス幅については調整しない。また、特許文献 5 は、温度変化に応じて電圧パルスのパルス電圧およびパルス幅を調整することを記載しているが、リセット（初期化）パルスおよび階調パルスを含む具体的なパルスの構成については記載していない。

【 0 0 4 9 】

また、特許文献 2 - 5 は、選択パルス（階調パルス）を、図 7 に示すような異なるパルス幅の複数の電圧パルスで構成することについては記載していない。

【 0 0 5 0 】

一方、従来の液晶表示装置では、液晶の応答性（反射量の変化量など）は、パルス電圧とパルス周期の積に比例するとして制御が行われてきた。コレステリック液晶表示装置の応答性について特に言及した文献は知られていないが、従来の液晶表示装置と同様の制御が行われていると考えられる。しかし、本願発明者は、上記の温度変化による液晶の応答性の変化に対する温度補償を検討している際に、コレステリック液晶表示装置で従来と同様の制御を行うと問題が発生することを見出した。

【 0 0 5 1 】

図 10 は、コレステリック液晶の温度と粘度の関係を示す図である。図示のように、温度の低下に伴い粘度は指数関数的に上昇する。一般に、液晶の応答速度は、液晶の粘度に反比例することが知られているが、図 7 に示すような異なるパルス幅の複数の電圧パルスを印加する場合、液晶の粘度とパルス周期を比例関係として温度補償を行うと、温度ごとの階調特性のバラツキが大きく、温度補償の精度が不十分であることを見出した。

【 0 0 5 2 】

本発明は、このような問題を解決して、消費電力が増加せず、装置のコストアップが少なく、温度補償が一層精度よく行われる表示装置および表示素子の駆動方法の実現を目的とする。

【課題を解決するための手段】

【 0 0 5 3 】

上記目的を実現するため、本発明の表示装置およびドットマトリクス型の表示素子の駆動方法は、温度センサにより表示装置の温度を検出し、初期化パルスのパルス電圧を一定とし、温度センサの検出した温度に応じて、初期化パルスのパルス幅を変化させ、温度センサの検出した温度が低温の時には階調パルスのパルス幅を変化させ、温度センサの検出した温度が高温の時には階調パルスのパルス電圧を変化させる。

【 0 0 5 4 】

本発明によれば、初期化パルスも温度補償の対象とするので、温度補償をより一層正確に行うことができ、消費電力を低減できる。しかも、初期化パルスのパルス電圧は固定で、初期化パルスのパルス幅のみを調整ので、低温時でも消費電力の増加は小さい。具体的には、温度が低いほど初期化パルスのパルス幅を広くする。また、低温時には階調パルスのパルス電圧は固定で、階調パルスのパルス幅を変化させ、高温時には階調パルスのパルス幅は固定で、階調パルスのパルス電圧を変化させる。具体的には温度上昇に従ってパルス電圧を低下させるので、消費電力は増加しない。これにより、大きな耐圧のドライバ IC を使用する必要がなく、汎用ドライバ IC が使用できるので、装置のコストがアップすることはない。

【 0 0 5 5 】

図 7 に示したように、階調パルスをパルス幅の異なる複数のサブ階調パルスで構成する場合には、複数のサブ階調パルスについて、上記と同様に、低温時には各サブ階調パルスのパルス幅を変化させ、高温時には各サブ階調パルスのパルス電圧を変化させる。

【 0 0 5 6 】

メモリ性の表示材料は、コレステリック液晶である場合、初期階調状態はプレーナ状態であり、初期階調状態以外の階調状態は、プレーナ状態とフォーカルコニック状態が混在

10

20

30

40

50

した状態であり、プレーナ状態とフォーカルコニック状態の混在比により中間調の値が決定され、階調パルスは混在比を増加させるように構成することが望ましい。

【0057】

前述のように、ツイストネマティック液晶などを利用した従来の液晶表示装置では、液晶の応答性（反射量の変化量など）は、パルス電圧とパルス周期の積に比例するとして制御が行われてきた。しかし、本願発明者は、コレステリック液晶の応答性は、パルス電圧の2乗とパルス周期の積に関係することを見出した。

【0058】

また、液晶の応答速度は、一般に液晶の粘度に反比例することが知られているが、コレステリック液晶ではこの関係が成り立たず、温度補償を行う場合、単に反比例するとしてパルス電圧およびパルス幅を制御したのでは正確な温度補償が行えないことを見出した。

【0059】

具体的には、温度に応じて変化するコレステリック液晶の粘度を η とし、階調パルスの波高を V とし、階調パルスのパルス幅を T とすると、 $V^2 \times T$ が ηp （ただし、 $0 < p < 1$ ）と略比例の関係となるように、より具体的には p を0.5に近い値として、階調パルスの波高およびパルス幅を制御することにより、温度補償の精度が向上することを見出した。

【0060】

表示装置は、複数の異なる反射光を呈する複数の表示素子が積層された積層構造を有すれば、カラー表示が可能である。

【図面の簡単な説明】

【0061】

【図1】図1は、コレステリック液晶のプレーナ状態及びフォーカルコニック状態を説明する図である。

【図2】図2は、パルス電圧によるコレステリック液晶の状態変化を説明する図である。

【図3A】図3Aは、コレステリック液晶に印加する大きな電圧と広いパルス幅のパルスによる反射率の変化を説明する図である。

【図3B】図3Bは、コレステリック液晶に印加する中間電圧と狭いパルス幅のパルスによる反射率の変化を説明する図である。

【図3C】図3Cは、コレステリック液晶に印加する中間電圧とより狭いパルス幅のパルスによる反射率の変化を説明する図である。

【図4A】図4Aは、階調パルス印加時のドライバ出力電圧を示す図である。

【図4B】図4Bは、階調パルス印加における液晶印加電圧を示す図である。

【図5A】図5Aは、実際に印加される対称パルスの例を示す図である。

【図5B】図5Bは、実際に印加される対称パルスの例を示す図である。

【図6A】図6Aは、短パルスの個数で累積印加時間を変化させる構成を説明する図である。

【図6B】図6Bは、パルス幅で累積印加時間を変化させる構成を説明する図である。

【図7】図7は、液晶に印加する初期化パルス、パルス幅の異なる複数の階調パルスの例を示す図である。

【図8】図8は、図7の階調パルスの印加個数による明度の変化を示す図である。

【図9】図9は、図2のパルス電圧によるコレステリック液晶の状態変化曲線の温度変化を説明する図である。

【図10】図10は、コレステリック液晶の温度による粘度の変化を示す図である。

【図11】図11は、本発明の実施形態のカラー表示装置のコレステリック液晶素子の積層構造を示す図である。

【図12】図12は、実施形態のカラー表示装置の1個のコレステリック液晶素子の構造を示す図である。

【図13】図13は、第1実施形態のカラー表示装置の概略構成を示す図である。

【図14A】図14Aは、第1実施形態のカラー表示装置の温度センサの取り付け位置を

10

20

30

40

50

示す図である。

【図 1 4 B】図 1 4 B は、第 1 実施形態のカラー表示装置の温度センサの取り付け位置を示す図である。

【図 1 5】図 1 5 は、第 1 実施形態のカラー表示装置の動作を示すタイムチャートである。

【図 1 6】図 1 6 は、第 1 実施形態における初期化パルスおよび階調パルスの温度に応じたパルス幅の変化を示す図である。

【図 1 7】図 1 7 は、第 1 実施形態における階調パルスの温度に応じたパルス電圧の変化を示す図である。

【図 1 8】図 1 8 は、第 1 実施形態の表示装置の消費電力を、従来例と対比して示す図である。

10

【図 1 9 A】図 1 9 A は、コレステリック液晶の所定の応答性を得るための粘度と駆動エネルギーの関係を示す図であり、横軸が粘度 η の場合の図である。

【図 1 9 B】図 1 9 B は、コレステリック液晶の所定の応答性を得るための粘度と駆動エネルギーの関係を示す図であり、横軸が粘度 η の平方根の場合の図である。

【図 2 0】図 2 0 は、第 1 実施形態の表示装置における明度と駆動エネルギーを粘度 η の平方根で除した値の関係を示す図である。

【図 2 1】図 2 1 は、第 1 実施形態の表示装置における温度とコントラストの関係を示す図である。

【図 2 2 A】図 2 2 A は、第 1 実施形態の表示装置の低温でのトーンカーブを示す図である。

20

【図 2 2 B】図 2 2 B は、第 1 実施形態の表示装置の室温でのトーンカーブを示す図である。

【図 2 2 C】図 2 2 C は、第 1 実施形態の表示装置の高温でのトーンカーブを示す図である。

【図 2 3】図 2 3 は、第 2 実施形態の表示装置の表示素子とドライバの部分の構成を示す図である。

【図 2 4】図 2 4 は、第 2 実施形態の表示装置の制御回路内の温度補償に関係する部分を示す図である。

【図 2 5】図 2 5 は、第 2 実施形態の表示装置の動作を示すタイムチャートである。

30

【図 2 6】図 2 6 は、第 2 実施形態における温度データの読み取りタイミングを説明する図である。

【符号の説明】

【 0 0 6 2 】

1 0 表示素子

1 1 上側基板

1 2 液晶層

1 3 下側基板

1 4 上側電極層

1 5 下側電極層

1 7 吸光層

1 8 制御回路

2 1 電源

2 2 昇圧部

2 3 電圧切替部

2 4 電圧安定部

2 7 制御回路

2 8 , 2 8 R , 2 8 G , 2 8 B コモンドライバ

2 9 , 2 8 9 , 2 9 G , 2 9 B セグメントドライバ

3 0 温度センサ

40

50

【発明を実施するための最良の形態】**【0063】**

本発明の実施形態の表示装置および表示方法を説明する前に、本発明の前提となるコレステリック液晶応答特性の温度依存性について説明する。

【0064】

例えば、室温では、プレーナ状態に初期化した後、階調パルスを構成する高階調パルス、中階調パルス、低階調パルスを累積して印加することで、図8に示すような階調特性が得られる。本願発明者は、研究により、低温および高温における階調特性を、室温の階調特性と同じ γ 値とするには、高階調パルス、中階調パルス、低階調パルスの波高（パルス電圧）を液晶の粘度と比例して単に増加させる、または同じ比率でパルス幅を広げるだけでは不十分であり、液晶の反射率を低下させて中間調にするための駆動エネルギーを波高（パルス電圧）の2乗とパルス幅の周期の積が、液晶の粘度の平方根と高い相関性を有することを見出した。従って、温度補償もこの関係に基づいて行うことにより、より一層高い精度で温度補償が行える。

10

【0065】

また、プレーナ状態への初期化する初期化パルスについては、パルスの波高（パルス電圧）は一定で、パルス幅を変化させるのみで十分に温度補償できることを確認した。

【0066】

以上のような温度特性に基づいた本発明の温度補償方法を説明する。

【0067】

本発明によれば、図7の（A）に示すような初期化（リセット）パルスを印加してプレーナ状態にした後、階調パルスを印加してフォーカルコニック状態にする。階調パルスは、図7の（B）から（D）に示すような低階調パルス、中階調パルスおよび高階調パルスで構成されていても、 $\pm 20V$ でパルス幅が変化する1個のパルスでもよい。このような駆動方法において、プレーナ状態にするための初期化パルスの温度補償は、パルス電圧を固定としてパルス幅を変化させ、階調パルスの温度補償は、低温時には階調パルスのパルス幅を変化させ、温度センサの検出した温度が高温の時には階調パルスのパルス電圧を変化させる。具体的には、初期化パルスの温度補償は、低温では、温度が低くなるに従ってパルス幅を広くする。階調パルスの温度補償は、所定温度より低温の領域では、パルス電圧を固定し、パルス幅を広くし、所定温度より高温の領域では、パルス幅は一定とし、パルス電圧を温度の上昇に従って低下させる。

20

30

【0068】

上記のように、コレステリック液晶の粘度 η は、温度に応じて図8に示すように変化する。この関係から温度に応じたコレステリック液晶の粘度 η を求め、階調パルスの波高を V とし、階調パルスのパルス幅を T とすると、 $V^2 \times T \propto \eta^p \times C$ （ただし、 $0 < p < 1$ 、 $C = \text{一定}$ ）となるように、階調パルスの温度補償を行う。 $V^2 \times T$ は駆動エネルギーを表す。 p は実験的には0.5の場合にもっとも相関が高かったが、液晶の塑性やパネル構造により多少変動し、 $p = 0.5$ より若干ずれた値の時にもっとも相関が高くなる場合もあった。

【0069】

初期化パルスは、全温度領域に渡ってパルス幅を変化させてもよいが、例えばある温度 T （例えば $25^\circ C$ ）以上の高温では、その温度 T の時のパルス幅に固定するようにしてもよい。

40

【0070】

また、階調パルス温度補償に関する所定温度は、表示パネルの特性や電源回路の容量などを考慮して適宜設定すればよい。

【0071】

パルス電圧およびパルス幅の変化は、ステップ状に変化させても、連続的に変化させてもよい。

【0072】

50

いずれにしる、階調パルスは、波高（パルス電圧）による補正とパルス幅による補正を使い分け、駆動エネルギーを粘度の平方根に比例する関係に近い関係で変化させる。

【 0 0 7 3 】

以下、図面を参照して本発明の実施形態を説明する。

【 0 0 7 4 】

図 1 1 は、実施形態で使用する表示素子 1 0 の構成を示す図である。図 1 1 に示すように、この表示素子 1 0 は、見る側から順番に、青（ブルー）用パネル 1 0 B、緑（グリーン）用パネル 1 0 G、および赤（レッド）用パネル 1 0 R の 3 枚のパネルが積層されており、レッド用パネル 1 0 R の下側には光吸収層 1 7 が設けられている。パネル 1 0 B、1 0 G および 1 0 R は、同じ構成を有するが、パネル 1 0 B は反射の中心波長が青色（約 4 8 0 n m）、パネル 1 0 G は反射の中心波長が緑色（約 5 5 0 n m）、パネル 1 0 R は反射の中心波長が赤色（約 6 3 0 n m）になるように、液晶材料およびカイラル材が選択され、カイラル材の含有率が決定されている。パネル 1 0 B、1 0 G および 1 0 R は、青層用制御回路 1 8 B、緑層用制御回路 1 8 G および赤層用制御回路 1 8 R で、それぞれ駆動される。

10

【 0 0 7 5 】

図 1 2 は、1 枚のパネル 1 0 A の基本構成を示す図である。実施形態で使用するパネルについて、図 1 2 を参照して説明する。

【 0 0 7 6 】

図 1 2 に示すように、表示素子 1 0 A は、上側基板 1 1 と、上側基板 1 1 の表面に設けられた上側電極層 1 4 と、下側基板 1 3 の表面に設けられた下側電極層 1 5 と、シール材 1 6 と、を有する。上側基板 1 1 と下側基板 1 3 は、電極が対向するように配置され、間に液晶材料を封入した後シール材 1 6 で封止される。なお、液晶層 1 2 内にスペーサが配置されるが図示は省略している。上側電極層 1 4 と下側電極層 1 5 の電極には、駆動回路 1 8 から電圧パルス信号が印加され、それにより液晶層 1 2 に電圧が印加される。液晶層 1 2 に電圧を印加して、液晶層 1 2 の液晶分子をプレーナ状態またはフォーカルコニック状態にして表示を行う。

20

【 0 0 7 7 】

上側基板 1 1 と下側基板 1 3 は、いずれも透光性を有しているが、パネル 1 0 R の下側基板 1 3 は不透光性でもよい。透光性を有する基板としては、ガラス基板があるが、ガラス基板以外にも、P E T（ポリエチレンテレフタレート）や P C（ポリカーボネート）などのフィルム基板を使用してもよい。

30

【 0 0 7 8 】

上側電極層 1 4 と下側電極層 1 5 の電極の材料としては、例えば、インジウム錫酸化物 (IT0: Indium Tin Oxide) が代表的であるが、その他インジウム亜鉛酸化物 (IZO: Indium Zic Oxide) などの透明導電膜を使用することが可能である。

【 0 0 7 9 】

上側電極層 1 4 の透明電極は、上側基板 1 1 上に互いに平行な複数の帯状の上側透明電極として形成され、下側電極層 1 5 の透明電極は、下側基板 1 3 上に互いに平行な複数の帯状の下側透明電極として形成されている。そして、上側基板 1 1 と下側基板 1 3 は、基板に垂直な方向から見た時に、上側電極と下側電極が交差するように配置され、交差部分に画素が形成される。電極上には絶縁性のある薄膜が形成される。この薄膜が厚いと駆動電圧を高くする必要があり、汎用 S T N ドライバで駆動回路を構成するのが難しくなる。逆に、薄膜がないとリーク電流が流れるため、消費電力が増大するという問題を生じる。ここでは、薄膜は比誘電率が約 5 であり、液晶よりもかなり低いため、薄膜の厚さは約 0 . 3 μ m 以下とするのが適している。

40

【 0 0 8 0 】

なお、この絶縁性薄膜は、S i O₂ の薄膜、あるいは配向安定化膜として知られているポリイミド樹脂、アクリル樹脂などの有機膜で実現できる。

【 0 0 8 1 】

50

上記のように、液晶層 1 2 内にスペーサが配置され、上側基板 1 1 と下側基板 1 3 の間隔、すなわち液晶層 1 2 の厚さを一定にする。スペーサは、一般に樹脂製または無機酸化物製の球体であるが、基板表面に熱可塑性の樹脂をコーティングした固着スペーサを使用することも可能である。このスペーサによって形成されるセルギャップは $3.5 \mu\text{m} \sim 6 \mu\text{m}$ の範囲が適正である。セルギャップがこの値より小さいと反射率が低下して暗い表示になり、逆のこの値より大きいと駆動電圧が上昇して汎用ドライバ IC による駆動が困難になる。

【0082】

液晶層 1 2 を形成する液晶組成物は、ネマティック液晶混合物にカイラル材を 1 0 ~ 4 0 重量% (wt%) 添加したコレステリック液晶である。ここで、カイラル材の添加量は、ネマティック液晶成分とカイラル材の合計量を 1 0 0 wt% とした時の値である。

10

【0083】

ネマティック液晶としては、従来から公知の各種のものを使用可能であるが、誘電率異方性 ($\Delta\epsilon$) が 1 5 ~ 3 5 の範囲の液晶材料であることが望ましい。誘電率異方性が 1 5 以上であれば、駆動電圧が比較的低くなり、この範囲より大きいと駆動電圧自体は低下するが比抵抗が小さくなり、特に高温時の消費電力が増大する。

【0084】

また、屈折率異方性 (Δn) は、0 . 1 8 ~ 0 . 2 4 であることが望ましい。屈折率異方性が、この範囲より小さいと、プレーナ状態の反射率が低くなり、この範囲より大きいと、フォーカルコニック状態での散乱反射が大きくなるのに加えて、粘度も高くなり、応答速度が低下する。

20

【0085】

図 1 3 は、本発明の第 1 実施形態の表示装置の全体構成を示す図である。表示素子 1 0 は、A 4 判 X G A 仕様で、1 0 2 4 × 7 6 8 画素を有する。電源 2 1 は、例えば 3 V ~ 5 V の電圧を出力する。昇圧部 2 2 は、DC - DC コンバータなどのレギュレータにより、電源 2 1 からの入力電圧を 3 6 V ~ 4 0 V に昇圧する。この昇圧レギュレータは、専用 IC が広く使用されており、その IC にはフィードバック電圧を設定することにより、昇圧電圧を調整する機能を有している。従って、抵抗による分圧などにより生成した複数の電圧を選択してフィードバック端子に供給するように構成することで、昇圧電圧を変化させることが可能である。

30

【0086】

電圧切替部 2 3 は、抵抗分割などにより各種の電圧を生成する。電圧切替部 2 3 におけるリセット電圧と階調書き込み電圧のスイッチングには、高耐圧のアナログスイッチを用いてもよいが、トランジスタによる単純なスイッチング回路、あるいは D / A コンバータを使用することも可能である。電圧安定部 2 4 は、電圧切替部 2 3 から供給される各種の電圧を安定化させるために、オペアンプのボルテージフォロア回路を使用することが望ましい。オペアンプは、容量性負荷に対して強い特性を有するものを使用するのが望ましい。なお、オペアンプに接続する抵抗を切り替えることにより増幅率を切り替える構成が広く知られており、この構成を使用すれば、電圧安定部 2 4 から出力する電圧を容易に切り替えることが可能である。

40

【0087】

原振クロック部 2 5 は、動作の基本となる基本クロックを発生する。分周部 2 6 は、基本クロックを分周して、後述する動作に必要な各種クロックを生成する。

【0088】

制御回路 2 7 は、基本クロック、各種クロックおよび画像データ D に基づいて制御信号を生成して、コモンドライバ 2 8 およびセグメントドライバ 2 9 に供給する。制御回路 2 7 は、表示装置に設けられた温度センサ 3 0 により検出された温度に応じて、昇圧部 2 2 の昇圧電圧または電圧安定部 2 4 の出力電圧を調整すると共に、コモンドライバ 2 8 およびセグメントドライバ 2 9 の出力するパルス幅を調整する。

【0089】

50

コモンドライバ 28 は 768 本のスキャンラインを駆動し、セグメントドライバ 29 は 1024 本のデータラインを駆動する。RGB の各画素に与える画像データが異なるため、セグメントドライバ 29 は各データラインを独立して駆動する。コモンドライバ 28 は、RGB のラインを共通に駆動する。本実施形態では、ドライバ IC は、汎用の 2 値出力の STN ドライバを使用した。利用可能な汎用 STN ドライバは、様々なものが使用可能である。

【0090】

セグメントドライバ 29 へ入力する画像データは、フルカラーの原画像を誤差拡散法により RGB 各 16 階調の 4096 色のデータに変換した、4 ビットのデータ D0 - D3 である。この階調変換は、高い表示品質を得られる方法が好ましく、誤差拡散法のほかにブルーノイズマスク法などが使用できる。

10

【0091】

図 14A および図 14B は、温度センサ 30 の配置を示す図である。表示素子（表示パネル）10 は、筐体 33 に取り付けられて保持される。図 13 の表示素子 10 以外の部分が搭載される回路基板 32 も筐体 33 に取り付けられ、表示素子 10 の裏面に配置される。表示素子 10 と回路基板 32 は、フレキシブルプリント基板（FPC）32A および 32B で電氣的に接続される。回路基板 32 に設けられた電源回路や制御回路は、動作に応じて発熱するので、温度センサ 30 は、発熱の影響を受けにくい図示のような位置に配置されることが望ましい。図 14A および図 14B の例では、回路基板 32 から突き出した部分に温度センサ 30 を配置している。これにより、温度センサ 30 の周囲はほぼ空気層に覆われるので、電源回路や制御回路からの発熱の影響を低減でき、表示素子 10 と温度センサ 30 の温度の一致具合を向上できる。なお、温度センサ 30 の配置については、図示した位置以外に、表示素子 10 の裏面に貼り付けるなども可能であり、各種の変形例があり得る。

20

【0092】

次に、本実施形態における画像の書込み動作を説明する。

【0093】

図 15 は、本実施形態における画像の書込み動作を示すタイムチャートである。画像の書込み動作は、±36V のパルスを全画素に同時に印加して、全画素をプレーナ状態にリセットする第 1 ステップと、第 1 ステップの後で画素に選択的に階調パルスを印加して、プレーナ状態とフォーカルコニック状態が混在した中間調状態にする第 2 ステップと、を有する。本実施形態では、汎用 STN ドライバが有する出力電圧オフ機能（/DSPOF）を利用してパルス幅を変化させる。

30

【0094】

第 1 ステップでは、セグメントドライバ 29 の出力電圧をすべてグランド（GND）レベルにした上で、コモンドライバ 28 の全出力ラインを選択状態にする。出力電圧をすべて GND レベルにするのは、/DSPOF を低（L）にすればよい。

【0095】

次に極性信号 FR を高（H）レベルにした上で、/DSPOF を H レベルにすると、選択された全ラインに +36V が印加され、図 12B に示すように、全画素がホメオトロピック状態になる。

40

【0096】

次に、極性信号 FR を低（H）レベルにして全ラインに印加した電圧を +36V から -36V に反転させる。

【0097】

この場合の +36V と -36V の印加時間は、表示素子の構成によって適正值が異なるが、本実施形態では、10ms のパルス幅のパルスとした。

【0098】

最後に、/DSPOF を L にして出力を 0V にすると、全画素はホメオトロピック状態からプレーナ状態に切り替わる。このようにして初期化パルスが印加される。/DSPO

50

Fを用いると、ドライバICの短絡回路で強制的に放電するため、表示素子の充放電時間を短くできる。プレーナ状態への遷移は、電圧パルスの急峻性が必要なので、このノDSPOFを用いた強制放電は、サイズが大きな表示素子の場合でも確実にプレーナ状態にリセットすることが可能である。

【0099】

第2ステップは、3つのサブステップS1、S2、S3を有する。本実施形態では、3つのサブステップは、1フレームにおいて、1つのスキャンラインを選択している間に連続して行われる。サブステップS1では、図7の(D)の±20Vのパルス幅の狭い高階調パルスが選択的に印加され、サブステップS2では、図7の(C)の±20Vのパルス幅の中ぐらいの中階調パルスが選択的に印加され、サブステップS3では、図7の(B)の±20Vのパルス幅の広い低階調パルスが選択的に印加される。

10

【0100】

図15に示すように、第1ステップの終了する前に、高階調パルスを印加する第1ラインの画素を示すデータDATAをセグメントドライバ29に転送し、データの転送が終了し且つ第1ステップが終了すると、セグメントドライバ29はラッチ信号LATCHに応じて転送データを保持する。この時、コモンドライバ28は、図示していないシフト信号に応じて、第1スキャンラインを示すスキャンデータが保持される。FRをHにした上で、ノDSPOFをHにすると、コモンドライバ28は第1スキャンラインに正極フェーズのスキャンパルス(0V)を印加し、セグメントドライバ29はデータラインにDATAに応じて正極フェーズのデータパルス(20V)および非データパルス(0V)を印加する。他のスキャンラインには電圧パルスは印加されない。一旦ノDSPOFをLにした後、FRをLにし、再びノDSPOFをHにすると、コモンドライバ28は、第1スキャンラインに負極フェーズのスキャンパルス(20V)を印加し、セグメントドライバ29はデータラインに正極フェーズのデータパルス(0V)および非データパルス(20V)を印加する。サブステップS1は、例えば2msであり、約2msのパルス幅の±20Vのパルスが印加される。

20

【0101】

サブステップS1を実行している間に、中階調パルスを印加する第1ラインの画素を示すデータDATAをセグメントドライバ29に転送し、第1サブステップS1が終了すると、セグメントドライバ29はラッチ信号LATCHに応じて転送データを保持する。以下、第1サブステップS1と同様に第2サブステップS2を実行し、約2msのパルス幅の±20Vのパルスが印加される。第3サブステップS3についても同様である。

30

【0102】

第2ステップの第1スキャンラインに対するサブステップS1-S3が終了すると、第2スキャンラインに対して第2ステップのサブステップS1-S3を実行する。これを最後のスキャンラインまで行えば、表示素子10の全面での書き込みが終了する。

【0103】

サブステップS1-S3のそれぞれで電圧パルスを印加するか印加しないかを選択することにより、8種類の累積印加時間を設定でき、8階調が実現できる。なお、サブステップS1-S3における電圧パルスのパルス幅を変化可能にすれば、その分表現可能な中間調のレベル数が増加する。

40

【0104】

図15のタイムチャートでは、第2ステップのサブステップS1-S3を、各スキャンラインで連続して実行する例を示したが、第2ステップのサブステップS1-S3を、3つのフレームF1、F2およびF3に分けて行うことも可能である。

【0105】

本実施形態では、初期化パルスおよび3種のパルス(高階調パルス、中階調パルス、低階調パルス)で構成される階調パルスを図15に示すタイムチャートに従って印加するが、温度センサ30の検出した温度に応じて、初期化パルスのパルス幅、および3種のパルス(高階調パルス、中階調パルス、低階調パルス)のパルス幅およびパルス電圧を調整す

50

る。

【 0 1 0 6 】

前述のように、初期化パルスの温度補償は、パルス電圧を固定としてパルス幅を変化させる。初期化パルスのパルス幅は全温度領域に渡って、温度が低くなるに従って初期化パルスのパルス幅を広くする。

【 0 1 0 7 】

しかし、図 1 6 に示すように、所定の温度以下では、温度が低くなるに従って初期化パルスのパルス幅を広くするが、所定の温度（例えば 2 5 ° C ）以上では、その所定の温度におけるパルス幅を維持するようにしてもよい。

【 0 1 0 8 】

階調パルスの温度補償は、低温時には階調パルスのパルス幅を変化させ、高温時には階調パルスのパルス電圧を変化させる。具体的には、階調パルスの温度補償は、所定温度（例えば 2 5 ° C ）より低温の領域では、パルス電圧を固定し、パルス幅を広くし、所定温度より高温の領域では、パルス幅は一定とし、パルス電圧を温度の上昇に従って低下させる。この際、温度に応じたコレステリック液晶の粘度 η を求め、パルスのパルス電圧を V とし、パルス幅を T とすると、 $V^2 \times T \propto \eta^{1/2} \times C$ （ただし、 $C = \text{一定}$ ）となるように、階調パルス（高階調パルス、中階調パルス、低階調パルス）の温度補償を行う。

【 0 1 0 9 】

例えば、パルス幅については、初期化パルスの場合とはスケールが異なるが、図 1 6 に示すように、温度が低くなるに従って高階調パルス、中階調パルス、低階調パルスのパルス幅を広くし、所定の温度（例えば 2 5 ° C ）以上では、その所定の温度におけるパルス幅を維持するようにする。また、パルス電圧については、図 1 7 に示すように、所定の温度以下では高階調パルス、中階調パルス、低階調パルスのパルス電圧は一定とし、所定温度以上では、高階調パルス、中階調パルス、低階調パルスのパルス電圧を低下させてもよい。

【 0 1 1 0 】

以上説明した本実施形態の X G A 仕様の R G B 積層型コレステリック液晶表示装置では、表示素子 1 0 は、 $\pm 3.6 \text{ V}$ で初期化可能なように構成したので、回路部品は低耐圧の安価な汎用部品が使用できる。また、上記の説明では高階調パルス、中階調パルスおよび低階調パルスの 3 種類の階調パルスを使用する例を説明したが、実際にはパルス幅の異なる 4 種類の階調パルスを使用し、R G B 各 1 6 階調の 4 0 9 6 色表示の表示装置とした。

【 0 1 1 1 】

図 1 8 は、上記の構成の表示装置において、本実施形態の温度補償制御を適用した場合と、特許文献 3 または 4 に記載された従来の単にパルス幅を変化させる温度補償制御を適用した場合における、温度変化に対する消費電力の変化を示す図である。参照符号 X が本発明の場合を、Y が従来例の場合を示す。従来例によれば、消費電力は温度の上昇に従って上昇し、4 0 ° C を超える温度では消費電力が 4 0 0 m W を超える。これに対して、本発明では、高温ではパルス電圧を下げるように補償するため、高温での消費電力が抑制され、消費電力は 4 0 0 m W を超えない。

【 0 1 1 2 】

表示装置の消費電力が大きくなると、電源回路の負荷が大きくなり、特に昇圧電圧が数十ボルトを超えると昇圧効率が急激に低下していくため、ますます消費電力については不利な方向に作用する。例えば、消費電力が 4 0 0 m W を超える領域は、高負荷で低効率の範囲であり、消費電力が 4 0 0 m W を超えない領域は、低負荷で高効率の範囲であり、この境界を超えないことが重要である。これに対して、本発明では、高温側ではパルス幅を固定としてパルス電圧を下げているため、高温での消費電力は逆に低下する。低温においても、パルス電圧の上昇による電圧上昇は、パルス幅を広げることで、最小限に抑えられている。

【 0 1 1 3 】

図 1 9 A および図 1 9 B は、所定の応答性（反射率低下量）を得るための粘度と階調パ

10

20

30

40

50

ルス（高階調パルス、中階調パルス、低階調パルス）の駆動エネルギーの関係を示す図であり、図 19 A は横軸が粘度 η で、縦軸が駆動エネルギー（ $V^2 T$ ）である場合を、図 19 B は横軸が粘度 $\eta^{1/2}$ で、縦軸が駆動エネルギー（ $V^2 T$ ）である場合を示す。ここで、 V は階調パルスのパルス電圧（波高）であり、 T は階調パルスのパルス幅である。

【0114】

図 19 B の方が、図 19 A より比例関係に近いことが分かる。従って、温度変化により液晶の粘度が変化する場合、駆動エネルギーを粘度 $\eta^{1/2}$ で除した値が一定となるように温度補償制御することが望ましいことが分かる。

【0115】

図 20 は、本実施形態のコレステリック液晶表示装置における、表示素子の明るさ（明度）と駆動エネルギーを粘度 $\eta^{1/2}$ で除した値をグラフにしたものであり、縦軸はある明度にするために必要な階調パルスの駆動エネルギーを粘度 $\eta^{1/2}$ で除した値を示す。図 20 から、粘度が異なる各温度の曲線がほぼ一致しており、粘度の平方根と相関関係が高いことが分かる。

【0116】

図 21 は、本実施形態のコレステリック液晶表示装置における、温度変化に対する表示のコントラストの変化を示す図である。図 21 に示すように、コントラストは、温度依存性が小さく、広い温度範囲に渡って安定したコントラストが得られることが分かる。特に、一般的な動作温度とされる 0°C から 50°C において、安定して高いコントラストが得られる。 0°C より低い温度、また 50°C より高い温度でコントラストが低下しているのは、表示素子固有の特性であり、温度補償の精度とは直接関係しないことが分かっている。

【0117】

図 22 A から図 22 C は、本実施形態のコレステリック液晶表示装置において白から黒までの画像データに対応する複数階調を表示させた時のトーンカーブであり、図 22 A は 0°C の時のトーンカーブを、図 22 B は 25°C の時のトーンカーブを、図 22 C は 50°C の時のトーンカーブを示す。これらの図から、各温度で安定したトーンカーブが得られることが分かる。

【0118】

図 23 および図 24 は、本発明の第 2 実施形態のコレステリック液晶表示装置表示装置の構成を示す図であり、図 23 は表示素子とドライバの部分を示し、図 24 は、制御装置 27 内に設けられる温度センサ 30 の検出した温度に基づいて制御を行う部分の構成を示す。また、図 25 は、第 2 実施形態における画像の書込み動作を示すタイムチャートである。第 2 実施形態では、RGB の 3 層のパネルに印加する電圧パルスのパルス電圧およびパルス幅が独立に制御される。第 2 実施形態の他の部分は基本的には第 1 実施形態と同じである。

【0119】

図 13 に示すように、第 1 実施形態では、コモンドライバ 28 は表示素子 10 の RGB の 3 層のパネル 10R、10G、10B のスキャン電極を共通に駆動したが、第 2 実施形態では、RGB の 3 層のパネルのスキャン電極を 3 個のコモンドライバ 28R、28G、28B でそれぞれ独立に駆動する。また、図 24 に示すように、制御回路 27 内には、温度に応じた RGB の 3 層のパネルに印加する電圧パルス（初期化パルス、階調パルス（高階調パルス、中階調パルス、低階調パルス））のパルス電圧およびパルス幅に関するデータを記憶したルックアップテーブル 41 が設けられている。ルックアップテーブル 41 から、温度センサ 30 の検出した温度に対応した RGB の 3 層のパネルに印加する電圧パルスのパルス電圧およびパルス幅のデータがレジスタ 42 に読み出される。制御回路 27 は、データがレジスタ 42 に読み出されパルス電圧のデータに基づいて昇圧部 22 および電圧安定部 24 を制御する。データがレジスタ 42 に読み出されたパルス幅のデータは、カウンタ 43 に入力され、カウンタ 43 は、パネル 10R を駆動するセグメントドライバ 29R およびコモンドライバ 28R の出力をオン・オフ制御する /DSPOF_RED、パ

10

20

30

40

50

ネル 10 G を駆動するセグメントドライバ 29 G およびコモンドライバ 28 G の出力をオン・オフ制御する / D S P O F _ G R E E N 、 パネル 10 B を駆動するセグメントドライバ 29 B およびコモンドライバ 28 B の出力をオン・オフ制御する / D S P O F _ B L U E を発生する。

【 0 1 2 0 】

階調パルスの電圧を温度に応じて変化させるため、第 2 ステップを行う時には、制御部 27 は温度センサ 30 の検出した温度に対応するデータを L U T 41 から読み出し、電圧安定部 24 が補正した電圧を出力するように制御する。

【 0 1 2 1 】

前述のように、液晶用汎用ドライバには、通常出力電圧をすべてオフにする出力電圧オフ機能 (/ D S P O F) が設けられており、第 2 実施形態でもこの機能を利用して初期化パルスおよび階調パルスのパルス幅を変化させる。

【 0 1 2 2 】

図 25 のタイムチャートは、第 2 ステップの一部のみを示している。第 2 実施形態では、1 スキャンラインが選択される間に 1 個の階調パルスが印加される。従って、第 2 ステップを構成する複数のサブステップは、異なるフレームで実行される。各サブステップを実行するフレームをここでは書込みフェーズと称する。

【 0 1 2 3 】

図 25 に示すように、/ D S P O F _ R E D 、 / D S P O F _ G R E E N および / D S P O F _ B L U E は、検出した温度に応じて H となる期間が独立に調整され、セグメントドライバ 29 R およびコモンドライバ 28 R 、セグメントドライバ 29 G およびコモンドライバ 28 G 、セグメントドライバ 29 B およびコモンドライバ 28 B に印加される。これに応じて各ドライバが電圧を出力する期間、すなわちパルス幅が制御される。

【 0 1 2 4 】

/ D S P O F を R G B のドライバごとに設けることにより、R G B の 3 種のパネル間の温度依存性の相違まで含めて高精度で温度補償を行うことができる。例えば、低温で赤 (R E D) のパルス応答性がもっとも低下する場合には、図 25 に示すように、/ D S P O F のアサート時間を青 (B L U E) に対してもっとも短く、次いで緑 (G R E E N) 、赤の順に長くすることで、赤のパルス幅をもっとも長くでき、R G B の 3 種のパネルで同じ応答特性が得られる。

【 0 1 2 5 】

図 26 は、温度センサが温度を検出するタイミングを説明する図である。図 26 の (A) のように、書き込みステップ S 10 を開始すると、温度検出データ T D を読み出し、初期化处理 (リセット) S 12 、第 1 のサブステップを行う書込みフェーズ S 13 、第 2 サブステップを行うフェーズ S 14 、という具合に最後のサブステップまでを、温度データ T D に基づいて補正したパルス幅およびパルス電圧で実行する。

【 0 1 2 6 】

図 26 の (A) であれば、制御回路 27 の負担はもっとも少ないが、書込み途中に温度が急変した場合などには補償精度が低下するという問題がある。

【 0 1 2 7 】

図 26 の (B) のように、書き込みステップ S 10 を開始すると、温度検出データ T D 1 を読み出し、初期化处理 (リセット) S 12 を温度データ T D 1 に基づいて補正したパルス幅で実行する。S 12 の後、再び温度検出データ T D 2 を読み出し、フェーズ S 13 を温度データ T D 2 に基づいて補正したパルス幅およびパルス電圧で実行する。以下同様に、温度検出データ T D 3 を読み出して書込みフェーズ S 14 を実行するという具合に、各書込みフェーズの前に温度検出データを読み出して、その温度に基づいてパルス幅およびパルス電圧を補正することを繰り返す。

【 0 1 2 8 】

図 26 の (B) であれば、図 26 の (A) の制御に比べて、温度補償精度は向上するが、制御回路 27 の負担は大きくなる。

10

20

30

40

50

【 0 1 2 9 】

図 2 6 の (C) は、各書込みフェーズにおいて、各スキャンラインごとに検出した温度を読み込む場合を示す。この構成であれば、パネル温度分布があっても補償可能であり、温度補償精度はもっとも高い。しかし、制御回路 2 7 の負担は一層大きくなる。

【 0 1 3 0 】

図 2 6 の (A) から (C) に示した温度の読み込みタイミングのいずれを採用するかは、製品の形態やアプリケーションによって適宜選択される。

【 0 1 3 1 】

以上説明したように、本発明によれば、コレステリック液晶表示装置において、低消費電力かつ安価な部品構成で、精度の高い温度補償を実現できる。

10

【 0 1 3 2 】

以上、本発明の実施例を説明したが、他にも各種の実施例が可能であるのはいうまでもない。例えば、本発明は、コレステリック液晶を使用した表示素子以外にも、メモリ性を有するドットマトリクス型の表示素子であれば、適用可能である。

【国際調査報告】

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2007/070099

A. CLASSIFICATION OF SUBJECT MATTER G02F1/133(2006.01)i, G09G3/20(2006.01)i, G09G3/36(2006.01)i According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) G02F1/133, G09G3/20, G09G3/36 Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2007 Kokai Jitsuyo Shinan Koho 1971-2007 Toroku Jitsuyo Shinan Koho 1994-2007 Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 2001-343626 A (Kyocera Corp.), 14 December, 2001 (14.12.01), Par. Nos. [0041] to [0050] (Family: none)	1-5, 8-14, 17-18 6-7, 15-16
Y A	JP 63-44636 A (Seiko Epson Corp.), 25 February, 1988 (25.02.88), Page 2, lower left column, line 11 to page 3, upper left column, line 10; Figs. 5, 7 (Family: none)	1-5, 8-14, 17-18 6-7, 15-16
Y A	WO 2006/103738 A1 (Fujitsu Ltd.), 05 October, 2006 (05.10.06), Par. No. [0054]; Fig. 10 (Family: none)	3, 5, 12, 14 6-7, 15-16
☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 28 November, 2007 (28.11.07)		Date of mailing of the international search report 25 December, 2007 (25.12.07)
Name and mailing address of the ISA/ Japanese Patent Office		Authorized officer
Facsimile No.		Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2007/070099

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 2001-51255 A (Minolta Co., Ltd.), 23 February, 2001 (23.02.01), Par. Nos. [0026] to [0042]; Figs. 1, 4 & US 6803899 B1	8-9, 17-18 6-7, 15-16

国際調査報告		国際出願番号 PCT/J P 2 0 0 7 / 0 7 0 0 9 9										
A. 発明の属する分野の分類（国際特許分類（I P C）） Int.Cl. G02F1/133(2006, 01)i, G09G3/20(2006, 01)i, G09G3/36(2006, 01)i												
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（I P C）） Int.Cl. G02F1/133, G09G3/20, G09G3/36												
最小限資料以外の資料で調査を行った分野に含まれるもの <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1 9 2 2 - 1 9 9 6 年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1 9 7 1 - 2 0 0 7 年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1 9 9 6 - 2 0 0 7 年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1 9 9 4 - 2 0 0 7 年</td> </tr> </table>				日本国実用新案公報	1 9 2 2 - 1 9 9 6 年	日本国公開実用新案公報	1 9 7 1 - 2 0 0 7 年	日本国実用新案登録公報	1 9 9 6 - 2 0 0 7 年	日本国登録実用新案公報	1 9 9 4 - 2 0 0 7 年	
日本国実用新案公報	1 9 2 2 - 1 9 9 6 年											
日本国公開実用新案公報	1 9 7 1 - 2 0 0 7 年											
日本国実用新案登録公報	1 9 9 6 - 2 0 0 7 年											
日本国登録実用新案公報	1 9 9 4 - 2 0 0 7 年											
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）												
C. 関連すると認められる文献 <table border="1"> <thead> <tr> <th>引用文献の カテゴリー*</th> <th>引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示</th> <th>関連する 請求の範囲の番号</th> </tr> </thead> <tbody> <tr> <td>Y A</td> <td>JP 2001-343626 A（京セラ株式会社）2001.12.14, 【0041】 - 【0050】 （ファミリーなし）</td> <td>1-5、8-14、17-18 6-7、15-16</td> </tr> <tr> <td>Y A</td> <td>JP 63-44636 A（セイコーエプソン株式会社）1988.02.25, 第2頁左下欄第11行～第3頁左上欄第10行、第5図、第7図 （ファミリーなし）</td> <td>1-5、8-14、17-18 6-7、15-16</td> </tr> </tbody> </table>				引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号	Y A	JP 2001-343626 A（京セラ株式会社）2001.12.14, 【0041】 - 【0050】 （ファミリーなし）	1-5、8-14、17-18 6-7、15-16	Y A	JP 63-44636 A（セイコーエプソン株式会社）1988.02.25, 第2頁左下欄第11行～第3頁左上欄第10行、第5図、第7図 （ファミリーなし）	1-5、8-14、17-18 6-7、15-16
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号										
Y A	JP 2001-343626 A（京セラ株式会社）2001.12.14, 【0041】 - 【0050】 （ファミリーなし）	1-5、8-14、17-18 6-7、15-16										
Y A	JP 63-44636 A（セイコーエプソン株式会社）1988.02.25, 第2頁左下欄第11行～第3頁左上欄第10行、第5図、第7図 （ファミリーなし）	1-5、8-14、17-18 6-7、15-16										
☒ C欄の続きにも文献が列挙されている。 ☐ パテントファミリーに関する別紙を参照。												
* 引用文献のカテゴリー 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） 「O」 口頭による開示、使用、展示等に言及する文献 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」 同一パテントファミリー文献												
国際調査を完了した日 2 8 . 1 1 . 2 0 0 7		国際調査報告の発送日 2 5 . 1 2 . 2 0 0 7										
国際調査機関の名称及びあて先 日本国特許庁（I S A / J P） 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号		特許庁審査官（権限のある職員） 奥田 雄介 電話番号 03-3581-1101 内線 3293										

様式PCT/I S A / 2 1 0（第2ページ）（2007年4月）

国際調査報告		国際出願番号 PCT/J P 2 0 0 7 / 0 7 0 0 9 9
C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y A	WO 2006/103738 A1 (富士通株式会社) 2006.10.05, 【0054】、 図10 (ファミリーなし)	3、5、12、 14 6-7、15 -16
Y A	JP 2001-51255 A (ミノルタ株式会社) 2001.02.23, 【0026】 - 【0042】、図1、図4 & US 6803899 B1	8-9、17 -18 6-7、15 -16

フロントページの続き

(51)Int.Cl.	F I	テーマコード(参考)
	G 0 9 G 3/20	6 4 1 E
	G 0 9 G 3/20	6 2 1 D
	G 0 9 G 3/20	6 7 0 E
	G 0 9 G 3/20	6 2 3 C
	G 0 9 G 3/20	6 8 0 E
	G 0 9 G 3/20	6 1 1 A
	G 0 9 G 3/20	6 1 1 F
	G 0 9 F 9/00	3 6 6 G

(74)代理人 100114177

弁理士 小林 龍

(72)発明者 能勢 将樹

神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

(72)発明者 新海 知久

神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

(72)発明者 山口 久

神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

(72)発明者 久山 善和

東京都稲城市矢野口1776番地 富士通フロンテック株式会社内

F ターム(参考) 2H189 AA32 AA33 CA36 HA06 HA16 JA09 JA17 LA08 MA13
 2H193 ZA04 ZA22 ZA38 ZD26 ZE18 ZE20 ZF03 ZF06 ZF16 ZF17
 ZH18 ZH40 ZH53 ZH54 ZQ19 ZR12
 5C006 AA02 AA13 AA15 AA22 AC01 AC21 AC22 AC24 AF33 AF54
 AF62 AF82 BA19 BB08 BB12 BB28 BC03 BC12 BF01 BF22
 BF23 BF25 BF31 BF38 BF42 BF43 BF46 FA19 FA46 FA47
 FA51 GA02
 5C080 AA10 BB05 CC03 CC07 DD09 DD20 DD26 DD27 EE29 EE30
 FF08 FF09 JJ01 JJ02 JJ04 JJ05 JJ06 KK07 KK08 KK30
 5G435 AA12 AA16 BB12 EE49

(注) この公表は、国際事務局(WIPO)により国際公開された公報を基に作成したものである。なおこの公表に係る日本語特許出願(日本語実用新案登録出願)の国際公開の効果は、特許法第184条の10第1項(実用新案法第48条の13第2項)により生ずるものであり、本掲載とは関係ありません。

专利名称(译)	具有点阵型显示元件的显示装置及其驱动方法		
公开(公告)号	JPWO2009050777A1	公开(公告)日	2011-02-24
申请号	JP2009537790	申请日	2007-10-15
[标]申请(专利权)人(译)	富士通株式会社 富士通机电株式会社		
申请(专利权)人(译)	富士通株式会社 富士通氟利昂科技有限公司		
[标]发明人	能勢将樹 新海知久 山口久 久山善和		
发明人	能勢 将樹 新海 知久 山口 久 久山 善和		
IPC分类号	G02F1/133 G02F1/1347 G09G3/36 G09G3/20 G09F9/00		
CPC分类号	G09G3/3651 G09G3/3614 G09G2300/023 G09G2300/0486 G09G2310/06 G09G2320/0233 G09G2320/041		
FI分类号	G02F1/133.560 G02F1/133.580 G02F1/133.575 G02F1/1347 G09G3/36 G09G3/20.641.E G09G3/20.621.D G09G3/20.670.E G09G3/20.623.C G09G3/20.680.E G09G3/20.611.A G09G3/20.611.F G09F9/00.366.G		
F-TERM分类号	2H189/AA32 2H189/AA33 2H189/CA36 2H189/HA06 2H189/HA16 2H189/JA09 2H189/JA17 2H189/LA08 2H189/MA13 2H193/ZA04 2H193/ZA22 2H193/ZA38 2H193/ZD26 2H193/ZE18 2H193/ZE20 2H193/ZF03 2H193/ZF06 2H193/ZF16 2H193/ZF17 2H193/ZH18 2H193/ZH40 2H193/ZH53 2H193/ZH54 2H193/ZQ19 2H193/ZR12 5C006/AA02 5C006/AA13 5C006/AA15 5C006/AA22 5C006/AC01 5C006/AC21 5C006/AC22 5C006/AC24 5C006/AF33 5C006/AF54 5C006/AF62 5C006/AF82 5C006/BA19 5C006/BB08 5C006/BB12 5C006/BB28 5C006/BC03 5C006/BC12 5C006/BF01 5C006/BF22 5C006/BF23 5C006/BF25 5C006/BF31 5C006/BF38 5C006/BF42 5C006/BF43 5C006/BF46 5C006/FA19 5C006/FA46 5C006/FA47 5C006/FA51 5C006/GA02 5C080/AA10 5C080/BB05 5C080/CC03 5C080/CC07 5C080/DD09 5C080/DD20 5C080/DD26 5C080/DD27 5C080/EE29 5C080/EE30 5C080/FF08 5C080/FF09 5C080/JJ01 5C080/JJ02 5C080/JJ04 5C080/JJ05 5C080/JJ06 5C080/KK07 5C080/KK08 5C080/KK30 5G435/AA12 5G435/AA16 5G435/BB12 5G435/EE49		
代理人(译)	青木 笃 小林 龙		
其他公开文献	JP5072973B2		
外部链接	Espacenet		

摘要(译)

显示装置包括矩阵型显示元件，驱动电路，控制电路和温度传感器，该控制电路控制该驱动电路，从而施加用于初始化要重写的像素的初始化脉冲以产生初始值。灰度状态，然后将灰度脉冲施加到初始化的像素以产生灰度状态，施加灰度脉冲的累积时间与灰度状态的值有关，控制电路固定初始化的脉冲电压 脉冲并根据温度传感器检测到的温度改变初始化脉冲的脉冲宽度，温度低时改变灰度脉冲的脉冲宽度，温度高时改变灰度脉冲的脉冲电压。

