

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5057828号  
(P5057828)

(45) 発行日 平成24年10月24日(2012.10.24)

(24) 登録日 平成24年8月10日(2012.8.10)

(51) Int.Cl.		F I			
<b>G09G</b>	<b>3/20</b>	<b>(2006.01)</b>	G09G	3/20	6 2 3 B
<b>G02F</b>	<b>1/133</b>	<b>(2006.01)</b>	G02F	1/133	5 5 0
<b>G09G</b>	<b>3/36</b>	<b>(2006.01)</b>	G09G	3/36	
			G09G	3/20	6 1 1 A
			G09G	3/20	6 1 1 H

請求項の数 5 (全 18 頁)

(21) 出願番号 特願2007-106938 (P2007-106938)  
 (22) 出願日 平成19年4月16日(2007.4.16)  
 (65) 公開番号 特開2008-268261 (P2008-268261A)  
 (43) 公開日 平成20年11月6日(2008.11.6)  
 審査請求日 平成22年2月10日(2010.2.10)

(73) 特許権者 502356528  
 株式会社ジャパンディスプレイイースト  
 千葉県茂原市早野3300番地  
 (74) 代理人 100093506  
 弁理士 小野寺 洋二  
 (73) 特許権者 506087819  
 パナソニック液晶ディスプレイ株式会社  
 兵庫県姫路市飾磨区委鹿日田町1-6  
 (74) 代理人 100093506  
 弁理士 小野寺 洋二  
 (74) 代理人 110000154  
 特許業務法人はるか国際特許事務所

最終頁に続く

(54) 【発明の名称】 表示装置

(57) 【特許請求の範囲】

【請求項1】

絶縁基板上にインバータ回路を含む駆動回路を備えた表示装置において、  
 前記インバータ回路は、多結晶シリコンを半導体層とする第1ないし第3の同導電型のトランジスタと高抵抗素子から構成され、  
 前記第1のトランジスタの第1の端子が第1のノードに接続され、ゲート端子が第2のノードに接続され、第2の端子が第3のノードに接続され、  
 前記第2のトランジスタの第1の端子が第5のノードに接続され、ゲート端子が前記第3のノードに接続され、第2の端子が第6のノードに接続され、  
 前記第3のトランジスタの第1の端子が前記第1のノードに接続され、ゲート端子が前記第2のノードに接続され、第2の端子が前記第5のノードに接続され、  
 前記高抵抗素子の第1の端子が第4のノードに接続され、第2の端子が前記第3のノードに接続され、  
 前記第4のノードと前記第1のノードとの間に第1の電源電圧が供給され、  
 前記第6のノードと前記第1のノードとの間に第2の電源電圧が供給され、  
 前記第1の電源電圧が、前記第2の電源電圧とトランジスタの閾値電圧との和よりも大きく、

前記第2のノードに入力クロックが入力され、前記第5のノードから反転された出力クロックが出力されることを特徴とする表示装置。

【請求項2】

絶縁基板上にインバータ回路を含む駆動回路を備えた表示装置において、  
前記インバータ回路は、多結晶シリコンを半導体層とする第1ないし第5の同導電型の  
トランジスタと高抵抗素子から構成され、

前記第1のトランジスタの第1の端子が第1のノードに接続され、ゲート端子が第2の  
ノードに接続され、第2の端子が第3のノードに接続され、

前記第2のトランジスタの第1の端子が第5のノードに接続され、ゲート端子が前記第  
3のノードに接続され、第2の端子が第6のノードに接続され、

前記第3のトランジスタの第1の端子が前記第1のノードに接続され、ゲート端子が前  
記第2のノードに接続され、第2の端子が前記第5のノードに接続され、

前記第4のトランジスタの第1の端子が第7のノードに接続され、ゲート端子が前記第  
5のノードに接続され、第2の端子が第8のノードに接続され、

前記第5のトランジスタの第1の端子が前記第1のノードに接続され、ゲート端子が前  
記第2のノードに接続され、第2の端子が前記第7のノードに接続され、

前記高抵抗素子の第1の端子が第4のノードに接続され、第2の端子が前記第3のノ  
ードに接続され、

前記第4のノードと前記第1のノードとの間に第1の電源電圧が供給され、

前記第6のノードと前記第1のノードとの間に第2の電源電圧が供給され、

前記第8のノードと前記第1のノードとの間に第3の電源電圧が供給され、

前記第1の電源電圧が、前記第3の電源電圧とトランジスタの閾値電圧の2倍の和より  
も大きく、

前記第2の電源電圧が、前記第3の電源電圧とトランジスタの閾値電圧との和よりも大  
きく、

前記第2のノードに入力クロックが入力され、前記第7のノードから反転された出力ク  
ロックが出力されることを特徴とする表示装置。

### 【請求項3】

絶縁基板上にインバータ回路を含む駆動回路を備えた表示装置において、  
前記インバータ回路は、多結晶シリコンを半導体層とする第1ないし第6の同導電型の  
トランジスタと高抵抗素子と第1、第2の容量素子から構成され、

前記第1のトランジスタの第1の端子が第1のノードに接続され、ゲート端子が第2の  
ノードに接続され、第2の端子が第3のノードに接続され、

前記第2のトランジスタの第1の端子が第5のノードに接続され、ゲート端子が前記第  
3のノードに接続され、第2の端子が第6のノードに接続され、

前記第3のトランジスタの第1の端子が前記第1のノードに接続され、ゲート端子が前  
記第2のノードに接続され、第2の端子が前記第5のノードに接続され、

前記第4のトランジスタの第1の端子が第7のノードに接続され、ゲート端子が前記第  
5のノードに接続され、第2の端子が第8のノードに接続され、

前記第5のトランジスタの第1の端子が前記第1のノードに接続され、ゲート端子が前  
記第2のノードに接続され、第2の端子が前記第7のノードに接続され、

前記高抵抗素子の第1の端子が第4のノードに接続され、第2の端子が前記第3のノ  
ードに接続され、

前記第1の容量素子の第1の端子が前記第7のノードに接続され、第2の端子が前記第  
5のノードに接続され、

前記第2の容量素子の第1の端子が第9のノードに接続され、第2の端子が前記第2の  
ノードに接続され、

前記第6のトランジスタの第1の端子が前記第1のノードに接続され、ゲート端子が前  
記第3のノード又は前記第5のノード又は前記第7のノードに接続され、第2の端子が前  
記第2のノードに接続され、

前記第4のノードに第1の電源電圧が供給され、

前記第6のノードに第2の電源電圧が供給され、

前記第8のノードに第3の電源電圧が供給され、

10

20

30

40

50

前記第 1 のノードに第 4 の電源電圧が供給され、  
前記第 9 のノードに入力クロックが入力され、前記第 7 のノードから反転された出力ク  
ロックが出力されることを特徴とする表示装置。

【請求項 4】

請求項 3 に記載の表示装置において、  
前記第 3 の電源電圧と前記第 4 の電源電圧との差が、前記入力クロックの振幅よりも大  
きいことを特徴とする表示装置。

【請求項 5】

請求項 3 又は 4 に記載の表示装置において、  
前記第 1 の電源電圧と前記第 2 の電源電圧と前記第 3 の電源電圧とが互いに等しいこと  
を特徴とする表示装置。

10

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、特に、インバータ回路を含む駆動回路一体型の液晶表示装置に関する。

【背景技術】

【0002】

画素部にスイッチング素子を備えた T F T (Thin Film Transistor) 方式の液晶表示装置は、パソコン等の表示装置として広く用いられる一方、携帯電話等の小型のモバイル端末の表示装置としても需要が拡大している。T F T 液晶ディスプレイにおいては、高画質化、低電力化の要求と共に、低コスト化の要求が強く、特に、携帯電話向けの小型ディスプレイでは、パネルを駆動するドライバ L S I のコストの占める割合が大きいため、ドライバ L S I の低コスト化が求められている。

20

【0003】

ドライバ L S I の低コスト化を実現する方法として、従来、ドライバ L S I に搭載していた電源回路や駆動回路等の高耐圧回路を、画素部の T F T と同等のプロセスでガラス基板上に形成する、いわゆる、駆動回路一体型の表示装置が開発、製品化されている。これらの高耐圧回路をパネル側に内蔵化した場合、ドライバ側に残るロジック回路は高耐圧プロセスを用いることなく形成することが可能であり、また、プロセス微細化に伴うシュリンク効果により、回路面積を削減することができる。このため、ドライバ L S I の低コスト化が可能となる。

30

【0004】

一方、パネル側においては、内蔵駆動回路を N M O S 単チャネルプロセスで形成することで、C M O S 構成に比べて更なるプロセスコストの削減が可能となる。通常、T F T 液晶ディスプレイにおけるゲート線の駆動には、十数ボルト程度の振幅のクロックが必要であるが、ドライバ L S I の出力信号は数ボルト程度の小振幅であるため、振幅を大きくするためのレベルシフト回路が必要となる。内蔵駆動回路を動作させるためには、複数のクロックが必要であり、これに対応して複数のレベルシフトが必要となる。

40

【0005】

N M O S 単チャネルプロセスで形成可能なレベルシフトとしては、下記特許文献 1 に記載された回路が知られている。しかしながら、この特許文献 1 に記載されたレベルシフトは、出力電圧を立ち上げるための入力信号と、出力信号を立ち下げるための反転信号が必要であり、このような回路を用いた場合には、内蔵駆動回路の制御クロック線数が大きくなってしまふ。ゲート線の駆動と共にコモン線の駆動も行う場合には、制御クロック線数は更に大きくなる。内蔵駆動回路は通常、表示領域を除いた額縁領域に形成され、内蔵駆動回路の制御クロックの配線も額縁に配置される。このため、制御クロック線数が大きい場合、額縁サイズが大きくなる問題がある。また、ドライバ L S I の出力ピン数も大きく

50

なり、ドライバLSIのコストが増大する問題もある。

【0006】

内蔵駆動回路の制御クロック線数を削減する方法として、インバータ回路をパネル側に内蔵化し、レベルシフトに供給する反転信号を、内蔵インバータ回路を用いて生成する方法が考えられる。NMOS単チャンネルで形成可能なインバータ回路としては、下記特許文献2に記載された回路が知られている。

【特許文献1】特開2003-179479号公報

【特許文献2】特開平5-224629号公報

【発明の開示】

【発明が解決しようとする課題】

10

【0007】

上記特許文献2に記載されたインバータ回路は、入力回路にダイオード接続を用いるため、閾値電圧 $V_{th}$ の製造バラツキの影響が大きいという問題がある。すなわち、 $V_{th}$ が大きい場合、出力波形の立ち上がりが遅く、また、 $V_{th}$ が小さい場合には、入力回路の消費電流（貫通電流）が大きいという問題がある。

【0008】

駆動回路一体型の表示装置では、駆動回路を構成する薄膜トランジスタを、画素部のスイッチング素子と同等のプロセスでガラス基板上に形成している。このような薄膜トランジスタは、通常集積回路で用いられるトランジスタに比べて閾値電圧 $V_{th}$ が大きく、 $V_{th}$ の製造バラツキが大きいという問題がある。また、通常のトランジスタに比べてオン抵抗が大きいという問題がある。さらには、トランジスタに高電圧を印加した場合、あるいは、大きな電流を流した場合に、素子特性が劣化しやすいという問題もある。

20

【0009】

本発明は、このような問題点を有する薄膜トランジスタを用いてガラス基板上にインバータ回路を形成する際に見出された課題を解決するためになされたものであり、トランジスタの閾値電圧 $V_{th}$ の製造バラツキやオン抵抗の影響が小さく、出力波形の立ち上がり、立下りが高速で、消費電流が小さいNMOSインバータ回路を提供することを目的とする。

【課題を解決するための手段】

【0010】

本発明のうち、代表的なものの概要を簡単に説明すれば、下記のとおりである。

30

【0011】

同一基板上に、画像を表示する表示領域と、表示領域を駆動する駆動回路を設ける。駆動回路は、制御クロックの振幅を大きくするためのレベルシフト回路と、レベルシフト回路に供給する反転クロックを生成するためのインバータ回路を含んで構成する。

【0012】

インバータ回路は、高抵抗負荷を用いた入力インバータと、2つのトランジスタを直列接続した出力バッファとにより構成する。入力インバータの電源電圧を $V_{DD1}$ 、出力バッファの電源電圧 $V_{DD2}$ 、トランジスタの閾値電圧を $V_{th}$ としたとき、不等式 $V_{DD1} > V_{DD2} + V_{th}$ を満足するように電源電圧を供給する。

40

【発明の効果】

【0013】

閾値電圧 $V_{th}$ の製造バラツキの影響が小さく、出力波形の立ち上がり、立下りが高速なNMOSインバータ回路を実現できる。また、高抵抗負荷を用いることで、消費電流が小さく、トランジスタのオン抵抗の影響が小さいNMOSインバータ回路を実現できる。このようなNMOSインバータ回路を用いて、NMOSレベルシフト回路に供給する反転クロックをパネル内で生成するため、内蔵駆動回路の制御クロック線数の削減、額縁サイズの削減、ドライバピン数の削減が可能となる。

【発明を実施するための最良の形態】

【0014】

50

以下、図面を用いて本発明の実施例を説明する。なお、全ての図面において、同一機能を有するものは同一符号をつけ、その繰り返しの説明は省略する。また、信号線とその信号とに同じ符号を用いて説明する。

【実施例 1】

【0015】

図 1 は、本実施例に係る表示装置のブロック構成図を示したものである。図 1 において、本実施例に係る表示装置は、絶縁基板 212 上の液晶パネル 211 とこれを駆動するドライバ LSI (209) とから構成される。液晶パネル 211 には、ゲート線 204 とドレイ  
ン線 205 を、それぞれ水平方向、垂直方向に多数配置し、ゲート線 204 とドレイ  
ン線 205 の各交点に画素電極 202、対向電極 203、スイッチング素子 201 からなる  
画素部を配置し、表示領域 210 を形成している。また、表示領域 210 の周辺部、す  
なわち、額縁領域には、電源回路 208、レベルシフト回路ブロック 207、ゲート駆動  
回路 206 を形成している。

10

【0016】

ドライバ LSI (209) は、システム側から供給される制御信号 216 を基に、電源  
回路 208 とレベルシフト回路ブロック 207 に供給する制御クロック 215 を生成する。  
電源回路 208 は、ゲート線の駆動と内蔵回路の動作に必要な正負の各種電源電圧 214  
を生成し、レベルシフト回路ブロック 207 とゲート駆動回路 206 に供給する。レ  
ベルシフト回路ブロック 207 は、ドライバ LSI (209) の出力する数ボルトの振幅の  
制御クロック 215 を十数ボルトの振幅の制御クロック 213 に変換し、ゲート駆動回路  
206 に供給する。ゲート駆動回路 206 は、レベルシフト回路ブロック 207 の出力す  
る大きな振幅の制御クロック 213 を基に、1 ラインずつ順次ゲート線をオンする走査信  
号を生成し、ゲート線 204 に供給する。各ラインのゲート線がオンするたびに、ドライ  
バ LSI (209) が各ラインの表示データに対応したアナログ階調電圧を、スイッチン  
グ素子 201 を介して画素電極 202 に供給し、画像表示を行う。

20

【0017】

図 2 は、図 1 に示すレベルシフト回路ブロック 207 の構成図である。図 2 において、  
レベルシフト回路ブロック 207 は、図 1 に示すドライバ LSI (209) が出力する制  
御クロックの振幅を大きくするためのレベルシフト回路 301 と、レベルシフト回路 301  
を動作させるために必要な反転信号 INB を生成するためのインバータ回路 302 と  
から構成される。これらの回路は、図 1 に示すゲート駆動回路 206 の動作に必要な制御ク  
ロックの数と同じ数だけ設けられ、NMOS 単チャネルプロセスにて形成される。レ  
ベルシフト回路 301 には、図 1 に示す電源回路 208 の出力する正の電源電圧 VDD (303)  
と負の電源電圧 VSS (304) が供給され、VDD と VSS の差電圧 VDD - VSS が十数ボルト  
となるように設定される。このレベルシフト回路 301 は、図 1 に示すドライバ LSI  
(209) の出力する振幅が数ボルトの制御クロック 215 を、差電圧 VDD - VSS を  
振幅とする大きな振幅の制御クロックに変換し、これをゲート駆動回路 206  
に供給する。

30

【0018】

一般に、NMOS 単チャネルで構成するレベルシフト回路は、出力を立ち上げるための  
入力信号と、出力を立ち下げるための反転信号が必要となる。このため、このような回路  
をパネル側に内蔵化した場合、単一の入力信号で動作する CMOS 構成のレベルシフト回  
路を用いた場合に比べて、内蔵回路の配線数が多くなる問題がある。

40

【0019】

そこで、本実施例では、図 2 に示すように、NMOS インバータ回路 302 をパネル側  
に内蔵化し、NMOS レベルシフト回路 301 に供給する反転信号を、NMOS イン  
バータ回路 302 を用いて生成している。NMOS インバータ回路 302 には、図 1 に示す電  
源回路 208 の出力する大きな電源電圧 VDD1 (305) と、ドライバ LSI (209)  
の出力する比較的小さな電源電圧 VDD2 (306) が供給され、これらの電源電圧と G  
ND レベルの間で NMOS インバータ回路 302 が動作する。

50

## 【 0 0 2 0 】

図 3 は、図 2 に示すインバータ回路 3 0 2 の構成図である。図 3 において、インバータ回路 3 0 3 は、高抵抗負荷 R ( 1 0 2 ) とトランジスタ T r 1 ( 1 0 1 ) からなる入力インバータと、トランジスタ T r 2、T r 3 からなる出力バッファとから構成される。トランジスタ T r 1、T r 3 のソースは、接地端子 G N D ( 1 0 5 ) に接続される。図 1 に示す電源回路 2 0 8 が出力する電源電圧 V D D 1 ( 1 0 3 ) が抵抗負荷 R に供給される。また、図 1 に示すドライバ L S I ( 2 0 9 ) が出力する電源電圧 V D D 2 ( 1 0 4 ) がトランジスタ T r 2 に供給される。トランジスタ T r 2 の閾値電圧を V t h としたとき、電源電圧 V D D 1、V D D 2 が不等式  $V D D 1 > V D D 2 + V t h$  を満足するように電源電圧が供給される。

10

## 【 0 0 2 1 】

図 3 に示すインバータ回路 3 0 2 では、入力インバータに高抵抗負荷を用いているため、従来のダイオード接続負荷を用いた場合に比べて、閾値電圧 V t h の製造バラツキの影響を小さくすることができる。すなわち、ダイオード接続負荷を用いた場合には、V t h が大きい場合、出力波形の立ち上がりが遅延し、また、V t h が小さい場合には、入力インバータの消費電流（貫通電流）が増大する問題があるが、図 3 に示すインバータ回路 3 0 2 では、このような問題を解決することができる。

## 【 0 0 2 2 】

また、図 3 に示すインバータ回路 3 0 2 では、出力側にトランジスタ T r 2、T r 3 からなる出力バッファを設けており、この出力バッファを用いて負荷の充放電を行うため、入力インバータの抵抗負荷 R と、出力バッファが駆動する負荷の容量 C による C R 時定数の影響を受けることなく、大きな容量負荷を、出力バッファが無い場合に比べて高速に駆動することができる。すなわち、抵抗負荷 R、容量負荷 C が大きい場合にも、出力波形の立ち上がりを速くすることができる。

20

## 【 0 0 2 3 】

抵抗負荷 R の値は、トランジスタ T r 1 のオン抵抗を考慮して決定される。すなわち、入力クロック I N ( 1 0 6 ) がハイレベルのときのノード N 3 の電圧 V N 3 は、電源電圧 V D D 1 を抵抗負荷 R と T r 1 のオン抵抗 R o n で分圧した値  $V N 3 = V D D 1 \times R o n / ( R + R o n )$  となるので、抵抗負荷 R の値を T r 1 のオン抵抗 R o n より十分大きくする必要がある。抵抗負荷 R が小さい場合、入力クロック I N がハイレベルのときのノード N 3 の電圧 V N 3 が G N D レベルまで低下せず、出力バッファを構成するトランジスタ T r 2、T r 3 の両方がオンとなり、出力バッファに貫通電流が流れてしまう。

30

## 【 0 0 2 4 】

一般に、駆動回路一体型の表示装置で用いられる薄膜トランジスタは、通常のトランジスタに比べてオン抵抗が大きいという問題がある。例えば、トランジスタ T r 1 のゲート幅を数十マイクロメートル、ゲート長を数マイクロメートルとした場合、ゲート - ソース間電圧を V G S = 5 V としたときの T r 1 のオン抵抗 R o n は数十キロオームとなる。このため、V N 3 を小さくするには、抵抗負荷 R を 1 M Ω 以上とする必要がある。

## 【 0 0 2 5 】

ここで、抵抗負荷 R にポリシリコン抵抗を適用すれば、数メガオームの抵抗値を容易に実現できる。この場合、入力クロック I N がハイレベルの時のノード N 3 の電圧 V N 3 を十分小さくできるので、出力バッファに貫通電流が流れることを防ぐことができる。また、入力インバータの消費電流を低減することができる。

40

## 【 0 0 2 6 】

図 3 に示すインバータ回路 3 0 2 では、入力クロック I N がロウレベルとなったとき、ノード N 3 の電位が V D D 1 まで上昇し、トランジスタ T r 2 がオンとなり、出力クロック I N B ( 1 0 7 ) の電位が上昇する。このとき、トランジスタ T r 2 の閾値電圧 V t h により、出力クロック I N B の電位はノード N 3 の電位よりも低くなる。

## 【 0 0 2 7 】

しかし、本実施例では、不等式  $V D D 1 > V D D 2 + V t h$  を満足するように電源電圧

50

を供給するので、入力クロック  $I_N$  がロウレベルのときのノード  $N_3$  の電位は  $V_{DD2} + V_{th}$  より高くなり、出力クロック  $I_{NB}$  の電位を出力バッファの電源電圧  $V_{DD2}$  まで確実に上昇させることができる。したがって、トランジスタ  $T_{r2}$  の閾値電圧  $V_{th}$  による電圧低下の影響を受けることなく、図 1 に示すドライバ  $L S I (209)$  が供給する電源電圧  $V_{DD2}$  と等しい振幅の反転信号波形を出力することができる。また、 $V_{DD1}$  を  $V_{DD2}$  より大きくすることで、出力波形の立ち上がりを速くすることができる。

【0028】

図 3 において、第 1 のトランジスタ  $T_{r1}$  の第 1 の端子が第 1 のノード  $N_1$  に接続され、ゲート端子が第 2 のノード  $N_2$  に接続され、第 2 の端子が第 3 のノード  $N_3$  に接続される。また、第 2 のトランジスタ  $T_{r2}$  の第 1 の端子が第 5 のノード  $N_5$  に接続され、ゲート端子が第 3 のノード  $N_3$  に接続され、第 2 の端子が第 6 のノード  $N_6$  に接続される。また、第 3 のトランジスタ  $T_{r3}$  の第 1 の端子が第 1 のノード  $N_1$  に接続され、ゲート端子が第 2 のノード  $N_2$  に接続され、第 2 の端子が第 5 のノード  $N_5$  に接続される。

10

【0029】

さらに、高抵抗素子  $R$  の第 1 の端子が第 4 のノード  $N_4$  に接続され、第 2 の端子が第 3 のノード  $N_3$  に接続される。また、第 4 のノード  $N_4$  と第 1 のノード  $N_1$  との間に第 1 の電源電圧  $V_{DD1}$  が供給され、第 6 のノード  $N_6$  と第 1 のノード  $N_1$  との間に第 2 の電源電圧  $V_{DD2}$  が供給される。このようにして、第 2 のノード  $N_2$  に入力クロック  $I_N$  が入力され、第 5 のノード  $N_5$  から反転された出力クロック  $I_{NB}$  が出力される。

【0030】

20

図 4 は、インバータ回路 302 の入出力波形とレベルシフト回路 301 の出力波形を示す図である。ここで、図 1 に示すドライバ  $L S I (209)$  は、ハイレベルが  $V_{DD2}$ 、ロウレベルが  $GND$  となる振幅  $V_{DD2}$  の制御クロックを出力し、これをインバータ回路 302 の入力クロック  $I_N$  として供給する。

【0031】

図 4 において、まず、時刻  $t_1$  で入力クロック  $I_N$  が立ち上がると、図 3 に示す  $T_{r1}$  がオンとなり、高抵抗負荷  $R$  を介して入力インバータに電流が流れる。その結果、ノード  $N_3$  の電位は、ほぼ  $GND$  レベルまで低下し、 $T_{r2}$  がオフとなる。一方、 $T_{r3}$  はオンとなり、 $T_{r3}$  を介して負荷を放電するので、出力クロック  $I_{NB}$  は、ほぼ  $GND$  レベルまで低下する。

30

【0032】

次に、時刻  $t_2$  で入力クロック  $I_N$  が立ち下がると、 $T_{r1}$  がオフとなり、入力インバータの電流はほぼゼロとなる。このため、ノード  $N_3$  の電位は、入力インバータの電源電圧  $V_{DD1}$  まで上昇する。このとき、 $T_{r3}$  もオフとなる。ノード  $N_3$  が上昇すると、 $T_{r2}$  がオンとなり、 $T_{r2}$  を介して負荷に電流が供給されるので、出力クロック  $I_{NB}$  の電位が上昇する。ここで、電源電圧を  $V_{DD1} > V_{DD2} + V_{th}$  としているので、ノード  $N_3$  の電位が  $V_{DD1}$  まで上昇すると、出力クロック  $I_{NB}$  は  $T_{r2}$  の閾値電圧  $V_{th}$  の影響を受けることなく、出力バッファの電源電圧  $V_{DD2}$  まで上昇する。以上の動作を繰り返すことで、振幅  $V_{DD2}$  の反転クロック  $I_{NB}$  が得られる。

【0033】

40

また、 $NMOS$  レベルシフト回路 301 は、図 1 に示すドライバ  $L S I (209)$  が出力する制御クロック（入力クロック  $I_N$ ）と、インバータ回路の出力する反転クロック  $I_{NB}$  により動作し、負荷の充放電を行う。すなわち、入力クロック  $I_N$  が立ち上がることにより、図 4 に示す出力  $OUT$  が  $V_{SS}$  から  $V_{DD}$  まで立ち上がり、また、反転クロック  $I_{NB}$  が立ち上がることにより、出力  $OUT$  が  $V_{DD}$  から  $V_{SS}$  まで立ち下がる。このように、 $NMOS$  レベルシフト回路 301 の出力波形は、差電圧  $V_{DD} - V_{SS}$  を振幅とする大きな振幅のクロック波形となる。

【実施例 2】

【0034】

本実施例のインバータ回路は、出力バッファを 2 段設けることで、インバータ回路を構

50

成する抵抗負荷Rとトランジスタの寄生容量CによるCR時定数の影響を小さくし、抵抗負荷Rを大きくした場合にも出力波形の速い立ち上がりを実現するものである。以下、図5及び図6を用いて、本実施例を説明する。なお、インバータ回路以外の構成については、実施例1と同じであるため、その説明を省略する。

【0035】

図5は、本実施例のインバータ回路の構成図である。図5において、インバータ回路302は、高抵抗負荷R及びトランジスタTr1からなる入力インバータと、トランジスタTr2、Tr3からなる中間バッファと、トランジスタTr4、Tr5からなる出力バッファとから構成される。トランジスタTr1、Tr3、Tr5のソースは接地端子(GND)105に接続される。また、図1に示す電源回路208が出力する電源電圧VDD1が高抵抗負荷RとトランジスタTr2に供給され、ドライバLSI(209)が出力する電源電圧VDD2がトランジスタTr4に供給される。ここで、不等式 $VDD1 > VDD2 + 2V_{th}$ を満足するように電源電圧が設定される。

10

【0036】

すなわち、高抵抗負荷Rに供給される電源電圧VDD1は、電源電圧VDD2と2倍の閾値電圧 $V_{th}$ との和より大きくする。なお、トランジスタTr2に供給される電源電圧VDD1は、電源電圧VDD2と閾値電圧 $V_{th}$ との和より大きければよい。

【0037】

このインバータ回路302は、Tr4、Tr5からなる出力バッファが負荷を駆動し、Tr2、Tr3からなる中間バッファはTr4のゲートのみを駆動するので、Tr2、Tr3のゲート幅をTr4、Tr5のゲート幅に比べて小さくすることができる。この場合、実施例1に比べてTr2の寄生容量Cを小さくできるので、抵抗負荷Rを大きくした場合にも、抵抗負荷RとTr2の寄生容量CによるCR時定数を小さく抑えることができる。

20

【0038】

このため、出力波形の立ち上がりに遅延を生じることなく、入力インバータの貫通電流(消費電流)を低減することができる。また、抵抗負荷Rの製造バラツキにより、抵抗負荷Rが大きくなった場合にも、Tr2の寄生容量CによるノードN3の立ち上がりの遅延を防ぐことができる。さらに、電源電圧を $VDD1 > VDD2 + 2V_{th}$ としているので、入力クロックINがロウレベルのとき、ノードN5の電位は $VDD2 + V_{th}$ より大きくなり、Tr4の閾値電圧 $V_{th}$ による出力電圧の低下を生じることなく、振幅VDD2の反転クロック波形を出力することができる。

30

【0039】

図5において、第1のトランジスタTr1の第1の端子が第1のノードN1に接続され、ゲート端子が第2のノードN2に接続され、第2の端子が第3のノードN3に接続される。また、第2のトランジスタTr2の第1の端子が第5のノードN5に接続され、ゲート端子が第3のノードN3に接続され、第2の端子が第6のノードN6に接続される。また、第3のトランジスタTr3の第1の端子が第1のノードN1に接続され、ゲート端子が第2のノードN2に接続され、第2の端子が第5のノードN5に接続される。また、第4のトランジスタTr4の第1の端子が第7のノードN7に接続され、ゲート端子が第5のノードN5に接続され、第2の端子が第8のノードN8に接続される。また、第5のトランジスタTr5の第1の端子が第1のノードN1に接続され、ゲート端子が第2のノードN2に接続され、第2の端子が第7のノードN7に接続される。

40

【0040】

さらに、高抵抗素子Rの第1の端子が第4のノードN4に接続され、第2の端子が第3のノードN3に接続される。また、第4のノードN4と第1のノードN1との間に第1の電源電圧VDD1が供給され、第6のノードN6と第1のノードN1との間に第2の電源電圧VDD1が供給され、第8のノードN8と第1のノードN1との間に第3の電源電圧VDD2が供給される。このようにして、第2のノードN2に入力クロックINが入力され、第7のノードN7から反転された出力クロックINBが出力される。

50

## 【 0 0 4 1 】

図 6 は、インバータ回路 3 0 2 の入出力波形とレベルシフト回路 3 0 1 の出力波形を示す図である。ここで、図 1 に示すドライバ L S I ( 2 0 9 ) は、ハイレベルが  $V_{DD2}$ 、ロウレベルが  $GND$  となる振幅  $V_{DD2}$  の制御クロックを出力し、これをインバータ回路 3 0 2 の入力クロック  $IN$  として供給する。

## 【 0 0 4 2 】

図 6 において、まず、時刻  $t_1$  で入力クロック  $IN$  が立ち上がると、図 5 に示す  $Tr_1$  がオンとなり、高抵抗負荷  $R$  を介して入力インバータに電流が流れる。その結果、ノード  $N_3$  の電位は、ほぼ  $GND$  レベルまで低下し、 $Tr_2$  がオフとなる。一方、 $Tr_3$ 、 $Tr_5$  はオンとなり、ノード  $N_5$  と出力クロック  $INB$  は、ほぼ  $GND$  レベルまで低下する。

## 【 0 0 4 3 】

次に、時刻  $t_2$  で入力クロック  $IN$  が立ち下がると、 $Tr_1$  がオフとなり、入力インバータの電流はほぼゼロとなる。このため、ノード  $N_3$  の電位は、入力インバータの電源電圧  $V_{DD1}$  まで上昇する。このとき、 $Tr_3$ 、 $Tr_5$  もオフとなる。ノード  $N_3$  が  $V_{DD1}$  まで上昇すると、 $Tr_2$  がオンとなり、ノード  $N_5$  が  $V_{DD1} - V_{th}$  まで上昇する。ここで、電源電圧を  $V_{DD1} > V_{DD2} + 2V_{th}$  としているので、ノード  $N_5$  の電位は  $V_{DD2} + V_{th}$  より大きくなる。このため、出力クロック  $INB$  の電位は、 $Tr_4$  の閾値電圧  $V_{th}$  の影響を受けることなく、出力バッファの電源電圧  $V_{DD2}$  まで上昇する。以上の動作を繰り返すことで、振幅  $V_{DD2}$  の反転クロック  $INB$  が得られる。

## 【 0 0 4 4 】

また、NMOS レベルシフト回路 3 0 1 は、図 1 に示すドライバ L S I ( 2 0 9 ) が出力する制御クロック ( 入力クロック  $IN$  ) と、インバータ回路の出力する反転クロック  $INB$  により動作し、負荷の充放電を行う。すなわち、入力クロック  $IN$  が立ち上がることにより、図 6 に示す出力  $OUT$  が  $V_{SS}$  から  $V_{DD}$  まで立ち上がり、また、反転クロック  $INB$  が立ち上がることにより、出力  $OUT$  が  $V_{DD}$  から  $V_{SS}$  まで立ち下がる。このように、NMOS レベルシフト回路 3 0 1 の出力波形は、差電圧  $V_{DD} - V_{SS}$  を振幅とする大きな振幅のクロック波形となる。

## 【 実施例 3 】

## 【 0 0 4 5 】

本実施例では、インバータ回路に用いられる高い方の電源電圧  $V_{DD1}$  を、レベルシフト回路ブロック 2 0 7 の電源電圧  $V_{DD}$  と共用化することで、内蔵回路の動作に必要な電源電圧の数を削減し、内蔵回路の制御クロック線数の削減を図る。

## 【 0 0 4 6 】

図 7 は、本実施例のレベルシフト回路ブロック 2 0 7 の構成図である。図 7 において、レベルシフト回路ブロック 2 0 7 は、図 1 に示すドライバ L S I ( 2 0 9 ) が出力する制御クロックの振幅を大きくするためのレベルシフト回路 3 0 1 と、このレベルシフト回路 3 0 1 を動作させるために必要な反転クロック  $INB$  を生成するためのインバータ回路 3 0 2 とから構成される。このインバータ回路 3 0 2 は、実施例 1, 2 で用いられるインバータ回路 3 0 2 と同一で、その回路構成と動作については、実施例 1, 2 で説明を行ったので、ここでは説明を省略する。

## 【 0 0 4 7 】

本実施例では、内蔵回路の動作に必要な電源電圧の数を削減するため、図 1 に示す電源回路 2 0 8 が出力する電源電圧  $V_{DD}$  を、図 7 に示すように、レベルシフト回路 3 0 1 の電源端子と、インバータ回路 3 0 2 の高い方の電源端子 ( $V_{DD1}$ ) に供給し、これらの回路の間で電源電圧の共用化を行っている。この場合、インバータ回路 3 0 2 の高い方の電源電圧 ( $V_{DD1}$ ) を生成するための電源回路を独立して設ける必要がなく、実施例 1, 2 に比べて、内蔵電源回路の数を削減することができる。

## 【 0 0 4 8 】

通常、レベルシフト回路 3 0 1 の電源電圧  $V_{DD}$  は、画素部の T F T をスイッチングするため、数ボルトから十数ボルト程度の高電圧が必要とされる。このような大きな電源電

10

20

30

40

50

圧を、従来のようにダイオード接続負荷を用いたインバータ回路に印加した場合、インバータ回路の貫通電流（消費電流）が著しく増大するため、実現は困難である。しかしながら、本発明におけるインバータ回路は、高抵抗負荷を用いており、特に、高抵抗負荷としてポリシリコン抵抗を用いた場合には、数メガオームの高抵抗を容易に実現できるので、このような大きな電圧をインバータ回路に供給した場合にも、貫通電流を小さく抑えることができる。

【0049】

一般に、半導体素子を用いて電源回路を構成する場合、チャージポンプ回路を用いて小さな入力電圧を大きな電圧に変換して出力するDC/DCコンバータが必要となる。チャージポンプ回路は、入力電圧を一旦容量素子に充電した後、クロックを用いてこれを昇圧し、大きな出力電圧を得る回路であり、スイッチの切替えや昇圧のために多くのクロックが必要となる。したがって、このような電源回路をパネル側に内蔵化した場合、内蔵回路の制御クロック線数が増大してしまう。

10

【0050】

しかるに、本実施例では、インバータ回路の高い方の電源電圧VDD1をレベルシフト回路301の電源電圧VDDと共用化するので、VDD1を生成するための電源回路を独立してパネル側に設ける必要がなく、実施例1, 2に比べて、内蔵回路の制御クロック線数を削減することができる。

【実施例4】

【0051】

本実施例では、インバータ回路にブートストラップ回路を用いて、閾値電圧V<sub>th</sub>に起因する出力電圧の低下を防止し、インバータ回路をドライバLSIが出力する比較的小さな単一の電源電圧で動作させるものである。

20

【0052】

図8は、本実施例のレベルシフト回路ブロック207の構成図である。図8において、レベルシフト回路ブロック207は、図1に示すドライバLSI(209)が出力する制御クロックの振幅を大きくするためのレベルシフト回路301と、このレベルシフト回路301を動作させるために必要な反転クロックを生成するためのインバータ回路801とから構成される。レベルシフト回路301には、図1に示す電源回路208が出力する電源電圧VDD、VSSが供給される。また、インバータ回路801には、図1に示すドライバLSI(209)が出力する比較的小さな単一の電源電圧VDD2が供給される。

30

【0053】

図9は、本実施例のインバータ回路801の構成図である。図9において、インバータ回路801は、高抵抗負荷R、トランジスタTr1からなる入力インバータと、トランジスタTr2、Tr3からなる中間バッファと、トランジスタTr4、Tr5、容量C1からなる出力バッファとから構成される。

【0054】

ここで、容量C1は、ブートストラップのための容量であり、トランジスタTr4の閾値電圧V<sub>th</sub>によりインバータ回路801の出力電圧が低下することを防ぐために設けたものである。トランジスタTr1、Tr3、Tr5のソースは接地端子GNDに接続され、抵抗負荷R、トランジスタTr2、Tr4には、図1に示すドライバLSI(209)が出力する比較的小さな電源電圧VDD2が供給される。

40

【0055】

図9において、入力クロックINが立ち下がったとき、ノードN3、N5の電位が上昇し、ブートストラップ容量C1に電圧VC1がチャージされる。容量C1がチャージされると、チャージ電圧VC1によりTr4がオンとなり、容量C1がチャージ電圧VC1を保持したまま、Tr4を介して負荷に電流が供給される。その結果、ノードN5はVDD2 + VC1まで上昇し、出力クロックINBは、Tr4のV<sub>th</sub>による電圧低下を生じることなく、VDD2まで上昇する。このため、比較的小さな単一の電源電圧VDD2で、振幅VDD2の反転クロック波形を出力することができる。

50

## 【 0 0 5 6 】

また、図 9 において、第 1 のトランジスタ  $T r 1$  の第 1 の端子が第 1 のノード  $N 1$  に接続され、ゲート端子が第 2 のノード  $N 2$  に接続され、第 2 の端子が第 3 のノード  $N 3$  に接続される。また、第 2 のトランジスタ  $T r 2$  の第 1 の端子が第 5 のノード  $N 5$  に接続され、ゲート端子が第 3 のノード  $N 3$  に接続され、第 2 の端子が第 6 のノード  $N 6$  に接続される。また、第 3 のトランジスタ  $T r 3$  の第 1 の端子が第 1 のノード  $N 1$  に接続され、ゲート端子が第 2 のノード  $N 2$  に接続され、第 2 の端子が第 5 のノード  $N 5$  に接続される。また、第 4 のトランジスタ  $T r 4$  の第 1 の端子が第 7 のノード  $N 7$  に接続され、ゲート端子が第 5 のノード  $N 5$  に接続され、第 2 の端子が第 8 のノード  $N 8$  に接続される。また、第 5 のトランジスタ  $T r 5$  の第 1 の端子が第 1 のノード  $N 1$  に接続され、ゲート端子が第 2

10

## 【 0 0 5 7 】

さらに、高抵抗素子  $R$  の第 1 の端子が第 4 のノード  $N 4$  に接続され、第 2 の端子が第 3 のノード  $N 3$  に接続される。また、容量素子  $C 1$  の第 1 の端子が第 7 のノード  $N 7$  に接続され、第 2 の端子が第 5 のノード  $N 5$  に接続される。また、第 4 のノード  $N 4$  と第 1 のノード  $N 1$  との間に第 1 の電源電圧  $V D D 2$  が供給され、第 6 のノード  $N 6$  と第 1 のノード  $N 1$  との間に第 2 の電源電圧  $V D D 2$  が供給され、第 8 のノード  $N 8$  と第 1 のノード  $N 1$  との間に第 3 の電源電圧  $V D D 2$  が供給される。このようにして、第 2 のノード  $N 2$  に入力クロック  $I N$  が入力され、第 7 のノード  $N 7$  から反転された出力クロック  $I N B$  が出力される。

20

## 【 0 0 5 8 】

本実施例では、ドライバ  $L S I ( 2 0 9 )$  が出力する比較的小さな単一の電源電圧  $V D D 2$  でインバータ回路を動作させるので、インバータ回路を動作させるために高電圧の電源回路をパネル側に設ける必要がなく、実施例 1, 2 に比べて、内蔵駆動回路の制御クロック線数を削減することができる。また、実施例 1, 2, 3 に比べて、インバータ回路の電源電圧を小さくすることができるので、高電圧を印加することによる薄膜トランジスタの特性劣化を防ぐことができる。

## 【 0 0 5 9 】

図 10 は、インバータ回路 801 の入出力波形とレベルシフト回路 301 の出力波形を示す図である。ここで、図 1 に示すドライバ  $L S I ( 2 0 9 )$  は、ハイレベルが  $V D D 2$ 、ロウレベルが  $G N D$  となる振幅  $V D D 2$  の制御クロックを出力し、これをインバータ回路 801 の入力クロック  $I N$  として供給する。

30

## 【 0 0 6 0 】

図 10 において、まず、時刻  $t 1$  で入力クロック  $I N$  が立ち上がると、図 9 に示す  $T r 1$  がオンとなり、高抵抗負荷  $R$  を介して入力インバータに電流が流れる。その結果、ノード  $N 3$  の電圧は、ほぼ  $G N D$  レベルまで低下し、 $T r 2$  がオフとなる。一方、 $T r 3$ 、 $T r 5$  はオンとなり、ノード  $N 5$  と出力クロック  $I N B$  は、ほぼ  $G N D$  レベルまで低下する。

## 【 0 0 6 1 】

次に、時刻  $t 2$  で入力クロック  $I N$  が立ち下ると、 $T r 1$  がオフとなり、入力インバータの電流はほぼゼロとなる。このため、ノード  $N 3$  の電位は、電源電圧  $V D D 2$  まで上昇する。このとき、 $T r 3$ 、 $T r 5$  もオフとなる。ノード  $N 3$  が上昇すると、 $T r 2$  がオンとなり、 $T r 2$  を介して容量  $C 1$  に電圧  $V C 1$  がチャージされる。この容量  $C 1$  がチャージされると、 $T r 4$  がオンとなり、容量  $C 1$  が電圧  $V C 1$  を保持したまま  $T r 4$  を介して負荷に電流が供給される。その結果、ノード  $N 5$  は  $V D D 2 + V C 1$  まで上昇し、出力クロック  $I N B$  は  $T r 4$  の閾値電圧  $V t h$  の影響を受けることなく  $V D D 2$  まで上昇する。このとき、ノード  $N 5$  の電位が  $V D D 2$  より高くなるが、 $T r 2$  が逆バイアスとなるため、容量  $C 1$  の電荷が  $T r 2$  を介して漏れることはなく、容量  $C 1$  はチャージ電圧  $V C 1$  を保持することができる。以上の動作を繰り返すことで、振幅  $V D D 2$  の反転クロック  $I N B$  が得られる。

40

50

## 【 0 0 6 2 】

また、NMOSレベルシフト回路301は、実施例1, 2, 3の場合と同様に、図1に示すドライバLSI(209)が出力する制御クロックIN(入力クロックIN)と、インバータ回路の出力する反転クロックINBにより動作し、負荷の充放電を行う。すなわち、入力クロックINが立ち上がることにより、図10に示す出力OUTがVSSからVDDまで立ち上がり、また、反転クロックINBが立ち上がることにより、出力OUTがVDDからVSSまで立ち下がる。このように、NMOSレベルシフト回路301の出力波形は、差電圧VDD - VSSを振幅とする大きな振幅のクロック波形となる。

## 【実施例5】

## 【 0 0 6 3 】

本実施例では、大きな電源電圧VDDを供給したブートストラップ回路を用いて、レベルシフト機能を備えたインバータ回路を、ドライバLSI(209)が出力する制御クロックの振幅を大きくするためのレベルシフト回路として兼用することで、制御クロック線数の削減を図る。

## 【 0 0 6 4 】

図11は、本実施例のレベルシフト回路ブロック207の構成図である。図11において、レベルシフト回路ブロック207は、図1に示すゲート駆動回路206を動作させるのに必要な制御クロック数と同じ数だけ設けられた、レベルシフト機能を備えたインバータ回路1101から構成される。レベルシフト型インバータ回路1101には、図1に示す電源回路208が出力する電源電圧VDD、VSSが供給される。このレベルシフト型インバータ回路1101は、図1に示すドライバLSI(209)が出力する制御クロックを、振幅の大きな反転クロックに変換し、これをゲート駆動回路206に供給する。

## 【 0 0 6 5 】

なお、レベルシフト型インバータ回路1101を通過することで、制御クロックが反転されるため、ドライバLSI(209)の出力側にもインバータ回路を設け、予め反転されたクロックをレベルシフト型インバータ回路1101に入力して、制御クロックを反転せず、振幅の大きな制御クロックとすることができる。

## 【 0 0 6 6 】

図12は、本実施例のレベルシフト型インバータ回路1101の構成図である。図12において、レベルシフト型インバータ回路1101は、入力クロックINを反転し、大きな振幅に変換するインバータ回路1206と、容量素子C2を介して、図1に示すドライバLSI(209)との接続を行うDCレベル変換回路1207とから構成される。レベルシフト型インバータ回路1206は、高抵抗負荷R、トランジスタTr1からなる入力インバータと、トランジスタTr2、Tr3からなる中間バッファと、トランジスタTr4、Tr5、ブートストラップ容量C1からなる出力バッファで構成される。DCレベル変換回路1207は、トランジスタTr6、DCカット容量C2にて構成される。これらの回路には、図1に示す電源回路208が出力する電源電圧VDDとVSSが供給される。

## 【 0 0 6 7 】

図12において、入力クロックINが立ち下がったとき、容量C2を介してノードN2の電位が低下し、ノードN3、N5の電位が上昇し、ブートストラップ容量C1に電圧VC1がチャージされる。容量C1がチャージされると、チャージ電圧VC1によりTr4がオンとなり、容量C1がチャージ電圧VC1を保持したまま、Tr4を介して負荷に電流が供給される。その結果、ノードN5はVDD + VC1まで上昇し、出力クロックOUTは、Tr4のVthによる出力電圧低下を生じることなく、VDDまで上昇する。一方、入力クロックINが立ち上がった場合には、容量C2を介してノードN2の電位が上昇し、Tr1、Tr3、Tr5がオンとなり、出力クロックOUTはVSSまで低下する。このような動作を繰り返すことで、図1に示すドライバLSI(209)が出力する振幅VDD2の制御クロックを、ゲート線の駆動に必要な、差電圧VDD - VSSを振幅とする大きな振幅の反転クロックに変換して出力することができる。

10

20

30

40

50

## 【 0 0 6 8 】

図 1 に示すドライバ L S I ( 2 0 9 ) は通常、 G N D レベルを基準に動作するのに対し、インバータ回路 1 2 0 6 は負電圧 V S S を基準に動作する。そこで、基準となる D C レベルの相違により不具合が発生することを防ぐため、 D C カット容量 C 2 を介してこれらの回路を接続している。また、ノード N 2 の電位が不安定になることを防ぐため、トランジスタ T r 6 を設け、入力クロック I N がロウレベルとなったとき、ノード N 3 に生じる電圧 V D D により T r 6 をオンし、 T r 5 をオンして、ノード N 5 の電位が確実に V S S まで低下するようにしている。

## 【 0 0 6 9 】

図 1 2 では、ノード N 3 の電圧を用いて T r 6 のゲートを制御する場合を示したが、 T r 6 のゲートには入力クロック I N の反転クロックを供給すればよいので、 T r 6 のゲートをノード N 5、または、出力クロック O U T に接続する構成も可能である。

10

## 【 0 0 7 0 】

図 1 2 において、第 1 のトランジスタ T r 1 の第 1 の端子が第 1 のノード N 1 に接続され、ゲート端子が第 2 のノード N 2 に接続され、第 2 の端子が第 3 のノード N 3 に接続される。また、第 2 のトランジスタ T r 2 の第 1 の端子が第 5 のノード N 5 に接続され、ゲート端子が第 3 のノード N 3 に接続され、第 2 の端子が第 6 のノード N 6 に接続される。また、第 3 のトランジスタ T r 3 の第 1 の端子が第 1 のノード N 1 に接続され、ゲート端子が第 2 のノード N 2 に接続され、第 2 の端子が第 5 のノード N 5 に接続される。また、第 4 のトランジスタ T r 4 の第 1 の端子が第 7 のノード N 7 に接続され、ゲート端子が第 5 のノード N 5 に接続され、第 2 の端子が第 8 のノード N 8 に接続される。また、第 5 のトランジスタ T r 5 の第 1 の端子が第 1 のノード N 1 に接続され、ゲート端子が第 2 のノード N 2 に接続され、第 2 の端子が第 7 のノード N 7 に接続される。

20

## 【 0 0 7 1 】

さらに、高抵抗素子 R の第 1 の端子が第 4 のノード N 4 に接続され、第 2 の端子が第 3 のノード N 3 に接続される。また、第 1 の容量素子 C 1 の第 1 の端子が第 7 のノード N 7 に接続され、第 2 の端子が第 5 のノード N 5 に接続され、第 2 の容量素子 C 2 の第 1 の端子が第 9 のノード N 9 に接続され、第 2 の端子が第 2 のノード N 2 に接続される。

## 【 0 0 7 2 】

また、第 6 のトランジスタ T r 6 の第 1 の端子が第 1 のノード N 1 に接続され、ゲート端子が第 3 のノード N 3 又は第 5 のノード N 5 又は第 7 のノード N 7 に接続され、第 2 の端子が第 2 のノード N 2 に接続される。

30

## 【 0 0 7 3 】

さらに、第 4 のノード N 4 に第 1 の電源電圧 V D D が供給され、第 6 のノード N 6 に第 2 の電源電圧 V D D が供給され、第 8 のノード N 8 に第 3 の電源電圧が供給され、第 1 のノード N 1 に第 4 の電源電圧 V S S が供給される。このようにして、第 9 のノード N 9 に入力クロック I N が入力され、第 7 のノード N 7 から反転された出力クロック O U T が出力される。

## 【 0 0 7 4 】

図 1 3 は、レベルシフト型インバータ回路 1 1 0 1 の入出力波形を示す図である。ここで、図 1 に示すドライバ L S I ( 2 0 9 ) は、ハイレベルが V D D 2、ロウレベルが G N D となる振幅 V D D 2 の制御クロックを出力し、これをレベルシフト型インバータ回路 1 1 0 1 の入力クロック I N として供給する。

40

## 【 0 0 7 5 】

図 1 3 において、まず、時刻 t 1 で入力クロック I N が立ち上がると、 D C カット容量 C 2 を介してノード N 2 の電位が立ち上がる。ノード N 2 の電位が立ち上がると、 T r 1 がオンとなり、高抵抗負荷 R を介して入力インバータに電流が流れる。その結果、ノード N 3 の電圧は、ほぼ V S S まで低下し、 T r 2 がオフとなる。一方、 T r 3、 T r 5 はオンとなり、ノード N 5 と出力クロック O U T は、ほぼ V S S まで低下する。

## 【 0 0 7 6 】

50

次に、時刻  $t_2$  で入力クロック  $IN$  が立ち下がると、DCカッタ容量  $C_2$  を介してノード  $N_2$  の電位が立ち下がる。ノード  $N_2$  の電位が立ち下がる、 $Tr_1$  がオフとなり、入力インバータの電流はほぼゼロとなる。このため、ノード  $N_3$  の電位は、電源電圧  $V_{DD}$  まで上昇する。このとき、 $Tr_6$  がオンとなり、ノード  $N_3$  の電位は  $V_{SS}$  まで低下する。また、 $Tr_3$ 、 $Tr_5$  もオフとなる。ノード  $N_3$  が上昇すると、 $Tr_2$  がオンとなり、 $Tr_2$  を介して容量  $C_1$  に電圧  $V_{C1}$  がチャージされる。容量  $C_1$  がチャージされると、 $Tr_4$  がオンとなり、容量  $C_1$  が電圧  $V_{C1}$  を保持したまま  $Tr_4$  を介して負荷に電流が供給される。その結果、ノード  $N_5$  は  $V_{DD} + V_{C1}$  まで上昇し、出力クロック  $OUT$  は  $Tr_4$  の閾値電圧  $V_{th}$  の影響を受けることなく  $V_{DD}$  まで上昇する。このとき、ノード  $N_5$  の電位が  $V_{DD}$  より高くなるが、 $Tr_2$  が逆バイアスとなるため、容量  $C_1$  の電荷が  $Tr_2$  を介して漏れることはなく、容量  $C_1$  はチャージ電圧  $V_{C1}$  を保持することができる。以上の動作を繰り返すことで、差電圧  $V_{DD} - V_{SS}$  を振幅とする大きな振幅の反転クロック  $OUT$  が得られる。

10

## 【図面の簡単な説明】

【0077】

【図1】本発明に係る表示装置の構成図

【図2】図1に示すレベルシフト回路ブロック207の構成図

【図3】図2に示すインバータ回路302の構成図

【図4】図3に示すインバータ回路302の入出力波形図

【図5】図2に示すインバータ回路302の別の構成図

20

【図6】図5に示すインバータ回路302の入出力波形図

【図7】図1に示すレベルシフト回路ブロック207の別の構成図

【図8】図1に示すレベルシフト回路ブロック207の別の構成図

【図9】図8に示すインバータ回路801の構成図

【図10】図9に示すインバータ回路801の入出力波形図

【図11】図1に示すレベルシフト回路ブロック207の別の構成図

【図12】図11に示すレベルシフト型インバータ回路1101の構成図

【図13】図12に示すレベルシフト型インバータ回路1101の波形図

## 【符号の説明】

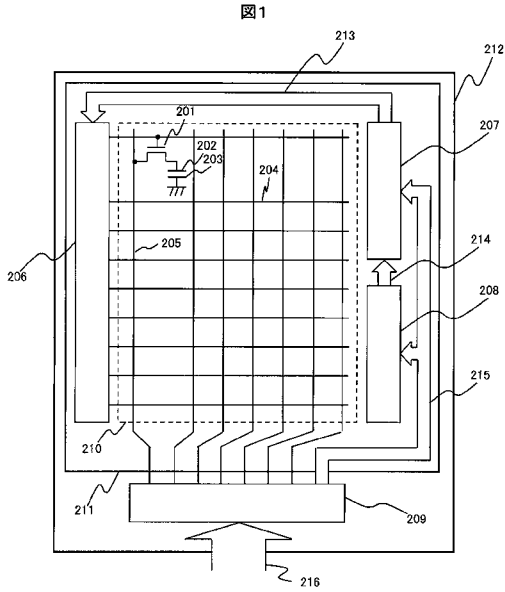
【0078】

30

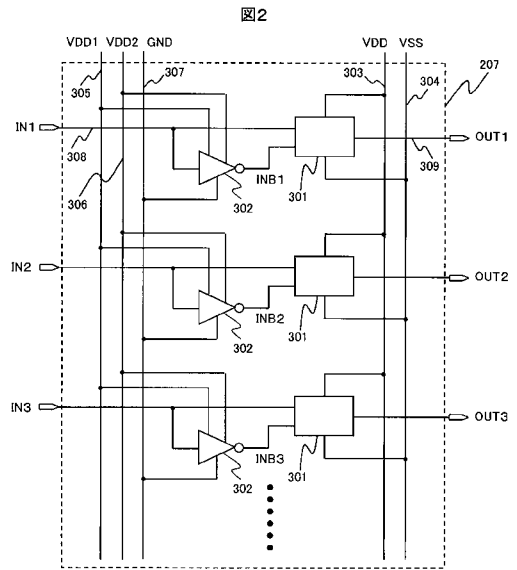
101...トランジスタ、102...高抵抗負荷、103... $V_{DD1}$ 、104... $V_{DD2}$ 、105...接地端子(GND)、106...入力端子、107...出力端子、201...スイッチング素子(TFT)、202...画素電極、203...対向電極、204...ゲート線、205...ドレイン線、206...ゲート駆動回路、207...レベルシフト回路ブロック、208...電源回路、209...ドライバLSI、210...表示領域、211...パネル、212...絶縁基板、213...制御クロック、214...各種電源電圧、215...制御クロック、216...制御信号、301...レベルシフト回路、302...インバータ回路、303... $V_{DD}$ 、304... $V_{SS}$ 、305... $V_{DD1}$ 、306... $V_{DD2}$ 、307...接地端子(GND)、308...入力端子、309...出力端子、801...インバータ回路、1101...レベルシフト型インバータ回路、1206...インバータ回路、1207...DCレベル変換回路

40

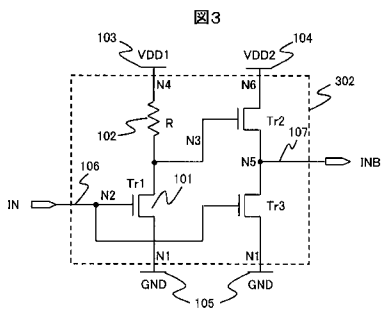
【 図 1 】



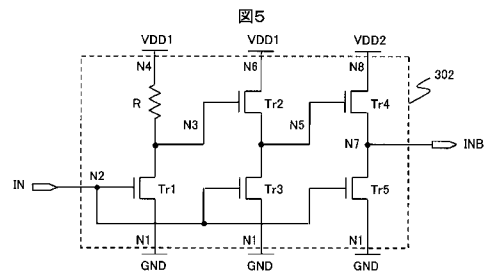
【 図 2 】



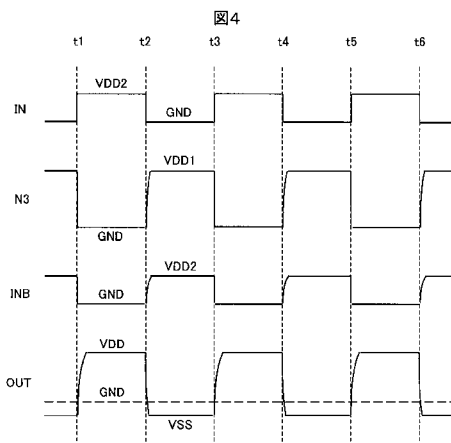
【 図 3 】



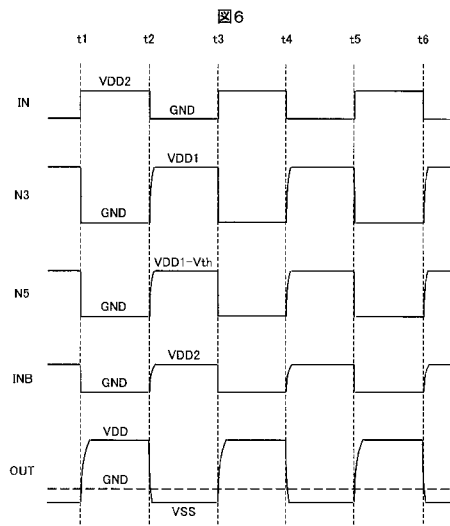
【 図 5 】



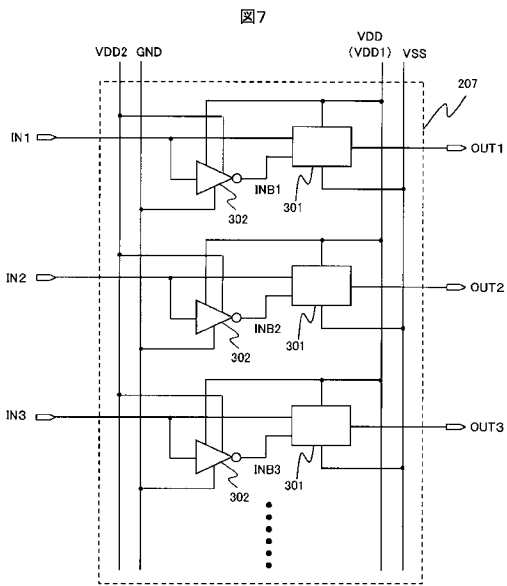
【 図 4 】



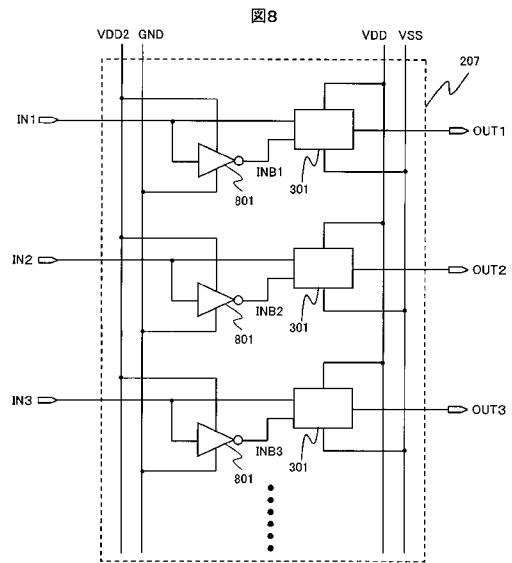
【 図 6 】



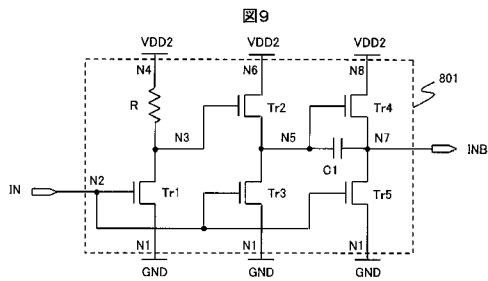
【 図 7 】



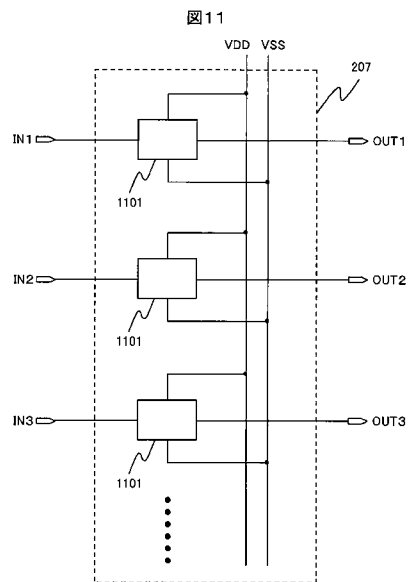
【 図 8 】



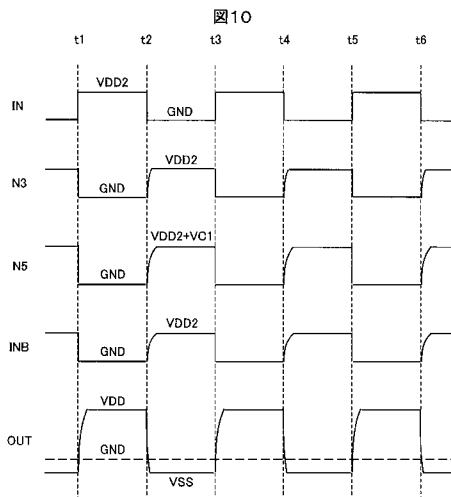
【 図 9 】



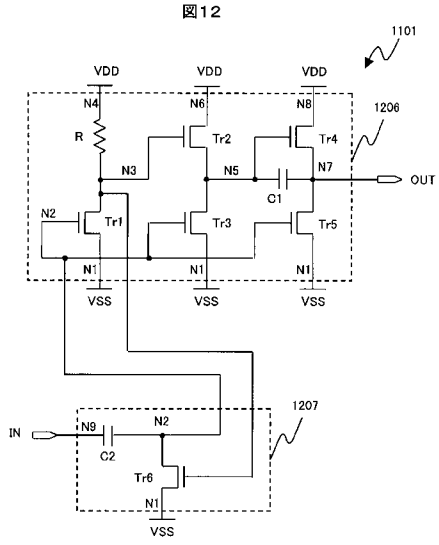
【 図 1 1 】



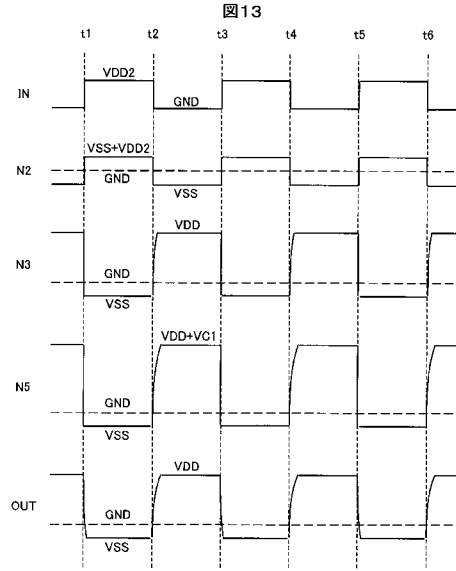
【 図 1 0 】



【 12 】



【 13 】



## フロントページの続き

- (72)発明者 梶原 久芳  
神奈川県横浜市戸塚区吉田町292番地  
ステム基盤研究所内 株式会社 日立製作所 組込みシ
- (72)発明者 萬場 則夫  
神奈川県横浜市戸塚区吉田町292番地  
ステム基盤研究所内 株式会社 日立製作所 組込みシ
- (72)発明者 宮沢 敏夫  
千葉県茂原市早野3300番地 株式会社 日立ディスプレイズ内
- (72)発明者 槇 正博  
千葉県茂原市早野3300番地 株式会社 日立ディスプレイズ内

審査官 西島 篤宏

- (56)参考文献 特開2002-328643(JP,A)  
特開2003-179479(JP,A)  
特開平05-224629(JP,A)

## (58)調査した分野(Int.Cl., DB名)

G09G 3/00 - 3/38  
G02F 1/133  
H03K 19/00

专利名称(译)	表示装置		
公开(公告)号	<a href="#">JP5057828B2</a>	公开(公告)日	2012-10-24
申请号	JP2007106938	申请日	2007-04-16
[标]申请(专利权)人(译)	株式会社日立制作所		
申请(专利权)人(译)	日立显示器有限公司		
当前申请(专利权)人(译)	有限公司日本东显示器 松下液晶显示器有限公司		
[标]发明人	梶原久芳 萬場則夫 宮沢敏夫 模正博		
发明人	梶原 久芳 萬場 則夫 宮沢 敏夫 模 正博		
IPC分类号	G09G3/20 G02F1/133 G09G3/36		
CPC分类号	G09G3/3696 G09G2300/0408 G09G2310/0289		
FI分类号	G09G3/20.623.B G02F1/133.550 G09G3/36 G09G3/20.611.A G09G3/20.611.H G11C19/00 G11C19/00.J		
F-TERM分类号	2H093/NA16 2H093/NA43 2H093/NA53 2H093/NC05 2H093/NC11 2H093/NC34 2H093/ND32 2H093/ND39 2H093/ND49 2H193/ZA04 2H193/ZD23 5B074/AA10 5B074/CA01 5C006/AA16 5C006/BB16 5C006/BF27 5C006/FA14 5C006/FA47 5C080/AA10 5C080/BB05 5C080/DD26 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04		
代理人(译)	小野寺杨枝		
其他公开文献	JP2008268261A		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

要解决的问题：通过使用对晶体管的阈值电压和导通电阻的制造变化具有小的影响的逆变器电路来提供具有内置驱动电路的液晶显示装置，其具有少量控制时钟线，快速上升和跌倒，并有很小的电流消耗。解决方案：逆变器电路302由使用高阻负载R的输入反相器Tr1和通过串联连接两个晶体管Tr2和Tr3形成的输出缓冲器组成。提供满足不等式 $VDD1 > VDD2 + V_{th}$ 的源电压，其中VDD1是输入反相器的源电压，VDD2是输出缓冲器的源电压，Vth是晶体管的阈值电压。使用高阻负载R使得电压快速上升和下降并且电流消耗减少。Z

【图 4】

