

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3638123号

(P3638123)

(45) 発行日 平成17年4月13日(2005.4.13)

(24) 登録日 平成17年1月21日(2005.1.21)

(51) Int. Cl. 7

F I

G09F 9/00

G09F 9/00 348L

G02F 1/133

G02F 1/133 550

G02F 1/1345

G02F 1/1345

G09G 3/20

G09G 3/20 621M

G09G 3/36

G09G 3/20 680G

請求項の数 7 (全 19 頁) 最終頁に続く

(21) 出願番号 特願2000-329592 (P2000-329592)
 (22) 出願日 平成12年10月27日(2000.10.27)
 (65) 公開番号 特開2002-132180 (P2002-132180A)
 (43) 公開日 平成14年5月9日(2002.5.9)
 審査請求日 平成15年1月31日(2003.1.31)

(73) 特許権者 000005049
 シャープ株式会社
 大阪府大阪市阿倍野区長池町22番22号
 (74) 代理人 100080034
 弁理士 原 謙三
 (72) 発明者 田中 茂樹
 大阪府大阪市阿倍野区長池町22番22号
 シャープ株式会社内
 (72) 発明者 小川 嘉規
 大阪府大阪市阿倍野区長池町22番22号
 シャープ株式会社内

審査官 加藤 隆夫

最終頁に続く

(54) 【発明の名称】 表示モジュール

(57) 【特許請求の範囲】

【請求項1】

列方向の駆動信号と行方向の駆動信号とにより駆動される表示素子と、
 前記列方向の駆動信号を供給する複数のソースドライバと、
 前記行方向の駆動信号を供給する複数のゲートドライバと、
 前記複数のソースドライバをそれぞれ搭載する複数の第1の配線基板と、
 前記複数のゲートドライバをそれぞれ搭載する複数の第2の配線基板と、
 前記複数のソースドライバおよび前記複数のゲートドライバを制御する制御装置とを備え、

前記複数のソースドライバおよび前記複数のゲートドライバは、ソースドライバ同士およびゲートドライバ同士が順次つながる状態に縦続接続され、

前記制御装置は、ソースドライバの前記縦続接続における先頭に位置するソースドライバと共に同一の配線基板に搭載され、ソースドライバの並び方向と平行な方向に並んで配置されていることを特徴とする表示モジュール。

【請求項2】

第1および第2の配線基板は配線を有する絶縁性フィルムからなることを特徴とする請求項1に記載の表示モジュール。

【請求項3】

前記制御装置と、前記先頭に位置するソースドライバとは、樹脂層により絶縁性のベーステープに固定されていることを特徴とする請求項1に記載の表示モジュール。

10

20

【請求項 4】

前記制御装置と、前記先頭に位置するソースドライバとは、一つのTCPとして複合化されていることを特徴とする請求項 3 に記載の表示モジュール。

【請求項 5】

前記制御装置が搭載されている配線基板への外部装置からの入力信号は、同期信号と表示データと基準電圧生成用電圧であり、前記制御装置が搭載されている配線基板からの出力信号は、表示素子を駆動する駆動電圧と、縦続接続された次段のソースドライバへの制御信号および出力データであることを特徴とする請求項 1 から 4 の何れか 1 項に記載の表示モジュール。

【請求項 6】

第 1 および第 2 の配線基板は、前記表示素子の周縁部に形成された額縁領域に設けられていることを特徴とする請求項 1 から 5 の何れか 1 項に記載の表示モジュール。

【請求項 7】

前記表示モジュールは液晶表示モジュールであることを特徴とする請求項 1 から 6 の何れか 1 項に記載の表示モジュール。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、例えば液晶表示モジュールに適用可能な表示モジュールに関するものである。

【0002】

【従来の技術】

この種の従来の表示モジュールとしては、TFT (Thin Film Transistor) 液晶表示モジュールが知られている。その構成を図 13 に基づいて説明する。なお、モジュール (Module) とは、それらを組み合わせるだけで、例えばテレビやパーソナルコンピュータなどの大きなシステムを作り上げるための必要条件を満たしている独立単位を指す。

【0003】

図 13 に示すように、従来の TFT 液晶モジュール 101 は、コントローラ 102、ゲート電極駆動回路 103、ソース電極駆動回路 104 および液晶パネル 105 から構成されている。コントローラ 102 は液晶駆動電源回路 106 を備え、ゲート電極駆動回路 103 はゲートドライバ GD1 ~ GDm からなるゲートドライバ群を有し、ソース電極駆動回路 104 はソースドライバ SD1 ~ SDn からなるソースドライバ群を有している。

【0004】

コントローラ 102 は、外部装置 (ホストシステム) から供給される同期信号 (垂直同期信号、水平同期信号) を基準として、ゲート電極駆動回路 103 での走査パルスの発生、並びにソース電極駆動回路 104 での Nbit 表示データ信号および駆動制御信号のタイミング制御を行なう。

【0005】

コントローラ 102 の液晶駆動電源回路 106 は、外部からの電源を受けて、ゲート電極駆動回路 103、ソース電極駆動回路 104 および液晶パネル 105 の共通電極 (共通電極) に各種電源供給を行う。

【0006】

ゲート電極駆動回路 103 の各ゲートドライバ GD1 ~ GDm は、液晶パネル 105 の図 6 に示す水平方向のゲートバスライン Bg を駆動する多出力数のドライバである。ゲートドライバ GD1 ~ GDm は LSI チップからなり、これら各 LSI チップは、それらの各入出力端子と他の構成部品の電極とを接続するため、TCP (Tape Carrier Package) 形態となっている。即ち、ゲートドライバ GD1 ~ GDm は、絶縁フィルム上に微細間隔でレイアウトされた銅箔配線を有するテープキャリアと呼ばれるフィルム上に搭載され、その LSI チップの固定と防湿とを目的とした樹脂により封止されている。

【0007】

10

20

30

40

50

各ソースドライバSD1～SDnは、液晶パネル105の図6に示す垂直方向のソースバスラインBsを駆動する多出力数のドライバである。ソースドライバSD1～SDnは、同様に、LSIチップの各入出力端子と他の構成部品の電極とを接続するため、TCP形態となっている。

【0008】

次に、上記従来の液晶表示モジュールの具体的な実装形態について説明する。図14に示す液晶表示モジュールは、縦続接続された2個のゲートドライバGD1、GD2および8個のソースドライバSD1～SD8を有する。これらソースドライバSD1～SD8およびゲートドライバGD1、GD2は各々LSIチップからなる。

【0009】

ゲートドライバGD1、GD2はこれらに共通の共通配線基板111に設けられ、同様に、ソースドライバSD1～SD8はこれらに共通の共通配線基板112に設けられている。これら共通配線基板111および112は、ゲートドライバGD1、GD2、およびソースドライバSD1～SD8に共通信号や電源を供給するためのものである。また、コントローラ102は、これら共通配線基板111、112とは別のコントローラ基板113に設けられている。なお、114は配線を有したTCP形態フィルムであり、115はコントローラ基板113と共通配線基板111、112との配線を接続するフレキシブル基板である。

【0010】

TCP形態フィルム114上の配線と液晶パネル105のITO配線とは液晶パネル105の額縁部105aにおいて、ACF(Anisotropic Conductive Film:異方性導電膜)を介して熱圧着により接続されている。一方、TCP形態フィルム114上の配線と共通配線基板111、112との電氣的接続や、コントローラ基板113と共通配線基板111、112との電氣的接続は半田もしくはACFにて行われている。なお、共通配線基板111、112やコントローラ基板113は、例えば多層ガラスエポキシ基板からなる。

【0011】

次に、他の液晶表示モジュールを図15に示す。この液晶表示モジュールでは、LSIチップにおける内部配線を用いることにより、前記共通配線基板111、112を排除している。この液晶表示モジュールは、本出願人らの出願による特開平6-3684号公報に開示されているものである。ここでは、ゲートドライバGD1、GD2およびソースドライバSD1～SD8をそれぞれ異なるTCP形態フィルム114に搭載し、互いに隣接するTCP形態フィルム114同士の電氣的接続を、TCP形態フィルム114同士の配線端を重ね合わせることで実現している。

【0012】

この例においても、コントローラ102は、ガラス、エポキシ基板あるいはフレキシブル基板からなる独立したコントローラ基板116上に設けられている。そして、コントローラ102は、フレキシブル基板を介して、ACFや半田によりゲートドライバGDやソースドライバSDと接続されている。

【0013】

なお、隣接するTCP形態フィルム114同士を電氣的に接続する構成の他の例としては、本願出願人らの出願による特開2000-242240号に開示されているものがある。ここでは、上記接続を、配線のみを有する別途設けたフィルム基板か、もしくは液晶パネル105上に設けた接続用ITO配線を用いて、ACFあるいは半田を介して行っている。

【0014】

【発明が解決しようとする課題】

しかしながら、近年、液晶表示モジュールに対する市場からの低価格化および小型化への要求は益々厳しさを増しており、これらについてさらなる検討が必要となっている。このため、液晶表示モジュールのトータルコストの低減並びに小型化を図るべく、特に信号

10

20

30

40

50

のやり取りの多いコントローラも含めた表示用駆動装置全体についての可及的な部品点数の削減、必要配線の削減、および軽量化が強く求められている。

【 0 0 1 5 】

本発明は、上記の課題に鑑みなされたものであって、部品点数を削減して小型化および軽量化を可能とし、かつコストを低減できる表示モジュールの提供を目的としている。

【 0 0 1 6 】

【課題を解決するための手段】

上記の課題を解決するために、本発明の表示モジュールは、列方向の駆動信号と行方向の駆動信号とにより駆動される表示素子と、前記列方向の駆動信号を供給する複数のソースドライバと、前記行方向の駆動信号を供給する複数のゲートドライバと、前記複数のソースドライバをそれぞれ搭載する複数の第1の配線基板と、前記複数のゲートドライバをそれぞれ搭載する複数の第2の配線基板と、前記複数のソースドライバおよび前記複数のゲートドライバを制御する制御装置とを備え、前記複数のソースドライバおよび前記複数のゲートドライバは、ソースドライバ同士およびゲートドライバ同士が順次つながる状態に縦続接続され、前記制御装置は、ソースドライバの前記縦続接続における先頭に位置するソースドライバと共に同一の配線基板に搭載され、ソースドライバの並び方向と平行な方向に並んで配置されていることを特徴としている。

10

【 0 0 1 7 】

上記の構成によれば、ソースドライバおよびゲートドライバを制御する制御装置が、第1の配線基板にソースドライバと共に搭載されている。したがって、制御装置のみを搭載するための配線基板が不要となり、部品点数の削減とコストの低減を図り得る。さらに、制御装置搭載専用の上記配線基板を設けるためのスペースが不要となり、小型化が可能となる。

20

【 0 0 1 8 】

上記の表示モジュールは、第1および第2の配線基板が、配線を有する絶縁性フィルムからなる構成としてもよい。

【 0 0 1 9 】

上記の構成によれば、駆動装置を搭載する配線基板として配線を有する絶縁性フィルム、例えばTCP (Tape Carrier Package) 形態フィルムを使用する表示モジュールに適用可能である。

30

【 0 0 2 0 】

上記の表示モジュールは、ソースドライバおよびゲートドライバがそれぞれ複数個設けられ、ソースドライバおよびゲートドライバがそれぞれ異なる第1および第2の配線基板に搭載され、複数のソースドライバおよび複数のゲートドライバが、ソースドライバ同士およびゲートドライバ同士が順次つながる状態に縦続接続され、前記制御装置はソースドライバの前記縦続接続における先頭に位置するソースドライバと共に同一の配線基板に搭載されている構成としてもよい。

【 0 0 2 1 】

上記の構成によれば、制御装置はソースドライバの縦続接続における先頭に位置するソースドライバと共に同一の配線基板に搭載されているので、制御装置から、縦続接続されている各ソースドライバに対して制御信号、例えばソースドライバのスタートパルス信号等を転送し易くなる。

40

【 0 0 2 2 】

即ち、制御装置とゲートドライバおよびソースドライバとの間の信号線数(信号の送受信数)は、制御装置 - ゲートドライバ間よりも、制御装置 - ソースドライバ間の方が多くなっている。したがって、制御装置がソースドライバを搭載する配線基板に搭載されている方が、配線領域をコンパクトにまとめることができる。

【 0 0 2 3 】

また、制御装置がソースドライバを搭載する配線基板に搭載されている構成により、周波数の高いクロック信号SCKやR, G, Bの各ビット線の引き回しが短くなるので、信

50

号波形のなまりや飛び込みノイズを低減することができる。また、配線容量への充放電も低減されるため、出力段のバッファ回路に必要な駆動能力を低減でき、バッファ回路面積の縮小や消費電流の低減も期待できる。

【0024】

上記の表示モジュールは、前記制御装置が搭載されている配線基板への外部装置からの入力信号が、同期信号と表示データと基準電圧生成用電圧であり、前記制御装置が搭載されている配線基板からの出力信号が、表示素子を駆動する駆動電圧と、縦続接続された次段のソースドライバへの制御信号および出力データである構成としてもよい。

【0025】

上記の表示モジュールは、第1および第2の配線基板が、前記表示素子の周縁部に形成された額縁領域に設けられている構成としてもよい。

10

【0026】

上記の表示モジュールは、前記表示モジュールが液晶表示モジュールである構成としてもよい。

【0027】

【発明の実施の形態】

本発明の実施の一形態を図1ないし図12に基づいて以下に説明する。

本実施の形態の表示モジュールは、図1に示すTFT液晶表示モジュール1として構成されている。TFT液晶表示モジュール1は、コントローラ回路(制御装置)2、ゲート電極駆動回路3、ソース電極駆動回路4および液晶パネル5を備えている。ゲート電極駆動回路3は、順次つながる状態に縦続接続されたゲートドライバ(第2の駆動装置)GD1、GD2からなるゲートドライバ群を有し、ソース電極駆動回路4は、順次つながる状態に縦続接続されたソースドライバ(第1の駆動装置)SD1~SD8からなるソースドライバ群を有している。

20

【0028】

コントローラ回路2は、外部装置(ホストシステム)から入力される(垂直同期信号、水平同期信号)を基準として、ゲート電極駆動回路3での走査パルスの発生、並びにソース電極駆動回路4でのNbit表示データ信号および駆動制御信号のタイミング制御を行なう。ゲート電極駆動回路3の各ゲートドライバGD1、GD2は、液晶パネル5の図6に示す水平方向(行方向)のゲートバスラインBgを駆動する多出力数のドライバである。ソース電極駆動回路4の各ソースドライバSD1~SD8は、液晶パネル5の垂直方向(列方向)のソースバスラインBsを駆動する多出力数のドライバである。

30

【0029】

ゲートドライバGD1、GD2およびソースドライバSD1~SD8はLSIチップからなる。ゲートドライバGDのLSIチップは、先述のように、絶縁性のTCP(Tape Carrier Package)形態フィルム(第2の配線基板)11上に搭載され、TCP形態となっている。同様に、ソースドライバSDのLSIチップは、TCP形態フィルム(第1の配線基板)12上に搭載され、TCP形態となっている。

【0030】

ゲート電極駆動回路3およびソース電極駆動回路4は、液晶パネル5の額縁部5aに設けられている。この額縁部5aは、液晶パネル5の周縁部における隣り合う縦横の辺に沿って形成されている。上記額縁部5aにおいて、ゲートドライバGD1、GD2およびソースドライバSD1~SD8は、ACF(Anisotropic Conductive Film:異方性導電膜)を介して額縁部5aのITO(Indium Tin Oxide:インジウムすず酸化膜)端子に熱圧着により接続され固定されている。

40

【0031】

コントローラ回路2は、図2に示すように、各種入出力端子を備えるとともに液晶駆動電源回路6を備える。コントローラ回路2には、外部装置(ホストシステム)から、液晶パネル5を駆動するのに必要な同期信号(垂直同期信号、水平同期信号)、デジタル表示データ、および各種電圧発生のための電圧が供給される。そしてコントローラ回路2は、

50

各種制御信号、即ちソースドライバSD用のスタートパルス信号SSPI、クロック信号SCK、ラッチ信号LSを出力するとともに、ゲートドライバGD用のスタートパルス信号GSP Iおよびクロック信号GCKを出力する。さらに、コントローラ回路2は、ソースドライバSDへ、転送タイミングを制御したデジタル表示データDATA・RGB(RGBの各6ビットデータ)を出力する。また、コントローラ回路2には、縦続接続における最終段のソースドライバSD8からスタートパルス出力信号SSPOが入力される。さらに、コントローラ回路2の液晶駆動電源回路6は、ゲートドライバGD1、GD2に対してVDD、Vcc、GNDを供給し、ソースドライバSD1~SD8に対してVcc、GNDおよび階調表示用基準電圧Vref1~Vref9を供給し、液晶パネル5の共通電極33に対してコモン電極用電圧を供給する。

10

【0032】

上記コントローラ回路2(コントローラLSIチップ)は、図1に示したTCP形態フィルム12のうち、先頭のソースドライバSD1を搭載するTCP形態フィルム12aに、ソースドライバSD1と共に搭載されている。したがって、TCP形態フィルム12aにおいては複合TCP化されている。

【0033】

コントローラ回路2、即ちTCP形態フィルム12aへの入力端子13は、額縁部5aにおける端縁部に形成されている。この入力端子13への入力信号は、外部装置(ホストシステム)からの同期信号(垂直同期信号、水平同期信号)、表示データおよび外部電源からの外部供給電圧である。

20

【0034】

これらの入力に応じてコントローラ回路2は、液晶パネル5に対して駆動電圧出力信号(例えば、X1~128、Y1~128、Z1~128)を出力する。また、次段のソースドライバSD2に対して制御信号、表示データDATA・RGB、電源電圧、基準電圧を出力する。さらに、ゲートドライバGD1に対して制御信号および電源電圧を出力する。

【0035】

上記の構成により、本表示モジュールでは、液晶駆動電源回路6を内蔵したコントローラ回路2、ゲート電極駆動回路3およびソース電極駆動回路4が液晶パネル5の額縁部5aに全て実装されたことになる。

30

【0036】

次に、上記のTCP形態フィルム12aにおけるコントローラ回路2とソースドライバSD1との搭載例について説明する。

図3の例では、コントローラ回路2とソースドライバSD1とが、左右方向、即ちソースドライバSD1~SD8の並び方向と平行な方向に並んで配置されている。したがって、TCP形態フィルム12aは横方向に長細い形状となる。

【0037】

一般にソースドライバSD1は、液晶パネル5のITO端子と接続される駆動用出力端子が多端子であるため、細長い形状を有している。したがって、上記のような形態を採ることにより、TCP形態フィルム12aに必要な幅W(額縁部5aの幅寸法)が狭くなり、液晶パネル5の額縁部5aが狭い場合であっても、コントローラ回路2とソースドライバSD1を搭載可能となる。

40

【0038】

さらに、図3に示した形態の構造を図3におけるA-A線矢視断面図である図4により示す。同図の構造では、コントローラ回路2(コントローラLSIチップ)とソースドライバSD1とが樹脂層21により絶縁性のベーステープ22に固定されている。さらに上記両者は、樹脂層21にて封止されることにより保護されている。また、配線パターン23はソルダーレジスト膜25により被膜され、保護されている。ベーステープ22に設けられたデバイスホール26内には、配線パターン23のインナーリード部24が張り出している。そして、コントローラ回路2とソースドライバSD1とは、これらのチップの電

50

極に形成されたAuバンプ27と上記インナーリード部24とを介して電氣的に接続されている。これにより、コントローラ回路2とソースドライバSD1とが一つのTCPとして複合化されている。

【0039】

また、TCP形態フィルム12(12a)において、上記ベーステープ22の基材としては、例えば厚さ50 μ mのポリイミドフィルムが使用される。このポリイミドフィルム上に、接着層を介して、例えば厚さ18 μ m、最小配線幅30 μ mの電解銅箔が配線パターン23として積層されている。さらにその表面にはSnメッキが施されている。なお、接着層を用いることなく、ベーステープ22の基材の上に導体である電解銅箔のパターンが直接形成されていてもよい。

10

【0040】

また、TCP形態フィルム12aにおけるコントローラ回路2とソースドライバSD1との搭載例としては、他に図5に示すものがある。この例では、コントローラ回路2とソースドライバSD1とが、ソースドライバSD1~SD8の並び方向とは直交する方向に並んで配置されている。したがって、TCP形態フィルム12aは図3の例と比較して、幅Wが広く、長さLが短い形状となる。これらのうち何れの形態を採用するかは、液晶パネル5への効率の良い実装を考慮して選択すればよい。なお、図5に示した形態のB-B線矢視断面は、ほぼ図3に示した形態と同様であり、図4に示すものとなる。

【0041】

液晶パネル5は、図6に示すように、TFT液晶パネルの等価回路で示される。液晶パネル5は、TFT31に接続された電極を表示電極32として、この表示電極32に対向する電極を共通電極(コモン電極)33とした複数の画素34で構成される。共通電極33は、全ドットに共通した電極となっている。なお、35は補助容量である。

20

【0042】

TFT31のゲート電極に正電圧(通常、ゲートドライバGD1、GD2より供給)を印加するとTFT31がオンとなる。そして、ソースドライバSD1~SD8に印加された電圧にて、表示電極32と共通電極33との間に形成された液晶負荷容量が充電される。

【0043】

ゲートドライバGD1、GD2に負電圧を印加するとTFT31がオフとなる。そして、この時点において印加されていた電圧が表示電極32と共通電極33との間に保持される。

30

【0044】

書き込みたい電圧(通常、ソースドライバSD1~SD8より供給)をソース電極に与えてゲート電圧を制御することにより、画素34には任意の電圧を保持させておくことができる。この保持電圧に応じて液晶の透過率を変化させることにより、階調を有する画像を表示させることができる。

【0045】

さらに、図7に示すように、透過率が変化した液晶36の背面側からバックライト光が照射され、液晶36を透過した光がカラーフィルタ37を透過することにより、カラー画像表示を行なうようになっている。

40

【0046】

次に、ゲート電極駆動回路3を構成するゲートドライバGD1、GD2について、図8を参照しながら以下に説明する。なお、各ゲートドライバGD1、GD2は、いずれの構成も同じであるので、図8においては、一つのゲートドライバLSIチップ41(例えばゲートドライバGD1)に構成される回路ブロック図を示している。

【0047】

ゲートドライバLSIチップ41は、シフトレジスタ回路42、レベルシフタ回路43および出力回路44から構成される。シフトレジスタ回路42は、垂直同期信号GSPを基に水平同期信号GCKに同期をとり、シフト動作を行って選択パルス(走査パルスに相

50

当)を出力する。この選択パルスにより、液晶パネル5において、ソース電極駆動回路4から出力された電圧により駆動されるべき画素が選択される。

【0048】

レベルシフト回路43は、上記選択パルスのレベルをTFT31のON/OFFに必要な電圧レベルに変換し、出力回路44に送る。出力回路44は、上記信号を、内蔵している出力回路44により増幅し、出力端子から出力する。この出力回路44からの出力1~kは、パルス状の信号であり、ゲートパルス(走査パルス)と称する。

【0049】

上記垂直同期信号GPS、水平同期信号GCKおよび出力1~kの信号タイミングを図9に示す。

10

【0050】

同図において、垂直同期信号、即ちゲートドライバ用スタートパルス信号GSP(図2のコントローラ回路のGSP端子から出力)は、ゲートドライバLSIチップ41(ゲートドライバGD1)のシフトレジスタ回路42の入力段に入力される。また、水平同期信号、即ちゲートドライバ用転送クロック信号GCK(図2のコントローラ回路のGCK端子から出力)は、シフトレジスタ回路42の転送クロックとして入力される。GCK信号は、転送クロックの立ち上がり同期を取り、シフトレジスタ回路42内を転送される。そして、シフトレジスタ回路42の各段からの出力がレベルシフトされバッファされて、図9に示すようにゲートドライバLSIチップ41の出力1~Kとして出力される。

【0051】

20

レベルシフト回路43の電源およびこの入出力信号は、電圧Vccと接地電圧GNDとの間で駆動される。レベルシフト回路43は入力信号(電圧Vccと接地電圧GNDレベル)を出力信号(電圧Vccと負電圧VDDレベル)にレベルをシフトさせる。ゲートドライバGD1内のシフトレジスタ回路42の最終段まで転送されたGCK信号は、GCKcmtとして、ゲートドライバGD1と縦続接続されている次段のゲートドライバGD2のGCK信号として入力され、先の場合と同様に転送され、かつ同様に処理される。以後、順次GCK信号は転送されることで、最後に縦続接続されているゲートドライバGD(ここではゲートドライバGD2)まで同様に処理される。

【0052】

なお、信号GSP、電源Vcc、VDDやGNDは、別途共通配線基板(図示せず)を介して、各ゲートドライバGDに並列に入力されるか、共通配線基板を排してLSI内部配線を使用してLSI入力端子LSI内部配線LSI出力端子TCP配線次段LSI入力端子と縦続接続されていても良い。

30

【0053】

次に、ソース電極駆動回路4を構成するソースドライバSD1~SD8について図10を参照しながら以下に説明する。なお、図10は、ソースドライバSD1~SD8のうち、その中の一つのソースドライバLSIチップ51(例えばソースドライバSD1)に構成される回路ブロック図を示している。

【0054】

上記ソースドライバLSIチップ51は、シフトレジスタ回路52、入力ラッチ回路53、サンプリングメモリ回路54、ホールドメモリ回路55、基準電圧発生回路56、DAコンバータ回路57および出力回路58から構成されている。

40

【0055】

上記シフトレジスタ回路52は、スタートパルス信号SPIをスタートパルスとする一方、コントローラ回路2のSCK端子から出力されるクロック信号SCK(基準信号)にて、上記スタートパルス信号SPIをシフトレジスタ回路52内においてシフトさせる。上記スタートパルス信号SPIは、コントローラ回路2(図2参照)の端子SSPIから出力されて、テープキャリア上に搭載されているソースドライバLSIチップ51のSPinに入力され、かつ表示データ信号DATA・RGB(各6ビット)の水平同期信号と同期を取ったものである。

50

【 0 0 5 6 】

シフトレジスタ回路 5 2 にてシフトされたスタートパルス入力信号 S P I は、シフトレジスタ回路 5 2 の最終段から、即ちソースドライバ L S I チップ 5 1 の端子 S P o u t から、スタートパルス出力信号 S P O として出力され、次のソースドライバ L S I チップ 5 1 の S P i n に入力される。以後、同様にして順次転送される。尚、最終段のソースドライバ S D 8 から出力される S P O 信号は、コントローラ回路 2 の S S P O 端子に入力される。

【 0 0 5 7 】

コントローラ回路 2 の各 R , G , B 端子から出力される表示データ信号 D A T A ・ R G B は各々 6 ビットで構成されている。この表示データ信号 D A T A ・ R G B は、クロック信号 / S C K (クロック S C K の反転信号) の立ち上がり同期を取り、コントローラ回路 2 からソースドライバ S D 1 の端子 R 1 - 6 i n 、端子 G 1 - 6 i n 、端子 B 1 - 6 i n にそれぞれシリアルに入力され、入力ラッチ回路 5 3 にて一時的にラッチされた後、サンプリングメモリ回路 5 4 へ送られる。

10

【 0 0 5 8 】

サンプリングメモリ回路 5 4 は、上記シフトレジスタ回路 5 2 の各段の出力信号によって時分割で送られてくる D A T A ・ R G B 各 6 ビット、計 1 8 ビットの表示データをサンプリングする。そして、この表示データをコントローラ回路 2 の L S 端子から出力されるラッチ信号 L S が入力するまで記憶する。

【 0 0 5 9 】

次に、これら表示データは、ホールドメモリ回路 5 5 に入力され、表示データ信号 D A T A ・ R G B の 1 水平同期期間のデータがホールドメモリ回路 5 5 に入力された時点で、ラッチ信号 L S にてラッチされる。

20

【 0 0 6 0 】

さらにホールドメモリ回路 5 5 は、次の水平同期期間のデータがサンプリング回路 5 4 に入力されて揃うまでの間、データを保持する。この間、これら表示データ信号は出力回路 5 8 を介して出力される。そして、ホールドメモリ回路 5 5 は、次のラッチ信号 L S が入力されると、サンプリングメモリ回路 5 4 から新たなデータを取り込みラッチする。

【 0 0 6 1 】

基準電圧発生回路 5 6 は、コントローラ回路 2 の液晶駆動電源回路 6 にて生成された基準電圧に基づき、階調表示に用いる 6 4 レベルの電圧を例えば抵抗分割により発生させる。上記基準電圧は、コントローラ回路 2 の端子 V r e f 1 - 9 から出力されてソースドライバ L S I チップ 5 1 の端子 V r e f 1 - 9 に入力されたものである。

30

【 0 0 6 2 】

D A コンバータ回路 5 7 は、R G B 各 6 ビットのデジタル表示データに応じて先の 6 4 レベルの電圧のうち、一つのアナログ信号を選択することにより変換する。そして、出力回路 5 8 は、6 4 レベルのうち、選択されたアナログ信号を増幅し、出力端子 X 0 1 - 1 2 8 、 Y 0 1 - 1 2 8 、 Z 0 1 - 1 2 8 (図 1 0 における j = 1 2 8 の端子に相当) から液晶パネル 5 の図示しない端子へ出力する。

【 0 0 6 3 】

上記出力端子 X 0 1 - 1 2 8 、 Y 0 1 - 1 2 8 、 Z 0 1 - 1 2 8 は、各々表示データ信号 R G B に対応するものであり、各々 1 2 8 端子となっている。また、ソースドライバ L S I チップ 5 1 の端子 V c c および端子 G N D は、ソースドライバ L S I チップ 5 1 に供給される電源用端子である。

40

【 0 0 6 4 】

以上が、6 4 階調表示のソースドライバ S D 1 ~ S D 8 についての構成と動作の説明である。主な信号のタイミングチャートを図 1 1 に示す。

【 0 0 6 5 】

なお、図 1 0 に示した信号 S C K 、 D A T A ・ R G B 、 L s 、 V r e f 、 V c c や G N D は、別途共通配線基板 (図示せず) を介して、各ソースドライバ S D 1 ~ S D 8 に並列

50

に入力されていてもよい。あるいは、共通配線基板を排し、L S I の内部配線、例えば A 1 配線を使用して L S I 入力端子 L S I 内部配線 L S I 出力端子 T C P 配線 次段 L S I 入力端子というように縦続接続されていても良い。後者の場合のソースドライバ L S I チップ 6 1 の構成を図 1 2 に示す。

【 0 0 6 6 】

上記のように、本実施の形態の T F T 液晶表示モジュール 1 では、従来別途設けられていたコントローラ基板が不要となる。これに伴い、コントローラ基板やフレキシブル基板等の基板類についての部品点数を削減でき、コストダウンを図ることができる。

【 0 0 6 7 】

また、高速信号である転送クロック S C K および表示データの配線引き回しが非常に短くなることから、液晶パネル 5 への飛び込み雑音の低減も可能となり、表示品位を向上することができる。

【 0 0 6 8 】

また、T F T 液晶表示モジュール 1 を駆動するための主たる手段であるコントローラ回路 2、ゲートドライバ G D、およびソースドライバ S D を液晶パネル 5 の額縁部 5 a に実装し固定できることから、T F T 液晶表示モジュール 1 をコンパクト化、薄型化および軽量化し、かつ一体化できる。これにより、T F T 液晶表示モジュール 1 は、信頼性が向上するとともに、システムに組み込む際の扱い易さが格段に改善され、汎用性が向上する。

【 0 0 6 9 】

上記のように、ソースドライバ L S I チップ 5 1 とコントローラ L S I チップ (コントローラ回路 2) とを 1 個の T P C (T C P 形態フィルム 1 2 a) に搭載し複合化することで、例えばコントローラ回路 2 に仕様変更が発生した場合には、コントローラ回路 2 (コントローラ L S I) と T C P パターンの設計変更のみで対応可能である。即ち、本願発明と同様の効果を得るためにコントローラ回路 2 とソースドライバ S D とを 1 チップ化した 1 チップ L S I を備えた場合と比較して、設計変更が容易であり、かつ安価に対応可能である。

【 0 0 7 0 】

さらに、隣接する T C P 形態フィルム 1 2 同士の電氣的接続、即ちソースドライバ S D 搭載の隣接する T C P 形態フィルム 1 2 同士の配線端を重ね合わせて接続する手法は、別途設けた配線のみフィルム基板か、もしくは液晶パネル 5 上に設けた接続用 I T O 配線を用いて A C F あるいは半田を介して行う場合であっても、この接続を問題なくかつ容易に実現できる。したがって、コントローラ回路 2 内蔵の T F T 液晶表示モジュール 1 を安価に提供することができる。

【 0 0 7 1 】

また、携帯用装置に使用される小型液晶パネルでは、コントローラ回路 2 とソースドライバ S D を搭載した複合 T C P (T C P 形態フィルム 1 2 a) の 1 個とゲートドライバを搭載した T C P (T C P 形態フィルム 1 1) の 1 個とを液晶パネル 5 に実装するだけで簡単にコントローラ回路内蔵の液晶表示モジュールを構成することができる。また、電源線や基準電圧等の共通線で低抵抗が好ましい場合には、共通配線基板を使用しても勿論構わない。

【 0 0 7 2 】

なお、上記の説明では、コントローラ回路 2 とソースドライバ S D とを搭載する T C P 形態フィルム 1 2 a として、デバイスホールを設けた絶縁性フィルムを使用した場合について説明したが、デバイスホールにない配線を有した絶縁性フィルム上に L S I チップを搭載した構成としてもよい。また、ソースドライバ S D に代えて、コントローラ回路 2 とゲートドライバ G D とを一つの絶縁性フィルム (T C P 形態) 内に実装し、複合化した構成であってもよい。但し、コントローラ回路 2 からの出力信号との関係から、コントローラ回路 2 はソースドライバ S D との複合化が最も配線が軽減されることから望ましい。

【 0 0 7 3 】

また、コントローラ回路 2 は、先頭のソースドライバ S D 1 が搭載されている T C P 形

10

20

30

40

50

態フィルム12aに搭載した構成としているが、何れのソースドライバSD1～SD8が搭載されているTCP形態フィルム12に搭載されていてもよい。但し、液晶パネル5上への実装を考えた場合、コントローラ回路2と共に搭載されるソースドライバSDは、先頭のもの(ソースドライバSD1)か最後尾のもの(ソースドライバSD8)が適当であり、この場合、LSIチップの内部配線により配線を行えば、これらの搭載形態を容易に実現できる。また、ソースドライバ用のスタートパルス信号の転送のし易さや、特開2000-242240号に記載のソースドライバのように表示データに出力制御回路を設ける場合の信号の転送方向と配線のし易さ、さらにゲートドライバGDへの配線を考慮すると、コントローラ回路2は、縦続接続されるスタートパルス信号の最初の入力段、即ちソースドライバSD1の近傍に設置されるのが好ましい。

10

【0074】

また、以上の説明では、TFT液晶表示モジュール1を例としているが、本願発明は、少なくとも表示素子と、その表示素子を駆動する例えば縦続接続された複数の駆動装置と、これら駆動装置を制御する制御装置とを備え、かつ前記複数の駆動装置が配線を有する複数の絶縁性フィルムに分散して搭載された表示モジュールに有効であり、この場合にも先述の各効果を有するものである。例えば、液晶表示装置の背面にプラズマディスプレイ装置を配置した大画面表示装置等、様々な表示装置に応用が可能である。

【0075】

また、以上の説明では、コントローラ回路(制御装置)2が液晶駆動電源回路6を含んでいるものとしている。しかしながら、コントローラ回路2は微細加工デザインルールにて製造される一方、液晶駆動電源回路6は比較的広いデザインルールにて製造される。したがって、コントローラ回路2と液晶駆動電源回路6とは、液晶駆動電源回路6がコントローラ回路2に含まれる1チップ構成ばかりでなく、それぞれが1チップとして設けられる2チップ構成も多く採用される。したがって、制御装置(コントローラ回路2と液晶駆動電源回路6とを含む)は、2チップ構成であってもよい。

20

【0076】

以上のように、本実施形態の表示モジュールは、列方向の駆動信号と行方向の駆動信号とにより駆動される表示素子と、前記列方向の駆動信号を供給する第1の駆動装置と、前記行方向の駆動信号を供給する第2の駆動装置と、第1の駆動装置を搭載する第1の配線基板と、第2の駆動装置を搭載する第2の配線基板と、第1または第2の配線基板に、第1または第2の駆動装置と共に搭載され、第1および第2の駆動装置を制御する制御装置とを備えていることを特徴としている。

30

【0077】

上記の構成によれば、第1および第2の駆動装置を制御する制御装置が、第1または第2の配線基板に第1または第2の駆動装置と共に搭載されている。したがって、制御装置のみを搭載するための配線基板が不要となり、部品点数の削減とコストの低減を図り得る。さらに、制御装置搭載専用の上記配線基板を設けるためのスペースが不要となり、小型化が可能となる。

【0078】

上記の表示モジュールは、第1および第2の配線基板が、配線を有する絶縁性フィルムからなる構成としてもよい。

40

【0079】

上記の構成によれば、駆動装置を搭載する配線基板として配線を有する絶縁性フィルム、例えばTCP(Tape Carrier Package)形態フィルムを使用する表示モジュールに適用可能である。

【0080】

上記の表示モジュールは、第1および第2の駆動装置がそれぞれ複数個設けられ、これら第1および第2の各駆動装置がそれぞれ異なる第1および第2の配線基板に搭載され、複数の第1の駆動装置および複数の第2の駆動装置が、第1の駆動装置同士および第2の駆動装置同士が順次つながる状態に縦続接続され、前記制御装置は第1または第2の駆動

50

装置の前記縦続接続における先頭に位置する駆動装置と共に同一の配線基板に搭載されている構成としてもよい。

【0081】

上記の構成によれば、制御装置は第1または第2の駆動装置の縦続接続における先頭に位置する駆動装置と共に同一の配線基板に搭載されているので、制御装置から、縦続接続されている各駆動装置に対して制御信号、例えば駆動装置のスタートパルス信号等を転送し易くなる。

【0082】

上記の表示モジュールは、第1の駆動装置がソースドライバであり、第2の駆動装置がゲートドライバであり、前記制御装置がソースドライバを搭載する配線基板に搭載されて

10

【0083】

上記の構成によれば、第1の駆動装置をソースドライバ、第2の駆動装置をゲートドライバとした場合に、制御装置がソースドライバを搭載する配線基板に搭載されているので、ソースドライバとゲートドライバとを備えた構成において、制御信号の伝達を効率良く行うことができる。

【0084】

即ち、制御装置とゲートドライバおよびソースドライバとの間の信号線数（信号の送受信数）は、制御装置 - ゲートドライバ間よりも、制御装置 - ソースドライバ間の方が多くなっている。したがって、制御装置がソースドライバを搭載する配線基板に搭載されてい

20

【0085】

また、制御装置がソースドライバを搭載する配線基板に搭載されている構成により、周波数の高いクロック信号SCKやR, G, Bの各ビット線の引き回しが短くなるので、信号波形のなまりや飛び込みノイズを低減することができる。また、配線容量への充放電も低減されるため、出力段のバッファ回路に必要な駆動能力を低減でき、バッファ回路面積の縮小や消費電流の低減も期待できる。

【0086】

上記の表示モジュールは、前記制御装置が搭載されている配線基板への外部装置からの入力信号が、同期信号と表示データと基準電圧生成用電圧であり、前記制御装置が搭載されてい

30

【0087】

上記の表示モジュールは、第1および第2の配線基板が、前記表示素子の周縁部に形成された額縁領域に設けられている構成としてもよい。

【0088】

上記の表示モジュールは、前記制御装置を搭載する配線基板が、第1の駆動装置と第2の駆動装置との双方に近接する配線基板に搭載されている構成としてもよい。

【0089】

上記の構成によれば、制御装置から第1の駆動装置と第2の駆動装置への配線を短くで

40

【0090】

上記の表示モジュールは、前記表示モジュールが液晶表示モジュールである構成としてもよい。

【0091】

【発明の効果】

以上のように、本発明の表示モジュールは、列方向の駆動信号と行方向の駆動信号とにより駆動される表示素子と、前記列方向の駆動信号を供給する複数のソースドライバと、前記行方向の駆動信号を供給する複数のゲートドライバと、前記複数のソースドライバをそれぞれ搭載する複数の第1の配線基板と、前記複数のゲートドライバをそれぞれ搭載す

50

る複数の第2の配線基板と、前記複数のソースドライバおよび前記複数のゲートドライバを制御する制御装置とを備え、前記複数のソースドライバおよび前記複数のゲートドライバは、ソースドライバ同士およびゲートドライバ同士が順次つながる状態に縦続接続され、前記制御装置は、ソースドライバの前記縦続接続における先頭に位置するソースドライバと共に同一の配線基板に搭載され、ソースドライバの並び方向と平行な方向に並んで配置されている構成である。

【0092】

上記の構成によれば、ソースドライバおよびゲートドライバを制御する制御装置が、第1の配線基板にソースドライバと共に搭載されている。したがって、制御装置のみを搭載するための配線基板が不要となり、部品点数の削減とコストの低減を図り得る。さらに、

10

【0093】

上記の表示モジュールは、第1および第2の配線基板が、配線を有する絶縁性フィルムからなる構成としてもよい。

【0094】

上記の構成によれば、駆動装置を搭載する配線基板として配線を有する絶縁性フィルム、例えばTCP (Tape Carrier Package) 形態フィルムを使用する表示モジュールに適用可能である。

【0095】

上記の表示モジュールは、ソースドライバおよびゲートドライバがそれぞれ複数個設けられ、これらソースドライバおよびゲートドライバがそれぞれ異なる第1および第2の配線基板に搭載され、複数のソースドライバおよび複数のゲートドライバが、ソースドライバ同士およびゲートドライバ同士が順次つながる状態に縦続接続され、前記制御装置はソースドライバの前記縦続接続における先頭に位置するソースドライバと共に同一の配線基板に搭載されている構成としてもよい。

20

【0096】

上記の構成によれば、制御装置はソースドライバの縦続接続における先頭に位置するソースドライバと共に同一の配線基板に搭載されているので、制御装置から、縦続接続されている各駆動装置に対して制御信号、例えばソースドライバのスタートパルス信号等を転送し易くなる。

30

【0097】

即ち、制御装置とゲートドライバおよびソースドライバとの間の信号線数(信号の送受信数)は、制御装置-ゲートドライバ間よりも、制御装置-ソースドライバ間の方が多くなっている。したがって、制御装置がソースドライバを搭載する配線基板に搭載されている方が、配線領域をコンパクトにまとめることができる。

【0098】

また、制御装置がソースドライバを搭載する配線基板に搭載されている構成により、周波数の高いクロック信号CLKやR, G, Bの各ビット線の引き回しが短くなるので、信号波形のなまりや飛び込みノイズを低減することができる。また、配線容量への充放電も

40

低減されるため、出力段のバッファ回路に必要な駆動能力を低減でき、バッファ回路面積の縮小や消費電流の低減も期待できる。

【図面の簡単な説明】

【図1】 本発明の実施の一形態における液晶表示モジュールの構成を示す説明図である。

【図2】 図1に示したコントローラ回路における入出力信号の説明図である。

【図3】 図1に示したTCP形態フィルムにおけるコントローラ回路とソースドライバとの搭載形態例を示す説明図である。

【図4】 図3におけるA-A線矢視断面図である。

【図5】 図3に示したTCP形態フィルムにおけるコントローラ回路とソースドライバ

50

との搭載形態の他の例を示す説明図である。

【図 6】 図 1 に示した液晶パネルにおける要部の等価回路図である。

【図 7】 図 1 に示した液晶パネルにおける 1 個の画素付近における等価回路図である。

【図 8】 図 1 に示したゲートドライバを構成するゲートドライバ L S I チップの構成を示す概略のブロック図である。

【図 9】 図 8 に示したゲートドライバ L S I チップにおける各入出力信号のタイミングチャートである。

【図 10】 図 1 に示したソースドライバを構成するソースドライバ L S I チップの構成を示す概略のブロック図である。

【図 11】 図 10 に示したゲートドライバ L S I チップにおける各入出力信号等のタイミングチャートである。 10

【図 12】 図 10 に示したソースドライバ L S I チップの他の例を示す概略のブロック図である。

【図 13】 従来の T F T 液晶表示モジュールの構成を示す説明図である。

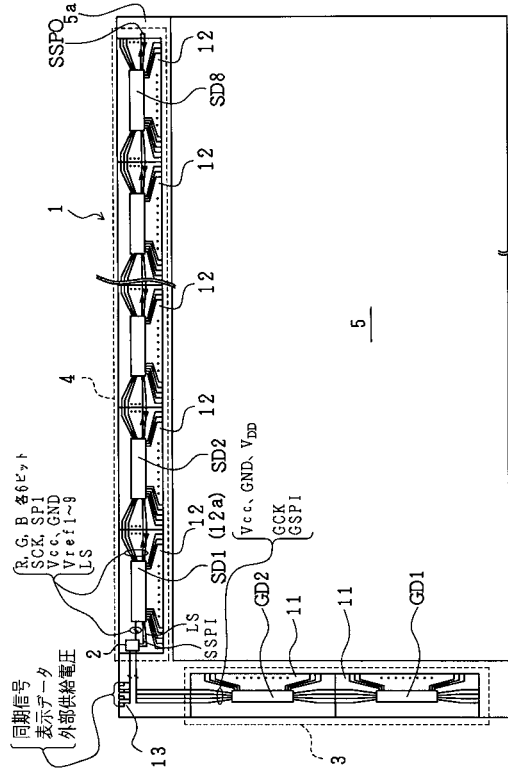
【図 14】 従来の T F T 液晶表示モジュールの具体的な実装形態の例を示す説明図である。

【図 15】 従来の T F T 液晶表示モジュールの構成の他の例を示す説明図である。

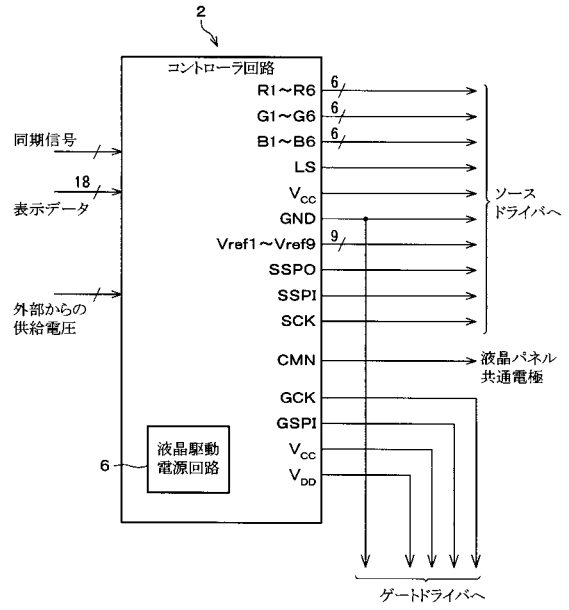
【符号の説明】

- | | | |
|-----|--------------------------|----|
| 1 | T F T 液晶表示モジュール | |
| 2 | コントローラ回路 (制御装置) | 20 |
| 3 | ゲート電極駆動回路 (第 2 の駆動装置) | |
| 4 | ソース電極駆動回路 (第 1 の駆動装置) | |
| 5 | 液晶パネル (表示素子) | |
| 1 1 | T C P 形態フィルム (第 2 の配線基板) | |
| 1 2 | T C P 形態フィルム (第 1 の配線基板) | |
| 4 1 | ゲートドライバ L S I チップ | |
| 5 1 | ソースドライバ L S I チップ | |

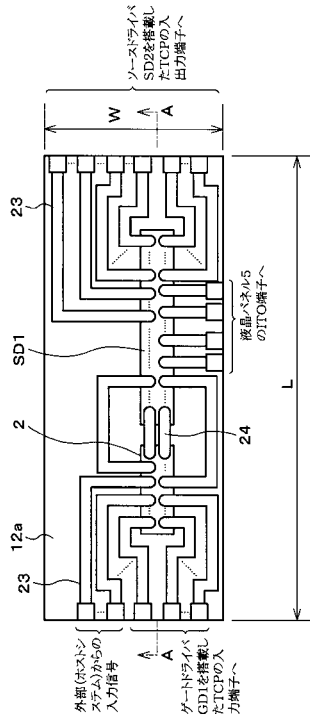
【 図 1 】



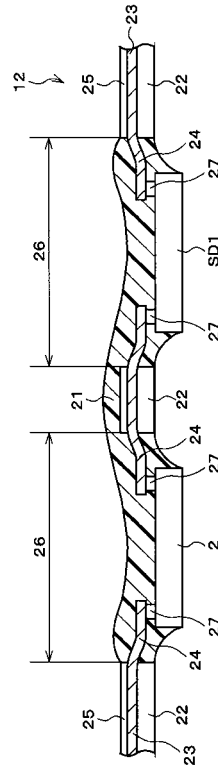
【 図 2 】



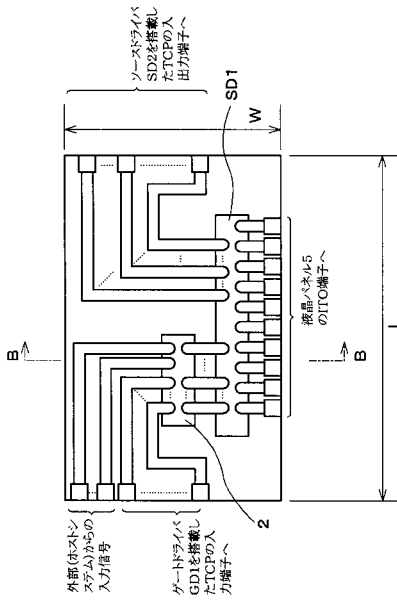
【 図 3 】



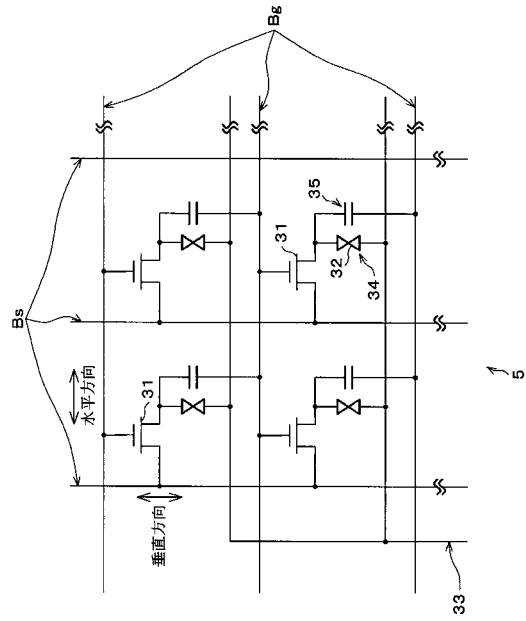
【 図 4 】



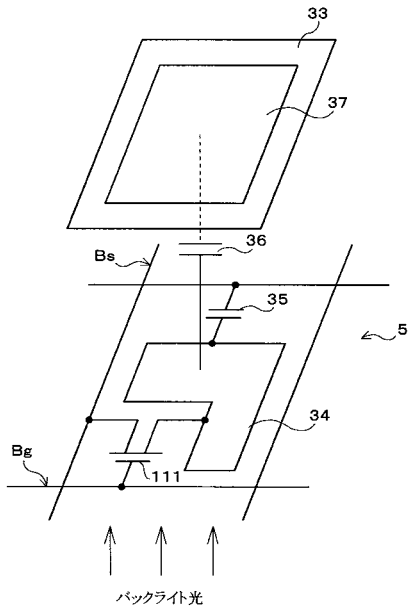
【 図 5 】



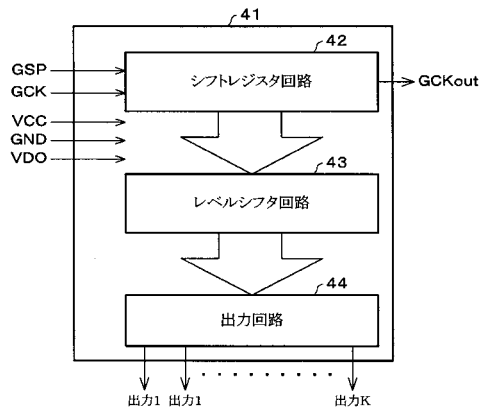
【 図 6 】



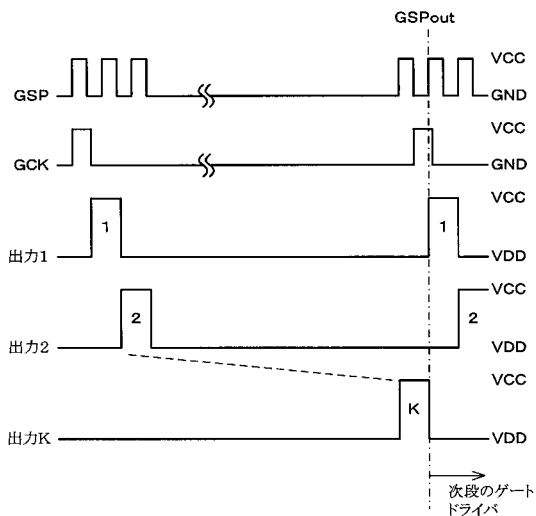
【 図 7 】



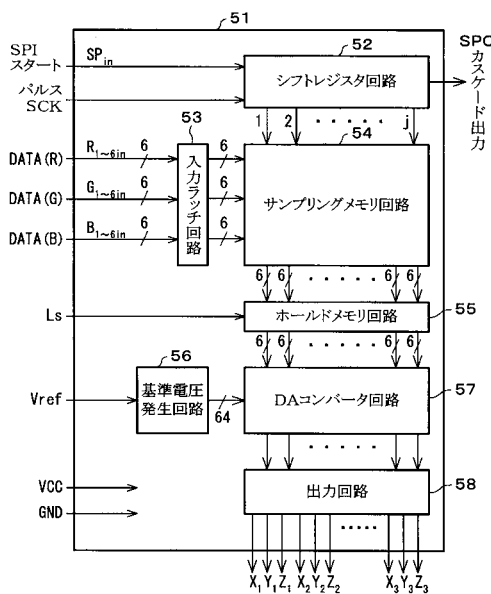
【 図 8 】



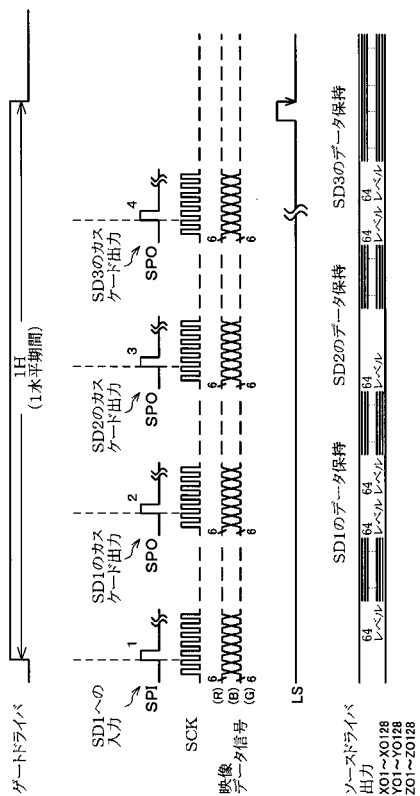
【 図 9 】



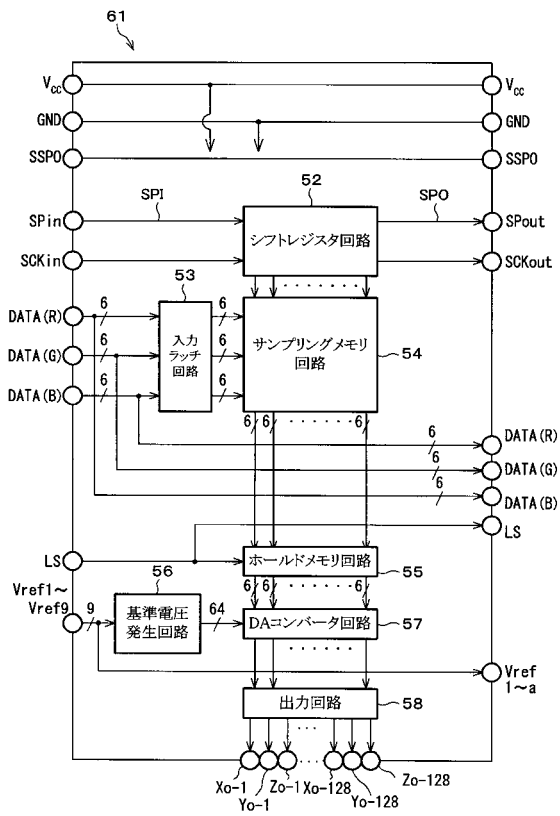
【 図 10 】



【 図 11 】



【 図 12 】



フロントページの続き

(51)Int.Cl.⁷

F I

G 0 9 G 3/36

(56)参考文献 特開平09-050041(JP,A)
特開平08-304847(JP,A)
特開2000-221928(JP,A)

(58)調査した分野(Int.Cl.⁷, DB名)

G09F 9/00-9/46

G02F 1/1345

专利名称(译)	显示模块		
公开(公告)号	JP3638123B2	公开(公告)日	2005-04-13
申请号	JP2000329592	申请日	2000-10-27
[标]申请(专利权)人(译)	夏普株式会社		
申请(专利权)人(译)	夏普公司		
当前申请(专利权)人(译)	夏普公司		
[标]发明人	田中茂樹 小川嘉規		
发明人	田中 茂樹 小川 嘉規		
IPC分类号	G02F1/1345 G02F1/13 G02F1/133 G02F1/1343 G09F9/00 G09G3/20 G09G3/36		
CPC分类号	G02F1/13452 G09G3/3688		
FI分类号	G09F9/00.348.L G02F1/133.550 G02F1/1345 G09G3/20.621.M G09G3/20.680.G G09G3/36 G09F9/00.348.Z		
F-TERM分类号	2H092/GA50 2H092/GA51 2H092/NA25 2H092/NA27 2H093/NC09 2H093/NC21 2H093/NC22 2H093/NC23 2H093/NC24 2H093/NC26 2H093/ND42 2H093/ND54 5C006/AA01 5C006/AA02 5C006/AA11 5C006/AA22 5C006/BB16 5C006/BC02 5C006/BC03 5C006/BC06 5C006/BC16 5C006/BF02 5C006/BF03 5C006/BF04 5C006/BF05 5C006/BF46 5C006/FA41 5C006/FA51 5C006/FA52 5C080/AA10 5C080/BB05 5C080/DD22 5C080/DD27 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ06 5C080/KK02 5C080/KK43 5G435/AA17 5G435/BB12 5G435/CC09 5G435/EE37 5G435/EE40 5G435/EE47		
审查员(译)	加藤隆夫		
其他公开文献	JP2002132180A		
外部链接	Espacenet		

摘要(译)

要解决的问题：通过减少部件数量来减小显示模块的尺寸和重量，从而降低生产成本。解决方案：模块具有由列方向和行方向驱动信号驱动的液晶面板5，提供列方向驱动信号的源极驱动器SD，提供行方向驱动信号的栅极驱动器GD，TCP形式膜12其上安装有驱动器SD，安装有驱动器GD的TCP形式薄膜11和与驱动器SD或驱动器GD一起安装在薄膜11或薄膜12上的控制器电路2并控制驱动器SD和GD。

图 1

