

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2008-20529

(P2008-20529A)

(43) 公開日 平成20年1月31日(2008.1.31)

(51) Int.Cl.	F I	テーマコード (参考)
G02F 1/1345 (2006.01)	G02F 1/1345	2H092
G09F 9/00 (2006.01)	G09F 9/00 348Z	5E338
H05K 1/14 (2006.01)	H05K 1/14 C	5E344
H05K 1/02 (2006.01)	H05K 1/02 J	5G435

審査請求 未請求 請求項の数 2 O L (全 10 頁)

(21) 出願番号	特願2006-190324 (P2006-190324)	(71) 出願人	302020207 東芝松下ディスプレイテクノロジー株式会社
(22) 出願日	平成18年7月11日 (2006.7.11)	(74) 代理人	100062764 弁理士 樺澤 襄
		(74) 代理人	100092565 弁理士 樺澤 聡
		(74) 代理人	100112449 弁理士 山田 哲也
		(72) 発明者	五十嵐 和明 東京都港区港南四丁目1番8号 東芝松下 ディスプレイテクノロジー株式会社内

最終頁に続く

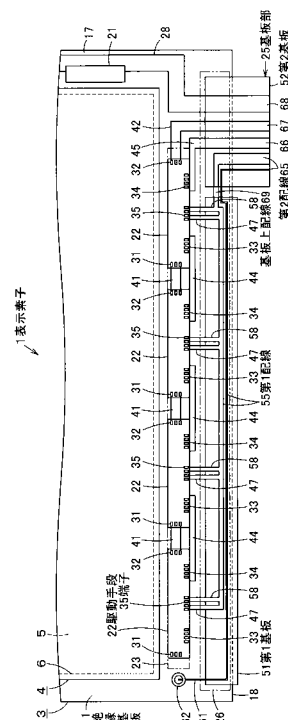
(54) 【発明の名称】 表示素子

(57) 【要約】

【課題】製造工数および製品コストを抑制した液晶パネルを提供する。

【解決手段】バス配線部 F P C 51 の右端辺に位置する電源配線55の右端部と、バス配線部 F P C 51 の右辺に離間して対向したインターフェース部 F P C 52 の左辺に位置する電源バス配線65の左端部とを、ガラス基板11の実装部18の一主面上に設けたガラス内接続バス配線69により電氣的に接続する。基板部25を、F P C 51, 52 の2つに分割でき、位置合わせが容易になり圧着回数を抑制できて、製造工数を抑制できる。F P C 51, 52 のそれぞれ形状を、四角形状などの単純な形状とすることが可能になるため、取り数が向上し、製品コストを抑制できる。

【選択図】 図1



【特許請求の範囲】**【請求項 1】**

絶縁基板と、
この絶縁基板の一主面上に設けられた複数の画素と、
前記絶縁基板の一主面上に実装され前記画素を駆動する複数の駆動手段と、
これら駆動手段を外部回路と接続する基板部とを具備し、
前記基板部は、
前記絶縁基板の一主面上に物理的に接続される第 1 基板と、
この第 1 基板に設けられ、一端部が、この第 1 基板の前記絶縁基板の一主面上の一端辺
に位置するとともに、他端部が、前記駆動手段の端子に電氣的に接続される第 1 配線と、
前記第 1 基板と別体に設けられ、前記絶縁基板の一主面上に物理的に接続されて、前記
第 1 基板の前記絶縁基板の一主面上の一端辺に対して一端辺が離間されて対向する第 2 基
板と、
この第 2 基板に設けられ、一端部が、この第 2 基板の前記絶縁基板の一主面上の前記一
端辺に位置するとともに、他端部が外部回路に電氣的に接続される第 2 配線と、
前記絶縁基板の一主面上に設けられ、前記第 1 配線の前記一端部と前記第 2 配線の前記
一端部とを電氣的に接続する基板上配線とを備えている
ことを特徴とした表示素子。

10

【請求項 2】

前記基板上配線は、前記第 1 基板の一端辺および前記第 2 基板の一端辺に対して垂直な
直線状に設けられている
ことを特徴とした請求項 1 記載の表示素子。

20

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、絶縁基板の一主面上に画素を駆動する複数の駆動手段を実装した表示素子に
関する。

【背景技術】**【0002】**

従来、表示素子としての液晶表示素子である液晶パネルにおいて、マトリクス状に複数
の画素を有する有効表示部が絶縁基板としてのガラス基板上に形成され、この有効表示部
の一辺に沿って、複数の画素を駆動する駆動手段としての複数の駆動用 IC であるゲート
ドライバおよびソースドライバが直接実装された、いわゆる COG (Chip On Glass) 実
装が採用されている。

30

【0003】

各駆動用 IC には、電源線および信号線などの複数の端子が設けられ、それぞれの駆動
用 IC に対応する部分において、TCP (Tape Carrier Package)、あるいは FPC (Fl
exible Printed Circuit) を経由して、外部回路を備えた基板と、絶縁基板の端部にて、
異方性導電膜すなわち ACF (Anisotropic Conductive Film) を介して圧着されている
(例えば、特許文献 1 参照。)。

40

【0004】

そして、このような COG 実装を採用した液晶パネルでは、各ドライバに信号および電
源を供給する際にガラス基板上にバス配線を形成する場合、このガラス基板上のバス配線
は抵抗値が高いため、特に電源配線が長くなると配線抵抗により電圧降下が発生して駆動
用 IC、特に電流が多く流れるソースドライバの誤動作が懸念されるので、ガラス基板上
のバス配線の長さを抑制し、TCP、あるいは FPC 上に形成した比較的配線抵抗が小さ
いバス配線により外部回路などと電氣的に接続することが好ましい(例えば、特許文献 2
参照。)。

【特許文献 1】 特開平 9 - 288279 号公報

【特許文献 2】 特開 2005 - 114806 号公報

50

【発明の開示】

【発明が解決しようとする課題】

【0005】

しかしながら、上述の表示素子では、高精細、高信頼性のものほど、搭載するドライバ数に応じてTCP、あるいはFPCの圧着回数が増加し、かつ、ガラス基板とTCP、あるいはFPCとの位置合わせが容易でなくなり、製造工数が掛かるという問題点を有している。

【0006】

また、上記のようなバス配線をTCP、あるいはFPCに形成する場合には、形状が複雑で面積が大きいTCP、あるいはFPCを作製しなければならず、このようなTCP、FPCは、取り数が少なくなり、製品コストが増すという問題点もある。

【0007】

本発明は、このような点に鑑みなされたもので、製造工数および製品コストを抑制した表示素子を提供することを目的とする。

【課題を解決するための手段】

【0008】

本発明は、絶縁基板と、この絶縁基板の一主面上に設けられた複数の画素と、前記絶縁基板の一主面上に実装され前記画素を駆動する複数の駆動手段と、これら駆動手段を外部回路と接続する基板部とを具備し、前記基板部は、前記絶縁基板の一主面上に物理的に接続される第1基板と、この第1基板に設けられ、一端部が、この第1基板の前記絶縁基板の一主面上の一端辺に位置するとともに、他端部が、前記駆動手段の端子に電氣的に接続される第1配線と、前記第1基板と別体に設けられ、前記絶縁基板の一主面上に物理的に接続されて、前記第1基板の前記絶縁基板の一主面上の一端辺に対して一端辺が離間されて対向する第2基板と、この第2基板に設けられ、一端部が、この第2基板の前記絶縁基板の一主面上の前記一端辺に位置するとともに、他端部が外部回路に電氣的に接続される第2配線と、前記絶縁基板の一主面上に設けられ、前記第1配線の前記一端部と前記第2配線の前記一端部とを電氣的に接続する基板上配線とを備えているものである。

【0009】

そして、第1基板の一端辺に位置する第1配線の一端部と、第1基板の一端辺に離間して対向した第2基板の一端辺に位置する第2配線の一端部とを、絶縁基板の一主面上に設けた基板上配線により電氣的に接続する。

【発明の効果】

【0010】

本発明によれば、基板部を第1基板と第2基板との2つに分割でき、かつ、位置合わせが容易で、圧着回数が抑制できるため、製造工数を抑制できるとともに、第1基板と第2基板とに分割することでこれら第1基板および第2基板のそれぞれの形状を単純化することが可能になるので、取り数を向上できて製品コストを抑制できる。

【発明を実施するための最良の形態】

【0011】

以下、本発明の第1の実施の形態の表示素子の構成を図1および図2を参照して説明する。

【0012】

図1において、1は表示素子としてのアクティブマトリクス型の液晶表示素子である液晶パネルであり、この液晶パネル1は、アレイ基板3と対向基板4と、これらアレイ基板3および対向基板4の間に挟持されて保持された液晶層5とを有している。そして、この液晶パネル1の中央部には、画像表示が可能な画像表示領域である矩形状の有効表示部6が設けられている。この有効表示部6には、図示しない複数の画素が液晶パネル1の縦方向および横方向のそれぞれに沿ったマトリクス状に配置されている。さらに、液晶パネル1は、アレイ基板3と対向基板4との間に、図示しない配向膜を介して光変調層としての液晶組成物から構成された液晶層5を保持するべく、これらアレイ基板3と対向基板4と

10

20

30

40

50

が図示しないシール剤にて貼り合わされている。また、これらアレイ基板 3 および対向基板 4 それぞれの外側に位置する外表面には、互いの偏光軸が直交するように図示しない偏光板がそれぞれ配置されている。

【 0 0 1 3 】

アレイ基板 3 は、透光性を有する絶縁基板としてのガラス基板 11 を備えており、このガラス基板 11 の一主面である内表面には、図示しない走査線すなわちゲート線と信号線すなわちソース線とが互いに略直交するように配置されている。さらに、これらゲート線およびソース線にて仕切られて囲まれた各領域のそれぞれに有効表示部 6 の画素が位置している。また、これら画素のそれぞれには、スイッチング素子としての図示しない薄膜トランジスタ (T F T) と、画素電極とのそれぞれが設けられている。これら画素電極は、同一画素内の薄膜トランジスタに電氣的に接続され、この薄膜トランジスタにて制御される。

10

【 0 0 1 4 】

さらに、ガラス基板 11 は、液晶パネル 1 の有効表示部 6 から図 1 に示す右方向と下方とにそれぞれ突出し、これら突出した部分が、それぞれ細長矩形形状の C O G 部としての額縁部である実装部 17 , 18 とされている。

【 0 0 1 5 】

実装部 17 の表面上には、液晶パネル 1 の有効表示部 6 の画素を駆動して画像を表示させる駆動手段としてのゲート線駆動 I C である複数 (一部のみ図示) のゲートドライバ 21 が有効表示部 6 の図中右側にてガラス基板 11 の一端辺に沿って順次実装され、また、実装部 18 の表面上には、液晶パネル 1 の有効表示部 6 の画素を駆動して画像を表示させる駆動手段としてのソース線駆動 I C である複数、例えば 4 つのソースドライバ 22 が有効表示部 6 の図中下側にてガラス基板 11 の一端辺に隣接する端辺に沿って順次実装されている。これらドライバ 21 , 22 は、ガラス基板 11 の実装部 17 , 18 の表面に異方性導電膜 23 (以下、 A C F (Anisotropic Conductive Film) 23 という) を介して直接実装されて C O G (Chip On Glass) 実装とされている。さらに、実装部 18 には、図示しない外部回路からドライバ 21 , 22 へと信号および電源を供給するための基板部 25 が、異方性導電膜 26 (以下、 A C F 26 という) を介して実装されている。

20

【 0 0 1 6 】

各ゲートドライバ 21 は、ガラス基板 11 の図中上下方向に沿って配設され、複数ずつのゲート線が電氣的に接続されている。また、これらゲートドライバ 21 には、実装部 17 および実装部 18 に亘ってガラス基板 11 の表面上に形成された絶縁基板配線としてのガラス内バス配線 28 および基板部 25 を介して、外部回路から信号 / 電源が供給されている。

30

【 0 0 1 7 】

一方、各ソースドライバ 22 は、細長四角形状に形成され、ガラス基板 11 の図中左右方向に沿って略直線長手状に配設されている。また、各ソースドライバ 22 には、長手方向の両端部、すなわち図中左右両端部に、それぞれ出力端子としての出力パンプ 31 および入力端子としての入力パンプ 32 が設けられ、かつ、短手方向の一端部である有効表示部 6 と反対側、すなわち図中下端部に、接続出力端子としての接続出力パンプ 33 および接続入力端子としての接続入力パンプ 34 と、端子としてのパンプ 35 とが設けられ、さらに、短手方向の他端部である有効表示部 6 側、すなわち図中上端部に、各ソース線と電氣的に接続される信号線接続端子としての図示しない複数のソース線用パンプが設けられている。

40

【 0 0 1 8 】

パンプ 31 , 32 は、基板部 25 を介して外部回路から基準電圧 (リファレンス電圧) が供給される端子であり、隣接するソースドライバ 22 の入力パンプ 32 と基板上接続配線としてのガラス内バス配線 41 により電氣的に接続され、図中右端部のソースドライバ 22 の入力パンプ 32 が、実装部 18 にてガラス基板 11 の表面上に形成された基板上接続配線としてのガラス内バス配線 42 により基板部 25 と電氣的に接続されている。そして、これらガラス内バス配線 42、入力パンプ 32、出力パンプ 31、ガラス内バス配線 41、入力パンプ 32、... ..、出力パンプ 31、ガラス内バス配線 41、入力パンプ 32 により、全てのソースドライバ 22 が電氣的に直列な縦続接続、いわゆるカスケード接続されている。

50

【 0 0 1 9 】

ガラス内バス配線41は、隣接するソースドライバ22, 22間に、図中左右方向に直線状に形成されている。

【 0 0 2 0 】

また、ガラス内バス配線42は、実装部18にて、基板部25から図中右端部に位置するソースドライバ22の入力パンプ32へと平面視でL字状に形成されている。

【 0 0 2 1 】

さらに、パンプ33, 34は、基板部25を介して外部回路からソースドライバ22の信号が供給される端子であり、隣接するソースドライバ22のパンプ33, 34が、基板上接続配線としてのガラス内バス配線44により電氣的に接続され、図中右端部のソースドライバの接続入力パンプ34が、実装部18にてガラス基板11の表面上に形成された基板上接続配線としてのガラス内バス配線45により基板部25と電氣的に接続されている。そして、これらガラス内バス配線45、接続入力パンプ34、接続出力パンプ33、ガラス内バス配線45、接続入力パンプ34、... ..、ガラス内バス配線44、接続入力パンプ34により、全てのソースドライバ22がカスケード接続されている。

10

【 0 0 2 2 】

ガラス内バス配線44は、図中上下方向に沿って直線状に形成されている。

【 0 0 2 3 】

ガラス内バス配線45は、実装部18にて、基板部25から図中右端部に位置するソースドライバ22の接続入力パンプ34へと平面視でL字状に形成されている。

20

【 0 0 2 4 】

そして、パンプ35は、基板部25を介して外部回路から各種電源が供給される端子であり、基板部25との間に実装部18に形成された基板上接続配線としてのガラス内バス配線47により全てのソースドライバ22が電氣的に並列に接続されている。

【 0 0 2 5 】

ガラス内バス配線47は、隣接するソースドライバ22, 22の図中下端辺に沿って、略直線状に形成されている。

【 0 0 2 6 】

そして、基板部25は、第1基板としてのバス配線部FPC(Flexible Printed Circuit) 51と第2基板としてのインターフェース部FPC52とを有し、これらFPC51, 52が、ACF26により実装部18上に物理的に接続されている。

30

【 0 0 2 7 】

バス配線部FPC51は、図中最左端に位置するソースドライバ22に対応する位置から最右端に位置するソースドライバ22に対応する位置まで亘り左右方向に長手状の平面四角形状に形成され、ACF26により図中上部のガラス基板11側の面が片面圧着部となり、他の部分が二層配線部となっている。また、このバス配線部FPC51には、図中左右方向に沿って第1配線としての電源配線55が設けられている。この電源配線55は、各ソースドライバ22に電源を供給するもので、例えば、図2に示すように、グランド(GND)用のアース線55a、アナログ電源(AVDD)用のアナログ電源線55b、ロジック電源(DVDD)用のロジック電源線55c、および、共通電位(VCOM)用の共通電位線55dを有し、これら線55a~55dが互いに略平行に形成されている。

40

【 0 0 2 8 】

ここで、これら線55a~55dは、例えば銅箔などにより形成され、それらの各一端部が、ガラス基板11の実装部18上で、かつ、バス配線部FPC51の一端辺である図2中の右端部に連続している。そして、線55a, 55b, 55cは、所定位置にてスルーホール57a, 57b, 57cを介して分岐線58a, 58b, 58c(これらを分岐線58という)が電氣的に接続され、この分岐線58は、それぞれ図中上方に延設されて、図1に示すガラス内バス配線47と電氣的に接続されている。したがって、電源配線55は、ガラス内バス配線47を介してソースドライバ22のパンプ35と電氣的に接続されている。さらに、共通電位線55dは、他端部である図1中の左端部が図中上方へと屈曲され、実装部18上に設けられたガラス内バス配線61と電氣

50

的に接続され、このガラス内バス配線61が、共通電位端子62と電氣的に接続されている。

【0029】

一方、インターフェース部FPC52は、液晶パネル1と外部回路とを接続するインターフェースとなっている部分であり、バス配線部FPC51とは別体で平面四角形状に形成され、バス配線部FPC51の図中右辺に、一端辺である図中左辺が離間されて対向するように実装部18に実装されている。また、このインターフェース部FPC52には、一端部が図中左辺に位置し他端部が外部回路に電氣的に接続される第2配線としての電源バス配線65が例えば銅箔などによりL字状に形成されているとともに、この電源バス配線65の側方に、それぞれガラス内バス配線45, 42, 28に電氣的に接続されるバス配線66, 67, 68が例えば銅箔などにより直線状に形成されている。

10

【0030】

電源バス配線65は、各ソースドライバ22に外部回路から電源を供給するもので、例えば、図2に示すように、グランド(GND)用のアース配線65a、アナログ電源(AVD)用のアナログ電源配線65b、ロジック電源(DVD)用のロジック電源配線65c、および、共通電位(VCOM)用の共通電位配線65dを有し、これら配線65a~65dが互いに略平行に形成されている。そして、この電源バス配線65は、実装部18にてFPC51, 52間に形成された基板上配線としてのガラス内接続バス配線69により電氣的に接続されている。

【0031】

このガラス内接続バス配線69は、バス配線部FPC51に図中右辺とインターフェース部FPC52の図中左辺との間に亘って、これらに垂直な直線状、すなわち、FPC51, 52間を最短距離で接続するように形成され、上記線55a, 55b, 55c, 55dおよび配線65a, 65b, 65c, 65dに対応した接続バス配線69a, 69b, 69c, 69dを有し、これら接続バス配線69a~69dが互いに略平行に形成されている。さらに、これら接続バス配線69a~69dの他端部である図中左端部は、バス配線部FPC51の電源配線55の線55a~55dに電氣的に接続されている。

20

【0032】

そして、バス配線66~68は、他端部である図中下端部が外部回路に電氣的に接続され、この外部回路からのソースドライバ22の信号、基準電圧、および、ゲートドライバ21の信号/電源が入力されるものである。

【0033】

次に、上記第1の実施の形態の組み立て動作を説明する。

30

【0034】

各種膜などを形成したアレイ基板3と対向基板4とを互に対向させてシール剤により所定の間隔を保持して貼り合わせた後、これら基板3, 4間に液晶材料を封入して液晶層5を形成する。

【0035】

この後、ガラス内バス配線28などを形成した実装部17の所定位置に、このガラス内バス配線28とパンプとを位置合わせしつつ図示しないACFを介してゲートドライバ21を圧着して実装するとともに、各配線41, 42, 44, 45, 47, 61, 69を形成した実装部18の所定位置に、これらガラス内バス配線41, 42, 44, 45, 47と各パンプ31~35とを位置合わせしつつ、ACF23を介してソースドライバ22を圧着して実装する。

40

【0036】

さらに、各配線28, 42, 45, 47, 69と、配線68, 67, 66, 65, 58とを位置合わせしつつ、ACF26を介して各FPC51, 52を実装部18の表面上に圧着して物理的に接続する。

【0037】

このとき、バス配線部FPC51の電源配線55と、インターフェース部FPC52の電源バス配線65とが、ガラス内接続バス配線69を介して電氣的に接続され、また、共通電位配線55dが、ガラス内バス配線61を介して共通電位端子62と電氣的に接続される。

【0038】

上述したように、上記第1の実施の形態によれば、バス配線部FPC51の右端辺に位置

50

する電源配線55の右端部と、バス配線部F P C 51の右辺に離間して対向したインターフェース部F P C 52の左辺に位置する電源バス配線65の左端部とを、ガラス基板11の実装部18の一主面上に設けたガラス内接続バス配線69により電氣的に接続することにより、基板部25を、F P C 51, 52の2つに分割でき、かつ、位置合わせが容易なため圧着回数を抑制できて、製造工数を抑制できるとともに、F P C 51, 52のそれぞれ形状を、四角形状などの単純な形状とすることが可能になるため、これらF P C 51, 52を同一面積から取り出す際に無駄な部分が生じにくくなって取り数が向上し、F P C 51, 52の単価を抑制でき、製品コストを抑制できる。

【0039】

すなわち、ソースドライバ同士をカスケード接続する液晶パネルでは、ソースドライバ間毎に配線が必要となるため、液晶パネルが高精細、高信頼性のものほど、F P Cの枚数が増加して圧着回数が多くなり、位置合わせなども煩雑となって、製造工数を要する一方で、これらF P Cを一体に形成すると、F P Cの形状がT字、あるいはL字などの複雑な形状になって取り数が低下するのに対して、本実施の形態では、単純な形状のF P C 51, 52のみで基板部25を構成できるので、製造工数を低減しつつ取り数を向上できる。

【0040】

特に、インターフェース部F P C 52には、バス配線部F P C 51だけでなく、ゲートドライバ21側などからの各種配線が集中するため、バス配線部F P C 51と形状を一致させることが容易でないから、このインターフェース部F P C 52をバス配線部F P C 51に対して分離することで、各F P C 51, 52の形状を、より確実に単純化できる。

【0041】

さらに、電源配線55と電源バス配線65とを、バス配線部F P C 51の右辺と、インターフェース部F P C 52の左辺とに垂直な直線状のガラス内接続バス配線69により接続する、すなわち、電源配線55と電源バス配線65とを、このガラス内接続バス配線69により最短距離でバイパス配線することで、ガラス内接続バス配線69の抵抗値を最小限に抑制でき、比較的抵抗値が大きいガラス内接続バス配線69による電圧降下を抑制でき、この電圧効果に伴う誤動作を防止できる。

【0042】

特に、ソースドライバ22は、ゲートドライバ21と比較して、流れる電流値が大きいため、ガラス内接続バス配線69での電圧降下が生じやすいから、ガラス内接続バス配線69の長さを最短とすることで、ソースドライバ22に供給する電源の電圧降下を抑制し、液晶パネル1の誤動作を確実に防止でき、信頼性を向上できる。

【0043】

なお、上記第1の実施の形態において、図3および図4に示す第2の実施の形態のように、共通電位端子62、共通電位線55dおよびガラス内バス配線61などを設けない液晶パネル1に対しても、上記第1の実施の形態と同様の構成を適用することで、同様の作用効果を奏することができる。

【0044】

また、電源配線の数およびソースドライバ22の個数など、液晶パネル1の細部は、上記構成に限定されるものではない。

【0045】

さらに、表示素子としては、液晶パネル1以外でも、例えば有機EL表示素子など、様々な表示素子に対応させることができる。

【図面の簡単な説明】

【0046】

【図1】本発明の第1の実施の形態の表示素子の一部を示す平面図である。

【図2】同上表示素子の要部を拡大して示す平面図である。

【図3】本発明の第2の実施の形態の表示素子の一部を示す平面図である。

【図4】同上表示素子の要部を拡大して示す平面図である。

【符号の説明】

10

20

30

40

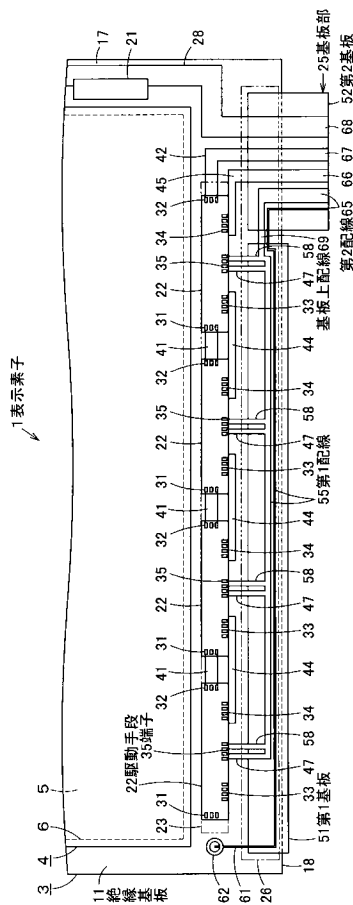
50

【 0 0 4 7 】

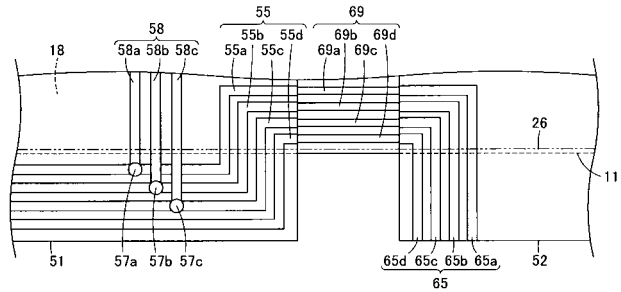
- | | |
|----|-------------------------|
| 1 | 表示素子としての液晶パネル |
| 11 | 絶縁基板としてのガラス基板 |
| 22 | 駆動手段としてのソースドライバ |
| 25 | 基板部 |
| 35 | 端子としてのバンブ |
| 51 | 第1基板としてのバス配線部 F P C |
| 52 | 第2基板としてのインターフェース部 F P C |
| 55 | 第1配線としての電源配線 |
| 65 | 第2配線としての電源バス配線 |
| 69 | 基板上配線としてのガラス内接続バス配線 |

10

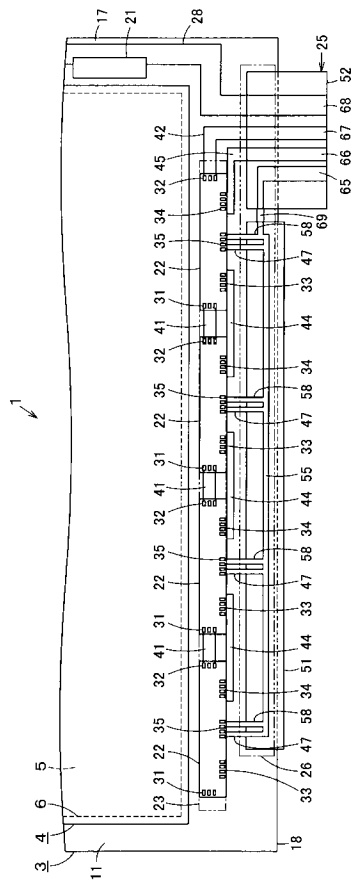
【 図 1 】



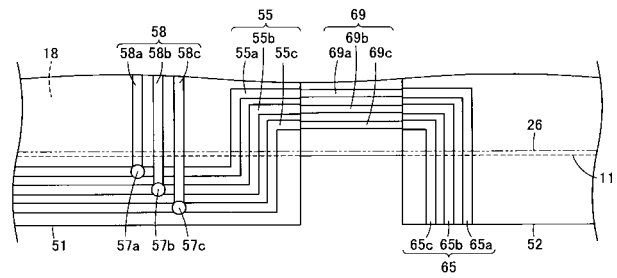
【 図 2 】



【図 3】



【図 4】



フロントページの続き

F ターム(参考) 2H092 GA37 GA38 GA44 GA48 GA50 GA51 GA57 GA60 MA32 NA11
NA25 NA27 NA29 PA06
5E338 AA01 AA12 AA16 BB31 BB75 CC01 CD13 EE32
5E344 AA02 AA12 AA22 BB03 BB04 BB10 BB13 DD08 EE21
5G435 AA17 AA18 BB05 BB12 EE32 EE37 EE41 EE42 EE47 KK05

专利名称(译)	显示元素		
公开(公告)号	JP2008020529A	公开(公告)日	2008-01-31
申请号	JP2006190324	申请日	2006-07-11
[标]申请(专利权)人(译)	东芝松下显示技术股份有限公司		
申请(专利权)人(译)	东芝松下显示技术有限公司		
[标]发明人	五十嵐和明		
发明人	五十嵐 和明		
IPC分类号	G02F1/1345 G09F9/00 H05K1/14 H05K1/02		
CPC分类号	G02F1/13452 G02F2001/13456 H05K1/142 H05K1/147		
FI分类号	G02F1/1345 G09F9/00.348.Z H05K1/14.C H05K1/02.J		
F-TERM分类号	2H092/GA37 2H092/GA38 2H092/GA44 2H092/GA48 2H092/GA50 2H092/GA51 2H092/GA57 2H092/GA60 2H092/MA32 2H092/NA11 2H092/NA25 2H092/NA27 2H092/NA29 2H092/PA06 5E338/AA01 5E338/AA12 5E338/AA16 5E338/BB31 5E338/BB75 5E338/CC01 5E338/CD13 5E338/EE32 5E344/AA02 5E344/AA12 5E344/AA22 5E344/BB03 5E344/BB04 5E344/BB10 5E344/BB13 5E344/DD08 5E344/EE21 5G435/AA17 5G435/AA18 5G435/BB05 5G435/BB12 5G435/EE32 5G435/EE37 5G435/EE41 5G435/EE42 5G435/EE47 5G435/KK05		
代理人(译)	山田哲也		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种液晶面板，其制造工时数和产品成本受到抑制。

ŽSOLUTION：位于总线布线部分FPC 51的右端边缘的电源布线55的右端和位于接口部分FPC 52的左边缘的电源总线布线65的左端，该接口部分FPC 52与与总线布线部分FPC 51的右边缘相对的部分经由总线布线69彼此电连接，用于连接布置在玻璃基板11的安装部分18的主表面上的玻璃内部。基板部分25被分成如图2所示，FPC 51,52因此更容易对准，并且抑制了压接触点的数量，从而抑制了制造工时。因为FPC 51,52的各个形状变得简单，例如方形，所以改善了要采用的FPC的数量，从而抑制了产品的成本。Ž

