

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-93625

(P2005-93625A)

(43) 公開日 平成17年4月7日(2005.4.7)

(51) Int.Cl. ⁷	F I	テーマコード (参考)
H O 1 L 27/12	H O 1 L 27/12 B	2 H O 9 2
G O 2 F 1/1368	H O 1 L 27/12 C	5 F O 3 2
H O 1 L 21/336	G O 2 F 1/1368	5 F 1 1 0
H O 1 L 21/762	H O 1 L 27/00 3 O 1 W	
H O 1 L 27/00	H O 1 L 21/76 D	
	審査請求 有 請求項の数 35 O L (全 33 頁) 最終頁に続く	

(21) 出願番号 特願2003-323871 (P2003-323871)

(22) 出願日 平成15年9月17日 (2003.9.17)

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(74) 代理人 100114546

弁理士 頭師 教文

(72) 発明者 田舎中 博士

東京都品川区北品川6丁目7番35号ソニー株式会社内

Fターム(参考) 2H092 GA29 JA24 JA46 JB51 JB61

KA03 KA04 KA08 KA15 KA21

KB01 KB03 KB04 KB11 MA05

MA07 MA10 MA17 MA25 MA27

MA31 NA25 NA27 NA29 PA01

最終頁に続く

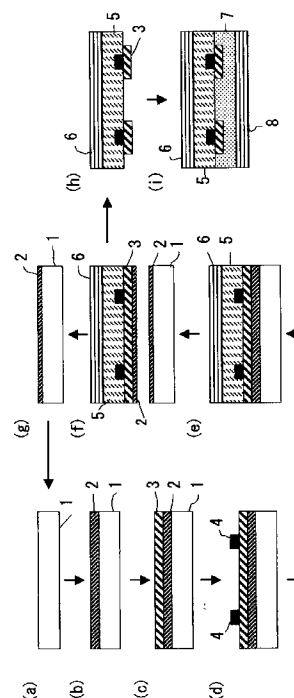
(54) 【発明の名称】 薄膜半導体デバイスの製造方法、薄膜半導体デバイス及び液晶ディスプレイ

(57) 【要約】

【課題】 低コストで量産性に優れた薄膜半導体デバイスを製造する。

【解決手段】 まず、基体1を陽極化成し、多孔質層2を形成する。次に、薄膜半導体層3を多孔質層2上に作成する。さらに、薄膜半導体層3を用いて半導体デバイスを加工し、半導体デバイスと他の半導体デバイスとの間に配線を形成する。この後、半導体デバイスと別の基体6とを接着又は接合し、半導体デバイスを基体1から分離する。更に、分離された半導体デバイスの分離面側から薄膜半導体層3を部分的に除去し、半導体デバイスと他の半導体デバイスとの間を電氣的に絶縁する。

【選択図】 図1



【特許請求の範囲】**【請求項 1】**

第 1 の基体上に多孔質層、薄膜半導体層、当該薄膜半導体層を用いた半導体デバイスが順次形成されて第 2 の基体に接着又は接合され、その後、前記多孔質層の部分で前記第 1 の基体から分離された第 2 の基体側の分離面を加工対象とし、前記薄膜半導体層を部分的に除去することにより、半導体デバイスと他の半導体デバイスとの間を電氣的に絶縁する工程と、

分離面側に絶縁物を形成する工程と

を含むことを特徴とする薄膜半導体デバイスの製造方法。

【請求項 2】

陽極化性により第 1 の基体表面に形成された多孔質層表面に更に形成された薄膜半導体層を用いて半導体デバイスを加工する工程と、

半導体デバイスと他の半導体デバイスとの間に配線を形成する工程と、

前記半導体デバイスと第 2 の基体とを接着又は接合する工程と、

前記第 2 の基体に接着又は接合された半導体デバイスを、前記第 1 の基体から分離する工程と、

分離面側から前記薄膜半導体層を部分的に除去し、半導体デバイスと他の半導体デバイスとの間を電氣的に絶縁する工程と、

分離面側に絶縁物を形成する工程と

を含むことを特徴とする薄膜半導体デバイスの製造方法。

【請求項 3】

陽極化性により第 1 の基体表面に形成された多孔質層表面に更に形成された薄膜半導体層を用いて半導体デバイスを加工する工程と、

半導体デバイスと他の半導体デバイスとの間に配線を形成する工程と、

前記配線の上に、遮光層を形成する工程と、

前記半導体デバイスと第 2 の基体とを接着又は接合する工程と、

前記第 2 の基体に接着又は接合された半導体デバイスを、前記第 1 の基体から分離する工程と、

分離面側から前記薄膜半導体層を部分的に除去し、半導体デバイスと他の半導体デバイスとの間を電氣的に絶縁する工程と、

分離面側に絶縁物を形成する工程と

を含むことを特徴とする薄膜半導体デバイスの製造方法。

【請求項 4】

陽極化性により第 1 の基体表面に形成された多孔質層表面に更に形成された薄膜半導体層を用いて半導体デバイスを加工する工程と、

半導体デバイスと他の半導体デバイスとの間に配線を形成する工程と、

前記半導体デバイスと第 2 の基体とを接着又は接合する工程と、

前記第 2 の基体に接着又は接合された半導体デバイスを、前記第 1 の基体から分離する工程と、

分離面側から前記薄膜半導体層を部分的に除去し、半導体デバイスと他の半導体デバイスとの間を電氣的に絶縁する工程と、

分離面側に絶縁物を形成する工程と

分離面側に遮光層を形成する工程と

を含むことを特徴とする薄膜半導体デバイスの製造方法。

【請求項 5】

請求項 1 ～ 4 の何れかに記載の薄膜半導体デバイスの製造方法において、

前記第 1 の基体は、単結晶の半導体材料である

ことを特徴とする薄膜半導体デバイスの製造方法。

【請求項 6】

請求項 1 ～ 4 の何れかに記載の薄膜半導体デバイスの製造方法において、

前記第 1 の基体は、元素半導体又は化合物半導体であることを特徴とする薄膜半導体デバイスの製造方法。

【請求項 7】

請求項 1 ~ 4 の何れかに記載の薄膜半導体デバイスの製造方法において、前記薄膜半導体層は、単結晶の半導体材料であることを特徴とする薄膜半導体デバイスの製造方法。

【請求項 8】

請求項 1 ~ 4 の何れかに記載の薄膜半導体デバイスの製造方法において、前記薄膜半導体層は、元素半導体又は化合物半導体であることを特徴とする薄膜半導体デバイスの製造方法。

10

【請求項 9】

請求項 1 ~ 4 の何れかに記載の薄膜半導体デバイスの製造方法において、前記薄膜半導体層は、厚さが数百 ~ 略 1 μm であることを特徴とする薄膜半導体デバイスの製造方法。

【請求項 10】

請求項 1 ~ 4 の何れかに記載の薄膜半導体デバイスの製造方法において、前記半導体デバイスは、MIS (Metal Insulator Semiconductor) 構造、PN 接合構造、バイポーラトランジスタ構造、レーザー発振構造、又は CCD (Charge Coupled Device) 構造のいずれかを含むことを特徴とする薄膜半導体デバイスの製造方法。

20

【請求項 11】

請求項 1 ~ 4 の何れかに記載の薄膜半導体デバイスの製造方法において、前記半導体デバイスは、MIS (Metal Insulator Semiconductor) トランジスタを含むことを特徴とする薄膜半導体デバイスの製造方法。

【請求項 12】

請求項 1 ~ 4 の何れかに記載の薄膜半導体デバイスの製造方法において、前記半導体デバイスは、ダブルゲート構造の MIS (Metal Insulator Semiconductor) トランジスタの層構造の一部を含むことを特徴とする薄膜半導体デバイスの製造方法。

【請求項 13】

請求項 1 ~ 4 の何れかに記載の薄膜半導体デバイスの製造方法において、前記半導体デバイスは、前記薄膜半導体層の両側に形成されるキャパシタの層構造の一部を含むことを特徴とする薄膜半導体デバイスの製造方法。

30

【請求項 14】

請求項 2 ~ 4 の何れかに記載の薄膜半導体デバイスの製造方法において、前記配線は、アルミニウム、タングステン、タングステンシリサイド、金、銀、銅、白金、チタンのいずれかを含む材料であることを特徴とする薄膜半導体デバイスの製造方法。

【請求項 15】

請求項 2 ~ 4 の何れかに記載の薄膜半導体デバイスの製造方法において、前記接着又は接合する工程は、薄膜半導体層と第 2 の基体との間に接着性の材料を添加して接着させるものであることを特徴とする薄膜半導体デバイスの製造方法。

40

【請求項 16】

請求項 2 ~ 4 の何れかに記載の薄膜半導体デバイスの製造方法において、前記接着又は接合する工程は、薄膜半導体層の表面と第 2 の基体の表面とを接した状態で加熱するものであることを特徴とする薄膜半導体デバイスの製造方法。

【請求項 17】

50

請求項 2 ~ 4 の何れかに記載の薄膜半導体デバイスの製造方法において、
前記接着又は接合する工程は、真空雰囲気で行うことで実施する
ことを特徴とする薄膜半導体デバイスの製造方法。

【請求項 18】

請求項 1 ~ 4 の何れかに記載の薄膜半導体デバイスの製造方法において、
分離面側から前記薄膜半導体層を部分的に除去し、半導体デバイスと他の半導体デバイスとの間を電氣的に絶縁する工程は、
半導体デバイスにマスクをかぶせてエッチング除去する工程、又は、レーザー照射により薄膜半導体層を切断する工程を含む
ことを特徴とする薄膜半導体デバイスの製造方法。

10

【請求項 19】

請求項 1 ~ 4 の何れかに記載の薄膜半導体デバイスの製造方法において、
分離面に絶縁物を形成する工程における絶縁物は、シリコン系化合物を材料に含む
ことを特徴とする薄膜半導体デバイスの製造方法。

【請求項 20】

請求項 2 ~ 4 の何れかに記載の薄膜半導体デバイスの製造方法は、
分離面側の絶縁物を部分的に除去して半導体デバイスの一部分を暴露する工程を更に有する
ことを特徴とする薄膜半導体デバイスの製造方法。

【請求項 21】

請求項 20 に記載の薄膜半導体デバイスの製造方法において、
暴露された半導体デバイスの一部分に導電性の材料を形成するときに用いる導電性の材料は、光学的に透明である
ことを特徴とする薄膜半導体デバイスの製造方法。

20

【請求項 22】

請求項 21 に記載の薄膜半導体デバイスの製造方法において、
光学的に透明である材料とは、インジウムとチタンと酸素の化合物、錫と酸素の化合物、亜鉛と酸素の化合物のいずれかを含む材料である
ことを特徴とする薄膜半導体デバイスの製造方法。

【請求項 23】

請求項 20 に記載の薄膜半導体デバイスの製造方法において、
暴露された半導体デバイスの一部分に導電性の材料を形成するときに用いる導電性の材料は、金属である
ことを特徴とする薄膜半導体デバイスの製造方法。

30

【請求項 24】

請求項 23 に記載の薄膜半導体デバイスの製造方法において、
前記金属は、アルミニウム、タングステン、金、銀、銅、白金、チタンのいずれかを含む材料である
ことを特徴とする薄膜半導体デバイスの製造方法。

【請求項 25】

請求項 3 又は 4 に記載の薄膜半導体デバイスの製造方法において、
前記遮光層は、金属を含む材料である
ことを特徴とする薄膜半導体デバイスの製造方法。

40

【請求項 26】

請求項 25 に記載の薄膜半導体デバイスの製造方法において、
前記遮光層に用いられる金属は、アルミニウム、タングステン、金、銀、銅、白金、チタン、タングステンとシリコンの化合物、チタンとシリコンの化合物のいずれかを含む材料である
ことを特徴とする薄膜半導体デバイスの製造方法。

【請求項 27】

50

膜厚が数百 ～ 略 1 μm の薄膜半導体層を用いて形成された半導体デバイスと、
前記薄膜半導体層を除去することにより前記半導体デバイス間を電氣的に絶縁したアイ
ランド構造と

を有することを特徴とする薄膜半導体デバイス。

【請求項 28】

膜厚が数百 ～ 略 1 μm の薄膜半導体層を用いてダブルゲート構造の M I S (Metal In
sulator Semiconductor) トランジスタを形成した

ことを特徴とする薄膜半導体デバイス。

【請求項 29】

膜厚が数百 ～ 略 1 μm の薄膜半導体層を用いて両面キャパシタを形成した

10

ことを特徴とする薄膜半導体デバイス。

【請求項 30】

請求項 27 又は 28 に記載の薄膜半導体デバイスにおいて、

前記薄膜半導体層を用いて両面キャパシタを形成した

ことを特徴とする薄膜半導体デバイス。

【請求項 31】

請求項 27 又は 28 に記載の薄膜半導体デバイスにおいて、

透明電極を更に有する

ことを特徴とする薄膜半導体デバイス。

【請求項 32】

20

請求項 27 又は 28 に記載の薄膜半導体デバイスにおいて

前記半導体デバイス又はトランジスタへの光の入射を妨げる遮光層を更に有する

ことを特徴とする薄膜半導体デバイス。

【請求項 33】

膜厚が数百 ～ 略 1 μm の薄膜半導体層を用いて形成した M I S (Metal Insulator Semic
onductor) トランジスタと、

前記薄膜半導体を用いて形成した両面キャパシタと、

対向電極を形成する透明電極と、

前記透明電極対間に配置された液晶層と

を有することを液晶ディスプレイ。

30

【請求項 34】

膜厚が数百 ～ 略 1 μm の薄膜半導体層を用いて形成したダブルゲート構造の M I S (Met
al Insulator Semiconductor) トランジスタと、

前記薄膜半導体を用いて形成した両面キャパシタと、

対向電極を形成する透明電極と、

前記透明電極対間に配置された液晶層と

を有することを液晶ディスプレイ。

【請求項 35】

請求項 33 又は 34 に記載の液晶ディスプレイにおいて

前記トランジスタへの光の入射を妨げる遮光層を更に有する

40

ことを特徴とする液晶ディスプレイ。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、薄膜半導体デバイスの製造方法に関する。また、当該方法を用いて製造され
る薄膜半導体デバイスと当該薄膜半導体デバイスを搭載した装置に関する。

【背景技術】

【0002】

現在、透過型 L C D (Liquid Crystal Display) 向けの T F T (Thin Film Transisto
r) には、ポリシリコンかアモルファスシリコンが多く使われている。薄膜単結晶シリコ

50

ンを材料としたTFTは電流駆動能力が高く、しきい値電圧 V_{th} のばらつきが少ないなどの優れた特性をもつ。この製造方法は、例えば、SOI (silicon on insulator) 基板上にトランジスタ及び素子間分離領域を形成し、絶縁膜をフッ酸でエッチングして、リフトオフする方法が提案されている。

【特許文献1】特開平9-312349号公報

【0003】

また現在、電流駆動能力を向上させるための構造として、ダブルゲート型薄膜単結晶シリコントランジスタの開発が進められている。この構造のトランジスタは、例えば、貼り合わせ法によって製造することができる。この製造方法の特徴は、裏面ゲートを予め貼り合わせ基板に埋め込んでおき、SOI基板を製造することである。しかし、このトランジスタには、セルフアライメントができないこと、及び製造コストが高くなるという技術上の問題があった。

10

【0004】

かかる問題のうちセルフアライメント構造については、例えばIBMによりFinFET Structure法なる方法が提案されている。この製造方法の特徴は、SOI層を垂直にして、ゲートをSOI層の横側からエッチングすることである。これにより、両側のゲート長を完全に等しくすることができ、理想的な電気特性は有するダブルゲートトランジスタを製造することが可能となる。

【発明の開示】

【発明が解決しようとする課題】

20

【0005】

しかし、いずれも製造コストが高くなる問題があった。また、前述した製造方法には量産性に問題もあった。

【0006】

本発明は、以上の問題を考慮してなされたものであり、前述した問題の一つ以上を解決することを目的とする。

【課題を解決するための手段】

【0007】

本発明は、多孔質層を下地に形成した薄膜半導体層を用いて半導体デバイスを形成し、これを別の基体に貼り付けた後(半パッケージ工程の後)、次に別の基体の剥離面側から薄膜半導体層の一部を除去するように加工することを特徴とするものである。更には、剥離面側に更に半導体デバイスを形成することにより、薄膜半導体層の両面に半導体デバイスを形成することを特徴とするものである。より具体的には、以下のような処理プロセスを提案する。

30

【0008】

(a) 基本プロセス

図1に、薄膜半導体デバイスの製造方法の基本的なプロセスを示す。まず、図1(a)の基体1を陽極化成する。陽極化成とは、基体(例えば、シリコンウエハー)を陽極(+)とし、対向電極(例えば、白金)を陰極(-)として電流を流すことである。なお、陽極化成条件(電流密度、電解液濃度、化成時間)については周知の技術を適用する。

40

【0009】

これにより、図1(b)に示すように、基体の表面に多孔質層(以下「ポラス層」ともいう。)2を形成する。多孔質層には、例えば直径 $0.01\mu\text{m}$ の極細の穴が無数に開いており、いわゆるスポンジ構造を有している。次に、図1(c)に示すように、薄膜半導体層3を、多孔質層2を土台として第1の基体1上に形成する。多孔質層2を下地とするため、非常に結晶性の良い薄膜半導体層3を成長させることができる。

【0010】

その後、図1(d)に示すように、薄膜半導体3を用いて半導体デバイスを加工する。図1(d)は、半導体デバイスとしてTFTを加工する場合の例であり、薄膜半導体層3の上面にゲート電極4を、既知の半導体プロセスを用いて形成した状態を表している。勿論、

50

半導体デバイスは後述するように T F T に限るものではない。

【0011】

この後、形成された半導体デバイスと他の半導体デバイスとの間に配線を形成する。次に、図1(e)に示すように、露出した面上に接着剤や接着剤と同等の機能を実現する絶縁膜5を塗布又は積層し、半導体デバイスと第2の基体6と接着又は接合する。

【0012】

次に、図1(f)に示すように、第2の基体6に接着又は接合された半導体デバイスを、第1の基体1から分離する。この分離は多孔質層2で行う。例えば、多孔質層2に側面から外力を加えて切り欠けを形成し、この切り欠けが広がるように機械的に破断する方法により行う。また例えば、多孔質層2を超高圧水流（ウォータージェット）で切断することにより行う。 10

【0013】

なお、図1(g)に、取り除かれた第1の基体側の断面層構造を示す。基体1上には多孔質層2が残存しているが、多孔質層2は除去される。多孔質層2が除去された基体1は、図1(a)に示すように、次の製造プロセスで再利用される。このように基板1の再利用が可能であることにより、製造コストの低減化が実現される。

【0014】

一方、図1(h)に、半導体デバイスの転写側である第2の基体側の断面層構造を示す。この工程では、分離面側から残存する多孔質層2が除去されると共に、露出した薄膜半導体層3を部分的に除去する工程が実施される。この工程により、半導体デバイスと他の半導体デバイスとの間が電氣的に絶縁される。この段階で薄膜半導体層3を加工することで、高い加工精度を実現できる。 20

【0015】

因みに、図1(d)の段階で、薄膜半導体層3を部分的に除去することも可能である。この場合には、後工程により、多孔質層2上に膜質の異なる少なくとも2つの領域が形成される。しかし、この膜質の違いから、多孔質層2を除去する際に薄膜半導体層3が剥がれる等のダメージが生じ易い。このため、製造コストの上昇につながる可能性がある。以上の理由により、本発明は、図1(h)の段階で薄膜半導体層3を加工する。

【0016】

なお、図1(h)の段階では、多孔質層2が完全に取り除かれることが好ましい。しかし、多孔質層2は、半導体デバイスの動作性能で許容される範囲内であれば、基体上の一部又は全面に残存していても良い。 30

【0017】

この後、分離面側に絶縁物を形成する工程が実行される。以上が、基本的なプロセスである。かかるプロセスを用いれば、例えば、半導体基板上を陽極化成して形成した多孔質（ポーラス）半導体上に薄膜半導体をエピタキシャル成長させて半導体デバイスを作成し、この半導体デバイスを剥離して他の基板に転写する等の加工が可能となる。

【0018】

なお、製造する半導体デバイスに応じ、この工程の後、分離面側の絶縁物を部分的に除去して半導体デバイスの一部分を暴露する工程を実行しても良い。なおこの場合には、例えば、暴露された半導体デバイスの一部分に導電性の材料を形成して、導電性材料と半導体デバイスとを電氣的に導電させる工程を続いて実行する。 40

【0019】

図1(i)は、この基本プロセスをLCDの製造プロセスに適用する場合の工程を表すもので、前述した配線後の工程として、配線工程が終了した半導体デバイス上に液晶7をガラス基板8で封止した状態を表している。このLCD製造プロセスの場合、前述した第2の基体6にはガラス基板を使用する。

【0020】

(b) 追加のプロセス

ここでは、前述した基本プロセスに対し、更に遮光層を形成する工程を追加する製造方 50

法を提案する。当該工程の追加方法として、2つの製造方法を提案する。一つは、図1(d)の時点で追加する製造方法である。例えば、形成された半導体デバイスと他の半導体デバイスとの間に配線を形成した後であって、半導体デバイスと第2の基体6と接着又は接合する前に、配線の上に遮光層を形成する工程を設ければ良い。

【0021】

他の一つは、図1(h)の時点で追加する製造方法である。例えば、暴露された半導体デバイスの一部分に導電性の材料を形成して、導電性材料と半導体デバイスとを電氣的に導電させる工程の後に、分離面側に遮光層を形成する工程を設ければ良い。遮光層を形成する工程を設けることで、TFTなどの半導体デバイスを完全に遮光することができる。このように、前述した基本プロセスは、光照射を起因とする誤動作を防ぐ必要のある半導体デバイスの製造プロセスにも応用することができる。

10

【0022】

(c) 成膜条件など

前述のプロセスにおける各工程には、それぞれ以下の材料や条件を更に適用することができる。例えば、第1の基体として、単結晶の半導体材料を使用するのが好適である。もっとも、多結晶の半導体材料を使用することもできる。また、第1の基体は、元素半導体又は化合物半導体を半導体材料としても良い。

【0023】

元素半導体としては、例えばシリコン(Si)、ゲルマニウム(Ge)を用い得る。また化合物半導体としては、例えばIV-IV族化合物半導体、III-V族化合物半導体なども用い得る。具体的には、シリコンとゲルマニウムの化合物、ガリウムと砒素の化合物、ガリウムとリンの化合物、ガリウムとインジウムとリンの化合物、ガリウムと窒素の化合物などを用い得る。

20

【0024】

また薄膜半導体層として、単結晶の半導体材料を使用するが好適である。例えば、単結晶をエピタキシャル成長させることで、結晶性の良い薄膜を生成することができる。このように結晶性の良い薄膜を使用できるため、例えばTFTの小型化も実現できる。また、薄膜半導体層の場合も、その半導体材料を、元素半導体又は化合物半導体としても良い。

【0025】

元素半導体としては、例えばシリコン(Si)、ゲルマニウム(Ge)を用い得る。また化合物半導体としては、例えばIV-IV族化合物半導体、III-V族化合物半導体なども用い得る。具体的には、シリコンとゲルマニウムの化合物、ガリウムと砒素の化合物、ガリウムとリンの化合物、ガリウムとインジウムとリンの化合物、ガリウムと窒素の化合物などを用い得る。

30

【0026】

また薄膜半導体層は、厚さが数百 ~ 略1 μm であることが望ましい。更に好ましくは、膜厚が数nm ~ 数百nmであることが望ましい。これにより、寄生容量の一層の低減化を実現できる。かくして、高速化と消費電力の低減化を実現できる。また、薄膜半導体層は、基本的に下地となる多孔質層と同種の膜を形成することが好適であるが、下地となる多孔質層とは異なる膜を形成しても良い。例えば、多孔質シリコン基板上に、ガリウムと砒素の化合物でなる薄膜半導体層をエピタキシャル成長させることもできる。なお、透明電極の部分をこの薄膜半導体層とすることにより、固体撮像素子(CCD)やCMOS(Complementary MOS)センサーを形成することもできる。

40

【0027】

また半導体デバイスは、MIS構造、PN接合構造、バイポーラトランジスタ構造、レーザー発振構造、又はCCD構造のいずれかを含むことが望ましい。MIS構造としては、例えばMOS(Metal Oxide Semiconductor)構造が好適である。またレーザー発振構造としては、例えば二重ヘテロ接合構造が好適である。また、CCD構造は、半導体表面にMOS構造の電極を多数配列した構造をいう。CCD構造では、入力部への信号により電荷が注入され、各電極への駆動信号の印加によって注入された電荷を配列電極に沿って

50

転送され、出力部から電圧として取り出される動作が実行される。

【0028】

なお半導体デバイスは、MISトランジスタを含むことが好適である。さらに、半導体デバイスは、ダブルゲート構造のMISトランジスタ又はその層構造の一部を含むことがより好適である。ダブルゲート構造のTFTを用いることにより、駆動能力の高い薄膜半導体デバイスを製造することができる。さらに半導体デバイスには、薄膜半導体層の両側に形成されたキャパシタ（すなわち両面キャパシタ）又はその層構造の一部を含むことが望ましい。両面キャパシタ構造により容量の大きなTFTの製造を可能とすることができる。

【0029】

また、配線には、アルミニウム、タングステン、タングステンシリサイド、金、銀、銅、白金、チタンのいずれかを含む材料を用いるのが好ましい。かかる材料を、一般的なMOSプロセスと同様に配線材料とすることにより、薄膜半導体デバイスを安価に製造することができる。また、接着又は接合する工程では、薄膜半導体層と第2の基体との間に接着性の材料を添加して接着することが好適である。またさらに、接着又は接合する工程では、薄膜半導体層の表面と第2の基体の表面とを接した状態で加熱することで接合させても良い。

【0030】

なお、第2の基体には、透明基板やプラスチックのような可撓性を有する基板を使用することもできるし、シリコン基板を使用することもできる。因みに、第2の基体として、透明なガラス基板や、石英基板、プラスチック基板に転写する場合には、透明絶縁体基板上にTFTを製造することができる。また、透明絶縁体基板上にTFTを製造したら、液晶パネルを組み立てて、薄膜単結晶シリコンのLCDを製造することができる。

【0031】

すなわち、本発明を、透過型LCDの製造プロセスに応用できる。因みに、剥離したシリコン基板は再利用して何度も使用することができる。なお透過型LCDに応用する場合、TFT部分に光が照射されると、TFTは誤動作するので、光が照射されないようにすることが重要である。本発明では、前述のように遮光層を形成してTFT部分を完全に遮光できるので、透過型LCDへの応用が容易である。

【0032】

また好適には、接着又は接合する工程は、真空雰囲気で行うこともできる。また、分離された半導体デバイスの分離面側から前記薄膜半導体層を部分的に除去し、半導体デバイスと他の半導体デバイスとの間を電氣的に絶縁する工程は、半導体デバイスにマスクをかぶせてエッチング除去する工程、又は、レーザー照射により薄膜半導体層を切断する工程を含むことが望ましい。このように、一般的なMOSプロセスと同様の工程を利用することにより、薄膜半導体デバイスを安価に製造することができる。

【0033】

ここで、分離面に絶縁物を形成する工程における絶縁物は、シリコン系化合物を材料に含むことが好ましい。なおシリコン系化合物としては、シリコン酸化膜である二酸化シリコンやシリコン窒化膜である窒化シリコンを用いるのが好適である。これらを絶縁膜に使用することにより、良好な薄膜半導体デバイスを製造できる。また、かかる分離面側の絶縁物を部分的に除去して半導体デバイスの一部分を暴露する工程を更に有することが望ましい。この場合、半導体デバイスにマスクを被せて絶縁物をエッチング除去する工程、又は、レーザー照射により絶縁物を切断する工程を含むことが好ましい。

【0034】

また、暴露された半導体デバイスの一部分に導電性の材料を形成するときに用いる導電性の材料は、光学的に透明であるものが望ましい。なお光学的に透明である材料とは、好適には、インジウムとチタンと酸素の化合物、錫と酸素の化合物、亜鉛と酸素の化合物のいずれかを含む材料である。

【0035】

10

20

30

40

50

また、暴露された半導体デバイス的一部分に導電性の材料を形成するとき用いる導電性の材料は、金属であることが好ましい。この場合、金属には、アルミニウム、タングステン、金、銀、銅、白金、チタンのいずれかを含む材料を適用し得る。同様に、遮光層には、金属を含む材料を用いることが望ましい。ここで、遮光層に用いられる金属には、アルミニウム、タングステン、金、銀、銅、白金、チタン、タングステンとシリコンの化合物、チタンとシリコンの化合物のいずれかを含む材料を用いることが望ましい。

【0036】

なお本発明の場合、薄膜半導体デバイスの製造を剥離前のプロセスと、剥離後のプロセスとを組み合わせるため、温度条件の異なる製造プロセスを組み合わせることができる。例えば、第1の基体を剥離する前のプロセスでは、高温プロセスを用いてTFTを製造できる。これにより、例えば熱拡散炉を用いることができ、高温プロセスによる結晶性の良好なゲート酸化膜を成膜できる。また、各デバイス層の不純物拡散を温度の制約なしで、製造することができる。

10

【0037】

一方、第1の基体を剥離した後は、転写した第2の基体や接着材料の耐温性にもよるが、低温プロセスを用いてTFTを製造することができる。例えば、転写基板にガラスを用いれば、ガラスが溶融する温度より低い温度の範囲で、TFTを製造できる。大型LCDパネルに用いられる低温プロセスと同等の製造工程を実施できる。

【0038】

なお前述のように、本発明では透明電極(ITO電極)を、アルミニウムや銀、白金、金、パラジウム、マグネシウム、チタン、コバルト、タングステン等の金属に変えることにより、反射型LCDを製造することができる。かかる場合、転写する基板材料(第2の基体)として熱伝導率が高いものに転写すると、LCDの冷却を容易にすることができる。例えば、アルミニウムや鉄などの金属に転写すれば良い。

20

【0039】

転写基板となる第2の基体に金属を用いる場合には、表面を絶縁膜でコーティングしたり、絶縁膜を接合したり、絶縁性の接着剤を用いて接合すると良い。また第2の基体に沿って冷却管を配置し、冷却溶媒を流すと、冷却効率をより高めることができる。例えば、ステンレス製の金属板の裏側に冷却水を通す管を配置すれば、高輝度プロジェクタで使われるような強い光が照射されても、デバイスを常に冷却でき、熱による誤作動を防ぐことができる。

30

【0040】

(d) 薄膜半導体デバイス

図2～図4に、前述の薄膜半導体デバイスの製造方法で製造可能な薄膜半導体デバイスの基本構造を示す。まず、図2に示すように、膜厚が数百～略1 μm と非常に薄い薄膜半導体層11の上面に、例えば絶縁体膜12と金属ゲート13を順に積層した構造のMIS型トランジスタを有する薄膜半導体デバイスを実現できる。多孔質半導体を下地として形成するため、膜厚が数百～略1 μm と非常に薄く、結晶性の良い薄膜半導体層を用いてTFTを形成することができる。しかも、この薄膜半導体デバイスの場合には、半導体デバイス間の薄膜半導体層を物理的に除去するため、各半導体デバイスを電氣的に絶縁したアイランド構造を実現できる。これにより一層の集積化を実現できる。

40

【0041】

また、図3に示すように、膜厚が数百～略1 μm と非常に薄い薄膜半導体層11の両面に、絶縁体膜12と金属ゲート13を順に積層したダブルゲート構造のMIS型トランジスタを有する薄膜半導体デバイスを実現できる。なお、ダブルゲート構造であるので、駆動力の大きい回路を実現できる。この場合にも、半導体デバイス間の薄膜半導体層を物理的に除去するため、各半導体デバイスを電氣的に絶縁したアイランド構造を実現できる。

【0042】

また、図4に示すように、膜厚が数百～略1 μm と非常に薄い薄膜半導体層11の両

50

面に、絶縁体膜 12 と対向電極 14 を順に積層した両面キャパシタを有する薄膜半導体デバイスを実現できる。この両面キャパシタにより容量の大きな T F T を実現できる。この場合にも、半導体デバイス間の薄膜半導体層を除去して各半導体デバイスを電氣的に絶縁したアイランド構造とすることもできる。

【 0 0 4 3 】

なお、前述の半導体デバイス（例えば M I S 型トランジスタ）やダブルゲート構造の M I S 型トランジスタを有する薄膜半導体デバイスには、薄膜半導体層 11 の両側にキャパシタ、つまり両面キャパシタを更に有することが好ましい。また、前述の半導体デバイス（例えば M I S 型トランジスタ）やダブルゲート構造の M I S 型トランジスタを有する薄膜半導体デバイスは、透明電極を更に有することが好ましい。

10

【 0 0 4 4 】

また、前述の半導体デバイス（例えば M I S 型トランジスタ）やダブルゲート構造の M I S 型トランジスタを有する薄膜半導体デバイスは、各タイプの M I S 型トランジスタへの光の入射を妨げる遮光層を更に有することが望ましい。遮光層を設けることで、入射光によりトランジスタが誤動作するのを防ぐことができる。

【 0 0 4 5 】

なお、膜厚が数百 ~ 略 1 μ m の薄膜半導体層に形成した M I S トランジスタと、薄膜半導体の両側に形成したキャパシタと、対向電極を形成する透明電極と、透明電極対間に配置された液晶層とを組み合わせることにより、液晶ディスプレイを形成できる。また同様に、膜厚が数百 ~ 略 1 μ m の薄膜半導体層に形成したダブルゲート構造の M I S トランジスタと、薄膜半導体の両側に形成したキャパシタと、対向電極を形成する透明電極と、透明電極対間に配置された液晶層とを組み合わせることでも、液晶ディスプレイを形成できる。

20

【 0 0 4 6 】

このように、膜厚が非常に薄い半導体層を使用して生成した非常に結晶性が高い T F T を用いることができるため、T F T を小型化でき、開口率の高い液晶ディスプレイを実現できる。また、この液晶ディスプレイでは、トランジスタへの光の入射を妨げる遮光層を更に設けることにより、トランジスタの誤動作のない液晶ディスプレイを実現できる。

【 発明の効果 】

【 0 0 4 7 】

本発明の一態様によれば、多孔質層の上面に形成した薄膜半導体層を用いて半導体デバイスの形成プロセスを実行し、形成した半導体デバイスを第 2 の基体を接着又は接合してから第 1 の基体から剥離する手法を採用するため、第 1 の基体を繰り返し利用でき、薄膜半導体デバイスの製造コストを低下することができる。また、多孔質層を下地として生成するため結晶性の良い薄膜半導体層を形成でき、特性に優れた半導体デバイスを実現できる。

30

【 0 0 4 8 】

また、本発明の一態様によれば、第 2 の基体側に半導体デバイスを転写した後、分離面となった薄膜半導体層を部分的に除去して半導体デバイス間を電氣的に絶縁する。このため、確実に素子間を分離することができる。また本発明の一態様によれば、第 2 の基体側に半導体デバイスを転写した後、分離面となった薄膜半導体層に半導体デバイスをさらに形成することができる。このため、比較的容易にダブルゲート構造のトランジスタや両面キャパシタを製造することができる。

40

【 発明を実施するための最良の形態 】

【 0 0 4 9 】

以下、薄膜単結晶シリコン T F T の製造方法について、本発明の実施形態を説明する。なお、本明細書で特に図示又は記載されない特質は、当該技術分野において知られているものから選択されても良い。

【 0 0 5 0 】

(1) 第 1 の実施形態

50

本実施形態では、シングルゲートトランジスタと、片面キャパシタと、片面遮光板とを有する液晶ディスプレイの製造方法について説明する。ここでは、図5-1～図5-6を参照し、一連の製造工程a1～a36を説明する。

【0051】

(a1)シリコン基板

まず、シリコン(Si)基板21を用意する。このシリコン基板21としては、例えば、P型、ボロン(B)ドーブ、CZ法、劈開面(100)、8インチの単結晶シリコン基板を用いる。言うまでもなく、シリコン基板を規定する各要素は、前述した用件に限られるものではない。

【0052】

(a2)陽極化成

次に、シリコン基板21を陽極化成し、表面を多孔質化させる。陽極化成は、電界溶液として $\text{HF}:\text{C}_2\text{H}_5\text{OH}=1:1$ を用いる。電流密度を途中で変化させることにより、2層構造の多孔質シリコン22を作成した。

【0053】

(a3)シリコンエピタキシャル成長

多孔質シリコン22を下地として、シリコンをエピタキシャル成長させる。この例の場合、膜厚100nmのエピタキシャルSi層23を成膜した。

(a4)熱酸化

次に、シリコン基板を熱酸化し、エピタキシャルSi層23の表面に酸化膜24を形成する。

【0054】

(a5)イオン注入(チャンネル)

次に、エピタキシャルSi層23にボロンをイオン注入する。このイオン注入はチャンネル層のドーピングに相当する。本実施形態では、チャンネル層をP型にするため、ボロンを注入した。もし、チャンネル層をN型にするときは、例えばリンをドーブするとよい。

【0055】

(a6)レジストパターンニング

この後、レジスト25を用いて、パターンを作成する。キャパシタの電極部分を作成するためである。

(a7)イオン注入(キャパシタ電極)

次に、高濃度のヒ素を注入し、キャパシタの電極部分を高濃度のN型(N++)にする。なお、イオン注入後に、レジスト25を除去する。

【0056】

(a8)ポリシリコンCVD

次に、ポリシリコン層26をCVD(Cheical Vapor Deposition)法により成膜する。このポリシリコン層26は、ゲート電極材となる。

(a9)ドライエッチング(フロントゲート形成)

次に、ポリシリコン層26をドライエッチングして、ゲート電極を形成する。この電極はフロントゲートの役目をする。

【0057】

(a10)イオン注入(LDD)

次に、全面にLDD(Lightly Doped Drain)用のイオン注入を行う。本実施例ではリンを注入し、LDD層をN型(N+)にする。

(a11)二酸化シリコンCVD

次に、全面に SiO_2 膜27をCVD(Cheical Vapor Deposition)法により成膜する。

【0058】

(a12)ドライエッチング(サイドウォール形成)

10

20

30

40

50

次に、全面をドライエッチングして、サイドウォールを形成する。

(a13)イオン注入（ソース・ドレイン）

次に、イオン注入を行い、ソース・ドレイン領域を作成する。本実施形態では砒素を注入し、ソース・ドレインを高濃度のN型（N++）にする。

【0059】

(a14)二酸化シリコンCVD

次に、SiO₂膜28をCVD法により成膜する。

(a15)ドライエッチング（コンタクトホール形成）

次に、フロントゲートから電極を取り出すため、コンタクトホールをドライエッチングにより形成する。

10

【0060】

(a16)Alスパッタ

次に、電極を形成するため、導電性の電極材料層29を成膜する。電極材料には、集積回路を形成するのに一般的に用いられる材料を使用する。具体的には、Al、W、Ti、Cu、Co、Mg、Pt、Au等の重金属やWSi、TiSi、CoSi等のシリコンと金属との合金（シリサイド）である。これ以外の材料でも、導電性であれば使用することができる。本実施形態では、Alをスパッタによって成膜する。

【0061】

(a17)ドライエッチング（電極形成）

次に、不必要な電極材料をドライエッチングして電極部材を形成する。

20

(a18)二酸化シリコンCVD

次に、SiO₂膜30をCVD法により成膜する。

(a19)ドライエッチング（コンタクトホール形成）

次に、多層配線を形成するため、コンタクトホールをドライエッチングにより形成する。

【0062】

(a20)メタルスパッタ（BLK部材）

次に、TFT部分を遮光するために遮光層31を成膜する。遮光層の材料には、光を遮光する特徴をもつものであれば使用することができる。具体的には、Al、W、Ti、Cu、Co等の重金属やWSi、TiSi等のシリコンと金属との合金（シリサイド）等である。これ以外の材料でも、遮光性の材料であれば使用することができる。本実施形態では、Tiをスパッタによって成膜する。

30

(a21)ドライエッチング（BLK形成）

次に、不必要な遮光材料をドライエッチングして、遮光部材を形成する。

【0063】

(a22)接着剤塗布

次に、表面に接着剤を塗布し、接着層32を形成する。接着層の材料は、接着性の材料を用いる。具体的には、市販の接着剤や粘着材を用いる。他の接合材料として、接着層には、SOG（Spin On Glass）やPSG（Phospho Silicate Glass）、BPSG（Boron Phosphorous silicate glass）、ゾルゲル等の材料を用いることができる。これらは、塗布してから支持基板と密着させ、高温にすることにより接合することができる性質の材料である。

40

【0064】

これらの接合材料は、表面を研磨して平らにしてから接着すると接着力が高くなる。他の接合材料として、温度を加えると接着する性質の材料を用いることができる。例えば、太陽電池の製造でよく用いられるEVA（エチレン-酢ビ共重合樹脂）である。他の接着材料として、何度も剥がすことができる粘着性の材料を用いてもよい。本実施形態では、市販のボンドを用いて接着する。

【0065】

(a23)ガラス基板と接着

50

次に、ガラス基板 33 を半導体デバイスに接着する。ガラス基板 33 は、特許請求の範囲における第 2 の基体の一例である。このとき、TFT 層とガラス基板との間に気泡が入らないようにするのが望ましい。例えば、真空ラミネーターを用いて、真空中で接着すれば、気泡が入らない。このように真空雰囲気を作り出す装置を用いて、真空雰囲気中で、接合作業を行うとよい。本実施形態では、真空ラミネーターを用いて接着する。

【0066】

(a24)剥離

半導体デバイスがガラス基板 33 に固着されると、多層構造の多孔質シリコン 22 の部分で、支持基板（シリコン基板 21）から TFT 部分を剥離する。剥離された半導体基板（シリコン基板 21）は、再利用することができる。ここでの剥離は、多孔質シリコン 22 の側面に外力を加えて物理的な欠損を作ってから機械的に剥ぎ取る方法や超高压水流によって切断する方法など既知の方法を使用する。

10

【0067】

(a25)多孔質シリコン除去

次に、剥離面に残存する多孔質シリコン 22 を除去する。多孔質シリコンは、薬液によるエッチングや、ガス雰囲気によるドライエッチングによって除去することができる。除去装置にスピネッチャーを用いると、均一で、凹凸の少ない表面を作成することができる。また、研磨装置やCMP（Chemical Mechanical Polish）を用いても良い。薬液は、多孔質シリコンをエッチングできる性質の材料を用いるとよい。例えば、フッ酸と硝酸の混合液、フッ酸と硝酸、酢酸の混合液、フッ酸と過酸化水素水の混合液等である。本実施形態では、スピネッチャーを用い、フッ酸と硝酸の混合液でエッチングを行った。

20

【0068】

(a26)ドライエッチング（SOIアイランド形成）

次に、剥離面に露出したエピタキシャル Si 層 23 をドライエッチングし、SOIアイランドを形成する。

(a27)二酸化シリコンCVD

次に、SiO₂ 膜 34 をCVD法により成膜する。

(a28)ドライエッチング（コンタクトホール形成）

次に、コンタクトホールを形成するため、SiO₂ 膜 34 をドライエッチングする。

30

【0069】

(a29)メタルスパッタ（BLK部材）

次に、TFT部分を遮光するため遮光層 35 を成膜する。遮光層の材料は、光を遮光する特徴をもつものであれば良い。具体的には、Al、W、Ti、Cu、Co等の重金属やWSi、TiSi等のシリコンと金属との合金等である。これ以外の材料でも、遮光性を有する材料であれば使用できる。本実施形態では、タングステン（W）をスパッタによって成膜した。

【0070】

(a30)ドライエッチング

次に、不必要な遮光層 35 をドライエッチングして、遮光部材を形成する。

40

(a31)二酸化シリコンCVD

次に、SiO₂ 膜 36 をCVD法により成膜する。

(a32)ドライエッチング（コンタクトホール形成）

次に、コンタクトホールを形成するため、SiO₂ 膜 36 をドライエッチングする。

【0071】

(a33)ITOスパッタ

次に、透明電極層 37 を成膜する。透明電極は、一般的にTFTや太陽電池、有機EL素子に用いられる材料を用いることができる。例えば、ITO、ZnO、SnO等である。本実施形態では、ITOをスパッタによって成膜する。

50

(a34)ウェットエッチング（透明電極形成）

次に、不必要な透明電極材料をエッチングして、透明電極部材を形成する。

【 0 0 7 2 】

(a35) T F T ユニット完成

以上で T F T ユニット（部材）が完成する。

(a36) 対向基板を貼り付け、液晶封入（LCD パネル完成）

更に、T F T に対向電極 3 9 を配線したガラス基板 4 0 を向かい合うように配置し、その隙間に液晶材料 3 8 を注入すれば液晶表示装置が完成する。図 6 に、本実施形態で製造される液晶表示装置の断面構造を模式的に示す。

【 0 0 7 3 】

（ 2 ）第 2 の実施形態

本実施形態では、ダブルゲートトランジスタと、両面キャパシタと、両面遮光板とを有する液晶ディスプレイの製造方法について説明する。ここでは、図 7 - 1 ~ 図 7 - 4 を参照し、一連の製造工程 b 1 ~ b 2 3 を説明する。なお、図 7 - 1 ~ 図 7 - 4 には、図 5 - 1 ~ 図 5 - 6 と対応する部分に同じ符号を付して示す。

【 0 0 7 4 】

(b1) 第 1 の実施形態の（a1）~（a17）工程までと同じ工程

この工程では、第 1 の実施形態の（a1）工程 ~ （a17）工程まで同じプロセスが実施される。従って、同じ層構造が得られる。

(b2) 二酸化シリコン C V D

次に、 SiO_2 膜 3 0 を C V D 法により成膜する。

(b3) ドライエッチング（コンタクトホール形成）

次に、コンタクトホールを形成するため、 SiO_2 膜 3 0 をドライエッチングする。

【 0 0 7 5 】

(b4) メタルスパッタ

次に、T F T 部分を遮光するために遮光層 3 1 を成膜する。遮光層の材料には、光を遮光する特徴をもつものであれば使用することができる。具体的には、A l、W、T i、C u、C o 等の重金属や W S i、T i S i 等のシリコンと金属との合金（シリサイド）等である。これ以外の材料でも、遮光性の材料であれば使用することができる。本実施形態では、T i をスパッタによって成膜する。

(b5) ドライエッチング（B L K 形成）

次に、不必要な遮光材料をドライエッチングして、遮光部材を形成する。

【 0 0 7 6 】

(b6) 接着剤塗布

次に、表面に接着剤を塗布し、接着層 3 2 を形成する。接着層の材料は、接着性の材料を用いる。具体的には、市販の接着剤や粘着材を用いる。他の接合材料として、接着層には、S O G や P S G、B P S G、ゾルゲル等の材料を用いることができる。これらは、塗布してから、支持基板と密着させて、高温にすることにより接合することができる性質の材料である。これらの接合材料は、表面を研磨して平らにしてから接着すると接着力が高くなる。他の接合材料として、温度を加えると接着する性質の材料を用いることができる。例えば、太陽電池の製造でよく用いられる E V A である。他の接着材料として、何度も剥がすことができる粘着性の材料を用いてもよい。本実施形態では、S O G を塗布する。S O G の塗布後、ベーキングし、表面を平らにするため研磨した。

【 0 0 7 7 】

(b7) ガラス基板と接着

次に、ガラス基板 3 3 を接着層 3 2 に接着する。このとき、T F T 層とガラス基板との間に気泡が入らないようにするのが望ましい。本実施例では、ガラス基板と T F T が形成された S i 基板をウェット洗浄して、表面に親水性処理を施した。その後、貼り合わせを行った。貼り合わせの後、高温雰囲気中でアニールした。

10

20

30

40

50

(b8)剥離

半導体デバイスがガラス基板 33 に固着されると、多層構造の多孔質シリコン 22 の部分で、支持基板（シリコン基板 21）から T F T 部分を剥離する。剥離された半導体基板は、再利用することができる。

【0078】

(b9)多孔質シリコン除去

次に、剥離面に残存する多孔質シリコン 22 を除去する。本実施形態では、スピンエッチャーを用い、フッ酸と硝酸の混合液でエッチングを行った。

(b10)ドライエッチング（S O I アイランド形成）

次に、剥離面に露出したエピタキシャル S i 層 23 をドライエッチングし、S O I アイランドを形成する。 10

【0079】

(b11)二酸化シリコン C V D

次に、S i O₂ 膜 34 を C V D 法により成膜する。この S i O₂ 膜 34 は、バックゲートのゲート酸化膜の役目を果たす。同時に、両面キャパシタの絶縁材料の役目を果たす。もし、誘電率の高い材料を用いれば、キャパシタの容量を増大することができる。かかる材料としては、例えば S i N、P Z T、S B T、A l₂O₃、H f O 等がある。また、一般的な半導体素子に用いられる高誘電体材料を使用することもできる。本実施形態では、前述の通り、S i O₂ 膜 34 を C V D 法により成膜した。 20

【0080】

(b12)ドライエッチング（コンタクトホール形成）

次に、コンタクトホールを形成するため、S i O₂ 膜 34 をドライエッチングする。

(b13)メタルスパッタ（B L K 部材）

次に、バックゲートと両面キャパシタの導電性電極材料となる導電層 41 を成膜する。電極材料には、半導体集積回路を作成するのに一般的に用いられる導電性材料を使用することができる。具体的には、A l、W、T i、C u、C o、M g 等の重金属や W S i、T i S i 等のシリコンと金属との合金等である。これ以外の材料でも、導電性であれば使用することができる。本実施形態では、アルミニウム（A l）をスパッタによって成膜した。 30

【0081】

(b14)ドライエッチング

次に、導電層 41 のうち不必要な電極材料部分をドライエッチングにより取り除き、電極部材を形成する。

(b15)二酸化シリコン C V D

次に、S i O₂ 膜 42 を C V D 法により成膜する。

【0082】

(b16)メタルスパッタ（B L K 部材）

次に、T F T 部分を遮光するため遮光層 35 を成膜する。遮光層の材料は、光を遮光する特徴をもつものであれば良い。具体的には、A l、W、T i、C u、C o 等の重金属や W S i、T i S i 等のシリコンと金属との合金等である。これ以外の材料でも、遮光性の材料であれば使用することができる。本実施形態では、タングステンシリサイド（W S i）を C V D 法により成膜した。 40

【0083】

(b17)ドライエッチング（B L K 形成）

次に、不必要な遮光層 35 をドライエッチングして、遮光部材を形成する。

(b18)二酸化シリコン C V D

次に、S i O₂ 膜 36 を C V D 法により成膜する。

(b19)ドライエッチング（コンタクトホール形成） 50

次に、コンタクトホールを形成するため、 SiO_2 膜 36 をドライエッチングする。コンタクトホールは、透明電極とドレイン部分を電氣的に導通させるように形成する。

【0084】

(b20)ITOスパッタ

この後、透明電極 37 を形成する。なお、透明電極材料には、第 1 の実施形態の (a33) 工程で詳述したように、一般的な透明電極材料を用いることができる。本実施形態では、ITO を使用する。

(b21)ウェットエッチング(透明電極形成)

次に、不必要な透明電極材料をエッチングして、透明電極部材を形成する。

10

【0085】

(b22)TF Tユニット完成

以上でTF Tユニット(部材)が完成する。

(b23)対向基板を貼り付け、液晶封入(LCDパネル完成)

更に、TF Tに対向電極 39 を配線したガラス基板 40 を向かい合うように配置し、その隙間に液晶材料 38 を注入すれば液晶表示装置が完成する。図 8 に、本実施形態で製造される液晶表示装置の断面構造を模式的に示す。

【0086】

(3)第3の実施形態

本実施形態では、ダブルゲートトランジスタと、片面キャパシタと、両面遮光板とを有する液晶ディスプレイの製造方法について説明する。ここでは、図 9 - 1 ~ 図 9 - 4 を参照し、一連の製造工程 c1 ~ c15 を説明する。なお、図 9 - 1 ~ 図 9 - 4 には、図 5 - 1 ~ 図 5 - 6、図 7 - 1 ~ 図 7 - 4 と対応する部分に同じ符号を付して示す。

20

【0087】

(c1)第1の実施形態の(a1)~(a27)工程までと同じ工程

この工程では、第 1 の実施形態の(a1)工程~(a27)工程まで同じプロセスが実施される。ここでは、 SiO_2

膜 34 をCVD法により成膜する。 SiO_2 膜 34 は、第 2 の実施形態の(b13)工程と同様、バックゲートのゲート酸化膜と両面キャパシタの絶縁材料の役目を果たす。もし、誘電率の高い材料を用いれば、キャパシタの容量を増大することができる。本実施形態では、前述の通り、 SiO_2

30

膜 34 をCVD法により成膜した。

【0088】

(c2)ドライエッチング(コンタクトホール形成)

次に、コンタクトホールを形成するため、 SiO_2

膜 34 をドライエッチングする。

(c3)ドライエッチング(サイド遮光板用穴形成)

次に、TF Tの外周部分を囲むように、 SiO_2

膜 34 をドライエッチングする。そして、TF Tのサイド領域を遮光するようにトレンチ溝 43 を形成する。

40

【0089】

(c4)メタルスパッタ(BLK部材)

次に、バックゲートと両面キャパシタの導電性電極材料となる導電層 41 を成膜する。電極材料には、半導体集積回路を作成するのに一般的に用いられる導電性材料を使用することができる。この際、トレンチ溝 43 を完全に埋めるような材料と成膜方法を用いるのが好ましい。具体的には、Al、W、Ti、Cu、Co、Mg、Pt、Au等の重金属やWSi、TiSi等のSiと金属との合金等である。勿論、これ以外の材料でも、導電性であれば使用することができる。本実施形態では、WSiをCVD法によって成膜した。この導電層 41 は、後の工程の透明電極との接合配線に使用する。

【0090】

50

(c5)ドライエッチング (B L K 形成)

次に、不必要な電極材料 (遮光材料) をドライエッチングし、電極部材を形成する。この電極部材は、図中上下方向と横方向からの光の入射を遮断する遮光層としても機能する。

(c6)二酸化シリコン C V D

次に、 SiO_2 膜 4 2 を C V D 法により成膜する。

【 0 0 9 1 】

(c7)ドライエッチング (コンタクトホール形成)

次に、コンタクトホールを形成するため、 SiO_2 膜 4 2 をドライエッチングする。コンタクトホールは、透明電極 (後述する透明電極 3 7) とドレイン部分を電氣的に導通させるように形成する。

【 0 0 9 2 】

(c8)メタルスパッタ (B L K 部材)

次に、T F T 部分を遮光するために、遮光層 3 5 を成膜する。この遮光層 3 5 は、後の工程の透明電極との接合配線に使用する。遮光層の材料は、光を遮光する特性を有するものであれば使用可能である。具体的には、A l、W、T i、C u、C o等の重金属やW S i、T i S i等のシリコンと金属との合金等である。これ以外の材料でも、遮光性を有する材料であれば使用できる。本実施形態では、チタンシリサイド (T i S i) を C V D 法によって成膜した。

【 0 0 9 3 】

(c9)ドライエッチング (B L K 形成)

次に、不必要な遮光層 3 5 をドライエッチングして、遮光部材を形成する。

(c10)二酸化シリコン C V D

次に、 SiO_2 膜 3 6 を C V D 法により成膜する。

(c11)ドライエッチング (コンタクトホール形成)

次に、コンタクトホールを形成するため、 SiO_2 膜 3 6 をドライエッチングする。コンタクトホールは、透明電極とドレイン部分を電氣的に導通させるように形成する。

【 0 0 9 4 】

(c12) I T O スパッタ

次に、透明電極層 3 7 を成膜する。透明電極は、第 1 の実施形態の (a 3 3) 工程と同様、一般的な透明電極材料を用いる。本実施形態では、I T O をスパッタによって成膜する。

(c13)ウェットエッチング (透明電極形成)

次に、不必要な透明電極材料をエッチングして、透明電極部材を形成する。

【 0 0 9 5 】

(c14) T F T ユニット完成

以上で T F T ユニット (部材) が完成する。

(c15)対向基板を貼り付け、液晶封入 (L C D パネル完成)

更に、T F T に対向電極 3 9 を配線したガラス基板 4 0 を向かい合うように配置し、その隙間に液晶材料 3 8 を注入すれば液晶表示装置が完成する。図 1 0 に、本実施形態で製造される液晶表示装置の断面構造を模式的に示す。

【 0 0 9 6 】

(4) 第 4 の実施形態

本実施形態では、ダブルゲートトランジスタと、両面キャパシタと、完全 (4 面) 遮光板とを有する液晶ディスプレイの他の製造方法について説明する。ここでは、図 1 1 — 1 ~ 図 1 1 - 6 を参照し、一連の製造工程 d 1 ~ d 2 6 を説明する。なお、図 1 1 - 1 ~ 図 1 1 - 6 には、前述の他の実施形態の説明に用いた図面と対応する部分に同じ符号を付して示す。

【 0 0 9 7 】

(d1)第 1 の実施形態の (a 1) ~ (a 1 9) 工程までと同じ工程

10

20

30

40

50

この工程では、第1の実施形態の(a1)～(a19)工程までと同じプロセスが実施される。従って、同じ層構造が得られる。なお、図は、最上層のSiO₂膜30をドライエッチングしてコンタクトホールを形成した状態を表している。

【0098】

(d2) Alスパッタ

次に、多層配線を形成するため、導電性の電極材料を堆積し、導電層44を形成する。電極材料は、半導体集積回路を作成するのに一般的に用いられる材料を使用する。具体的には、Al、W、Ti、Cu、Co、Mg、Pt、Au等の重金属やWSi、TiSi、CoSi等のシリコンと金属との合金(シリサイド)等である。これ以外の材料でも、導電性があれば使用できる。本実施形態では、Alをスパッタによって成膜した。

10

【0099】

(d3)ドライエッチング(電極形成)

次に、不必要な多層配線材料をドライエッチングして、電極部材を形成する。

(d4)二酸化シリコンCVD

次に、SiO₂膜45をCVD法により成膜する。

【0100】

(d5)メタルスパッタ(BLK材料)

次に、TF T部分を遮光するために遮光層31を成膜する。遮光層の材料には、光を遮光する特徴をもつものであれば使用することができる。具体的には、Al、W、Ti、Cu、Co等の重金属やWSi、TiSi等のシリコンと金属との合金(シリサイド)等である。これ以外の材料でも、遮光性の材料であれば使用することができる。本実施形態では、Tiをスパッタによって成膜する。

20

(d6)ドライエッチング(BLK形成)

次に、不必要な遮光材料をドライエッチングして、遮光部材を形成する。

【0101】

(d7)接着剤塗布

次に、表面に接着剤を塗布し、接着層32を形成する。第1の実施形態の(a22)工程と同様に、接着層の材料には接着性の材料を用いる。本実施形態では、ゾルゲルを用いる。

(d8)ガラス基板と接着

次に、ガラス基板33を半導体デバイスに接着する。本実施形態の場合、接着後に熱アニールする。

30

【0102】

(d9)剥離

半導体デバイスがガラス基板33に固着されると、多層構造の多孔質シリコン22の部分で、支持基板(シリコン基板21)からTF T部分を剥離する。剥離された半導体基板(シリコン基板21)は、再利用する

(d10)多孔質シリコン除去

次に、剥離面に残存する多孔質シリコン22を除去する。多孔質シリコンの除去には、スピネッチャーを用いて、フッ酸と硝酸の混合液でエッチングを行った。

【0103】

40

(d11)ドライエッチング(SOIアイランド形成)

次に、剥離面に露出したエピタキシャルSi層23をドライエッチングし、SOIアイランドを形成する。

(d12)二酸化シリコンCVD

次に、SiO₂膜34をCVD法により成膜する。このSiO₂膜34は、第2の実施形態の(b13)工程と同様、バックゲートのゲート酸化膜と両面キャパシタの絶縁材料の役目を果たす。もし、誘電率の高い材料を用いれば、キャパシタの容量を増大することができる。本実施形態では前述のように、SiO₂膜34をCVD法により成膜した。

【0104】

50

(d13)ドライエッチング(コンタクトホール形成)

次に、コンタクトホールを形成するため、 SiO_2 膜34をドライエッチングする。

(d14)ドライエッチング(サイド遮光板用穴形成)

次に、第3の実施形態と同様、TF Tの外周部分を囲むように、 SiO_2 膜34をドライエッチングする。そして、TF Tのサイド領域を遮光するようにトレンチ溝43を形成する。

【0105】

(d15)メタルスパッタ(BLK部材)

次に、バックゲートと両面キャパシタの導電性電極材料となる導電層41を成膜する。電極材料には、半導体集積回路を作成するのに一般的に用いられる導電性材料を使用することができる。この際、トレンチ溝43を完全に埋めるような材料と成膜方法を用いるのが好ましい。具体的には、Al、W、Ti、Cu、Co、Mg、Pt、Au等の重金属やWSi、TiSi等のSiと金属との合金等である。勿論、これ以外の材料でも、導電性であれば使用することができる。本実施形態では、WSiをCVD法によって成膜した。この導電層41は、後の工程の透明電極との接合配線に使用する。

10

【0106】

(d16)ドライエッチング(BLK形成)

次に、不必要な電極材料をドライエッチングし、電極部材を形成する。この電極部材は、図中上下方向と横方向からの光の入射を遮断する遮光層としても機能する。

20

(d17)二酸化シリコンCVD

次に、 SiO_2 膜42をCVD法により成膜する。

【0107】

(d18)ドライエッチング(コンタクトホール形成)

次に、コンタクトホールを形成するため、 SiO_2 膜42をドライエッチングする。

(d19)メタルスパッタ(BLK部材)

次に、TF T部分を遮光するために、遮光層35を成膜する。この遮光層35は、後の工程の透明電極との接合配線に使用する。遮光層の材料は、光を遮光する特徴をもつものであれば使用することができる。具体的には、Al、W、Ti、Cu、Co等の重金属やWSi、TiSi等のシリコンと金属との合金等である。これ以外の材料でも、遮光性の材料であれば使用することができる。本実施形態では、チタンシリサイド(TiSi)をCVD法によって成膜した。

30

【0108】

(d20)ドライエッチング(BLK形成)

次に、不必要な遮光層35をドライエッチングして、遮光部材を形成する。

(d21)二酸化シリコンCVD

次に、 SiO_2 膜36をCVD法により成膜する。

(d22)ドライエッチング(コンタクトホール形成)

次に、コンタクトホールを形成するため、 SiO_2 膜36をドライエッチングする。コンタクトホールは、透明電極とドレイン部分を電氣的に導通させるように形成する。

40

【0109】

(d23)ITOスパッタ

次に、透明電極層37を成膜する。電極材料には、第1の実施形態の(a33)工程と同様、一般的な透明電極材料を用いる。本実施形態では、ITOをスパッタによって成膜する。

(d24)ウェットエッチング(透明電極形成)

次に、不必要な透明電極材料をエッチングして、透明電極部材を形成する。

【0110】

50

(d25) T F T ユニット完成

以上で T F T ユニット（部材）が完成する。

(d26) 対向基板を貼り付け、液晶封入（LCD パネル完成）

更に、T F T に対向電極 39 を配線したガラス基板 40 を向かい合うように配置し、その隙間に液晶材料 38 を注入すれば液晶表示装置が完成する。図 12 に、本実施形態で製造される液晶表示装置の断面構造を模式的に示す。

【0111】

（5）第 5 の実施形態

本実施形態では、ダブルゲートトランジスタと、両面キャパシタと、完全（4 面）遮光板（サイドウォールなし）とを有する液晶ディスプレイの他の製造方法について説明する。ここでは、図 13 - 1 ~ 図 13 - 3 を参照し、一連の製造工程 e1 ~ e5 を説明する。なお、図 13 には、前述の他の実施形態の説明に用いた図面と対応する部分に同じ符号を付して示す。

10

【0112】

(e1) 第 1 の実施形態の (a1) ~ (a10) 工程までと同じ工程

第 1 の実施形態の (a1) ~ (a10)

工程までと同じプロセスが実施される。この段階では、ドライエッチングにより電極部材に加工されたポリシリコン層 26 の上面に SiO_2 膜 27 が堆積された層構造が得られている。

(e2) レジスタパターン形成

20

次に、レジスタパターンに従ってドライエッチングする。レジスタパターンは、LCD 構造が形成されるように行う。

【0113】

(e3) 第 1 の実施形態の (a13) ~ (a18) 工程までと同じ工程

次に、第 1 の実施形態の (a13) ~ (a18) 工程までと同じプロセスを実施する。すなわち、イオン注入によるソース・ドレイン領域の形成、コンタクトホール形成、電極形成等の工程が実施される。

(e4) 第 4 の実施形態の (d1) ~ (d25) 工程までと同じ工程

次に、第 4 の実施形態の (d1) ~ (d25) 工程までと同じプロセスを実施する。すなわち、多層配線電極を形成する工程、遮光層を形成する工程、ガラス基板との接着及びシリコン基板 21 からの剥離その他の工程が順に実施され、T F T ユニットが完成される。

30

【0114】

(e5) 対向基板を貼り付け、液晶封入（LCD パネル完成）

更に、T F T に対向電極 39 を配線したガラス基板 40 を向かい合うように配置し、その隙間に液晶材料 38 を注入すれば液晶表示装置が完成する。この構造は、図 12 と同様の断面構造となる。

【0115】

（6）第 6 の実施形態

本実施形態では、ダブルゲートトランジスタと、両面キャパシタと、完全（4 面）遮光板とを有する液晶ディスプレイの製造方法について説明する。なお、この実施形態は、ポリシリコンゲートを配線として使用するものである。ここでは、図 14 を参照し、一連の工程 f1 ~ f4 を説明する。なお、図 14 には、前述の他の実施形態の説明に用いた図面と対応する部分に同じ符号を付して示す。

40

【0116】

(f1) 第 1 の実施形態の (a1) ~ (a18) 工程までと同じ工程

第 1 の実施形態の (a1) ~ (a18) 工程までと同じプロセスが実施される。なおここでは、ゲート電極上部へのコンタクトホール形成は行われず、形成するのはソース部分へのコンタクトホールのみである。

(f2) 第 1 の実施形態の (a20) ~ (a27) 工程までと同じ工程

次に、第 1 の実施形態の (a19) 工程をスキップして、(a20) ~ (a27) 工程までと同じプロ

50

セスが実施される。すなわち、遮光層 3 1 を積層する工程、ガラス基板との接着及びシリコン基板 2 1 からの剥離、S O I アイランドの形成その他の工程が順に実施される。

【 0 1 1 7 】

(f3) 第 4 の実施形態の (d13) ~ (d25) 工程までと同じ工程

次に、第 4 の実施形態の (d13) ~ (d25) 工程までと同じプロセスが実施される。すなわち、T F T ユニットの完成までの処理が実施される。

(f4) 対向基板を貼り付け、液晶封入 (L C D パネル完成)

更に、T F T に対向電極 3 9 を配線したガラス基板 4 0 を向かい合うように配置し、その隙間に液晶材料 3 8 を注入すれば液晶表示装置が完成する。この構造は、図 1 5 と同様の断面構造となる。

10

【 0 1 1 8 】

(7) 第 7 の実施形態

本実施形態では、前述した第 4 の実施形態の変形例を説明する。ここでは、図 1 6 に T F T ユニットの層構造例と完成した液晶表示装置の層構造例を示す。また、図 1 7 に概念的な断面構造を示す。なお、図 1 6 の場合も、前述した他の実施形態の説明に用いた図面と対応する部分に同じ符号を付して示す。

【 0 1 1 9 】

図 1 6 に示す層構造と第 4 の実施形態との相違点の一つは、ソース電極が多層電極 4 4 になっており、ゲート電極は 1 層になっている点である。もう一つの相違点は、両面キャパシタの電極部材 (金属材料) 4 6 を形成し、遮光層 3 5 との間に絶縁層 4 7 を設けた点

20

【 0 1 2 0 】

(8) 第 8 の実施形態

本実施形態では、前述した第 1 の実施形態と第 2 の実施形態とを組み合わせた変形例を説明する。すなわち、本実施形態では、シングルゲートトランジスタ (L D D なし) と、両面キャパシタと、片面遮光板を有する液晶ディスプレイの構造例を示す。ここでは、図 1 8 に製造した液晶表示装置の概念的な断面構造を示す。なお、図 1 8 の場合も、前述した他の実施形態の説明に用いた図面と対応する部分に同じ符号を付して示す。

【 産業上の利用可能性 】

【 0 1 2 1 】

本発明に係る製造方法は、例えば以下の用途にも適用し得る。まず、前述のように液晶表示装置用の T F T トランジスタに限らず、固体撮像素子 (C C D) や C M O S センサー、半導体集積回路、太陽電池にも応用できる。特に、透明電極の部分を薄膜半導体にすれば、C C D や C M O S センサーとして使用できる。また、第 2 の基体としての材質を選択することにより、曲面を持つ T F T デバイス、C C D デバイス、C M O S センサーに応用できる。

30

【 図面の簡単な説明 】

【 0 1 2 2 】

【 図 1 】 本発明の基本プロセスの一つを示す図である。

【 図 2 】 本発明の基本層構造 (シングルゲート構造) の一つを示す図である。

40

【 図 3 】 本発明の基本層構造 (ダブルゲート構造) の一つを示す図である。

【 図 4 】 本発明の基本層構造 (両面キャパシタ構造) の一つを示す図である。

【 図 5 - 1 】 第 1 の実施形態の製造プロセスを示す図である。

【 図 5 - 2 】 第 1 の実施形態の製造プロセスを示す図である。

【 図 5 - 3 】 第 1 の実施形態の製造プロセスを示す図である。

【 図 5 - 4 】 第 1 の実施形態の製造プロセスを示す図である。

【 図 5 - 5 】 第 1 の実施形態の製造プロセスを示す図である。

【 図 5 - 6 】 第 1 の実施形態の製造プロセスを示す図である。

【 図 6 】 第 1 の実施形態で製造した液晶表示装置の概略断面構造を示す図である。

【 図 7 - 1 】 第 2 の実施形態の製造プロセスを示す図である。

50

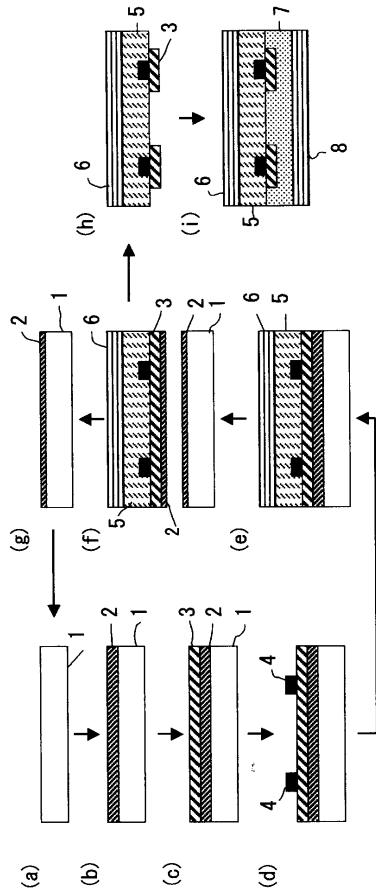
- 【図 7 - 2】第 2 の実施形態の製造プロセスを示す図である。
- 【図 7 - 3】第 2 の実施形態の製造プロセスを示す図である。
- 【図 7 - 4】第 2 の実施形態の製造プロセスを示す図である。
- 【図 8】第 2 の実施形態で製造した液晶表示装置の概略断面構造を示す図である。
- 【図 9 - 1】第 3 の実施形態の製造プロセスを示す図である。
- 【図 9 - 2】第 3 の実施形態の製造プロセスを示す図である。
- 【図 9 - 3】第 3 の実施形態の製造プロセスを示す図である。
- 【図 9 - 4】第 3 の実施形態の製造プロセスを示す図である。
- 【図 10】第 3 の実施形態で製造した液晶表示装置の概略断面構造を示す図である。
- 【図 11 - 1】第 4 の実施形態の製造プロセスを示す図である。 10
- 【図 11 - 2】第 4 の実施形態の製造プロセスを示す図である。
- 【図 11 - 3】第 4 の実施形態の製造プロセスを示す図である。
- 【図 11 - 4】第 4 の実施形態の製造プロセスを示す図である。
- 【図 11 - 5】第 4 の実施形態の製造プロセスを示す図である。
- 【図 11 - 6】第 4 の実施形態の製造プロセスを示す図である。
- 【図 12】第 4 の実施形態で製造した液晶表示装置の概略断面構造を示す図である。
- 【図 13 - 1】第 5 の実施形態の製造プロセスを示す図である。
- 【図 13 - 2】第 5 の実施形態の製造プロセスを示す図である。
- 【図 13 - 3】第 5 の実施形態の製造プロセスを示す図である。
- 【図 14】第 6 の実施形態の製造プロセスを示す図である。 20
- 【図 15】第 6 の実施形態で製造した液晶表示装置の概略断面構造を示す図である。
- 【図 16】第 7 の実施形態の製造プロセスを示す図である。
- 【図 17】第 7 の実施形態で製造した液晶表示装置の概略断面構造を示す図である。
- 【図 18】第 8 の実施形態で製造した液晶表示装置の概略断面構造を示す図である。

【符号の説明】

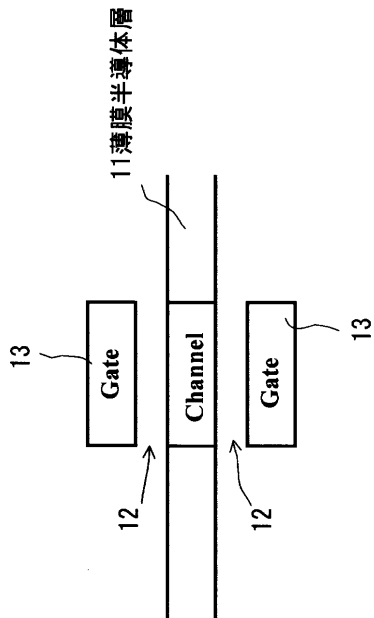
【 0 1 2 3 】

- 1 , 6 ; 基体
- 2 ; 多孔質層
- 3 、 1 1 ; 薄膜半導体層
- 2 1 ; シリコン基板 30
- 2 2 ; 多孔質シリコン
- 2 3 ; エピタキシャル S i 層
- 2 6 ; ポリシリコン層
- 2 9 ; 電極材料層
- 3 1 , 3 5 ; 遮光層
- 3 2 ; 接着層
- 3 3 , 4 0 ; ガラス基板
- 3 7 ; 透明電極層
- 3 8 ; 液晶材料
- 3 9 ; 対向電極 40
- 4 1 , 4 4 ; 導電層
- 4 6 ; 電極部材

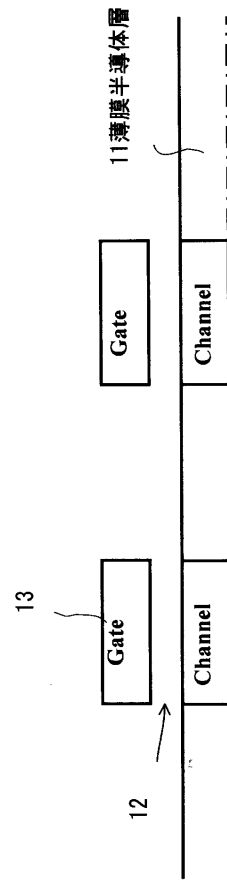
【図 1】



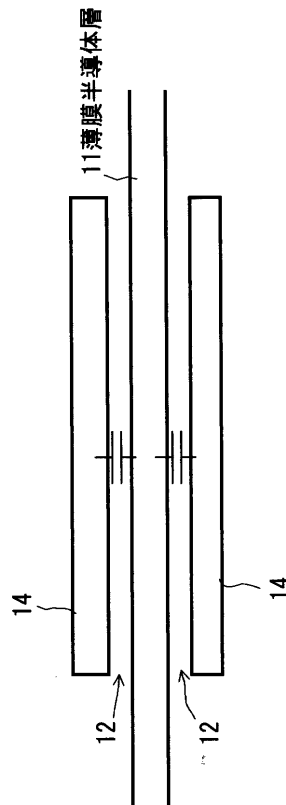
【図 3】



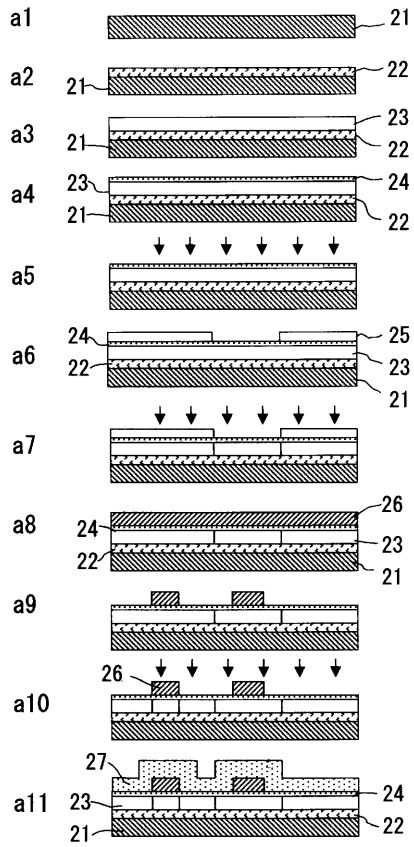
【図 2】



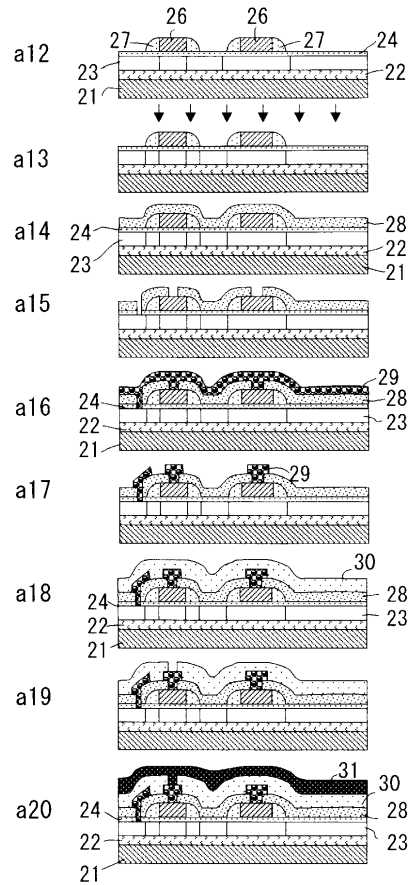
【図 4】



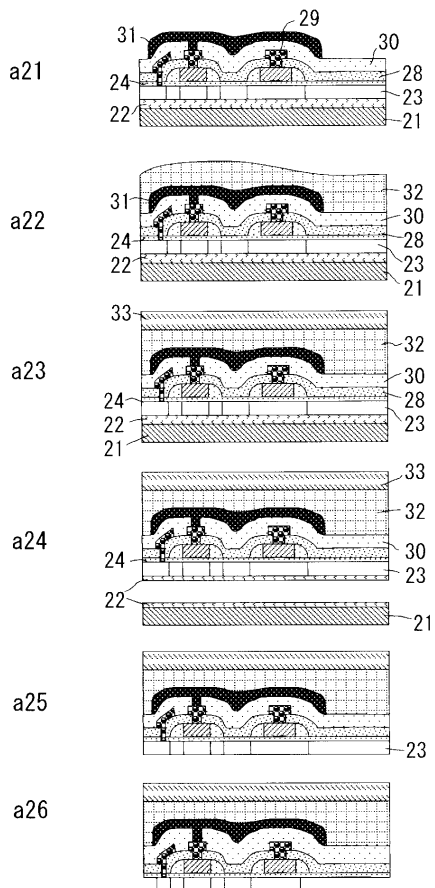
【図 5 - 1】



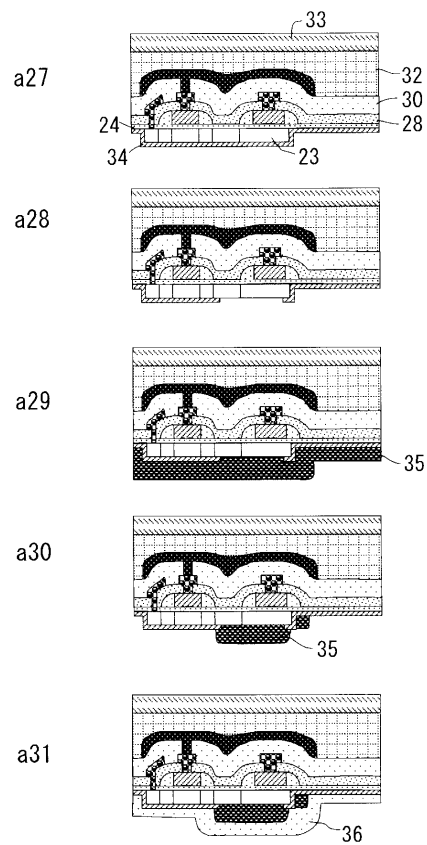
【図 5 - 2】



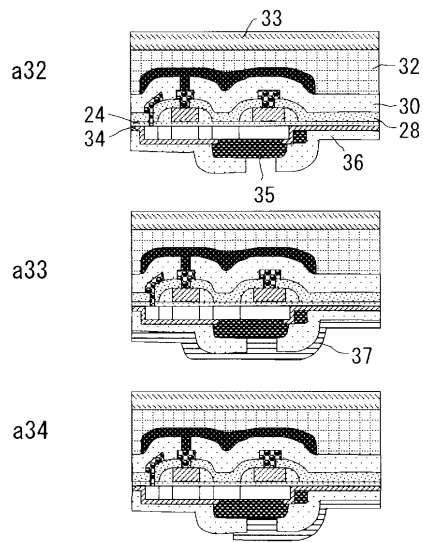
【図 5 - 3】



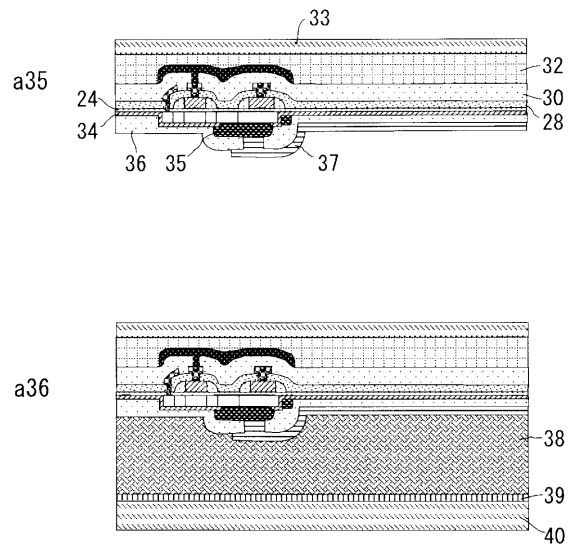
【図 5 - 4】



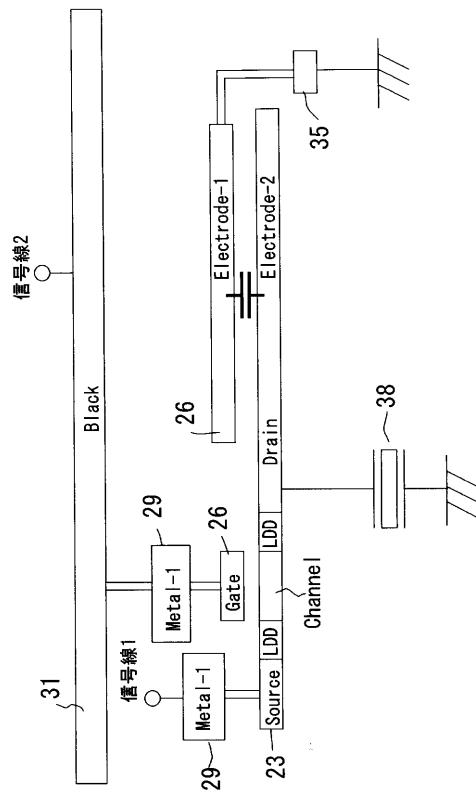
【図 5 - 5】



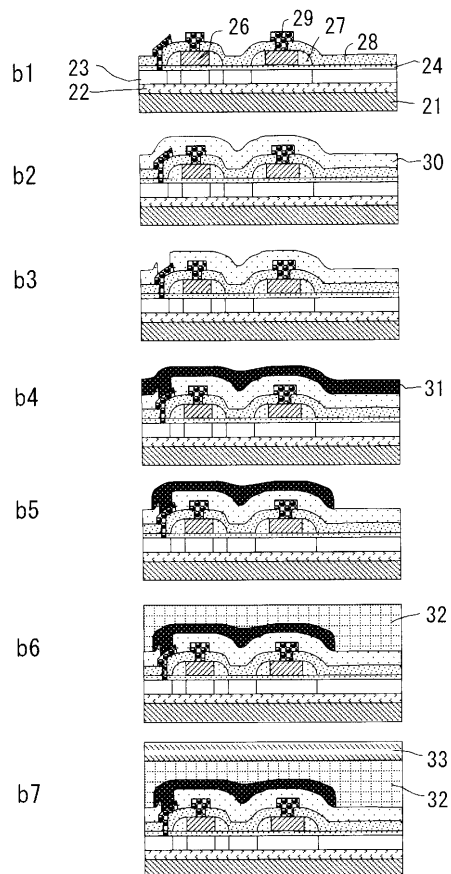
【図 5 - 6】

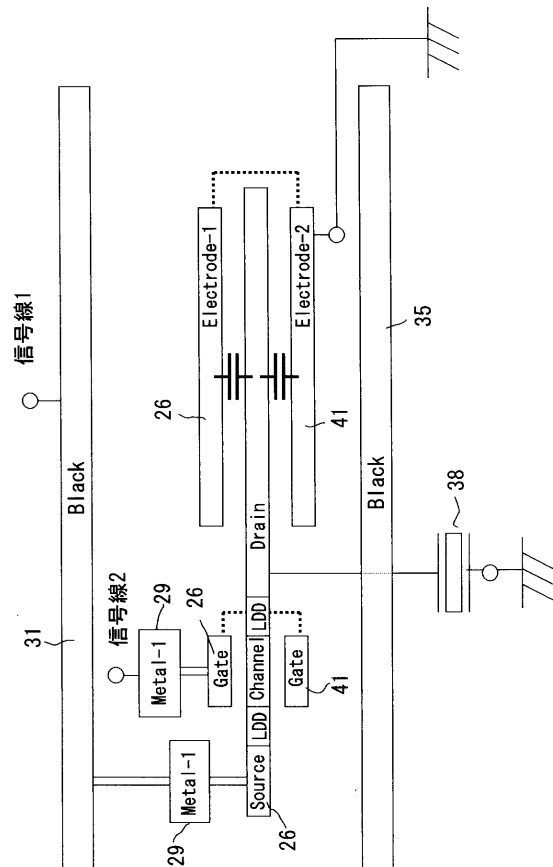


【図 6】

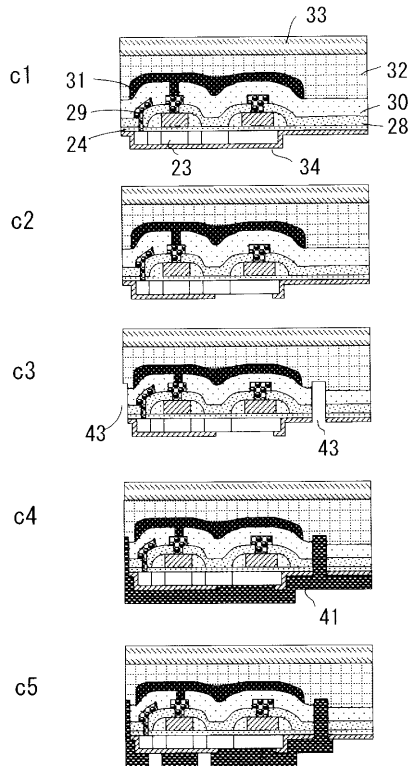


【図 7 - 1】

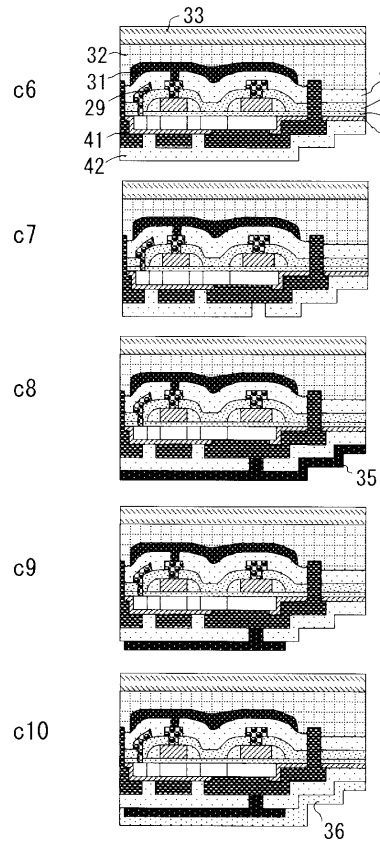




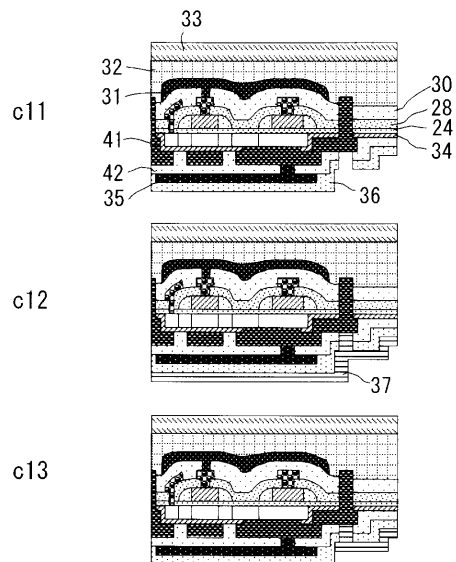
【 図 9 - 1 】



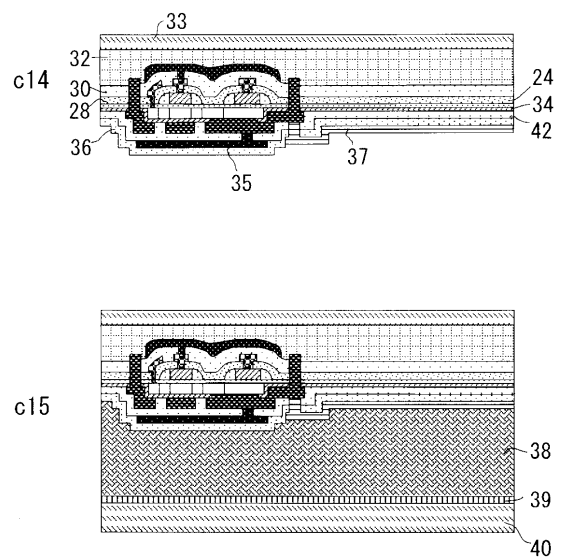
【 図 9 - 2 】



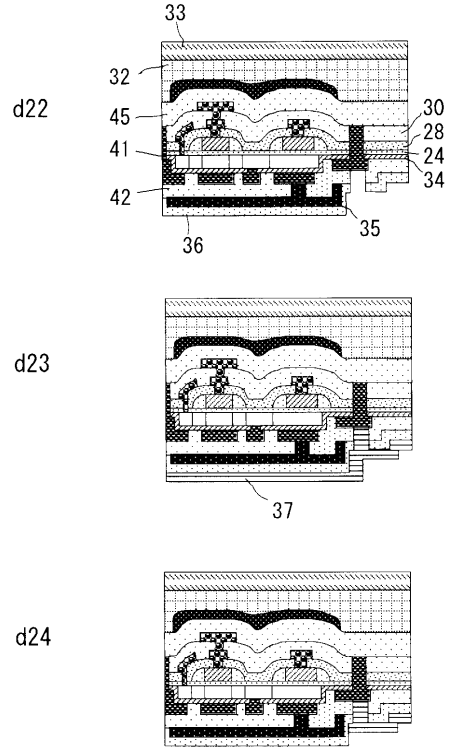
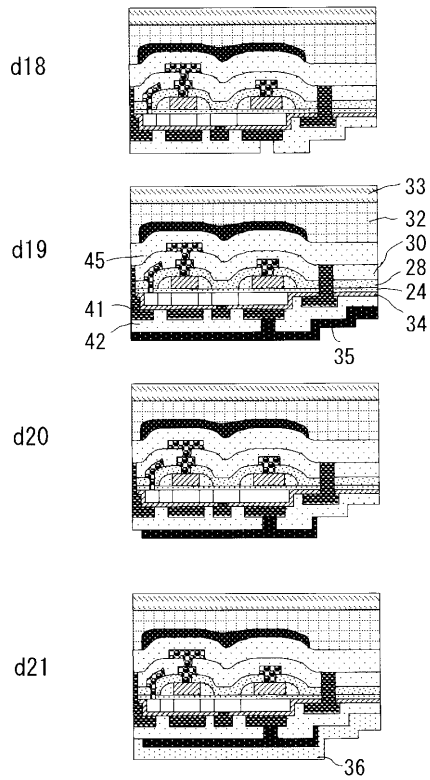
【 図 9 - 3 】



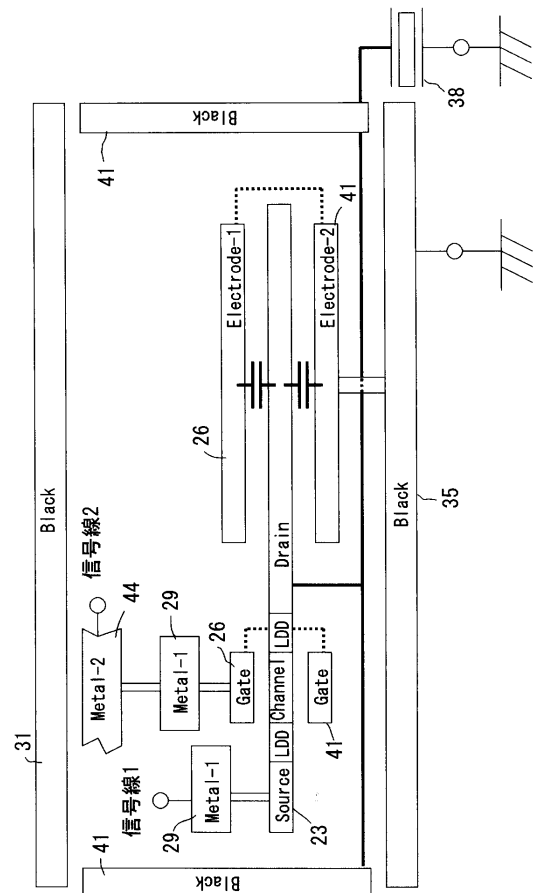
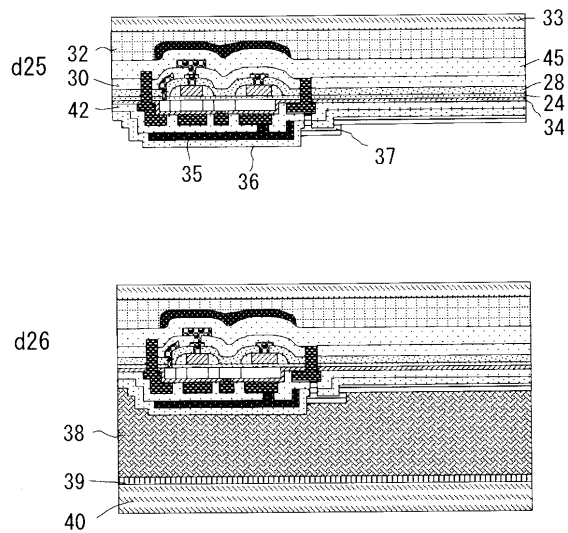
【 図 9 - 4 】



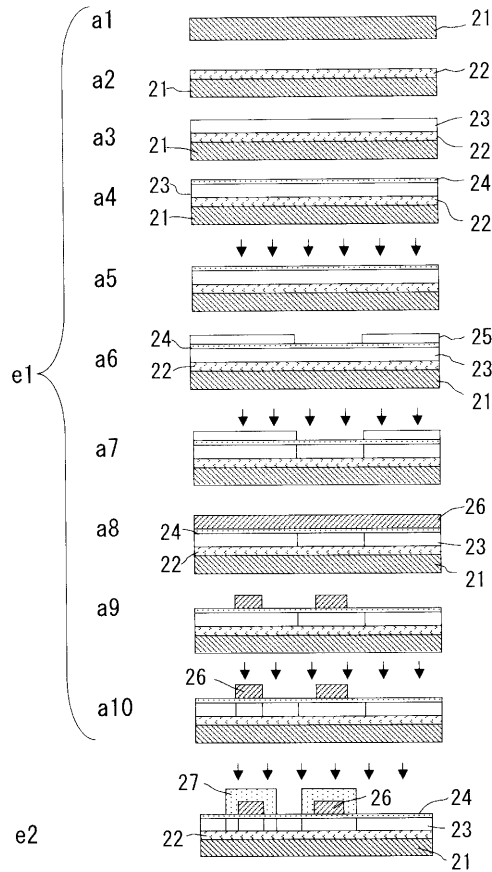
【 図 1 1 - 5 】



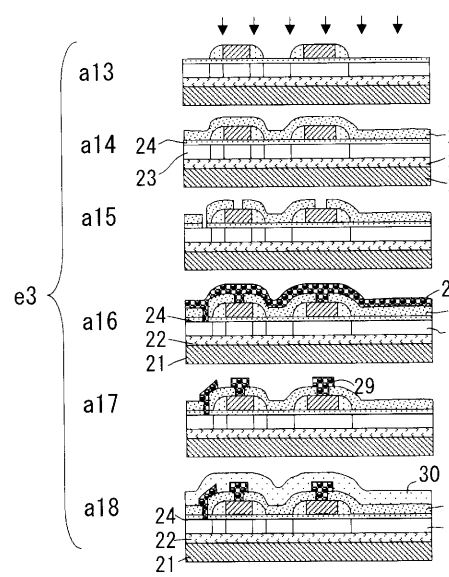
【 図 1 2 】



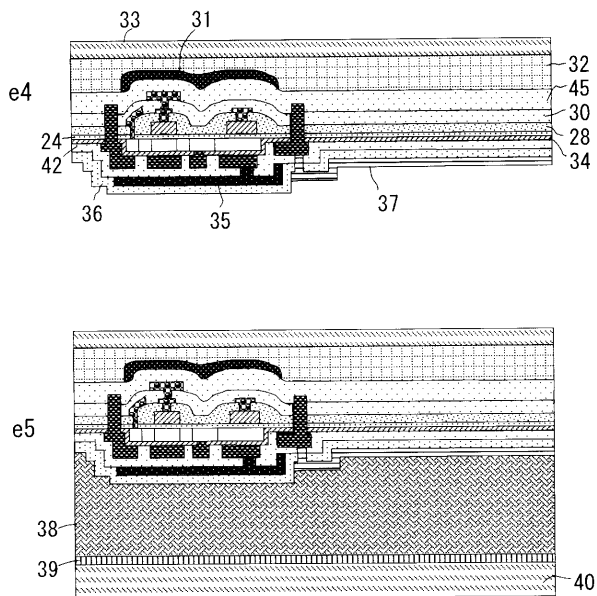
【図 13 - 1】



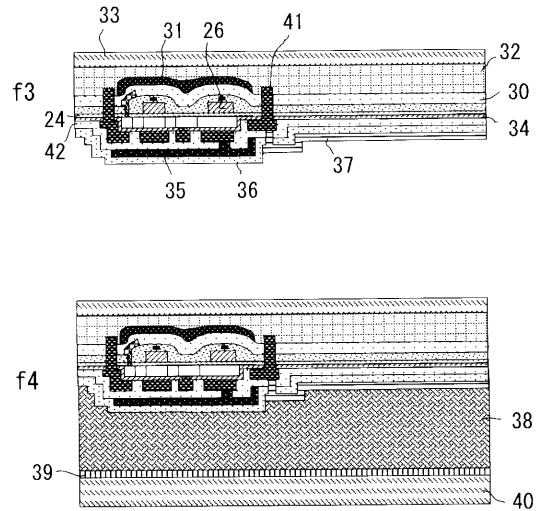
【図 13 - 2】



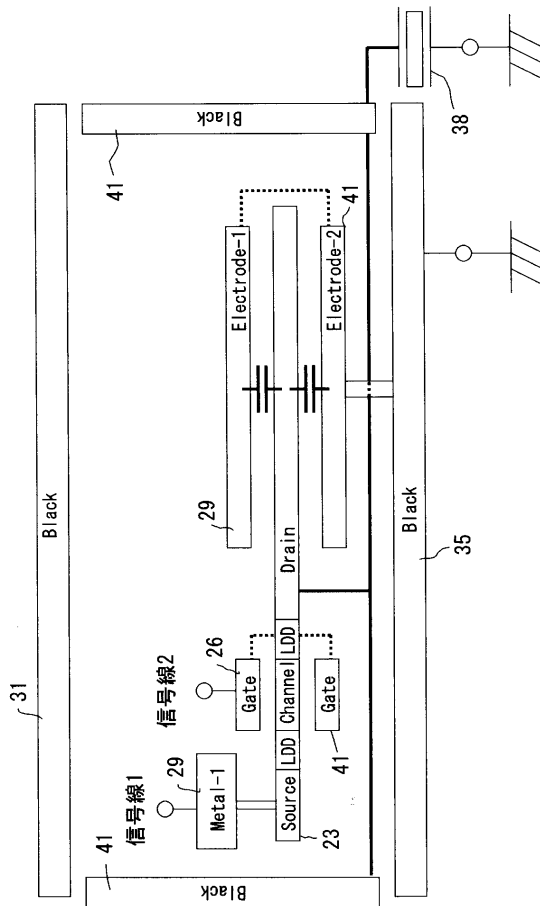
【図 13 - 3】



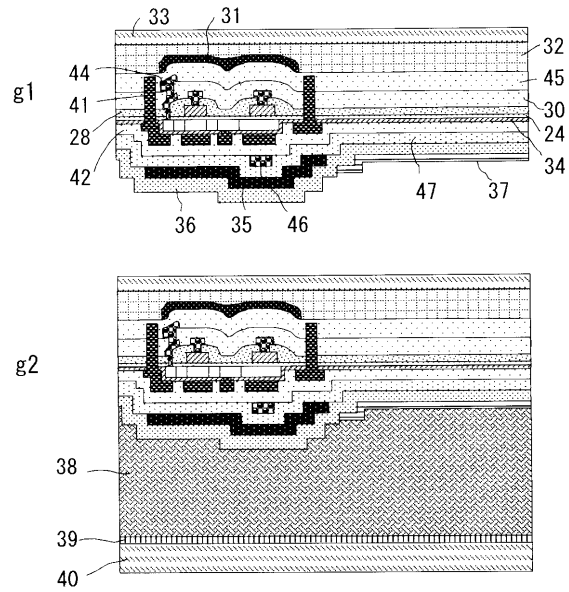
【図 14】



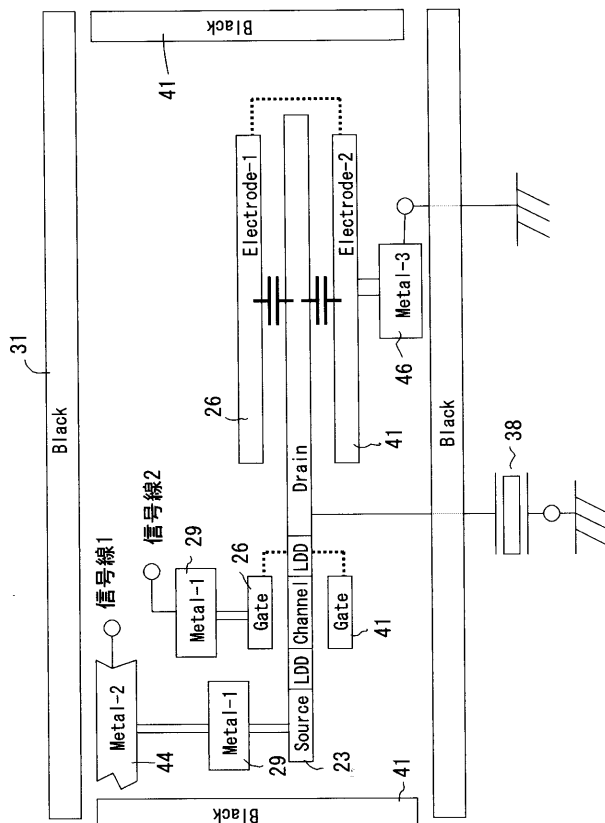
【図 15】



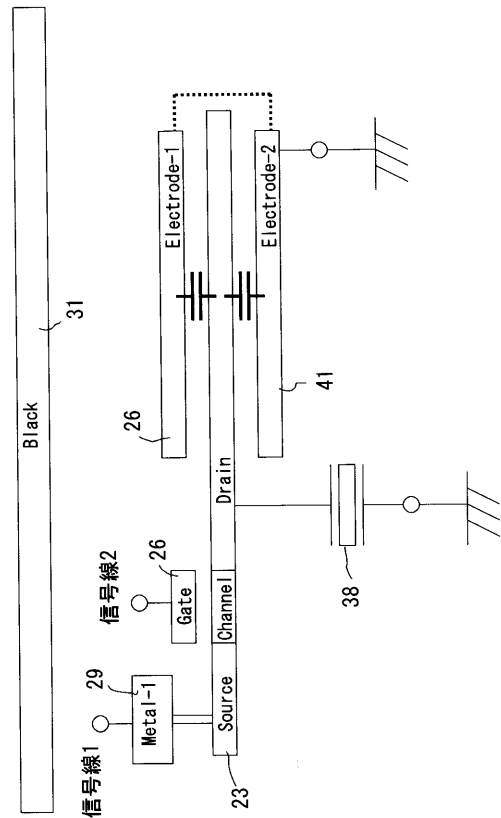
【図 16】



【図 17】



【図 18】



 フロントページの続き

(51)Int.Cl. ⁷	F I	テーマコード(参考)
H 0 1 L 29/786	H 0 1 L 29/78	6 2 7 D
	H 0 1 L 29/78	6 1 9 B
	H 0 1 L 29/78	6 1 7 L

F ターム(参考)	5F032	AA06	AA91	CA05	CA06	CA15	CA17	CA20	CA21	DA12	DA21
		DA67	DA71	DA74							
	5F110	AA02	AA09	BB01	BB04	BB09	CC10	DD01	DD02	DD03	DD05
		DD12	DD13	EE09	EE30	EE32	EE45	FF02	FF23	GG02	GG12
		GG25	GG32	GG42	GG52	HJ01	HJ13	HL02	HL03	HL04	HL05
		HM02	HM12	HM15	HM19	NN03	NN22	NN23	NN25	NN34	NN35
		NN36	NN44	NN46	NN47	NN54	NN72	NN73	QQ16		

专利名称(译)	制造薄膜半导体器件的方法，薄膜半导体器件和液晶显示器		
公开(公告)号	JP2005093625A	公开(公告)日	2005-04-07
申请号	JP2003323871	申请日	2003-09-17
[标]申请(专利权)人(译)	索尼公司		
申请(专利权)人(译)	索尼公司		
[标]发明人	田舍中博士		
发明人	田舍中 博士		
IPC分类号	G02F1/1368 G02F1/136 H01L21/00 H01L21/02 H01L21/30 H01L21/336 H01L21/68 H01L21/762 H01L23/52 H01L27/00 H01L27/12 H01L29/786		
CPC分类号	H01L21/6835 H01L21/76251 H01L21/76259 H01L27/1214 H01L27/1255 H01L27/1266 H01L29/66772 H01L29/78633 H01L29/78648 H01L2221/68363 H01L2924/19041 H01L2924/30105 H01L2924/3025		
FI分类号	H01L27/12.B H01L27/12.C G02F1/1368 H01L27/00.301.W H01L21/76.D H01L29/78.627.D H01L29/78.619.B H01L29/78.617.L		
F-TERM分类号	2H092/GA29 2H092/JA24 2H092/JA46 2H092/JB51 2H092/JB61 2H092/KA03 2H092/KA04 2H092/KA08 2H092/KA15 2H092/KA21 2H092/KB01 2H092/KB03 2H092/KB04 2H092/KB11 2H092/MA05 2H092/MA07 2H092/MA10 2H092/MA17 2H092/MA25 2H092/MA27 2H092/MA31 2H092/NA25 2H092/NA27 2H092/NA29 2H092/PA01 5F032/AA06 5F032/AA91 5F032/CA05 5F032/CA06 5F032/CA15 5F032/CA17 5F032/CA20 5F032/CA21 5F032/DA12 5F032/DA21 5F032/DA67 5F032/DA71 5F032/DA74 5F110/AA02 5F110/AA09 5F110/BB01 5F110/BB04 5F110/BB09 5F110/CC10 5F110/DD01 5F110/DD02 5F110/DD03 5F110/DD05 5F110/DD12 5F110/DD13 5F110/EE09 5F110/EE30 5F110/EE32 5F110/EE45 5F110/FF02 5F110/FF23 5F110/GG02 5F110/GG12 5F110/GG25 5F110/GG32 5F110/GG42 5F110/GG52 5F110/HJ01 5F110/HJ13 5F110/HL02 5F110/HL03 5F110/HL04 5F110/HL05 5F110/HM02 5F110/HM12 5F110/HM15 5F110/HM19 5F110/NN03 5F110/NN22 5F110/NN23 5F110/NN25 5F110/NN34 5F110/NN35 5F110/NN36 5F110/NN44 5F110/NN46 5F110/NN47 5F110/NN54 5F110/NN72 5F110/NN73 5F110/QQ16 2H192/AA24 2H192/BC31 2H192/BC42 2H192/CB02 2H192/CB08 2H192/CB33 2H192/CB53 2H192/CC72 2H192/DA01 2H192/DA44 2H192/DA65 2H192/DA67 2H192/EA04 2H192/EA13 2H192/EA14 2H192/EA15 2H192/HA24		
代理人(译)	头师 教文		
其他公开文献	JP4554180B2 JP2005093625A5		
外部链接	Espacenet		

摘要(译)

要解决的问题：制造低成本和高质量生产率的薄膜半导体器件。 解决方案：首先，对基板1进行阳极氧化以形成多孔层2。接下来，在多孔层2上形成薄膜半导体层3。此外，使用薄膜半导体层3处理半导体器件，并且在半导体器件和另一半导体器件之间形成布线。此后，粘附或接合半导体器件和另一基板6以将半导体器件与基板1分离。此外，从分离的半导体器件的分离表面侧部分地去除薄膜半导体层3，以使半导体器件与另一半导体器件电绝缘。 点域1

