

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-91819**(P2005-91819A)**

(43) 公開日 平成17年4月7日(2005.4.7)

(51) Int.Cl.⁷**G02F 1/1368****G02F 1/1335****H01L 21/3205****H01L 29/786**

F I

G02F 1/1368

G02F 1/1335 500

H01L 29/78 612A

H01L 21/88 A

テーマコード (参考)

2H091

2H092

5F033

5F110

審査請求 未請求 請求項の数 8 O L (全 16 頁)

(21) 出願番号

特願2003-325727 (P2003-325727)

(22) 出願日

平成15年9月18日 (2003.9.18)

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(74) 代理人 100077931

弁理士 前田 弘

(74) 代理人 100094134

弁理士 小山 廣毅

(74) 代理人 100113262

弁理士 竹内 祐二

(72) 発明者 吉田 圭介

大阪府大阪市阿倍野区長池町22番22号

シャープ株式会社内

(72) 発明者 白木 一郎

大阪府大阪市阿倍野区長池町22番22号

シャープ株式会社内

最終頁に続く

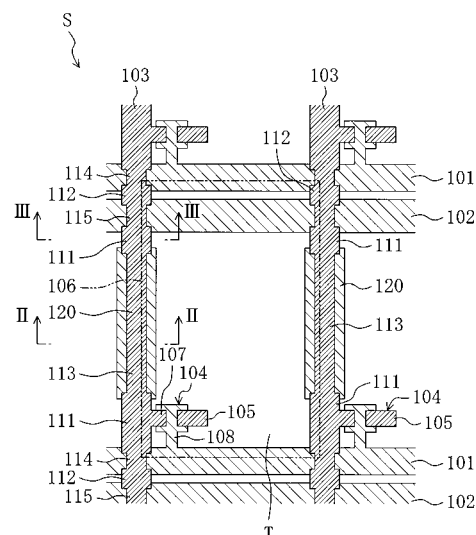
(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【課題】画素電極と配線との間の寄生容量を低減し、且つ画素電極の外周部近傍の領域を確実に遮光する。

【解決手段】基板10の上には、下方から入射する光を遮蔽する遮光層120が、電氣的に浮いた状態で、ソース配線103に重なるように設けられている。ソース配線103は、遮光層120又はゲート配線101と重なっている部分の少なくとも一部に形成された幅の比較的狭い幅狭部113と、少なくとも遮光層及びゲート配線と重ならない部分に形成された幅の比較的広い幅広部111とを備えている。そして、幅広部111及び遮光層120は、画素電極106の外周部分に重なっている。

【選択図】図1



【特許請求の範囲】

【請求項 1】

基板の上にマトリクス状に配置された複数のスイッチング素子と、
上記スイッチング素子に接続され、上記基板の上で互いに平行に延びる複数のゲート配線と、
上記スイッチング素子に接続され、上記基板の上で上記ゲート配線に直交して延びる複数のソース配線と、
上記ゲート配線及びソース配線により囲まれた領域に形成され、透過表示を行うための透過領域と、
上記透過領域における基板の上に絶縁層を介して設けられ、上記各スイッチング素子にそれぞれ接続された複数の透明な画素電極とを備える液晶表示装置であって、
上記透過領域は、少なくとも一辺が上記ソース配線により区画され、
上記基板の上には、下方から入射する光を遮蔽する遮光層が、電氣的に浮いた状態で、上記ソース配線に重なるように設けられ、
上記ソース配線は、上記遮光層又はゲート配線と重なっている部分の少なくとも一部に形成された幅の比較的狭い幅狭部と、少なくとも上記遮光層及びゲート配線と重ならない部分に形成された幅の比較的広い幅広部とを備え、
上記幅広部及び遮光層は、上記画素電極の外周部分に重なっている
ことを特徴とする液晶表示装置。

【請求項 2】

基板の上にマトリクス状に配置された複数のスイッチング素子と、
上記スイッチング素子に接続され、上記基板の上で互いに平行に延びる複数のゲート配線と、
上記スイッチング素子に接続され、上記基板の上で上記ゲート配線に直交して延びる複数のソース配線と、
上記ゲート配線及びソース配線により囲まれた領域に形成され、透過表示を行うための透過領域と、
上記透過領域における基板の上に絶縁層を介して設けられ、上記各スイッチング素子にそれぞれ接続された複数の透明な画素電極とを備える液晶表示装置であって、
上記透過領域は、少なくとも一辺が上記ゲート配線により区画され、
上記基板の上には、下方から入射する光を遮蔽する遮光層が、電氣的に浮いた状態で、上記ゲート配線に重なるように設けられ、
上記ゲート配線は、上記遮光層又はソース配線と重なっている部分の少なくとも一部に形成された幅の比較的狭い幅狭部と、少なくとも上記遮光層及びソース配線と重ならない部分に形成された幅の比較的広い幅広部とを備え、
上記幅広部及び遮光層は、上記画素電極の外周部分に重なっている
ことを特徴とする液晶表示装置。

【請求項 3】

請求項 1 において、
上記遮光層は、ソース配線に沿って延びている
ことを特徴とする液晶表示装置。

【請求項 4】

請求項 2 において、
上記遮光層は、ゲート配線に沿って延びている
ことを特徴とする液晶表示装置。

【請求項 5】

請求項 3 又は 4 において、
上記遮光層の側端は、該遮光層に重なっている幅狭部の側端に対し、幅方向に $2\ \mu\text{m}$ 以上且つ $5\ \mu\text{m}$ 以下の長さで突出している
ことを特徴とする液晶表示装置。

【請求項 6】

請求項 3 又は 4 において、

上記遮光層の側端は、該遮光層に重なっている幅広部の側端に対し、幅方向に $\pm 1 \mu\text{m}$ 以内の距離に設けられていることを特徴とする液晶表示装置。

【請求項 7】

請求項 1 において、

上記基板の上には、ゲート配線に沿って延びる容量配線が設けられ、

ソース配線は、上記容量配線と重なっている部分の少なくとも一部の幅が、比較的狭くなるように形成されている

ことを特徴とする液晶表示装置。

10

【請求項 8】

請求項 2 において、

上記基板の上には、ソース配線に沿って延びる容量配線が設けられ、

ゲート配線は、上記容量配線と重なっている部分の少なくとも一部の幅が、比較的狭くなるように形成されている

ことを特徴とする液晶表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

20

本発明は、透過表示を行う液晶表示装置に関し、特に、画素電極の外周部近傍における液晶分子の配向乱れ領域を遮光するため構造に係るものである。

【背景技術】

【0002】

情報インフラは日々発展し、携帯電話、PDA、デジタルカメラ、ビデオカメラ、及びカーナビゲーション等の機器は人々の生活に深く浸透している。これらの機器の大部分には、液晶表示装置が採用されている。液晶表示装置は、本体が扱う情報量の増加に伴い、限られた表示画面により多くの情報を鮮明に表示することが望まれており、高輝度化、高コントラスト化、多色化、及び高精細化に対する市場の要求は、日々高まっている。特に、表示の高精細化に対する市場の要求は、近年非常に高くなっており、各画素の狭ピッチ

30

【0003】

ところで、各画素に設けられている画素電極の外周部近傍では、斜め電界に起因して液晶分子の配向乱れが発生する。この配向乱れは、表示の乱れを引き起すため、画質の低下を招くという問題がある。これに対し、画素電極が設けられている配線基板に対向する対向基板にブラックマトリクスを設け、上記ブラックマトリクスによって、画素電極の周りで配向乱れが生じている領域を遮光することが、一般に知られている。

【0004】

しかし、配線基板と対向基板との貼り合わせ精度は、約 $5 \mu\text{m}$ 以上であって比較的低いため、上記領域を確実に遮光するためには、貼り合わせのマージンを見込んでブラックマトリクス自体を幅広く設定する必要があった。その結果、開口率が著しく低下するため、開口率を確保しつつ各画素の狭ピッチ化を図ることは、極めて困難となる。

40

【0005】

そこで、従来より、画素電極の外周部を、ゲート配線やソース配線等の配線にオーバーラップするように形成することが知られている（例えば、特許文献 1 参照）。このことにより、画素電極の外周部近傍の配向乱れ領域を配線により遮光でき、ブラックマトリクスが不要となるため、開口率を向上できると共に狭ピッチ化を図ることができる。

【0006】

ここで、上記配線による遮光構造について、図面を参照して説明する。

【0007】

50

図10は、従来の液晶表示装置の画素を拡大して示す概略平面図である。図10に示すように、基板上には、複数のゲート配線201及びソース配線203が、互いに交差して格子状に形成されている。さらに、容量配線であるCs配線202が、ゲート配線201に沿って形成され、ソース配線203と交差するように形成されている。ゲート配線201とソース配線203との各交差部近傍には、TFT204がそれぞれ設けられている。TFT204は、ドレイン電極205を介して画素電極206に接続されている。画素電極206は、絶縁層(図示省略)を介して基板の上層に設けられ、コンタクトホール(図示省略)を介してドレイン電極205に接続されている。そして、上記画素電極206の外周部分は、その全周に亘って、ゲート配線201、Cs配線202、又はソース配線203とオーバーラップするように形成されている。

10

【0008】

ところが、画素電極と配線とをオーバーラップさせると、配向乱れによる画質の低下を抑制できるものの、画素電極と配線との間の寄生容量が増加するために、クロストークの発生等の不具合が生じ易くなってしまふ。

【0009】

この問題に対し、上記画素電極の外周部近傍の領域を遮光する遮光層を、電氣的に浮いた状態で、上記配線に重ねて設けることが知られている(例えば、特許文献2参照)。すなわち、遮光層の一部は、画素電極の外周部にオーバーラップしている。このことにより、配向乱れによる画質の低下を抑制すると共に、画素電極と配線との間の寄生容量を低減して、クロストークを防止することができる。

20

【特許文献1】特開平9-152625号公報

【特許文献2】特開平9-33951号公報

【発明の開示】

【発明が解決しようとする課題】

【0010】

しかし、上記従来の構造では、遮光層と配線との電気接続を避けるために、配線基板の法線方向から見て、遮光層と配線との間に所定の隙間が設けられている。その結果、上記遮光層により上記画素電極の外周部近傍の領域を遮光しようとしても、上記隙間から光が漏れてしまうため、上記画素電極の外周部近傍の領域を、完全に遮光することはできない。つまり、上記従来の構成では、コントラストや、表示品位が損なわれるという問題がある。

30

【0011】

本発明は、斯かる諸点に鑑みてなされたものであり、その目的とするところは、画素電極と配線との間の寄生容量を低減し、且つ画素電極の外周部近傍の領域を確実に遮光することにより、各画素の狭ピッチ化を図ると共に、コントラストや表示品位を向上させることにある。

【課題を解決するための手段】

【0012】

上記の目的を達成するために、この発明では、画素電極の外周部分を、電氣的に浮いた状態で設けられた遮光層と、ソース配線又はゲート配線の幅広部との双方に重ねるようにした。

40

【0013】

具体的に、本発明に係る液晶表示装置は、基板の上にマトリクス状に配置された複数のスイッチング素子と、上記スイッチング素子に接続され、上記基板の上で互いに平行に延びる複数のゲート配線と、上記スイッチング素子に接続され、上記基板の上で上記ゲート配線に直交して延びる複数のソース配線と、上記ゲート配線及びソース配線により囲まれた領域に形成され、透過表示を行うための透過領域と、上記透過領域における基板の上に絶縁層を介して設けられ、上記各スイッチング素子にそれぞれ接続された複数の透明な画素電極とを備える液晶表示装置であって、上記透過領域は、少なくとも一辺が上記ソース配線により区画され、上記基板の上には、下方から入射する光を遮蔽する遮光層が、電気

50

的に浮いた状態で、上記ソース配線に重なるように設けられ、上記ソース配線は、上記遮光層又はゲート配線と重なっている部分の少なくとも一部に形成された幅の比較的狭い幅狭部と、少なくとも上記遮光層及びゲート配線と重ならない部分に形成された幅の比較的広い幅広部とを備え、上記幅広部及び遮光層は、上記画素電極の外周部分に重なっている。

【0014】

また、本発明に係る液晶表示装置は、基板の上にマトリクス状に配置された複数のスイッチング素子と、上記スイッチング素子に接続され、上記基板の上で互いに平行に延びる複数のゲート配線と、上記スイッチング素子に接続され、上記基板の上で上記ゲート配線に直交して延びる複数のソース配線と、上記ゲート配線及びソース配線により囲まれた領域に形成され、透過表示を行うための透過領域と、上記透過領域における基板の上に絶縁層を介して設けられ、上記各スイッチング素子にそれぞれ接続された複数の透明な画素電極とを備える液晶表示装置であって、上記透過領域は、少なくとも一辺が上記ゲート配線により区画され、上記基板の上には、下方から入射する光を遮蔽する遮光層が、電氣的に浮いた状態で、上記ゲート配線に重なるように設けられ、上記ゲート配線は、上記遮光層又はソース配線と重なっている部分の少なくとも一部に形成された幅の比較的狭い幅狭部と、少なくとも上記遮光層及びソース配線と重ならない部分に形成された幅の比較的広い幅広部とを備え、上記幅広部及び遮光層は、上記画素電極の外周部分に重なっている。

10

【0015】

上記遮光層は、ソース配線に沿って延びていてもよい。

20

【0016】

上記遮光層は、ゲート配線に沿って延びていてもよい。

【0017】

上記遮光層の側端は、該遮光層に重なっている幅狭部の側端に対し、幅方向に $2\mu\text{m}$ 以上且つ $5\mu\text{m}$ 以下の長さで突出していることが好ましい。

【0018】

上記遮光層の側端は、該遮光層に重なっている幅広部の側端に対し、幅方向に $\pm 1\mu\text{m}$ 以内の距離に設けられていることが好ましい。

【0019】

上記基板の上には、ゲート配線に沿って延びる容量配線が設けられ、ソース配線は、上記容量配線と重なっている部分の少なくとも一部の幅が、比較的狭くなるように形成されていてもよい。

30

【0020】

上記基板の上には、ソース配線に沿って延びる容量配線が設けられ、ゲート配線は、上記容量配線と重なっている部分の少なくとも一部の幅が、比較的狭くなるように形成されていてもよい。

【発明の効果】

【0021】

本発明によれば、配線を幅狭部と幅広部とにより構成し、幅広部と遮光層との双方を、画素電極の外周部に重ねることにより、遮光層の端部と配線との間に隙間が生じていても、その隙間を幅広部に重ねることができるため、画素電極の外周部近傍で液晶分子の配向が乱れている領域を確実に遮光して隠すことができる。

40

【0022】

そのことに加え、遮光層が電氣的に浮いた状態で設けられているため、遮光層と画素電極との間の寄生容量の発生を抑制することができる。さらに、配線の幅狭部と画素電極との重なり部分の面積が小さくなるため、配線と画素電極との間の寄生容量を好適に低減できる。その結果、寄生容量を低減してクロストークを防止できると共に、液晶分子の配向乱れによる画質の低下を防止できるため、コントラストや表示品位を向上させることができる。そのことに加え、ブラックマトリクスが不要となるため、開口率を向上させると共に各画素間を狭ピッチ化でき、表示の高詳細化を図ることができる。

50

【発明を実施するための最良の形態】**【0023】**

以下、本発明の実施形態を図面に基づいて詳細に説明する。尚、本発明は、以下の実施形態に限定されるものではない。また、図1で紙面手前方向を「上方向」とし、紙面奥方向を「下方向」とする。また、図2及び図3で上下方向を「上下方向」とする。

【0024】**《発明の実施形態1》**

図1～図4は、本発明に係る液晶表示装置の実施形態1を示している。この液晶表示装置1は、光源であるバックライト（図示省略）の光を透過して表示を行う透過型の液晶表示装置である。

10

【0025】

図1は、本実施形態の液晶表示装置Sを拡大して示す平面図である。また、図2は、図1におけるII-II線断面図であり、図3は、図1におけるIII-III線断面図である。液晶表示装置Sは、スイッチング素子であるTFT104を備える第1基板1と、第1基板1の上に対向して設けられた第2基板（図示省略）と、第1基板1及び第2基板の間に封入された液晶層（図示省略）とにより構成されている。

【0026】

上記液晶層は、アンチパラレル配向ECBモードで、ラビング方向は、後述のソース配線103と平行になっている。この場合、液晶分子の配向状態は左右対称であり、ドメインも左右対称に形成される。したがって、遮光すべき領域の幅も左右対称となる。また、

20

【0027】

上記第1基板1は、ガラス等の透明な絶縁性の基板10と、基板10の上にマトリクス状に配置された複数のTFT104と、基板10の上に設けられたゲート配線101及びソース配線103と、上記各TFT104にそれぞれ接続された複数の画素電極106とを備えている。

【0028】

上記TFT104は、図1に示すように、信号電圧が供給されるソース電極107と、画素電極106に信号電圧を供給するためのドレイン電極105と、上記ソース電極107からドレイン電極105への通電状態を切り換えるためのゲート電極108とを備えている。

30

【0029】

上記ゲート配線101は、基板10の上に複数設けられ、互いに平行に延びるように形成されている。各ゲート配線101は、上記TFT104のゲート電極108に接続されている。一方、上記ソース配線103は、基板10の上に複数設けられ、上記ゲート配線101に直交して延びるように形成されている。各ソース配線103は、上記TFT104のソース電極107に接続されている。すなわち、ゲート配線101及びソース配線103は、基板10の上で全体として格子状に形成されている。ゲート配線101及びソース配線103は、例えばチタン及びアルミニウムにより構成されている。さらに、基板10の上には、容量配線であるCs配線102が複数設けられている。各Cs配線102は、ゲート配線101に沿って延びるように形成されている。

40

【0030】

各ゲート配線101及びソース配線103により囲まれた領域には、画素がそれぞれ形成されている。つまり、上記各画素は、基板10の上にマトリクス状に並んで設けられている。上記各画素には、透過表示を行うための透過領域Tが形成されると共に、画素電極106が設けられている。透過領域Tは、図1に示すように、ゲート配線101及びソース配線103により区画されている。

【0031】

尚、透過領域Tは、必ずしも、ゲート配線101及びソース配線103の双方により区

50

画される必要はなく、本実施形態では、透過領域 T の少なくとも一辺がソース配線 103 により区画されていればよい。

【0032】

上記画素電極 106 は、ITO 等の透明電極により構成され、ゲート配線 101、ソース配線 103、及び Cs 配線 102 の上方に、絶縁層 110 を介して設けられている。画素電極 106 は、Cs 配線 102 に上下方向に重なることにより、画素容量を補助するための補助容量を構成している。また、画素電極 106 の外周部は、図 1 に示すように、ゲート配線 101 及びソース配線 103 の一部に対し、上下方向に重なっている。画素電極 106 は、絶縁層 110 に形成されたコンタクトホール（図示省略）を介して TFT 104 のドレイン電極 105 に接続されている。

10

【0033】

上記基板 10 の上には、下方から入射する光を遮蔽する遮光層 120 が、電氣的に浮いた状態で、上記ソース配線 103 に重なるように設けられている。つまり、遮光層 120 は、他の導電性部材（例えば、ゲート配線 101 等）に対し、電氣的に絶縁された状態で基板 10 上に設けられている。

【0034】

遮光層 120 は、例えばタングステン及び窒化タンタルにより形成されている。そして、図 1 に示すように、基板 10 の上において、Cs 配線 102 とゲート配線 101 との間で、ソース配線 103 に沿って延びるようにパターン形成されている。遮光層 120 とゲート配線 101 との間には、上方から見て、所定の隙間が設けられている。また、遮光層 120 と Cs 配線 102 との間にも、同様に所定の隙間が設けられている。

20

【0035】

ここで、図 2 及び図 3 を参照して、第 1 基板 1 の積層構造について詳細に説明する。

【0036】

基板 10 の上には、図 2 に示すように、遮光層 120 が例えば 0.5 μm の厚さで積層されている。遮光層 120 が積層された基板 10 の上には、二酸化ケイ素等により構成された層間絶縁膜 109 が、例えば 1 μm の厚さで積層されている。

【0037】

層間絶縁膜 109 の上には、ソース配線 103 が上記遮光層 120 に重なるように形成されている。ソース配線 103 は、遮光層 120 における左右中央位置に配置されている。言い換えれば、ソース配線 103 の軸線と、遮光層 120 の軸線とは、上下に重なって一致している。ソース配線 103 は、例えば 0.5 μm の厚さに形成されている。

30

【0038】

さらに、ソース配線 103 が形成された層間絶縁膜 109 の上には、透明樹脂材料により構成された絶縁膜 110 が積層されている。絶縁膜 110 の上部は、平面に形成されている。すなわち、絶縁膜 110 の厚みは、遮光層 120 が設けられていない位置で、例えば 2.8 μm であり、遮光層 120 が設けられている位置で 2.3 μm であり、遮光層 120 及びソース配線 103 が設けられている位置で 1.8 μm になっている。

【0039】

上記絶縁膜 110 の上には、画素電極 106 が形成されている。隣接する画素電極 106 同士の間隔は、例えば 3 μm に規定されている。

40

【0040】

そして、本発明の特徴として、図 1 に示すように、上記ソース配線 103 は、幅の比較的狭い幅狭部 113, 114, 115 と、幅の比較的広い幅広部 111, 112 とを備えている。これに対し、従来のソース配線は、幅広部のみにより構成されていた。

【0041】

上記幅狭部 113, 114, 115 は、遮光層 120、ゲート配線 101、又は Cs 配線 102 と重なっている部分の少なくとも一部に形成されている。すなわち、幅狭部 113, 114, 115 は、ソース配線 103 及び遮光層 120 の重なり部分に形成された第 1 幅狭部 113 と、ソース配線 103 及びゲート配線 101 の重なり部分に形成された第

50

2 幅狭部 1 1 4 と、ソース配線 1 0 3 及び C s 配線 1 0 2 の重なり部分に形成された第 3 幅狭部 1 1 5 とにより構成されている。

【 0 0 4 2 】

一方、上記幅広部 1 1 1 , 1 1 2 は、少なくとも遮光層 1 2 0 及びゲート配線 1 0 1 と重ならない部分に形成されている。すなわち、幅広部 1 1 1 , 1 1 2 は、遮光膜 1 2 0 とゲート配線 1 0 1 又は C s 配線 1 0 2 との隙間に対応して形成された第 1 幅広部 1 1 1 と、ゲート配線 1 0 1 と C s 配線 1 0 2 との隙間に対応して形成された第 2 幅広部 1 1 2 とにより構成されている。

【 0 0 4 3 】

そして、上記各幅広部 1 1 1 , 1 1 2 及び遮光層 1 2 0 は、上記画素電極 1 0 6 の外周部分に重なるように形成されている。さらに、各幅狭部 1 1 3 , 1 1 4 , 1 1 5 の一部も、画素電極 1 0 6 に重なっている。 10

【 0 0 4 4 】

次に、幅広部 1 1 1 , 1 1 2 及び幅狭部 1 1 3 , 1 1 4 , 1 1 5 と、画素電極 1 0 6 との関係について、図 1 の部分拡大図である図 4 を参照して説明する。

【 0 0 4 5 】

図 4 に示すように、隣接する 2 枚の画素電極 1 0 6 は、ソース配線 1 0 3 の上方位置で所定の隙間をあけて設けられている。これら 2 枚の画素電極 1 0 6 の外周部による液晶分子の配向乱れは、破線で示す領域 A において生じる。つまり、配向乱れは、画素電極 1 0 6 のエッジ（端部）から一定の距離までの間で生じる。 20

【 0 0 4 6 】

従来は、この配向乱れを遮光して隠すために、ソース配線は、配線として機能するために必要な幅よりも広い幅に形成されていた。これに対し、本発明によると、幅狭部 1 1 3 , 1 1 4 , 1 1 5 の幅 a を、配線抵抗及び配線容量が許容される限り狭くすることができる。

【 0 0 4 7 】

上記幅狭部 1 1 3 , 1 1 4 , 1 1 5 の幅 a に対し、配向乱れ領域を遮光して隠すために、幅広部 1 1 1 , 1 1 2 は、左右両側に幅 d だけそれぞれ延出するように形成されると共に、遮光層 1 2 0 は、左右両側に幅 c だけそれぞれ延出するように形成されている。このとき、幅 d 及び幅 c は、それぞれ 1 μ m 以上且つ 10 μ m 以下であることが好ましい。最適な隠し幅は、配向乱れ領域 A の大きさにより決定されるが、この領域 A は、表示モード、セル厚、液晶材料、及び配向膜の材料等により変化するため、一様には決まらない。 30

【 0 0 4 8 】

尚、幅 d 及び幅 c が仮に 1 μ m 未満である場合には、配向乱れを確実に隠すことができない。一方、幅 d 及び幅 c が仮に 10 μ m を越えて大きい場合には、開口率の低下が著しくなってしまう。

【 0 0 4 9 】

特に、本実施形態では、幅 c が 2 μ m 以上且つ 5 μ m 以下に規定されている。言い換えれば、遮光層 1 2 0 の側端は、遮光層 1 2 0 に重なっている幅狭部 1 1 3 の側端に対し、幅方向に 2 μ m 以上且つ 5 μ m 以下の長さで突出している。 40

【 0 0 5 0 】

また、上述のように、配向乱れは、画素電極 1 0 6 のエッジから一定の距離までの間で生じるため、これを遮光して隠すための遮光層 1 2 0 及び幅広部 1 1 1 , 1 1 2 は、互いに同一であればよい。そのため、両者の延出長さの差である幅 e は、0 であることが望ましい。プロセス上のマージンを考慮しても、幅 e は、1 μ m 以下であることが好ましい。言い換えれば、遮光層 1 2 0 の側端は、遮光層 1 2 0 に重なっている幅広部 1 1 1 の側端に対し、幅方向に $\pm$ 1 μ m 以内の距離に設けられている。

【 0 0 5 1 】

尚、図 1 及び図 4 では、遮光層 1 2 0 の幅を、幅広部 1 1 1 , 1 1 2 よりも広くなるように形成しているが、逆に、幅広部 1 1 1 , 1 1 2 の幅を、遮光層 1 2 0 よりも広くなる 50

ように形成してもよい。

【0052】

次に、液晶層に所定の電圧を印加したときの透過率の変化について、シミュレーションした結果について説明する。

【0053】

透過率のシミュレーションは、シンテック社製の液晶シミュレータである LCDmaster を用いて行った。その結果を、図5のグラフに示す。図5において、横軸は、原点を対称の中心とした距離を示し、縦軸は、偏光板込みの透過率を示している。

【0054】

シミュレーションに用いた液晶は、カイラル剤を含まないネマチック液晶であって、 $\Delta n = 0.065$ であり、 $\Delta \varepsilon = 7.9$ である。印加電圧は、左右に隣接する画素のうち、左側の画素に対して0Vから ± 3.7 Vまで変化させ、右側の画素に対して ± 3.7 Vとすることにより、ドット反転駆動を行った。

【0055】

その結果、図5に示すように、中心から $\pm 3.5 \mu\text{m}$ の範囲にピークを有する光抜けが発生した。これがドメインの残像の原因となるため、遮光を行う必要がある。このシミュレーションに用いた液晶層と駆動方法とを本実施形態の液晶表示装置に適用した場合、中心から左右 $5 \mu\text{m}$ の幅ずつ遮光すれば、上記ドメインを遮光できる。さらに、プロセス上のアライメントマージンを考慮して、ソース配線103又は遮光層120で遮光する場合には、左右方向に $6.5 \mu\text{m}$ の幅ずつ遮光すればよいことがわかった。ただし、この数値は、液晶材料、セルギャップ、駆動方法によって異なる。

【0056】

次に、遮光層120が設けられている部分の単位長さ当たりの容量を、autronic-melchers社製の液晶シミュレータである DIMOS でシミュレーションした結果について説明する。

【0057】

図2に示すように、シミュレーションに用いた遮光層120の幅を b とし、ソース配線103の幅狭部113の幅を a 、幅広部111の幅を $13 \mu\text{m}$ とする。層間絶縁膜109及び絶縁膜110の誘電率は、共に3.5である。この場合のシミュレーションの結果を、表1に示す。

【0058】

(表1)

$a (\mu\text{m})$	13	9	7	5	3	3
$b (\mu\text{m})$	-	13	13	13	13	15
容量 (pF / m)	130.6	130.9	118.2	103.2	83.3	88.8
$(b - a) / 2$	-	2	3	4	5	6

表1に示すように、幅 a が $9 \mu\text{m}$ であり且つ幅 b が $13 \mu\text{m}$ であるときには、単位長さ当たりの容量は、遮光層120が設けられていない場合と等しくなる。そのため、幅 a が大きくなると容量も増大するため、有効な効果が得られない。したがって、遮光層120の幅 b と、幅狭部113の幅 a との差の $1/2$ (つまり、遮光層120の左右方向への延出長さ $(b - a) / 2$ である。以降、片側遮光幅 c と称する)が、 $2 \mu\text{m}$ 以上必要であることがわかった。

【0059】

また、この場合、ソース配線103の幅 a の下限値は $3 \mu\text{m}$ であり、この値よりも小さい場合には、配線抵抗が大きくなるため、表示に悪影響を及ぼしてしまう。幅 a が $3 \mu\text{m}$ であるとき、片側遮光幅 c は、 $5 \mu\text{m}$ である。この片側遮光幅 c が $6 \mu\text{m}$ 以上である場合には、有効な効果が得られない。したがって、容量を低減する観点から、遮光層120及び幅狭部111の差の $1/2$ である片側遮光幅 c は、 $2 \mu\text{m}$ 以上且つ $5 \mu\text{m}$ 以下が望ましいことがわかった。

10

20

30

40

50

【 0 0 6 0 】

ただし、上記の結果は、遮光層の幅 b が $13\ \mu\text{m}$ の場合のものであり、遮光層の幅 b がさらに広い場合には、上記片側遮光幅 c は、 $6\ \mu\text{m}$ 以上であっても効果が得られる。

【 0 0 6 1 】

ところで、この液晶表示装置 S の画素ピッチは、縦方向（図 1 の縦方向、図 2 及び図 3 の紙面手前奥方向）が $200\ \mu\text{m}$ であり、縦方向の画素電極 106 同士の間隔は、 $3\ \mu\text{m}$ である。すなわち、画素電極 106 の縦方向長さは、 $197\ \mu\text{m}$ である。このうち、遮光層 120 が設けられている長さは、 $160\ \mu\text{m}$ である。また、遮光層 120 の縦方向両側 $20\ \mu\text{m}$ は、遮光層 120 が配置できないため、ソース配線 103 の幅広部 111 が設けられている。残る $17\ \mu\text{m}$ の長さ部分は、ソース配線 103 と、ゲート配線 101 または Cs 配線 102 とが交差する部分である。

10

【 0 0 6 2 】

したがって、この画素 1 つ当たりの容量（画素電極とソース配線との間の寄生容量）は、 $130.6\ \text{pF}/\text{m} \times 20\ \mu\text{m} + 83.3\ \text{pF}/\text{m} \times 167\ \mu\text{m} = 16.52\ \text{fF}$ となる。一方、従来のもものでは、 $130.6\ \text{pF}/\text{m} \times 197\ \mu\text{m} = 25.73\ \text{fF}$ となり、本実施形態のものは、寄生容量を従来よりも約 $2/3$ に低減できることがわかる。

【 0 0 6 3 】

- 実施形態 1 の効果 -

したがって、この実施形態 1 によると、ソース配線 103 を幅狭部 113, 114, 115 と幅広部 111, 112 とにより構成し、幅広部 111, 112 と遮光層 120 との双方を、画素電極 106 の外周部に重ねるようにしたので、遮光層 120 とゲート配線 101 及び Cs 配線 102 との間に隙間が生じていても、画素電極 106 の外周部近傍で液晶分子の配向が乱れている領域 A を確実に遮光して隠すことができる。

20

【 0 0 6 4 】

さらに、ソース配線 103 の幅広部 111, 112 と画素電極 106 との重なり部分の面積を大きくできるため、配向乱れ領域 A を好適に遮光できる。また、遮光層 120 が電氣的に浮いた状態で設けられているため、遮光層 120 と画素電極 106 との間の寄生容量の発生を抑制することができる。さらに、ソース配線 103 の幅狭部 113, 114, 115 と画素電極 106 との重なり部分の面積が小さくなるため、ソース配線 103 と画素電極 106 との間の寄生容量を好適に低減できる。その結果、寄生容量を低減してクロストークを防止できると共に、液晶分子の配向乱れによる画質の低下を防止できるため、コントラストや表示品位を向上させることができる。そのことに加え、ブラックマトリクスが不要となるため、開口率を向上させると共に各画素間を狭ピッチ化でき、表示の高詳細化を図ることができる。

30

【 0 0 6 5 】

《 発明の実施形態 2 》

図 6 は、本発明に係る液晶表示装置の実施形態 2 を示し、液晶表示装置 S の背面図である。なお、以下の各実施形態では、図 1 ~ 図 4 と同じ部分については同じ符号を付してその詳細な説明を省略する。

40

【 0 0 6 6 】

上記実施形態 1 では、遮光層 120 をソース配線 103 に重ねて設けたのに対し、この実施形態 2 は、遮光層 120 をゲート配線 101 に重ねて設けるようにしたものである。

【 0 0 6 7 】

すなわち、図 6 に示すように、各画素において、透過領域 T は、少なくとも一辺がゲート配線 101 により区画されている。そして、基板 10 の上には、遮光層 120 が、電氣的に浮いた状態で、ゲート配線 101 に重なると共に、ゲート配線 101 に沿って延びるように設けられている。また、基板 10 の上には、容量配線である Cs 配線 102 が、ソース配線 103 に沿って延びるように、複数設けられている。

【 0 0 6 8 】

50

そして、ゲート配線 101 は、上記実施形態 1 におけるソース配線 103 と同様に、幅狭部 113, 114, 115 と、幅広部 111, 112 とを備えている。上記幅狭部 113, 114, 115 は、ゲート配線 101 及び遮光層 120 の重なり部分に形成された第 1 幅狭部 113 と、ソース配線 103 及びゲート配線 101 の重なり部分に形成された第 2 幅狭部 114 と、ゲート配線 101 及び Cs 配線 102 の重なり部分に形成された第 3 幅狭部 115 とにより構成されている。

【0069】

一方、上記幅広部 111, 112 は、遮光膜 120 とソース配線 103 又は Cs 配線 102 との隙間に対応して形成された第 1 幅広部 111 と、ソース配線 103 と Cs 配線 102 との隙間に対応して形成された第 2 幅広部 112 とにより構成されている。

10

【0070】

そして、上記各幅広部 111, 112 及び遮光層 120 は、上記画素電極 106 の外周部分に重なるように形成されている。さらに、各幅狭部 113, 114, 115 の一部も、画素電極 106 に重なっている。

【0071】

したがって、この実施形態 2 によっても、上記実施形態 1 と同様の効果を得ることができる。尚、上記各実施形態では、透過領域 T を、ゲート配線 101 及びソース配線 103 の双方により区画して形成したが、透過領域 T の少なくとも一辺がゲート配線 101 により区画されていればよい。

【0072】

20

《発明の実施形態 3》

図 7 は、本発明に係る液晶表示装置の実施形態 3 を示している。上記実施形態 1 では、透過表示を行う透過型の液晶表示装置であったのに対し、この実施形態 3 は、反透過型（透過反射型）の液晶表示装置である。

【0073】

図 7 に示すように、液晶表示装置 S は、透過領域 T に加えて反射領域 H を備えている。透過領域には、上記実施形態 1 と同様の画素電極 106 が設けられている一方、反射領域 H には、外光を反射する反射電極 125 が設けられている。

【0074】

透過領域 T では、画素電極 106 の外周部と、遮光層 120 及びソース配線 103 の幅広部 111 とが重なるように設けられている。したがって、この実施形態 3 でも、上記実施形態 1 と同様の効果を得ることができる。

30

【0075】

《発明の実施形態 4》

上記各実施形態では、遮光層 120 をソース配線 103 又はゲート配線 101 の下方位置に配置するようにしたが、図 2 相当図である図 8、及び図 3 相当図である図 9 に示すように、遮光層 120 をソース配線 103 又はゲート配線 101 の上方位置に配置するようにしてもよい。

【0076】

すなわち、この実施形態 4 は、上記実施形態 1 において、ソース配線 103 の上方に遮光層 120 を形成するようにしたものである。

40

【0077】

基板 10 の上には、図 8 に示すように、ソース配線 103 例えば $0.5 \mu\text{m}$ の厚さで積層されている。ソース配線 103 が積層された基板 10 の上には、二酸化ケイ素等により構成された層間絶縁膜 109 が、例えば $1 \mu\text{m}$ の厚さで積層されている。層間絶縁膜 109 の上には、遮光層 120 が上記ソース配線 103 に重なるように形成されている。図 8 では、ソース配線 103 における幅 b の幅狭部 113 に対し、幅 a の遮光層 120 が重なっている ($a > b$)。遮光層 120 が設けられていない領域では、図 9 に示すように、ソース配線 103 の幅広部 111 が、例えば幅 $1.3 \mu\text{m}$ に形成されている。

【0078】

50

さらに、遮光層 120 が形成された層間絶縁膜 109 の上には、透明樹脂材料により構成された絶縁膜 110 が積層されている。絶縁膜 110 の上部は、平面に形成されており、絶縁膜 110 の厚みは、遮光層 120 が設けられていない位置で、例えば $2.8 \mu\text{m}$ になっている。絶縁膜 110 の上には、画素電極 106 が形成されている。隣接する画素電極 106 同士の間隔は、例えば $3 \mu\text{m}$ に規定されている。

【0079】

次に、本実施形態の液晶表示装置 S に対し、上記実施形態 1 と同様に、遮光層 120 が設けられている部分の単位長さ当たりの容量を、autronic-melchers社製の液晶シミュレータである DIMOS でシミュレーションした結果について説明する。ここで、遮光層 120 の幅を a、ゲート配線 101 の幅狭部 113 の幅を b とした時の結果を、表 2 に示す。

10

【0080】

(表 2)

a (μm)	-	13	13	13	13	15
b (μm)	13	9	7	5	3	3
容量 (pF / m)	103.3	121.7	114.8	105.6	92.9	98.5
(b - a) / 2	-	2	3	4	5	6

表 2 に示すように、ゲート配線 101 の幅狭部 113 の幅 b と、遮光層 120 の幅 a との差の $1/2$ (つまり、片側遮光幅 $c = (b - a) / 2$) が、 $4 \mu\text{m}$ 以上且つ $5 \mu\text{m}$ 以下であるときに、寄生容量を低減する効果が得られることがわかった。すなわち、片側遮光幅 c が $4 \mu\text{m}$ 未満であると、遮光層 120 を設けない場合に比べて容量が増加してしまう。一方、片側遮光幅 c が $5 \mu\text{m}$ を越えて大きいときには、寄生容量が増加してしまうと共に、開口率も低減してしまうこととなる。

20

【0081】

《その他の実施形態》

上記実施形態 1 では、ソース配線 103 の幅広部 111、幅狭部 113、及び遮光部 120 が、画素電極 106 の外周部に重なるように構成したが、本発明はこれに限らず、幅広部 111 及び遮光層 120 が、画素電極 106 の外周部分に重なっているように構成してもよい。

【産業上の利用可能性】

30

【0082】

以上説明したように、本発明は、透過表示を行う液晶表示装置について有用であり、特に、画素電極の外周部近傍における液晶分子の配向乱れ領域を遮光すると共に、表示品位を向上させる場合に適している。

【図面の簡単な説明】

【0083】

【図 1】実施形態 1 の液晶表示装置を拡大して示す平面図である。

【図 2】図 1 における II - II 線断面図である。

【図 3】図 1 における III - III 線断面図である。

【図 4】図 1 の部分拡大図である

40

【図 5】液晶層の透過率の変化を示すグラフ図である。

【図 6】実施形態 2 の液晶表示装置を拡大して示す背面図である。

【図 7】実施形態 3 の液晶表示装置を拡大して示す平面図である。

【図 8】実施形態 4 の液晶表示装置の断面を拡大して示す断面図である。

【図 9】実施形態 4 の液晶表示装置の断面を拡大して示す断面図である。

【図 10】従来の液晶表示装置を示す平面図である。

【符号の説明】

【0084】

S 液晶表示装置

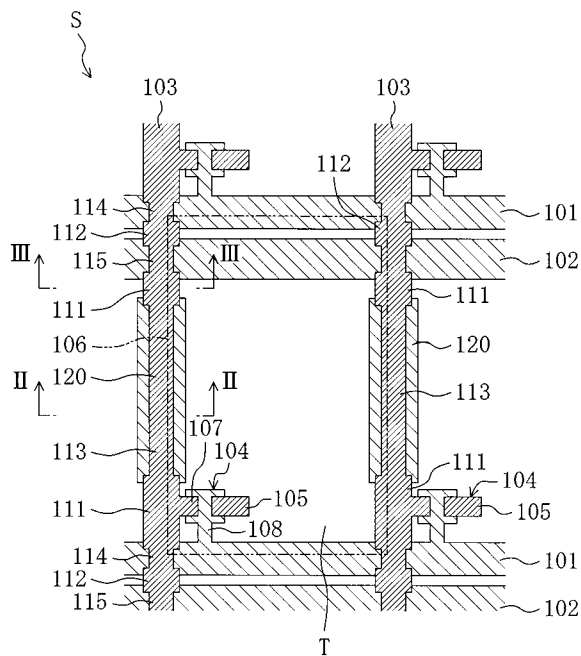
T 透過領域

50

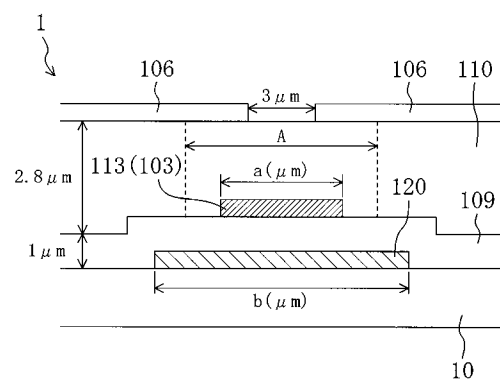
- 1 0 基板
- 1 0 1 ゲート配線
- 1 0 2 C s 配線 (容量配線)
- 1 0 3 ソース配線
- 1 0 4 T F T (スイッチング素子)
- 1 0 6 画素電極
- 1 1 0 絶縁膜 (絶縁層)
- 1 1 1 第 1 幅広部
- 1 1 2 第 2 幅広部
- 1 1 3 第 1 幅狭部
- 1 1 4 第 2 幅狭部
- 1 1 5 第 3 幅狭部
- 1 2 0 遮光層

10

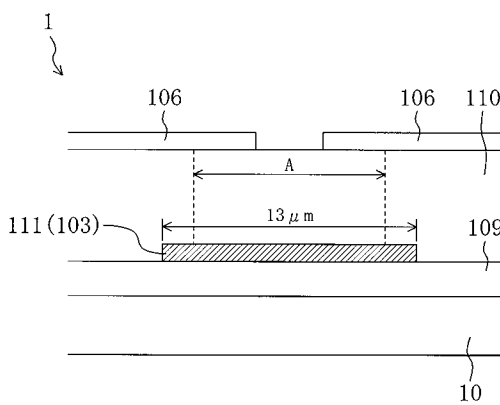
【図 1】



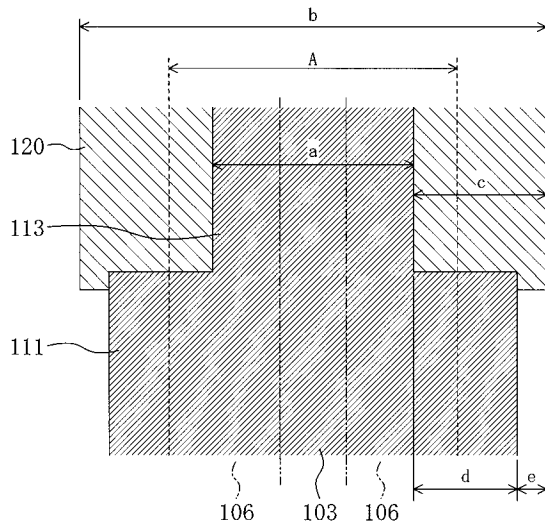
【図 2】



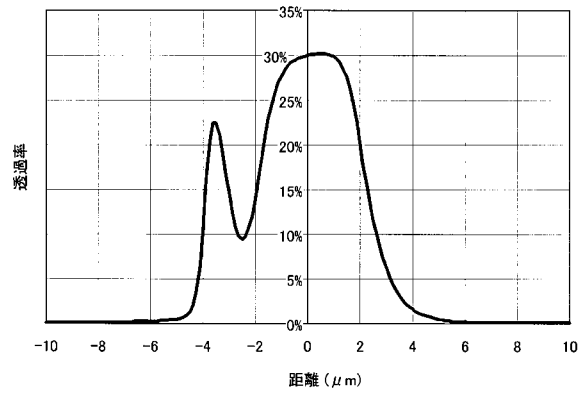
【図 3】



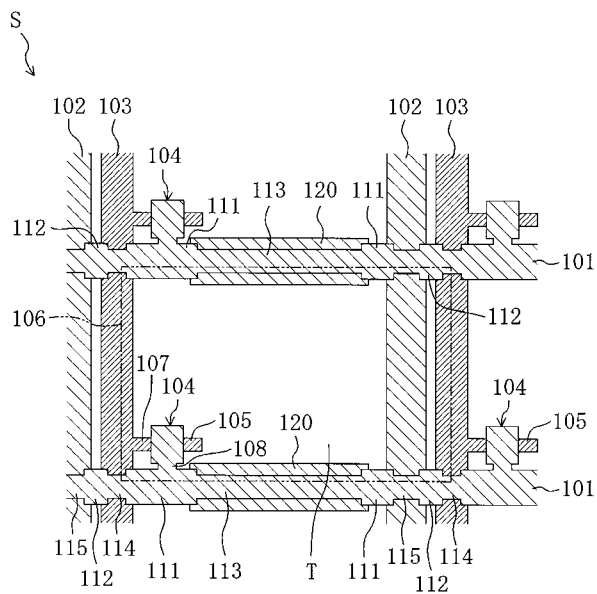
【図 4】



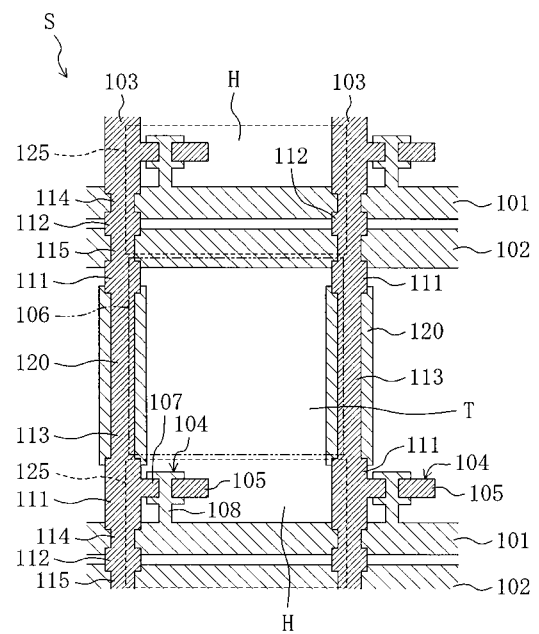
【図 5】



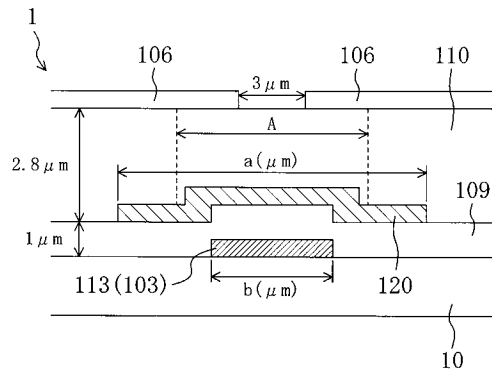
【図 6】



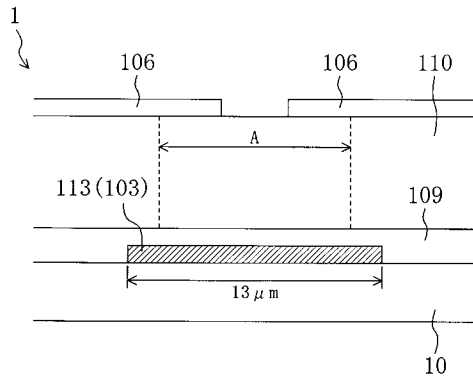
【図 7】



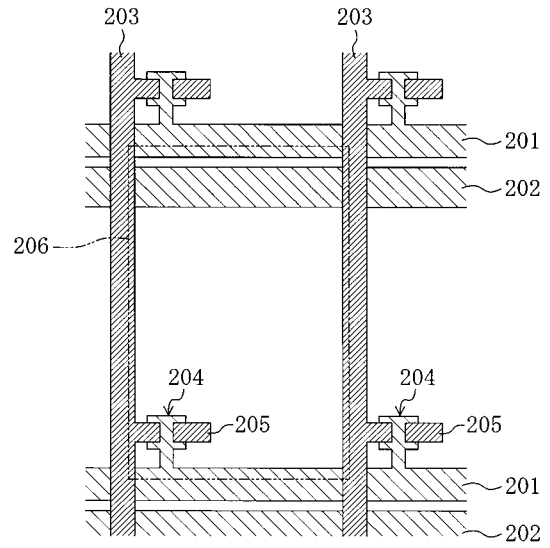
【図 8】



【図 9】



【図 10】



フロントページの続き

(72)発明者 伊奈 恵一

大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

F ターム(参考) 2H091 FA14Y FA34Y FB08 FC01 FD04 FD06 GA13 HA09 KA10 LA03
LA16 LA30
2H092 GA13 GA26 HA04 HA05 JA24 JA38 JA42 JB05 JB23 JB26
JB32 JB35 JB51 JB52 JB54 JB61 MA01 MA12 NA01 NA07
NA23 PA09 PA12 QA09
5F033 GG04 MM23 VV06 VV15 XX24 XX32
5F110 AA30 BB01 DD02 EE04 EE37 HK03 HL07 HM19 NN04 NN27
NN72 NN73

专利名称(译)	液晶表示装置		
公开(公告)号	JP2005091819A	公开(公告)日	2005-04-07
申请号	JP2003325727	申请日	2003-09-18
[标]申请(专利权)人(译)	夏普株式会社		
申请(专利权)人(译)	夏普公司		
[标]发明人	吉田圭介 白木一郎 伊奈惠一		
发明人	吉田 圭介 白木 一郎 伊奈 惠一		
IPC分类号	G02F1/1335 G02F1/1368 H01L21/3205 H01L23/52 H01L29/786		
FI分类号	G02F1/1368 G02F1/1335.500 H01L29/78.612.A H01L21/88.A		
F-TERM分类号	2H091/FA14Y 2H091/FA34Y 2H091/FB08 2H091/FC01 2H091/FD04 2H091/FD06 2H091/GA13 2H091/HA09 2H091/KA10 2H091/LA03 2H091/LA16 2H091/LA30 2H092/GA13 2H092/GA26 2H092/HA04 2H092/HA05 2H092/JA24 2H092/JA38 2H092/JA42 2H092/JB05 2H092/JB23 2H092/JB26 2H092/JB32 2H092/JB35 2H092/JB51 2H092/JB52 2H092/JB54 2H092/JB61 2H092/MA01 2H092/MA12 2H092/NA01 2H092/NA07 2H092/NA23 2H092/PA09 2H092/PA12 2H092/QA09 5F033/GG04 5F033/MM23 5F033/VV06 5F033/VV15 5F033/XX24 5F033/XX32 5F110/AA30 5F110/BB01 5F110/DD02 5F110/EE04 5F110/EE37 5F110/HK03 5F110/HL07 5F110/HM19 5F110/NN04 5F110/NN27 5F110/NN72 5F110/NN73 2H191/FA13Y 2H191/FA31Y 2H191/FB14 2H191/FC01 2H191/FD04 2H191/FD07 2H191/GA19 2H191/HA08 2H191/KA10 2H191/LA03 2H191/LA21 2H191/LA40 2H192/AA24 2H192/BC31 2H192/BC63 2H192/BC72 2H192/CC17 2H192/CC57 2H192/DA15 2H192/DA73 2H192/DA74 2H192/EA03 2H192/EA17 2H192/EA67 2H291/FA13Y 2H291/FA31Y 2H291/FB14 2H291/FC01 2H291/FD04 2H291/FD07 2H291/GA19 2H291/HA08 2H291/KA10 2H291/LA03 2H291/LA21 2H291/LA40		
代理人(译)	前田弘 竹内雄二		
外部链接	Espacenet		

摘要(译)

要解决的问题：减小像素电极和布线之间的寄生电容，并且可靠地遮蔽像素电极的外周部分附近的区域免受光。解决方案：阻挡从下部入射的光的遮光层120以电悬浮状态设置在基板10上，以与源极布线103重叠。源极布线103设置有窄宽度部113，窄宽度部113形成在至少与光屏蔽层120或栅极布线101重叠并具有相对窄的宽度的部分的一部分以及形成在至少与光屏蔽层和栅极布线不重叠的部分处的宽宽度部分111，具有相对宽的宽度。宽幅部111和遮光层120与像素电极106的外周部重叠

