

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-85938

(P2005-85938A)

(43) 公開日 平成17年3月31日(2005.3.31)

(51) Int. Cl. <sup>7</sup>	F I	テーマコード (参考)
HO 1 L 21/8247	HO 1 L 27/10 4 3 4	2 H O 9 3
GO 2 F 1/133	GO 2 F 1/133 5 5 0	5 F O 8 3
HO 1 L 27/115	HO 1 L 29/78 3 7 1	5 F I O 1
HO 1 L 29/788		
HO 1 L 29/792		

審査請求 未請求 請求項の数 6 O L (全 35 頁)

(21) 出願番号	特願2003-315492 (P2003-315492)	(71) 出願人	599174214 舩岡 富士雄 宮城県仙台市青葉区東勝山2-33-18
(22) 出願日	平成15年9月8日(2003.9.8)	(71) 出願人	000005049 シャープ株式会社 大阪府大阪市阿倍野区長池町22番22号
		(74) 代理人	100065248 弁理士 野河 信太郎
		(72) 発明者	舩岡 富士雄 宮城県仙台市青葉区東勝山2-33-18
		(72) 発明者	桜庭 弘 宮城県仙台市青葉区上杉5-8-18-3 03
		(72) 発明者	松岡 史宜 宮城県仙台市太白区松が丘38-4

最終頁に続く

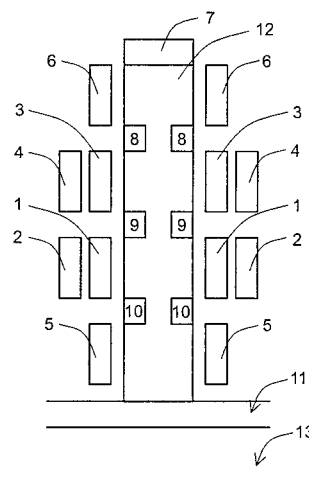
(54) 【発明の名称】 メモリセルユニット、不揮発性半導体装置およびそれを備えてなる液晶表示装置

(57) 【要約】 (修正有)

【課題】メモリセルの電荷蓄積層へ電子注入を行う際に非選択メモリセルユニットに印加される書き込み阻止電圧に対して十分な耐圧を持った選択トランジスタを備え、非選択メモリセルへの誤書き込みを確実に防止する。

【解決手段】ソース拡散層11を有する半導体基板13と、最上部にドレイン拡散層7を有する柱状半導体層12と、第1不純物拡散層9を介して垂直方向に直列接続したメモリセル列と、第2不純物拡散層8を介してメモリセル列の一端とドレイン拡散層7とを接続する第1選択トランジスタと、第3不純物拡散層10を介してメモリセル列の他端とソース拡散層11とを接続する第2選択トランジスタとを備え、第3不純物拡散層とソース拡散層との距離が、各メモリセルを挟んで隣り合う不純物拡散層間距離よりも長く設定されることによりソース拡散層-第1不純物拡散層間に書き込み阻止電圧が印加された場合に第2選択トランジスタのパンチスルーが回避し得るメモリセルユニット。

【選択図】 図1



## 【特許請求の範囲】

## 【請求項 1】

表面にソース拡散層を有する半導体基板と、  
ソース拡散層上に垂直方向に設けられ最上部にドレイン拡散層を有する柱状半導体層と、  
電荷蓄積層と制御ゲートとを有するメモリセルを第 1 不純物拡散層を介して柱状半導体層  
上に基板と垂直方向に複数直列接続したメモリセル列と、  
第 2 不純物拡散層を介してメモリセル列の一端とドレイン拡散層とを接続する第 1 選択ト  
ランジスタと、  
第 3 不純物拡散層を介してメモリセル列の他端とソース拡散層とを接続する第 2 選択ト  
ランジスタとを備え、  
第 3 不純物拡散層とソース拡散層との距離が、各メモリセルを挟んで隣り合う不純物拡散  
層間距離よりも長く設定されることによりソース拡散層 - 第 1 不純物拡散層間に書き込み  
阻止電圧が印加された場合に第 2 選択トランジスタのパンチスルーが回避し得るメモリセ  
ルユニット。

10

## 【請求項 2】

表面の一部にソース拡散層を有する半導体基板と、  
半導体基板上に垂直方向に設けられ底部の一部がソース拡散層に接し他の部分が半導体基  
板と導通し最上部にドレイン拡散層を有する柱状半導体層と、  
電荷蓄積層と制御ゲートとを有するメモリセルを第 1 不純物拡散層を介して柱状半導体層  
上に基板と垂直方向に複数直列接続したメモリセル列と、  
第 2 不純物拡散層を介してメモリセル列の一端とドレイン拡散層とを接続する第 1 選択ト  
ランジスタと、  
第 3 不純物拡散層を介してメモリセル列の他端とソース拡散層とを接続する第 2 選択ト  
ランジスタとを備え、  
第 3 不純物拡散層とソース拡散層との距離が、各メモリセルを挟んで隣り合う不純物拡散  
層間距離よりも長く設定されることによりソース拡散層 - 第 1 不純物拡散層間に書き込み  
阻止電圧が印加された場合に第 2 選択トランジスタのパンチスルーが回避し得るメモリセ  
ルユニット。

20

## 【請求項 3】

ドレイン拡散層と第 2 不純物拡散層との距離が、各メモリセルを挟んで隣り合う不純物拡  
散層間距離よりも長く設定されることによりドレイン拡散層 - 第 2 不純物拡散層間に書き  
込み阻止電圧が印加された場合に第 1 選択トランジスタのパンチスルーが回避し得る請求  
項 1 または 2 記載のメモリセルユニット。

30

## 【請求項 4】

複数のメモリセルユニットが縦横にマトリクス状に配置され、  
メモリセルユニットが請求項 1 ~ 3 の何れか 1 つに記載のメモリセルユニットからなる不  
揮発性半導体装置。

## 【請求項 5】

複数のメモリセルユニットが縦横にマトリクス状に配置され、  
縦方向の柱状半導体層に含まれるメモリセルの各制御ゲートが連続的に配置されて制御ゲ  
ート線を構成し、  
複数の制御ゲート線が共通接続され、  
横方向のドレイン拡散層が共通接続されてビット線を構成し、  
各メモリセルユニットが請求項 1 ~ 3 の何れか 1 つに記載のメモリセルユニットからなる  
不揮発性半導体装置。

40

## 【請求項 6】

請求項 4 又は 5 に記載の不揮発性半導体記憶装置を備えてなる液晶表示装置。

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

50

この発明は、メモリセルユニット、不揮発性半導体記憶装置およびそれを備えてなる液晶表示装置に関するものである。

【背景技術】

【0002】

EEPROMのメモリセルとして、ゲート部に電荷蓄積層と制御ゲートをもち、トンネル電流を利用して電荷蓄積層への電荷の注入、電荷蓄積層からの電荷の放出を行うMOSトランジスタ構造のものが知られている。このメモリセルでは、電荷蓄積層の電荷蓄積状態の相違によるしきい値電圧の相違をデータ“0”、“1”として記憶する。

例えば、電荷蓄積層として浮遊ゲートを用いたnチャネルのメモリセルの場合、浮遊ゲートに電子を注入するには、ソース、ドレイン拡散層と基板を接地して制御ゲートに正の高電圧を印加する。このとき基板側からトンネル電流によって浮遊ゲートに電子が注入される。この電子注入により、メモリセルのしきい値電圧は正方向に移動する。逆に、浮遊ゲートの電子を放出させるには、制御ゲートに負電圧を与えソース、ドレイン拡散層と基板を接地する。このとき浮遊ゲートからトンネル電流によって基板側へ電子が放出される。この電子放出により、メモリセルのしきい値電圧は負方向に移動する。前記の動作において、電子注入と放出、すなわち書き込みと消去を効率よく行うためには、浮遊ゲートと制御ゲート、及び浮遊ゲートと基板との間の容量結合の関係が重要である。言いかえると、浮遊ゲートと制御ゲートとの間の容量が大きいほど、制御ゲートの電位を効果的に浮遊ゲートに伝達することができ、書き込み、消去が容易になる。

【0003】

しかし、近年の半導体技術の進歩、特に微細加工技術の進歩により、EEPROMのメモリセルの小型化と大容量化が急速に進んでいる。したがって、メモリセル面積が小さくて、かつ浮遊ゲートと制御ゲートとの間の容量をいかに大きく確保するかが重要な問題となっている。浮遊ゲートと制御ゲートとの間の容量を大きくするためには、これらの間のゲート絶縁膜を薄くするか、その誘電率を大きくするか又は浮遊ゲートと制御ゲートとの対向面積を大きくすることが必要である。しかし、ゲート絶縁膜を薄くすることは、信頼性上限界がある。また、ゲート絶縁膜の誘電率を大きくすることは、例えば、シリコン酸化膜に代えてシリコン窒素膜等を用いることが考えられるが、これも主として信頼性上問題があって実用的でない。したがって、十分な容量を確保するためには、浮遊ゲートと制御ゲートとのオーバーラップ面積を一定値以上確保することが必要となるが、これは、メモリセルの面積を小さくしてEEPROMの大容量化を図る上で障害となる。メモリセル面積が小さくて、かつ浮遊ゲートと制御ゲートとの間の容量を大きく確保できる手法が望まれていた。

【0004】

これに対し、図40に示すように、柱状半導体層12にメモリセルが2つ形成され、その上下に選択トランジスタが配置されたEEPROMが知られている（例えば、特許文献1参照）。半導体基板に格子縞状の溝により分離されてマトリクス配列された複数の柱状半導体層12の側壁を利用してメモリトランジスタが構成される。すなわちメモリトランジスタは、各柱状半導体層の上面に形成されたドレイン拡散層7、溝底部に形成された共通ソース拡散層11及び各柱状半導体層の側壁部の周囲全体を取り囲む電荷蓄積層1、3と制御ゲート2、4とをもって構成され、制御ゲートが一方向の複数の柱状半導体層について連続的に配設されて制御ゲート線となっている。また、制御ゲート線と交差する方向の複数のメモリトランジスタのドレイン拡散層に接続されたビット線が設けられる。また、1トランジスタ/1セル構成では、メモリトランジスタが過消去の状態、すなわち、読出し電位が0Vであって、しきい値が負の状態になると、非選択でもセル電流が流れることになり不都合である（誤読み出し）。これを確実に防止するために、メモリトランジスタに直列に重ねて、柱状半導体層の上部、または下部にその周囲の少なくとも一部を取り囲むようにゲート電極5、6が形成された選択ゲートトランジスタが設けられている。

これにより、従来例であるEEPROMのメモリセルは、柱状半導体層の側壁を利用して、柱状半導体層を取り囲んで形成された電荷蓄積層及び制御ゲートを有するから、小さ

10

20

30

40

50

い占有面積で電荷蓄積層と制御ゲートの間の容量を十分大きく確保することができる。また各メモリセルのビット線に繋がるドレイン拡散層は、それぞれ柱状半導体層の上面に形成され、溝によって電氣的に完全に分離されている。さらに素子分離領域が小さくでき、メモリセルサイズが小さくなる。したがって、優れた書き込み、消去効率をもつメモリセルを集積した大容量化 E E P R O M を得ることができる。

【 0 0 0 5 】

しかし、1つの柱状半導体層に複数のメモリセルを直列に接続して構成し、各メモリセルのしきい値電圧が同じであると考えた場合、制御ゲート(CG)に読み出し電位を与えて、電流の有無により“0”、“1”判別を行う読み出し動作の際、一つの半導体層上で直列に接続された両端に位置するメモリセルにおいては、基板からのバックバイアス効果、即ち半導体層に流れる電流が半導体層の抵抗成分によって電位差を生じると、それに起因して各メモリセルのしきい値電圧が不均一になる現象により、しきい値電圧の変動の影響が顕著となる。これにより直列に接続するメモリセルの個数がデバイス上制約されるため、大容量化を行った際に問題となる。また、このことは、1つの柱状半導体層に複数のデバイスを直列に接続する場合のみならず、1つの柱状半導体層に1つのメモリセルが形成されている場合においても、面内方向における基板からのバックバイアス効果のばらつきに伴って、各メモリセルのしきい値電圧の変動が生じるという問題もある。このように、メモリセルの配置場所によりしきい値電圧が変化するということは、メモリセルへの書き込み/消去/読み出し電圧等への悪影響をもたらす。従って、前記の基板のバックバイアス効果の問題を改善する方法が望まれていた。

10

20

【 0 0 0 6 】

これに対して、図41に示すように、柱状半導体層と半導体基板が電氣的に絶縁されるよう構成された E E P R O M が知られている(例えば、特許文献2参照)。柱状半導体層と半導体基板が電氣的に絶縁されたことで、バックバイアス効果による影響が低減され、集積度が向上し、メモリセルの占有面積を増加させずに浮遊ゲートと制御ゲートとの容量の比を一層増大させるとともに、製造プロセスに起因するセル特性のばらつきが抑制された E E P R O M を提供することができる。

【特許文献1】特開平4-79369号公報

【特許文献2】特開2002-57231号公報

【発明の開示】

30

【発明が解決しようとする課題】

【 0 0 0 7 】

前記特許文献1及び2に記載された E E P R O M では、書き込み動作で制御ゲートに正の高電圧を印加する。このとき、前記電圧が印加された制御ゲートと共通の制御ゲート線に接続され、且つ電荷蓄積層へ電子注入を行わないメモリセルに対しては、それらのセルに接続されたビット線にビット線書き込み阻止電圧を印加する。しかし従来は、ビット線書き込み阻止電圧に対して選択トランジスタが備えるべき耐圧が明らかにされていなかった。

【 0 0 0 8 】

従来 E E P R O M の等価回路を図42に示す。図42のように複数のメモリセルの両端に選択トランジスタ2つを直列に配列して形成された不揮発性半導体記憶素子は、N A N D 型メモリセルユニットと呼ばれる。図43は、N A N D 型メモリセルユニットをマトリクス状に配置したメモリセルアレイの例であり、図44は、その等価回路図である。ここでは、制御ゲート線 C G 1 a を選択し、N A N D 型メモリセルユニット P a a の下段メモリセルに書き込みを行い、メモリセルユニット P a b の下段メモリセルに書き込みを行わない場合の各端子に印加する電圧を示している。この場合、制御ゲート線 C G 1 a に正の高電圧 V H 1、書き込み非選択セルのある柱状半導体層 P a b のビット線 B L b には、ビット線書き込み阻止電圧 V H 4 を印加する。図45は、ビット線 B L b へ書き込み阻止電圧を印加する際の下段、および上段メモリセルのチャネル電位 V c h 1、V c h 2 の時間変化を示すグラフである。書き込み阻止電圧 V H 4 の印加に伴い、書き込み非選択セル

40

50

のチャネル電位  $V_{ch1}$  は上昇するが、ソース拡散層側の選択トランジスタのソース - ドレイン間電圧がこの選択トランジスタの耐圧  $V_{B1}$  より高くなるとブレイクダウンが起こり、非選択セルのチャネル電位  $V_{ch1}$  は前記ソース - ドレイン間電圧、すなわちチャネル電位  $V_{ch1}$  とソース拡散層の接地電位の差が耐圧  $V_{B1}$  と等しくなるまで低下する。ここでは、選択ゲート線  $SG2a$ 、制御ゲート線  $CG1a$ 、 $CG2a$  へ電圧を印加した後にビット線  $BLb$  へ電圧を印加する場合を示しているが、どちらが前後してもチャネル電位  $V_{ch1}$  は耐圧  $V_{B1}$  となるまで低下する。書き込みを行わないためにはチャネル電位  $V_{ch1}$  がビット線書き込み阻止電圧  $V_{H4}$  以上となる必要があるが、制御ゲート線  $CG1a$  と浮遊チャンネルの間の電圧は高電圧  $V_{H1}$  - 耐圧  $V_{B1}$  となり、耐圧  $V_{B1}$  が  $V_{H4}$  より低い場合には誤書き込みが起こるおそれがある。

10

## 【0009】

一方、制御ゲート線  $CG2a$  を選択し、NAND型メモリセルユニット  $Pa a$  の上段メモリセルに書き込みを行い、NAND型メモリセルユニット  $Pa b$  の上段メモリセルに書き込みを行わない場合、制御ゲート線  $CG2a$  に正の高電圧  $V_{H1}$ 、書き込み非選択セルのある柱状半導体層  $Pa b$  のビット線  $BLb$  にはビット線書き込み阻止電圧  $V_{H4}$  を印加する。ビット線  $BLb$  へ書き込み阻止電圧を印加する際の下段および上段メモリセルのチャネル電位  $V_{ch1}$ 、 $V_{ch2}$  の時間変化は図45と同様になり、耐圧  $V_{B1}$  と等しくなるまで低下する。ここでは、選択ゲート線  $SG2a$ 、制御ゲート線  $CG1a$ 、 $CG2a$  へ電圧を印加した後にビット線へ電圧を印加する場合を示しているが、どちらが前後してもチャネル電位  $V_{ch2}$  は耐圧  $V_{B1}$  となるまで低下する。書き込みを行わないためにはチャネル電位  $V_{ch2}$  がビット線書き込み阻止電圧  $V_{H4}$  以上となる必要があるが、制御ゲート線  $CG2a$  と浮遊チャンネルの間の電圧は高電圧  $V_{H1}$  - 耐圧  $V_{B1}$  となり、耐圧  $V_{B1}$  が  $V_{H4}$  より低い場合には誤書き込みが起こるおそれがある。

20

## 【0010】

図46は、NAND型メモリセルをマトリクス状に配置し複数の制御ゲート線を共通とするメモリセルアレイのブロック図である。また、図47は、その等価回路である。ここで共通制御ゲート線  $CG1a$  を選択し、柱状半導体層  $Pa a$  の下段メモリセルに書き込みを行い、柱状半導体層  $Pa b$  の下段メモリセルに書き込みを行わない場合の各端子の電圧を示している。

## 【0011】

図43に示すメモリセルアレイでは、制御ゲート線方向の柱状半導体層1行に対して、前記柱状半導体層1行分のビット線方向(図の垂直方向)のスペースに、1つの制御ゲートセクタトランジスタを配置しなければならないが(即ち、制御ゲート1本に対して1つの制御ゲート選択トランジスタが必要)、図46に示すメモリセルアレイでは、2本の制御ゲート線同士を接続して1本の共通線で引き出すことにより制御ゲート線の引き出し配線ピッチを広げ、柱状半導体層2行分のビット線方向のスペースに1つの制御ゲートセクタトランジスタを配置できるという利点がある(この例では2本の制御ゲート線に対し、1つの制御ゲート選択トランジスタ)。しかし、複数の制御ゲート線を共通とするため、選択ゲート線  $SGb1$ 、 $SGb2$  が非選択である柱状半導体層  $Pba$ 、 $Pbb \sim Pbc$ 、 $Pbd$  の下段メモリセルの制御ゲートにも正の高電圧  $V_{H1}$  が印加される。図48は、柱状半導体層  $Pba$  の単純化した容量ネットワークを示す回路図である。前記EEPROMでは柱状半導体層と半導体基板が電気的に絶縁されているため、下段メモリセルのチャネル電位  $V_{ch1}$  は、浮遊ゲートと制御ゲート及びチャンネル層との間の容量  $C_{i\_poly}$ 、 $C_{ox}$ 、チャンネル層と逆導電型の不純物層との接合部に形成される空乏層の容量  $C_1$ 、 $C_2$ 、 $C_3$  の結合関係により決まる。図49は、制御ゲート線  $CG1a$  に正の高電圧  $V_{H1}$  を印加する際、書き込み非選択メモリセルのチャネル電位  $V_{ch1}$  の変化を示すグラフである。制御ゲート線  $CG1a$  の正の高電圧  $V_{H1}$  印加に伴い、浮遊ゲートと制御ゲート及びチャンネル層との間の容量  $C_{i\_poly}$ 、 $C_{ox}$  の結合により、はじめは、書き込み非選択セルのチャネル電位  $V_{ch1}$  は上昇するが、ソース線側の選択トランジスタのソース - ドレイン間電圧がソース - ドレイン間耐圧  $V_{B1}$  より高くなるとブレイクダウン

30

40

50

が起こり、チャネル電位  $V_{ch1}$  は前記ソース - ドレイン間電圧が耐圧  $V_{B1}$  と等しくなるまで低下する。ここでは、ビット線に接地電位が印加される柱状半導体層  $P_{ba}$  の下段メモリセルに対して示しているが、ビット線に書き込み阻止電圧  $V_{H4}$  が印加されても同様で、柱状半導体層  $P_{ba}$ 、 $P_{bb} \sim P_{bc}$ 、 $P_{bd}$  の下段メモリセルのチャネル電位  $V_{ch1}$  は耐圧  $V_{B1}$  まで低下する。書き込みを行わないためには、チャネル電位  $V_{ch1}$  がビット線書き込み阻止電圧  $V_{H4}$  以上となる必要があるが、制御ゲート線  $CG1a$  と浮遊チャネルの間の電圧は高電圧  $V_{H1}$  - 耐圧  $V_{B1}$  となり、耐圧  $V_{B1}$  が  $V_{H4}$  より低い場合には誤書き込みが起こるおそれがある。

#### 【0012】

一方、制御ゲート線  $CG2a$  を選択し、NAND型メモリセルユニット  $P_{aa}$  の上段メモリセルに書き込みを行い、NAND型メモリセルユニット  $P_{ab}$  の上段メモリセルに書き込みを行わない場合、制御ゲート線  $CG2a$  に正の高電圧  $V_{H1}$ 、制御ゲート線  $CG1a$  に書き込みが阻止できる程度の電圧  $V_{H2}$  ( $V_{H2} < V_{H1}$ ) を印加し、書き込み選択セルのある柱状半導体層  $P_{aa}$  のビット線  $BLa$  は接地電位、書き込み非選択セルのある柱状半導体層  $P_{ab}$  のビット線  $BLb$  にはビット線書き込み阻止電圧  $V_{H4}$  を印加する。また、制御ゲート線  $CG2a$  が接続される  $P_{ba}$ 、 $P_{bb} \sim P_{bc}$ 、 $P_{bd}$  の選択ゲート線  $SG1b$ 、 $SG2b$  は接地電位とする。複数の制御ゲートを共通とするため、選択ゲート線  $SGb1$ 、 $SGb2$  が接地電位で非選択である柱状半導体層  $P_{ba}$ 、 $P_{bb} \sim P_{bc}$ 、 $P_{bd}$  の上段メモリセルの制御ゲートにも正の高電圧  $V_{H1}$  が印加される。図50は、柱状半導体層  $P_{ba}$  の単純化した容量ネットワークを示す回路図である。上段メモリセルのチャネル電位  $V_{ch2}$  は、浮遊ゲートと制御ゲート及びチャネル層との間の容量  $C_{i\_poly}$ 、 $C_{ox}$ 、チャネル層と逆導電型の不純物層との接合部に形成される空乏層の容量  $C1$ 、 $C2$ 、 $C3$  の結合関係により決まる。制御ゲート線  $CG2a$  に正の高電圧  $V_{H1}$  を印加する際、メモリセルのチャネル電位  $V_{ch2}$  の変化を図51に示す。制御ゲート線  $CG2a$  の正の高電圧  $V_{H1}$  印加に伴い、浮遊ゲートと制御ゲート及びチャネル層との間の容量  $C_{i\_poly}$ 、 $C_{ox}$  の結合により、はじめチャネル電位  $V_{ch2}$  は上昇するが、ビット線側の選択トランジスタのソース - ドレイン間電圧がソース - ドレイン間耐圧  $V_{B2}$  より高くなるとブレークダウンが起こり、チャネル電位  $V_{ch2}$  は前記ソース - ドレイン間電圧が耐圧  $V_{B2}$  と等しくなるまで低下する。書き込みを行わないためには、チャネル電位  $V_{ch2}$  がビット線書き込み阻止電圧  $V_{H4}$  以上となる必要があるが、制御ゲート線  $CG2a$  と浮遊チャネルの間の電圧は高電圧  $V_{H1}$  - 耐圧  $V_{B2}$  となり、耐圧  $V_{B2}$  が  $V_{H4}$  より低い場合には誤書き込みが起きるおそれがある。

#### 【0013】

この発明はこのような事情を考慮してなされたもので、メモリセルの電荷蓄積層へ電子注入を行う際に印加されるビット線書き込み阻止電圧に対して十分な耐圧を持った選択トランジスタを備え、非選択メモリセルへの誤書き込みが確実に防止できる不揮発性半導体記憶装置を提供するものである。より詳細には、ソース線側の選択トランジスタが、ビット線へ印加する書き込み阻止電圧とソース拡散層へ印加する電圧との差以上の不純物拡散層間耐圧を持つこと特徴とする半導体記憶装置を提供するものである。

#### 【課題を解決するための手段】

#### 【0014】

この発明は、表面にソース拡散層を有する半導体基板と、ソース拡散層上に垂直方向に設けられ最上部にドレイン拡散層を有する柱状半導体層と、電荷蓄積層と制御ゲートとを有するメモリセルを第1不純物拡散層を介して柱状半導体層上に基板と垂直方向に複数直列接続したメモリセル列と、第2不純物拡散層を介してメモリセル列の一端とドレイン拡散層とを接続する第1選択トランジスタと、第3不純物拡散層を介してメモリセル列の他端とソース拡散層とを接続する第2選択トランジスタとを備え、第3不純物拡散層とソース拡散層との距離が、各メモリセルを挟んで隣り合う不純物拡散層間距離よりも長く設定されることによりソース拡散層 - 第1不純物拡散層間に書き込み阻止電圧が印加された場合に第2選択トランジスタのパンチスルーが回避し得るメモリセルユニットを提供するも

10

20

30

40

50

のである。

【0015】

あるいはこの発明は、表面の一部にソース拡散層を有する半導体基板と、半導体基板上に垂直方向に設けられ底部の一部がソース拡散層に接し他の部分が半導体基板と導通し最上部にドレイン拡散層を有する柱状半導体層と、電荷蓄積層と制御ゲートとを有するメモリセルを第1不純物拡散層を介して柱状半導体層上に基板と垂直方向に複数直列接続したメモリセル列と、第2不純物拡散層を介してメモリセル列の一端とドレイン拡散層とを接続する第1選択トランジスタと、第3不純物拡散層を介してメモリセル列の他端とソース拡散層とを接続する第2選択トランジスタとを備え、第3不純物拡散層とソース拡散層との距離が、各メモリセルを挟んで隣り合う不純物拡散層間距離よりも長く設定されることによりソース拡散層 - 第1不純物拡散層間に書き込み阻止電圧が印加された場合に第2選択トランジスタのパンチスルーが回避し得るメモリセルユニットを提供するものである。

10

【発明の効果】

【0016】

この発明によれば、メモリセルユニットが半導体基板と電気的に絶縁されている場合に、第3不純物拡散層とソース拡散層の距離が、第3不純物拡散層とソース拡散層との距離が、各メモリセルを挟んで隣り合う不純物拡散層 - 第1不純物拡散層間距離よりも長く設定され、ソース拡散層 - 第3不純物拡散層間に書き込み阻止電圧が印加された場合に第2選択トランジスタのパンチスルーが回避し得るように距離が確保されるので、第3不純物拡散層に隣接するメモリセルへの書き込み時に非選択メモリセルのチャンネル電位を書き込み阻止電圧に保つことができる。従って、非選択メモリセルへの誤書き込みを確実に防止することができる。信頼性が高く動作の安定したメモリセルユニットが得られる。

20

さらに、ドレイン拡散層と第2不純物拡散層との距離が、各メモリセルを挟んで隣り合う不純物拡散層間距離よりも長く設定されていれば、ドレイン拡散層 - 第2不純物拡散層間に書き込み阻止電圧が印加された場合に第1選択トランジスタのパンチスルーを回避し得るように距離が確保されるので、第2不純物拡散層に隣接するメモリセルへの書き込み時に非選択メモリセルのチャンネル電位を書き込み阻止電圧に保つことができる。従って、非選択メモリセルへの誤書き込みを確実に防止することができる。信頼性が高く動作の安定したメモリセルユニットが得られる。

【0017】

また、この発明によれば、メモリセルユニットが半導体基板と電気的に導通している場合に、第3不純物拡散層とソース拡散層の距離が、第3不純物拡散層とソース拡散層との距離が、各メモリセルを挟んで隣り合う不純物拡散層間距離よりも長く設定され、ソース拡散層 - 第3不純物拡散層間に書き込み阻止電圧が印加された場合に第2選択トランジスタのパンチスルーが回避し得るように距離が確保されるので、第3不純物拡散層に隣接するメモリセルへの書き込み時に非選択メモリセルのチャンネル電位を書き込み阻止電圧に保つことができる。従って、非選択メモリセルへの誤書き込みを確実に防止することができる。信頼性が高く動作の安定したメモリセルユニットが得られる。

30

さらに、ドレイン拡散層と第2不純物拡散層との距離が、各メモリセルを挟んで隣り合う不純物拡散層間距離よりも長く設定されていれば、ドレイン拡散層 - 第2不純物拡散層間に書き込み阻止電圧が印加された場合に第1選択トランジスタのパンチスルーを回避し得るように距離が確保されるので、第2不純物拡散層に隣接するメモリセルへの書き込み時に非選択メモリセルのチャンネル電位を書き込み阻止電圧に保つことができる。従って、非選択メモリセルへの誤書き込みを確実に防止することができる。信頼性が高く動作の安定したメモリセルユニットが得られる。

40

【0018】

複数のメモリセルユニットがマトリクス状に配置され、各メモリセルユニットが前記のメモリセルユニットからなるようにすれば、各メモリセルユニットの選択トランジスタがドレイン拡散層とソース拡散層との間に印加される書き込み阻止電圧以上の耐圧を持つので、特に第3不純物拡散層に隣接するメモリセルへの書き込み時に非選択メモリセルのチ

50

チャンネル電位を書き込み阻止電圧に保つことができ、非選択メモリセルへの誤書き込みを確実に防止することができ、信頼性が高く動作の安定した不揮発性半導体装置が得られる。

あるいは、複数のメモリセルユニットが縦横にマトリクス状に配置され、縦方向の柱状半導体層に含まれるメモリセルの各制御ゲートが連続的に配置されて制御ゲート線を構成し、複数の制御ゲート線が共通接続され、横方向のドレイン拡散層が共通接続されてビット線を構成し、各メモリセルユニットが前記メモリセルユニット構成されるようにすれば、各メモリセルユニットのドレイン拡散層とソース拡散層との間に印加される書き込み阻止電圧以上になるように設定されるので、特に第3不純物拡散層に隣接するメモリセルへの書き込み時に非選択メモリセルのチャンネル電位を書き込み阻止電圧以上に保つことができ、非選択メモリセルへの誤書き込みを確実に防止することができ、信頼性が高く動作の安定した不揮発性半導体装置が得られる。

10

また、この発明の液晶表示装置が前記の半導体記憶装置を備えるようにすれば、半導体装置の誤書き込みを確実に防止できるので、信頼性が高く、動作の安定した液晶表示装置を製造することが可能になる。

【発明を実施するための最良の形態】

【0019】

この発明のメモリセルユニットは、半導体基板と電気的に絶縁されもしくは導通している柱状半導体層に形成され、第3不純物拡散層とソース拡散層との距離が、各メモリセルを挟んで隣り合う不純物拡散層間距離よりも長く設定されてなり、これによってソース拡散層 - 第1不純物拡散層間に書き込み阻止電圧が印加された場合に第2選択トランジスタのパンチスルーが回避得る距離が確保される。

20

さらに、この発明のメモリセルユニットは、ドレイン拡散層と第2不純物拡散層との距離が、各メモリセルを挟んで隣り合う不純物拡散層間距離よりも長く設定されてなり、これによってドレイン拡散層 - 第2不純物拡散層間に書き込み阻止電圧が印加された場合に第1選択トランジスタのパンチスルーが回避し得る距離が確保されていてもよい。

【0020】

ここで、第3不純物拡散層とソース拡散層の距離とは、図1に示す第3不純物拡散層10と符号ソース拡散層11との間の最短の距離をいう。

また、各メモリセルを挟んで隣り合う不純物拡散層間距離とは、図1に示す第1不純物拡散層9と第2不純物拡散層8との距離あるいは第1不純物拡散層9と第3不純物拡散層10との間の最短の距離をいう。

30

また、書き込み阻止電圧とは、メモリセルへの書き込み動作時に、非選択のメモリセルユニットのドレイン拡散層に印加される電圧を言う。選択されたメモリセルの電荷蓄積層に電子の注入（書き込み）を行う際に、選択されたメモリセルの制御ゲートが接続される制御ゲート線に正の電圧である書き込み電圧が印加される。従って、書き込み電圧は制御ゲート線に共通接続された非選択メモリセルの制御ゲートにも印加されるが、非選択メモリセル対しては書き込みを阻止する必要がある。このため、非選択メモリセルが含まれるメモリセルユニットのドレイン拡散層へ正の高電圧が印加され、これによって制御ゲートとの電圧差によって電子の注入が起こらないようにする。この場合のドレイン拡散層に印加される電圧が、前記の書き込み阻止電圧である。

40

また、パンチスルーとは、特にソース - ドレイン間距離（チャンネル長）の短いトランジスタに高電圧が印加された場合に、ドレイン側の空乏層がソース側の空乏層と繋がってしまい、ゲート下にチャンネルが形成されていなくてもソース - ドレイン間に電流が流れる現象をいう。一般に、トランジスタのソース - ドレイン間の耐圧、即ちトランジスタがオフ状態のときにソース - ドレイン間に印加し得る最大電圧を超えた電圧が印加されると、オフ状態にもかかわらずソース - ドレイン端子間に流れる電流が急激に増加する（ブレイクダウン）。ブレイクダウンが発生すると、ソース - ドレイン間の電圧が耐圧と等しい電圧まで低下する。微細でチャンネル長の短いトランジスタでは前記のパンチスルーによってトランジスタの耐圧が決まる。パンチスルーに対する耐圧（パンチスルー耐圧）を向上させるには、トランジスタのチャンネル長を長くすればよい。チャンネル長が長ければ、高い電圧

50

を印加しなければドレイン側とソース側にできる空乏層が互いに繋がらず、したがってパンチスルーが発生しないからである。

第1選択トランジスタの耐圧は、第1選択トランジスタがオフ状態のときに第2不純物拡散層に対してドレイン拡散層が保持し得る最大電圧のことであり、第2選択トランジスタの耐圧は、第2選択トランジスタがオフ状態のときにソース拡散層に対して第3不純物拡散層が保持し得る最大電圧のことである。

従って、第1選択トランジスタのパンチスルーとは、前記トランジスタがオフ状態のときに第2不純物拡散層側とドレイン拡散層側との空乏層が繋がって前記トランジスタのチャンネル間に電流が流れてしまう現象のことをいう。また、第2選択トランジスタのパンチスルーとは、前記トランジスタがオフ状態のときにソース拡散層側と第3不純物拡散層側との空乏層が繋がって前記トランジスタのチャンネル間に電流が流れてしまう現象のことをいう。

10

#### 【0021】

換言すれば、この発明のメモリセルの特徴は、第2選択トランジスタが、書き込み動作においてメモリセルの電荷蓄積層に電子の注入を行わないメモリセルユニットのドレイン拡散層へ印加される書き込み阻止のための電圧とソース拡散層へ印加される電圧との差以上の耐圧を持つことにあり、また、第1選択トランジスタが、書き込み動作においてメモリセルの電荷蓄積層に電子の注入を行わないメモリセルユニットのドレイン拡散層へ印加される書き込み阻止のための電圧とソース拡散層へ印加される電圧との差以上の耐圧を持ってよい。

20

#### 【0022】

また、この発明の不揮発性半導体記憶装置は、複数のメモリセルユニットが縦横にマトリクス配置され、各メモリセルユニットが前記のメモリセルユニットからなってもよい。

また、この発明の不揮発性半導体記憶装置は、複数のメモリセルユニットが縦横にマトリクス配置され、縦方向の柱状半導体層に含まれるメモリセルの各制御ゲートが連続的に配置されて制御ゲート線を構成し、複数の制御ゲート線が共通接続され、横方向のドレイン拡散層が共通接続されてビット線を構成し、各メモリセルユニットが前記のメモリセルユニットからなってもよい。

また、この発明の液晶表示装置は、前記何れかの不揮発性半導体記憶装置を備えてなる。

30

#### 【0023】

以下、図面に示す実施形態に基づいてこの発明を詳述する。なお、この発明は、これによって限定されるものではない。

##### (実施の形態1)

まず、この発明の不揮発性半導体記憶装置が備えるNAND型メモリセルユニットの構造を形成するための製造工程の一例を図5～図24を参照して説明する。この実施の形態で形成するNAND型メモリセルユニットは、半導体基板を、例えば島状に加工することで島状半導体層を形成し、該島状半導体層の側面を活性領域面とし、該活性領域面にトンネル酸化膜及び電荷蓄積層として浮遊ゲートを複数形成し、各々の島状半導体層を半導体基板に対して電氣的にフローティング状態とし、各々のメモリセルの活性領域を電氣的にフローティング状態とする不揮発性メモリ素子において、島状半導体層の上部と下部に選択トランジスタを配置し、選択トランジスタに挟まれてメモリセルを複数個、例えば2個配置し、各々メモリセルを該島状半導体層に沿って直列に接続した構造である。図4は、この発明に係るNAND型メモリセルユニットを複数配列してなるメモリセルアレイの平面図である。また、図5～図24は、図4のメモリセルアレイの製造例を示す断面(図4のA-A線)工程図である。

40

まず、半導体基板として、例えばp型シリコン基板100の表面に、第一の絶縁膜として、例えばシリコン窒化膜310を200～2000nm堆積し、公知のフォトリソグラフィ技術によりパターンニングして、マスク層としてレジストを形成する(図5)。

50

## 【 0 0 2 4 】

レジストをマスクとして用いて、反応性イオンエッチングにより第一の絶縁膜であるシリコン窒化膜 3 1 0 をエッチングする。そして第一の絶縁膜であるシリコン窒化膜 3 1 0 をマスクに用いて、反応性イオンエッチングにより半導体基板である p 型シリコン基板 1 0 0 を 2 , 0 0 0 ~ 2 0 , 0 0 0 nm エッチングして、格子縞状の第一の溝部 2 1 0 を形成する。これにより、半導体基板である p 型シリコン基板 1 0 0 は、島状をなして複数の島状半導体層 1 1 0 に分離される。その後、島状半導体層 1 1 0 の表面を酸化することで第二の絶縁膜となる ( 図 6 ) 。

## 【 0 0 2 5 】

次に、例えば等方性エッチングにより各島状半導体層 1 1 0 の周囲の第二の絶縁膜である熱酸化膜 4 1 0 をエッチング除去した後、必要に応じて斜めイオン注入を利用して各島状半導体層 1 1 0 の側壁にチャネルイオン注入を行う。あるいはチャネルイオン注入に代って、CVD法により硼素を含む酸化膜を堆積し、その酸化膜からの硼素拡散を利用してよい。続いて、例えば熱酸化法を用いて各島状半導体層 1 1 0 の周囲に、例えば 1 0 nm 程度のトンネル酸化膜となる第三の絶縁膜として、例えばシリコン酸化膜 4 2 0 を形成する ( 図 7 ) 。この際、トンネル酸化膜は熱酸化膜に限らず、CVD酸化膜もしくは、窒素酸化膜でもよい。また、この第三絶縁膜は、島状半導体層 1 1 0 の側面、上面、半導体基板 1 0 0 の表面の上全面に形成してもよいが、少なくとも島状半導体層 1 0 0 の活性領域となる領域上に形成されていればよい。

続いて第一の導電膜となる、例えば多結晶シリコン膜 5 1 0 を堆積する ( 図 8 ) 。この第一の導電膜は、島状半導体層 1 1 0 の側面、上面、半導体基板 1 0 0 の表面の上全面に形成してもよいが、少なくとも島状半導体層 1 0 0 の側壁上に形成されていればよい。その後、CVD法により第四の絶縁膜として、例えばシリコン窒化膜 3 2 1 を堆積させる。続いて、第四の絶縁膜であるシリコン窒化膜 3 2 1 を、例えば反応性イオンエッチングにより第一の導電膜である多結晶シリコン膜 5 1 0 の側壁にサイドウォールスペーサ状に残存させる ( 図 9 ) 。

## 【 0 0 2 6 】

格子縞状の第一の溝部 2 1 0 にCVD法により第五の絶縁膜として、例えばシリコン酸化膜 4 3 1 を堆積する ( 図 1 0 ) 。格子縞状の第一の溝部 2 1 0 の所望の深さまで第五の絶縁膜であるシリコン酸化膜 4 3 1 を埋めこむ ( 図 1 1 ) 。第五の絶縁膜であるシリコン酸化膜 4 3 1 をマスクに第四の絶縁膜であるシリコン窒化膜 3 2 1 を等方性エッチングにより第五の絶縁膜であるシリコン酸化膜 4 3 1 と第一の導電膜である多結晶シリコン膜 5 1 0 の間にのみ第四の絶縁膜であるシリコン窒化膜 3 2 1 残存させるようエッチングを行う ( 図 1 2 ) 。この際、第五の絶縁膜であるシリコン酸化膜 4 3 1 の上面より第四の絶縁膜であるシリコン窒化膜 3 2 1 が窪みを生じた状態となり、この窪みに第六の絶縁膜としてシリコン酸化膜 4 4 1 を堆積する。この際、第六の絶縁膜であるシリコン酸化膜 4 4 1 の膜厚は第四の絶縁膜であるシリコン窒化膜 3 2 1 の約半分程度以上の膜であれば上記窪みが埋まる。また、第一の導電膜である多結晶シリコン膜 5 1 0 の側壁にも酸化膜 4 4 1 堆積するため、例えば等方性エッチングにより第一の導電膜である多結晶シリコン膜 5 1 0 の側壁の酸化膜 4 4 1 を除去する。前記窪み部には第六の絶縁膜であるシリコン酸化膜 4 4 1 が残存し、第四の絶縁膜であるシリコン窒化膜 3 2 1 は第五の絶縁膜であるシリコン酸化膜 4 3 1 、第六の絶縁膜であるシリコン酸化膜 4 4 1 によって埋没する。

## 【 0 0 2 7 】

続いて、同様にCVD法により第四の絶縁膜であるシリコン窒化膜 3 2 2 を堆積させ、反応性イオンエッチングにより第一の導電膜である多結晶シリコン膜 5 1 0 の側壁にサイドウォールスペーサ状に第四の絶縁膜であるシリコン窒化膜 3 2 2 を残存させる ( 図 1 3 ) 。その後、同様に第五の絶縁膜であるシリコン酸化膜 4 3 2 を埋めこんだ後、サイドウォールスペーサ状の第四の絶縁膜であるシリコン窒化膜 3 2 2 の上部に、第六の絶縁膜と同様に第六の絶縁膜であるシリコン酸化膜 4 4 2 を配置する。次いで、同様に第一の導電膜である多結晶シリコン膜 5 1 0 の側壁に第四の絶縁膜であるシリコン窒化膜 3 2 3 のサ

10

20

30

40

50

イドウォールスペーサを形成する（図 14）。

【0028】

これらを繰り返すことにより第一の導電膜である多結晶シリコン膜 510 の側壁に複数の第四の絶縁膜であるシリコン窒化膜のサイドウォールスペーサを形成させる（図 15）。等方性エッチングにより第一の導電膜である多結晶シリコン膜 510 の分割を行う（図 16）。第一の導電膜である多結晶シリコン膜 510 を第一の導電膜である多結晶シリコン膜 511 ~ 514 に分割形成する手段として、第四の絶縁膜であるシリコン窒化膜 321 ~ 324 をマスクに、例えば熱酸化により分離形成を行ってもよい。また、エッチングと熱酸化を組み合わせると分離形成を行ってもよい。分割された第一の導電膜である多結晶シリコン膜 511 ~ 514 及び第一の絶縁膜であるシリコン窒化膜 310 と自己整合で島状半導体層 110、半導体基板 100 に不純物導入を行う。この際、第一の配線層（ソース）となる不純物拡散層 710 はイオン注入法などにより不純物濃度の調整を行ってもよい（図 16）。

10

【0029】

第一の配線層である不純物拡散層 710 の形成するタイミングは N 型半導体層 721 ~ 724 の形成と同時でなくてもよい。例えば第二の絶縁膜である熱酸化膜 410 形成後に、例えばイオン注入法などにより第一の配線層である不純物拡散層 710 の形成を行ってもよいし、第三の絶縁膜であるシリコン酸化膜 420 の形成後に行ってもよい。また、先に述べたタイミングを組み合わせると複数回行ってもよい。その後、第一の導電膜である多結晶シリコン膜 511 ~ 514 の露出部を、例えば熱酸化法によって第七の絶縁膜であるシリコン酸化膜 450 を選択的に形成する。この際、熱処理を施すことにより不純物拡散層 710 ~ 724 を拡散させ島状半導体層 110 の P 型領域を電氣的にフローティング状態とする（図 17）。第一の導電膜である多結晶シリコン膜 511 ~ 514 の不純物の導入は第一の導電膜である多結晶シリコン膜 510 の成膜時に行ってもよいし、島状半導体層 110 に不純物導入を行う際に行ってもよいし、導電膜となれば導入時期は制限されない。

20

【0030】

その後、第四の絶縁膜であるシリコン窒化膜サイドウォールスペーサ 321 ~ 324 を、例えば等方性エッチングにより除去した後、CVD 法により第八の絶縁膜となるシリコン酸化膜 461 を堆積し異方性エッチング及び等方性エッチングにより第一の導電膜である多結晶シリコン膜 511 の側部を埋設するように酸化膜 461 を埋めこむ。次いで、第一の導電膜である多結晶シリコン膜 512 ~ 514 及び第七の絶縁膜であるシリコン酸化膜 450 に第九の絶縁膜となる、例えばシリコン窒化膜 331 を堆積しサイドウォールスペーサを形成する（図 18）。

30

【0031】

続いて、第一の導電膜である多結晶シリコン膜 511 の側部を露出する程度に第八の絶縁膜であるシリコン酸化膜 461 をエッチバックして、第二の導電膜となる、例えば多結晶シリコン膜 521 を堆積する（図 19）。その後、第二の導電膜である多結晶シリコン膜 521 と自己整合で半導体基板である p 型シリコン基板 100 に第二の溝部 220 を形成し、不純物拡散層 710 を分離する。つまり第二の導電膜の分離部と自己整合的に第一の配線層の分離部を形成する。続いて、第一の導電膜である多結晶シリコン膜 511 と接触しうる程度に、第二の導電膜である多結晶シリコン膜 521 をエッチバックし、選択ゲートとする。その際、島状半導体層 110 の間隔を、図 4 の A - A 方向について予め所定の値以下に設定しておくことによって、マスク工程を用いることなく、その方向に連続する選択ゲート線となる第二の配線層として形成される。その後、第八の絶縁膜であるシリコン酸化膜 462 を堆積し異方性エッチング及び等方性エッチングにより第二の導電膜である多結晶シリコン膜 521 の側部及び上部を埋設するように第八の絶縁膜であるシリコン酸化膜 461 を埋めこむ。その後、等方性エッチングにより第九の絶縁膜であるシリコン窒化膜 331 のサイドウォールスペーサを除去し、露出した第一の導電膜である多結晶シリコン膜 512 ~ 514 の表面に層間絶縁膜 612 を形成する（図 20）。この層間

40

50

絶縁膜 6 1 2 は、例えば O N O 膜とする。

【 0 0 3 2 】

続いて同様に第二の導電膜となる多結晶シリコン膜 5 2 2 を堆積し、エッチバックすることで、第一の導電膜である多結晶シリコン膜 5 1 2 の側部に層間絶縁膜 6 1 2 を介して第二の導電膜である多結晶シリコン膜 5 2 2 を配置させる ( 図 2 1 )。このとき、図 4 の A - A 方向について予め所定の値以下に設定しておくことによって、マスク工程を用いることなく、その方向に連続する制御ゲート線となる第三の配線層として形成される。その後、第八の絶縁膜であるシリコン酸化膜 4 6 3 を堆積し異方性エッチング及び等方性エッチングにより第二の導電膜である多結晶シリコン膜 5 2 2 の側部及び上部を埋設するように第八の絶縁膜である酸化膜 4 6 3 を埋めこむ。同様に繰り返すことで第一の導電膜である多結晶シリコン膜 5 1 3 の側部に層間絶縁膜 6 1 3 を介して第二の導電膜である多結晶シリコン膜 5 2 3 を配置させる ( 図 2 2 )。

10

【 0 0 3 3 】

第二の導電膜である多結晶シリコン膜 5 2 2 の側部及び上部を埋設するように酸化膜 4 6 3 を埋めこむ。最上段第一の導電膜である多結晶シリコン膜 5 1 4 においては最下段第一の導電膜である多結晶シリコン膜 5 1 1 と同様に第一の導電膜である多結晶シリコン膜 5 1 4 と接触しうる程度に、第二の導電膜である多結晶シリコン膜 5 2 4 をエッチバックする。第二の導電膜である多結晶シリコン膜 5 2 4 の上層に第十の絶縁膜となる、例えばシリコン酸化膜 4 6 5 を堆積し、エッチバックもしくは C M P 法などにより不純物拡散層 7 2 4 を備える島状半導体層 1 1 0 の上部を露出させ、ビット線として第四の配線層 8 4 0 を第二もしくは第三の配線層と方向が交差するよう形成し、島状半導体層 1 1 0 の上部と接続する ( 図 2 3 )。なお、図 2 3 では、第四の配線層 8 4 0 がアライメントズレなく不純物拡散層 7 2 4 上に配置されている状態を示しているが、アライメントズレが発生しても、図 2 4 に示すように、第四の配線層 8 4 0 は不純物拡散層 7 2 4 に接続させることができる。

20

【 0 0 3 4 】

その後、公知の技術により層間絶縁膜を形成しコンタクトホール及びメタル配線を形成する。これにより、第一の導電膜となる多結晶シリコン膜を浮遊ゲートとする電荷蓄積層に注入される電荷状態によってメモリ機能を有する N A N D 型メモリセルユニットが実現する。

30

図 1 は、この実施の形態によって製造される不揮発性半導体装置が備えるメモリセルユニットの半導体基板に対して垂直な方向の断面図である。また、図 2 はその等価回路図である。図 3 は、図 1 に示すメモリセルユニットの物理的形狀を示す斜視図である。N A N D 型メモリセルユニットには、フラッシュメモリのメモリセル ( M 1 、 M 2 ) が 2 つ直列に配列され、その両端に選択トランジスタ ( N 1 、 N 2 ) が直列に配列される。

【 0 0 3 5 】

前記の N A N D 型メモリセルユニットは、書き込み動作を行う際のビット線書き込み阻止電圧とソース線印加電圧の差に等しい電圧以上のソース - ドレイン間耐圧 V B 1 を持つトランジスタをソース線側の選択トランジスタに備える。N A N D 型メモリセルユニットのソース側選択トランジスタが必要な耐圧備えるためには、ソース側選択トランジスタのチャンネル長を少なくともメモリセルトランジスタのチャンネル長より長くすればよい。これによって、パンチスルー耐圧を向上させることが可能である。

40

【 0 0 3 6 】

この実施の形態に説明した製造工程で製造される N A N D 型メモリセルユニットにおいては、サイドウォールスペーサ状のシリコン窒化膜 3 2 1 の垂直方向の長さをシリコン窒化膜 3 2 2 、 3 2 3 の垂直方向の長さより長くすることによって、多結晶シリコン膜 5 1 1 の垂直方向の長さ ( 選択トランジスタのチャンネル長となる ) が多結晶シリコン膜 5 1 2 , 5 1 3 の垂直方向の長さ ( メモリセルトランジスタのチャンネル長となる ) より長くなり、その結果選択トランジスタのチャンネル長をメモリセルトランジスタのチャンネル長より長くすることが出来る。

50

## 【0037】

上記のように、選択トランジスタの不純物拡散層間耐圧は選択トランジスタのチャンネル長で決定される。チャンネル長はサイドウォールスペース状のシリコン窒化膜の設計/製造パラメータを調整することによって最適化することができ、これによって所望の特性を持った選択トランジスタが得られる。

上記の説明はソース側選択トランジスタが必要な耐圧を備えるようにするための設計/製造方法に関して述べたものであるが、ドレイン側選択トランジスタについても、ソース側トランジスタと同様である。

## 【0038】

この実施の形態のメモリセルユニットは、図1に示すように半導体基板と逆導電型の不純物拡散層により柱状半導体層が半導体基板から電氣的に絶縁されている。しかし、この発明によれば、柱状半導体層が半導体基板から電氣的に絶縁されている場合だけでなく、図40に示す構造のように柱状半導体層が半導体基板と電氣的に導通していてもよい。

(実施の形態2)

図25は、図1に示すNAND型メモリセルユニットがマトリクス状に配列されたメモリセルアレイを示すブロック図である。また、図26はその等価回路図である。図25、図26に示すように、この実施の形態のメモリセルアレイ中には、選択ゲート線SG1a、SG2aと制御ゲート線CG1a、CG2aにより選択されるNAND型メモリセルユニットPaa、Pab~Pac、Padと、選択ゲート線SG1b、SG2bと制御ゲート線CG1b、CG2bにより選択されるNAND型メモリセルユニットPba、Pbb~Pbc、Pbdと、選択ゲート線SG1c、SG2cと制御ゲート線CG1c、CG2cにより選択されるNAND型メモリセルユニットPca、Pcb~Pcc、Pcdと、選択ゲート線SG1d、SG2dと制御ゲート線CG1d、CG2dにより選択されるNAND型メモリセルユニットPda、Pdb~Pdc、Pddの4つのNAND型メモリセルユニットが存在する。また、選択ゲート線、制御ゲート線とは交差する方向に並んだビット線BLa~BLd、共通ソース線SLが存在する。この実施の形態における不揮発性半導体素子のメモリセルの書き込み動作と選択トランジスタの耐圧との関係について以下に説明する。

<書き込み動作1>ソース電位がGNDの場合

図25に示すメモリセルアレイにおいて、選択ゲート線SG1a、SG2aと制御ゲート線CG1a、CG2aが選択されており、その他の選択ゲート線SG1b、SG2b、SG1c、SG2c、SG1d、SG2dと制御ゲート線CG1b、CG2b、CG1c、CG2c、CG1d、CG2dは非選択とする。この選択されたメモリセルユニットPaa、Pab~Pac、Padの下段メモリセルM1に対して書き込み動作を行う際に、制御ゲート線CG1a(制御ゲート2)に高電圧VH1、制御ゲート線CG2a(制御ゲート4)に書き込みが阻止できる程度の電圧VH2(VH2<VH1)、選択ゲート線SG2a(選択ゲート6)に正電圧VH3を印加し、選択ゲート線SG1a(選択ゲート5)とソース線SL(ソース端子11)は接地する場合について説明する。

制御ゲート線CG1aに接続されたセルのうち、電子注入を行うメモリセルに対しては、ビット線(ドレイン端子7)を接地することで、N型拡散層8、9、10が接地電圧となる。そして浮遊チャンネルが接地電位となり、制御ゲート線CG1a(制御ゲート2)と浮遊チャンネルの間に高電圧VH1が発生する。このとき浮遊チャンネルからトンネル電流により電荷蓄積層1へ電子が注入される。この電子注入によりメモリセルM1のしきい値電圧は正方向に移動する。一方、メモリセルM2については、制御ゲート線CG2a(制御ゲート4)と浮遊チャンネルの間の電圧は書き込みが阻止できる程度の電圧VH2(VH2<VH1)となり、書き込みが行われずしきい値は変動しない。

## 【0039】

制御ゲート線CG1aに接続されたセルのうち、電子注入を行わないメモリセルに対しては、ビット線を書き込み阻止電圧VH4とすることで書き込みを阻止する。図27は、ビット線へビット線書き込み阻止電圧VH4の印加する際のメモリセルM1、M2のチャ

ネル電位  $V_{ch1}$ 、 $V_{ch2}$  の時間変化を示すグラフである。ここでは、選択ゲート線  $SG2a$ 、制御ゲート線  $CG1a$ 、 $CG2a$  へ電圧を印加した後にビット線へ電圧を印加する場合を示しているが、どちらが前後してもチャンネル電位  $V_{ch1}$  は書き込み阻止電圧  $V_{H4}$  まで上昇する。この時、選択トランジスタ  $N1$  のソース（ソース端子  $11$ ）-ドレイン（ $N$ 型拡散層  $10$ ）間に書き込み電圧  $V_{H4}$  - 接地電位の電位差が発生するが、耐圧  $V_{B1}$  がビット線書き込み阻止電圧  $V_{H4}$  とソース線印加電圧の差に等しい電圧、すなわちビット線書き込み阻止電圧  $V_{H4}$  以上であるため、 $N$ 型拡散層  $11$  及び浮遊チャンネルの電位  $V_{ch1}$  はビット線書き込み阻止電圧  $V_{H4}$  に等しいままであり、制御ゲート線  $CG1a$ （制御ゲート  $2$ ）と浮遊チャンネルの間の電圧は高電圧  $V_{H1}$  - ビット線書き込み阻止電圧  $V_{H4}$  となり、電荷蓄積層  $1$  へ電子が誤って注入されることがない。

10

## 【0040】

次に、この選択されたメモリセルユニット  $Pa a$ 、 $Pa b \sim Pa c$ 、 $Pa d$  の上段メモリセル  $M2$  に対して書き込み動作を行う際に、制御ゲート線  $CG2a$ （制御ゲート  $4$ ）に高電圧  $V_{H1}$ 、制御ゲート線  $CG1a$ （制御ゲート  $2$ ）に書き込みが阻止できる程度の電圧  $V_{H2}$ （ $V_{H2} < V_{H1}$ ）、選択ゲート線  $SG2a$ （選択ゲート  $6$ ）に正電圧  $V_{H3}$  を印加し、選択ゲート線  $SG1a$ （選択ゲート  $5$ ）とソース線  $SL$ （ソース端子  $11$ ）は接地する場合について説明する。制御ゲート線  $CG2a$  に接続されたセルのうち、電子注入を行うメモリセルに対しては、ビット線（ドレイン端子  $7$ ）を接地することで、 $N$ 型拡散層  $8$ 、 $9$ 、 $10$  が接地電圧となる。そして浮遊チャンネルが接地電位となり、制御ゲート線  $CG2a$ （制御ゲート  $4$ ）と浮遊チャンネルの間に高電圧  $V_{H1}$  が発生する。このとき浮遊チャンネルからトンネル電流により電荷蓄積層  $3$  へ電子が注入される。この電子注入によりメモリセル  $M2$  のしきい値電圧は正方向に移動する。一方、メモリセル  $M1$  については、制御ゲート線  $CG1a$ （制御ゲート  $2$ ）と浮遊チャンネルの間の電圧は書き込みが阻止できる程度の電圧  $V_{H2}$ （ $V_{H2} < V_{H1}$ ）となり、書き込みが行われずしきい値は変動しない。

20

30

## 【0041】

制御ゲート線  $CG2a$  に接続されたセルのうち、電子注入を行わないメモリセルに対しては、ビット線を書き込み阻止電圧  $V_{H4}$  とすることで書き込みを阻止する。ビット線へビット線書き込み阻止電圧  $V_{H4}$  の印加する際のメモリセル  $M1$ 、 $M2$  のチャンネル電位  $V_{ch1}$ 、 $V_{ch2}$  の時間変化は図  $27$  と同様になり、チャンネル電位  $V_{ch2}$  は書き込み阻止電圧  $V_{H4}$  まで上昇する。この時、選択トランジスタ  $N1$  のソース（ソース端子  $11$ ）-ドレイン（ $N$ 型拡散層  $10$ ）間に書き込み電圧  $V_{H4}$  - 接地電位の電位差が発生するが、耐圧  $V_{B1}$  がビット線書き込み阻止電圧  $V_{H4}$  とソース線印加電圧の差に等しい電圧、すなわちビット線書き込み阻止電圧  $V_{H4}$  以上であるため、 $N$ 型拡散層  $11$  及びメモリセル  $M1$ 、 $M2$  の浮遊チャンネルの電位  $V_{ch1}$ 、 $V_{ch2}$  はビット線書き込み阻止電圧  $V_{H4}$  に等しいままであり、制御ゲート線  $CG2a$ （制御ゲート  $4$ ）と浮遊チャンネルの間の電圧は高電圧  $V_{H1}$  - ビット線書き込み阻止電圧  $V_{H4}$  となり、電荷蓄積層  $3$  へ電子が注入されない。

## &lt;書き込み動作 2&gt; ソース電位が正の場合

次に、図  $25$  に示すメモリセルアレイで、選択されたメモリセルユニット  $Pa a$ 、 $Pa b \sim Pa c$ 、 $Pa d$  の下段メモリセル  $M1$  に対して書き込み動作を行う際に、制御ゲート線  $CG1a$ （制御ゲート  $2$ ）に高電圧  $V_{H1}$ 、制御ゲート線  $CG2a$ （制御ゲート  $4$ ）に書き込みが阻止できる程度の電圧  $V_{H2}$ （ $V_{H2} < V_{H1}$ ）、選択ゲート線  $SG2a$ （選択ゲート  $6$ ）に正電圧  $V_{H3}$ 、ソース線  $SL$ （ソース端子  $11$ ）に正電圧を印加し、選択ゲート線  $SG1a$ （選択ゲート  $5$ ）は接地電位とする場合について説明する。ここでは、ソース線  $SL$ （ソース端子  $11$ ）にビット線書き込み阻止電圧  $V_{H4}$  の  $1/2$  電圧  $V_{H5}$  を印加するものとする。制御ゲート線  $CG1a$  に接続されたセルのうち、電子注入を行うメモリセルに対しては、ビット線（ドレイン端子  $7$ ）を接地することで、 $N$ 型拡散層  $8$ 、 $9$ 、 $10$  が接地電圧となる。そして浮遊チャンネルが接地電位となり、制御ゲート線  $CG1a$ （制御ゲート  $2$ ）と浮遊チャンネルの間に高電圧  $V_{H1}$  が発生する。この時、選択トラン

40

50

ジスタN1のソース(ソース端子11) - ドレイン(N型拡散層10)間にソース線印加電圧VH5 - 接地電位の電位差VH5が発生するが、耐圧VB1がビット線書き込み阻止電圧VH4とソース線印加電圧VH5の差に等しい電圧、すなわちソース線印加電圧VH5以上であるため、N型拡散層11及び浮遊チャンネルの電位Vch1は接地電位に等しいままであり、浮遊チャンネルからトンネル電流により電荷蓄積層1へ電子が注入される。この電子注入によりメモリセルM1のしきい値電圧は正方向に移動する。一方、メモリセルM2については、制御ゲート線CG2a(制御ゲート4)と浮遊チャンネルの間の電圧は書き込みが阻止できる程度の電圧VH2(VH2 < VH1)となり、書き込みが行われずしきい値は変動しない。

#### 【0042】

一方、制御ゲート線CG1aに接続されたセルのうち、電子注入を行わないメモリセルに対しては、ビット線を書き込み阻止電圧VH4とすることで書き込みを阻止する。図28は、ビット線へビット線書き込み阻止電圧VH4の印加する際のメモリセルM1、M2のチャンネル電位Vch1、Vch2の時間変化を示すグラフである。ここでは、選択ゲート線SG2a、制御ゲート線CG1a、CG2aへ電圧を印加した後にビット線へ電圧を印加する場合を示しているが、どちらが前後してもチャンネル電位Vch1は書き込み阻止電圧VH4まで上昇する。この時、選択トランジスタN1のソース(ソース端子11) - ドレイン(N型拡散層10)間に書き込み電圧VH4 - ソース線印加電圧VH5の電位差VH5が発生するが、耐圧VB1がビット線書き込み阻止電圧VH4とソース線印加電圧VH5の差に等しい電圧、すなわちソース線印加電圧VH5以上であるため、N型拡散層11及び浮遊チャンネルの電位Vch1はビット線書き込み阻止電圧VH4に等しいままであり、制御ゲート線CG1a(制御ゲート2)と浮遊チャンネルの間の電圧は高電圧VH1 - 書き込み阻止電圧VH4となり、電荷蓄積層1へ電子が注入されない。

次に、この選択されたメモリセルユニットPaa、Pab~Pac、Padの上段メモリセルM2に対して書き込み動作を行う際に、制御ゲート線CG2a(制御ゲート4)に高電圧VH1、制御ゲート線CG1a(制御ゲート2)に書き込みが阻止できる程度の電圧VH2(VH2 < VH1)、選択ゲート線SG2a(選択ゲート6)に正電圧VH3、選択ゲート線SG1a(選択ゲート5)に接地電位、ソース線SL(ソース端子11)に正電圧を印加する。ここでは、ソース線SL(ソース端子11)にビット線書き込み阻止電圧VH4の1/2電圧VH5を印加するものとする。制御ゲート線CG2aに接続されたセルのうち、電子注入を行うメモリセルに対しては、ビット線(ドレイン端子7)を接地することで、N型拡散層8、9、10が接地電圧となる。そして浮遊チャンネルが接地電位となり、制御ゲート線CG2a(制御ゲート4)と浮遊チャンネルの間に高電圧VH1が発生する。このとき浮遊チャンネルからトンネル電流により電荷蓄積層3へ電子が注入される。この電子注入によりメモリセルM2のしきい値電圧は正方向に移動する。一方、メモリセルM1については、制御ゲート線CG1a(制御ゲート2)と浮遊チャンネルの間の電圧は書き込みが阻止できる程度の電圧VH2(VH2 < VH1)となり、書き込みが行われずしきい値は変動しない。また、この時選択トランジスタN1のソース(ソース端子11) - ドレイン(N型拡散層10)間にソース線印加電圧VH5 - 接地電位の電位差VH5が発生するが、耐圧VB1がビット線書き込み阻止電圧VH4とソース線印加電圧VH5の差に等しい電圧、すなわちソース線印加電圧VH5以上であるため、N型拡散層11及びメモリセルM1、M2の浮遊チャンネルの電位Vch1、Vch2は接地電位に等しいままである。

#### 【0043】

一方、制御ゲート線CG2aに接続されたセルのうち、電子注入を行わないメモリセルに対しては、ビット線を書き込み阻止電圧VH4とすることで書き込みを阻止する。ビット線へビット線書き込み阻止電圧VH4の印加する際のメモリセルM1、M2のチャンネル電位Vch1、Vch2の時間変化は図28と同様になり、チャンネル電位Vch2は書き込み阻止電圧VH4まで上昇する。この時、選択トランジスタN1のソース(ソース端子11) - ドレイン(N型拡散層10)間に書き込み電圧VH4 - ソース線印加電圧VH5

10

20

30

40

50

の電位差  $V_{H5}$  が発生するが、耐圧  $V_{B1}$  がビット線書き込み阻止電圧  $V_{H4}$  とソース線印加電圧  $V_{H5}$  の差に等しい電圧、すなわちソース線印加電圧  $V_{H5}$  以上であるため、N型拡散層 11 及びメモリセル M1、M2 の浮遊チャネルの電位  $V_{ch1}$ 、 $V_{ch2}$  はビット線書き込み阻止電圧  $V_{H4}$  に等しいままであり、制御ゲート線 CG2a (制御ゲート4) と浮遊チャネルの間の電圧は高電圧  $V_{H1}$  - ビット線書き込み阻止電圧  $V_{H4}$  となり、電荷蓄積層 3 へ電子が注入されない。

(実施の形態 3)

図 29 は、図 25 に示すメモリセルアレイの複数の制御ゲート線を共通接続して構成されるメモリセルアレイの例である。図 30 は、その等価回路図である。図 25 に示すメモリセルアレイは、制御ゲート線方向の柱状半導体層 1 行に対して、前記柱状半導体層 1 行分のビット線方向のスペースに 1 つの制御ゲートセレクトランジスタを配置しなければならないが、図 29 に示すこの実施の形態のメモリセルアレイは、2 本の制御ゲート線同士を接続して 1 本の共通線で引き出すことにより制御ゲート線引き出し配線ピッチを広げ、柱状半導体層 2 行分のビット線方向のスペースに 1 つの制御ゲートセレクトランジスタを配置できるという利点がある。ここでは、2 本の制御ゲート線を共通とする場合を例とする。このメモリセルアレイの例では、選択ゲート線 SG1a、SG2a と共通制御ゲート線 CG1a、CG2a により選択される NAND 型メモリセルユニット Paa、Pab ~ Pac、Pad と、選択ゲート線 SG1b、SG2b と共通制御ゲート線 CG1a、CG2a により選択される NAND 型メモリセルユニット Pba、Pbb ~ Pbc、Pbd と、選択ゲート線 SG1c、SG2c と共通制御ゲート線 CG1c、CG2c と選択される NAND 型メモリセルユニット Pca、Pcb ~ Pcc、Pcd と、選択ゲート線 SG1d、SG2d と共通制御ゲート線 CG1c、CG2c により選択される NAND 型メモリセルユニット Pda、Pdb ~ Pdc、Pdd の 4 つの NAND 型メモリセルユニットが存在する。また、選択ゲート線、制御ゲート線とは交差する方向に並んだビット線 BLa ~ BLd、共通ソース線 SL が存在する。なお、この実施の形態のメモリセルアレイを構成するメモリセルユニットは図 1 に示すように、半導体基板と逆導電型の不純物拡散層により柱状半導体層が半導体基板から電気的に絶縁されていてもよいが、不純物拡散層を形成し、半導体基板または柱状半導体層との接合部における空乏層を利用したタイプのもでもよいし、例えば  $SiO_2$  などの絶縁膜で電気的に絶縁したもでもよい。以下にこのメモリセルの書き込み動作について説明する。

<書き込み動作 3> 共通制御ゲート線配置、ソース電位が GND の場合

図 29 に示すメモリセルアレイにおいて、選択ゲート線 SG1a、SG2a と共通制御ゲート線 CG1a、CG2a が選択されており、その他の選択ゲート線 SG2b、SG1c、SG2c、SG1d、SG2d と制御ゲート線 CG1c、CG2c、CG1d、CG2d は非選択とする。選択されたメモリセルユニット Paa、Pab ~ Pac、Pad の下段メモリセル M1 に対して書き込み動作を行う際に、共通制御ゲート線 CG1a (制御ゲート 2) に高電圧  $V_{H1}$ 、共通制御ゲート線 CG2a (制御ゲート 4) に書き込みが阻止できる程度の電圧  $V_{H2}$  ( $V_{H2} < V_{H1}$ )、選択ゲート線 SG2a (選択ゲート 6) に正電圧  $V_{H3}$  を印加し、選択ゲート線 SG1a (選択ゲート 5) とソース線 SL (ソース端子 11)、共通制御ゲート線 CG1a が接続される Pba、Pbb ~ Pbc、Pbd の選択ゲート線 SG1b は接地する場合について説明する。

【0044】

選択ゲート線 SG1a、SG2a で選択され、共通制御ゲート線 CG1a に接続されたセルのうち、電子注入を行うメモリセルに対しては、ビット線 (ドレイン端子 7) を接地することで、N型拡散層 8、9、10 が接地電圧となる。そして浮遊チャネルが接地電位となり、共通制御ゲート線 CG1a (制御ゲート 2) と浮遊チャネルの間に高電圧  $V_{H1}$  が発生する。このとき浮遊チャネルからトンネル電流により電荷蓄積層 1 へ電子が注入される。この電子注入によりメモリセル M1 のしきい値電圧は正方向に移動する。一方、メモリセル M2 については、制御ゲート線 CG1a (制御ゲート 4) と浮遊チャネルの間の電圧は書き込みが阻止できる程度の電圧  $V_{H2}$  ( $V_{H2} < V_{H1}$ ) となり、書き込みが行

われずしきい値は変動しない。

【0045】

一方、選択ゲート線SG1a、SG2aで選択され、共通制御ゲート線CG1aに接続されたセルのうち、電子注入を行わないメモリセルに対しては、ビット線を書き込み阻止電圧VH4とすることで書き込みを阻止する。書き込み阻止電圧VH4の印加に伴い、書き込み非選択セルのチャンネル電位Vch1はVH4に等しい電位まで上昇する。この時、選択トランジスタN1のソース(ソース端子11)-ドレイン(N型拡散層10)間に書き込み電圧VH4-接地電位の電位差が発生するが、耐圧VB1がビット線書き込み阻止電圧VH4とソース線印加電圧の差に等しい電圧、すなわちビット線書き込み阻止電圧VH4以上であるため、N型拡散層11及び浮遊チャンネルの電位Vch1はビット線書き込み阻止電圧VH4に等しいままであり、共通制御ゲート線CG1a(制御ゲート4)と浮遊チャンネルの間の電圧は高電圧VH1-ビット線書き込み阻止電圧VH4となり、電荷蓄積層1へ電子が誤って注入されることがない。

10

図31は、選択セル群と共通の制御ゲート線CG1a、CG2aを持つNAND型メモリセルユニットPba、Pbb~Pbc、Pbdの単純化した容量ネットワークを示す回路図である。図32は、メモリセルM1のチャンネル電位Vch1の時間変化を示すグラフである。制御ゲート線CG1aに高電圧VH1が印加されるのに伴い、浮遊ゲートと制御ゲート線及びチャンネル層との間の容量Cipoly、COXの結合によりメモリセルM1の浮遊チャンネル電位Vch1は上昇する。ここでは、ビット線に接地電位が印加される場合を示しているが、ビット線に書き込み阻止電圧VH4が印加される場合でもチャンネル電位Vch1は同様に上昇する。この時、N型拡散層10とソース線11の間に選択トランジスタN1の耐圧VB1以上の電圧がかかると、耐圧と同じ電圧となるまでN型拡散層及びメモリセルM1の浮遊チャンネルの電位Vch1は低下するが、耐圧VB1がビット線書き込み阻止電圧VH4とソース線印加電圧の差に等しい電圧、すなわちビット線書き込み阻止電圧VH4以上であるため、浮遊チャンネルの電位Vch1はVH4以上となり、メモリセルM1に書き込みは行われない。

20

【0046】

また、メモリセルユニットPaa、Pab~Pac、Padの上段メモリセルM2に対して書き込み動作を行う際には、共通制御ゲート線CG2a(制御ゲート4)に高電圧VH1、共通制御ゲート線CG1a(制御ゲート2)に書き込みが阻止できる程度の電圧VH2(VH2<VH1)、選択ゲート線SG2a(選択ゲート6)に正電圧VH3を印加し、選択ゲート線SG1a(選択ゲート5)とソース線SL(ソース端子11)は接地する。

30

【0047】

選択ゲート線SG1a、SG2aで選択され、共通制御ゲート線CG2aに接続されたセルのうち、電子注入を行うメモリセルに対しては、ビット線(ドレイン端子7)を接地することで、N型拡散層8、9、10が接地電圧となる。そして浮遊チャンネルが接地電位となり、共通制御ゲート線CG2a(制御ゲート4)と浮遊チャンネルの間に高電圧VH1が発生する。このとき浮遊チャンネルからトンネル電流により電荷蓄積層3へ電子が注入される。この電子注入によりメモリセルM2のしきい値電圧は正方向に移動する。一方、メモリセルM1については、制御ゲート線CG1a(制御ゲート2)と浮遊チャンネルの間の電圧は書き込みが阻止できる程度の電圧VH2(VH2<VH1)となり、書き込みが行われずしきい値は変動しない。

40

【0048】

一方、選択ゲート線SG1a、SG2aで選択され、共通制御ゲート線CG2aに接続されたセルのうち、電子注入を行わないメモリセルに対しては、ビット線を書き込み阻止電圧VH4とすることで書き込みを阻止する。書き込み阻止電圧VH4の印加に伴い、書き込み非選択セルのチャンネル電位Vch2はVH4に等しい電位まで上昇する。この時、選択トランジスタN1のソース(ソース端子11)-ドレイン(N型拡散層10)間に書き込み電圧VH4-接地電位の電位差が発生するが、耐圧VB1がビット線書き込み阻止

50

電圧  $V_{H4}$  とソース線印加電圧の差に等しい電圧、すなわちビット線書き込み阻止電圧  $V_{H4}$  以上であるため、N型拡散層 11 及び浮遊チャネルの電位  $V_{ch1}$ 、 $V_{ch2}$  はビット線書き込み阻止電圧  $V_{H4}$  に等しいままであり、共通制御ゲート線  $CG2a$  (制御ゲート 4) と浮遊チャネルの間の電圧は高電圧  $V_{H1}$  - ビット線書き込み阻止電圧  $V_{H4}$  となり、電荷蓄積層 3 へ誤って電子が注入されることがない。

図 33 は、この時の選択セル群と共通の制御ゲート線  $CG1a$ 、 $CG2a$  を持つ NANN 型メモリセルユニット  $Pba$ 、 $Pbb \sim Pbc$ 、 $Pbd$  の単純化した容量ネットワークを示す回路図である。図 34 は、メモリセル  $M2$  のチャネル電位  $V_{ch2}$  の時間変化を示すグラフである。制御ゲート線  $CG2a$  に  $V_{H1}$  が印加されるのに伴い、浮遊ゲートと制御ゲート及びチャネル層との間の容量  $C_{i\_poly}$ 、 $COX$  の結合によりメモリセル  $M2$  の浮遊チャネル電位  $V_{ch2}$  は上昇する。この時、ビット線 7 と N 型拡散層 8 の間に選択トランジスタ  $N2$  の耐圧  $V_{B2}$  以上の電圧がかかると、耐圧と同じ電圧となるまで N 型拡散層及びメモリセル  $M2$  の浮遊チャネルの電位  $V_{ch2}$  は低下するが、耐圧  $V_{B2}$  がビット線書き込み阻止電圧  $V_{H4}$  以上であるため、浮遊チャネルの電位  $V_{ch2}$  は  $V_{H4}$  以上となり、メモリセル  $M2$  に書き込みは行われない。

10

<書き込み動作 4> 共通制御ゲート線配置、ソース電位が正の場合

次に、図 29 のメモリセルアレイで、この選択されたメモリセルユニット  $Pa a$ 、 $Pa b \sim Pa c$ 、 $Pa d$  の下段メモリセル  $M1$  に対して書き込み動作を行う際に、共通制御ゲート線  $CG1a$  (制御ゲート 2) に高電圧  $V_{H1}$ 、共通制御ゲート線  $CG2a$  (制御ゲート 4) に書き込みが阻止できる程度の電圧  $V_{H2}$  ( $V_{H2} < V_{H1}$ )、選択ゲート線  $SG2a$  (選択ゲート 6) に正電圧  $V_{H3}$ 、共通制御ゲート線  $CG1a$  が接続される  $Pba$ 、 $Pbb \sim Pbc$ 、 $Pbd$  の選択ゲート線  $SG1b$  とソース線  $SL$  (ソース端子 11) に正電圧を印加し、選択ゲート線  $SG1a$  (選択ゲート 5) は接地する場合について説明する。ここでは、 $SG1b$  (選択ゲート 5) とソース線  $SL$  (ソース端子 11) にビット線書き込み阻止電圧  $V_{H4}$  の  $1/2$  電圧  $V_{H5}$  を印加するものとする。

20

選択ゲート線  $SG1a$ 、 $SG2a$  で選択され、共通制御ゲート線  $CG1a$  に接続されたセルのうち、電子注入を行うメモリセルに対しては、ビット線 (ドレイン端子 7) を接地することで、N型拡散層 8、9、10 が接地電圧となる。そして浮遊チャネルが接地電位となり、共通制御ゲート線  $CG1a$  (制御ゲート 2) と浮遊チャネルの間に高電圧  $V_{H1}$  が発生する。この時、選択トランジスタ  $N1$  のソース (ソース端子 11) - ドレイン (N型拡散層 10) 間にソース線印加電圧  $V_{H5}$  - 接地電位の電位差  $V_{H5}$  が発生するが、耐圧  $V_{B1}$  がビット線書き込み阻止電圧  $V_{H4}$  とソース線印加電圧  $V_{H5}$  の差に等しい電圧、すなわちソース線印加電圧  $V_{H5}$  以上であるため、N型拡散層 11 及び浮遊チャネルの電位  $V_{ch1}$  は接地電位に等しいままであり、浮遊チャネルからトンネル電流により電荷蓄積層 1 へ電子が注入される。この電子注入によりメモリセル  $M1$  のしきい値電圧は正方向に移動する。

30

【0049】

一方、メモリセル  $M2$  については、制御ゲート線  $CG1a$  (制御ゲート 4) と浮遊チャネルの間の電圧は書き込みが阻止できる程度の電圧  $V_{H2}$  ( $V_{H2} < V_{H1}$ ) となり、書き込みが行われずしきい値は変動しない。

40

【0050】

選択ゲート線  $SG1a$ 、 $SG2a$  で選択され、共通制御ゲート線  $CG1a$  に接続されたセルのうち、電子注入を行わないメモリセルに対しては、ビット線を書き込み阻止電圧  $V_{H4}$  とすることで書き込みを阻止する。書き込み阻止電圧  $V_{H4}$  の印加に伴い、チャネル電位  $V_{ch1}$  は  $V_{H4}$  に等しい電位まで上昇する。この時、選択トランジスタ  $N1$  のソース (ソース端子 11) - ドレイン (N型拡散層 10) 間に書き込み電圧  $V_{H4}$  - ソース線印加電圧  $V_{H5}$  の電位差  $V_{H5}$  が発生するが、耐圧  $V_{B1}$  がビット線書き込み阻止電圧  $V_{H4}$  とソース線印加電圧の差に等しい電圧、すなわちソース線印加電圧  $V_{H5}$  以上であるため、N型拡散層 11 及び浮遊チャネルの電位  $V_{ch1}$  はビット線書き込み阻止電圧  $V_{H4}$  に等しいままであり、共通制御ゲート線  $CG1a$  (制御ゲート 4) と浮遊チャネルの間

50

の電圧は高電圧  $V_{H1}$  - ビット線書き込み阻止電圧  $V_{H4}$  となり、電荷蓄積層 1 へ電子が注入されない。

【0051】

一方、選択セル群と共通の制御ゲート線  $CG1a$ 、 $CG2a$  を持つ NAND 型メモリセルユニット  $Pba$ 、 $Pbb \sim Pbc$ 、 $Pbd$  の単純化した容量ネットワークを示す回路図を図 35 に、メモリセル  $M1$  のチャネル電位  $V_{ch1}$  の時間変化のグラフを図 36 に示す。制御ゲート線  $CG1a$  に高電圧  $V_{H1}$  が印加されるのに伴い、浮遊ゲートと制御ゲート線及びチャネル層との間の容量  $C_{i\_poly}$ 、 $COX$  の結合によりメモリセル  $M1$  の浮遊チャネル電位  $V_{ch1}$  は上昇する。ここでは、ビット線に接地電位が印加される場合を示しているが、ビット線に書き込み阻止電圧が印加される場合でもチャネル電位  $V_{ch1}$  は同様に上昇する。この時、N 型拡散層 10 とソース線 11 の間に選択トランジスタ  $N1$  の耐圧  $V_{B1}$  以上の電圧がかかると、耐圧と同じ電圧となるまで N 型拡散層及びメモリセル  $M1$  の浮遊チャネルの電位  $V_{ch1}$  は低下するが、耐圧  $V_{B1}$  がビット線書き込み阻止電圧  $V_{H4}$  とソース線印加電圧の差に等しい電圧、すなわちソース線印加電圧  $V_{H5}$  以上であるため、浮遊チャネルの電位  $V_{ch1}$  は  $V_{H4}$  以上となり、メモリセル  $M1$  に誤って書き込みが行われることはない。

10

【0052】

また、メモリセルユニット  $Paa$ 、 $Pab \sim Pac$ 、 $Pad$  の上段メモリセル  $M2$  に対して書き込み動作を行う際には、共通制御ゲート線  $CG2a$  (制御ゲート 4) に高電圧  $V_{H1}$ 、共通制御ゲート線  $CG1a$  (制御ゲート 2) に書き込みが阻止できる程度の電圧  $V_{H2}$  ( $V_{H2} < V_{H1}$ )、選択ゲート線  $SG2a$  (選択ゲート 6) に正電圧  $V_{H3}$ 、ソース線  $SL$  (ソース端子 11) に正電圧  $V_{H5}$  を印加し、選択ゲート線  $SG1a$  (選択ゲート 5) は接地電位とする。選択ゲート線  $SG1a$ 、 $SG2a$  で選択され、共通制御ゲート線  $CG2a$  に接続されたセルのうち、電子注入を行うメモリセルに対しては、ビット線 (ドレイン端子 7) を接地することで、N 型拡散層 8、9、10 が接地電圧となる。そして浮遊チャネルが接地電位となり、共通制御ゲート線  $CG2a$  (制御ゲート 4) と浮遊チャネルの間に高電圧  $V_{H1}$  が発生する。このとき浮遊チャネルからトンネル電流により電荷蓄積層 3 へ電子が注入される。この電子注入によりメモリセル  $M2$  のしきい値電圧は正方向に移動する。一方、メモリセル  $M1$  については、制御ゲート線  $CG1a$  (制御ゲート 2) と浮遊チャネルの間の電圧は書き込みが阻止できる程度の電圧  $V_{H2}$  ( $V_{H2} < V_{H1}$ ) となり、書き込みが行われずしきい値は変動しない。

20

30

選択ゲート線  $SG1a$ 、 $SG2a$  で選択され、共通制御ゲート線  $CG2a$  に接続されたセルのうち、電子注入を行わないメモリセルに対しては、ビット線を書き込み阻止電圧  $V_{H4}$  とすることで書き込みを阻止する。書き込み阻止電圧  $V_{H4}$  の印加に伴い、書き込み非選択セルのチャネル電位  $V_{ch2}$  は  $V_{H4}$  に等しい電位まで上昇する。この時、選択トランジスタ  $N1$  のソース (ソース端子 11) - ドレイン (N 型拡散層 10) 間に書き込み電圧  $V_{H4}$  - ソース印加電圧  $V_{H5}$  の電位差  $V_{H5}$  が発生するが、耐圧  $V_{B1}$  がビット線書き込み阻止電圧  $V_{H4}$  とソース線印加電圧  $V_{H5}$  の差に等しい電圧、すなわちソース印加電圧  $V_{H5}$  以上であるため、N 型拡散層 11 及び浮遊チャネルの電位  $V_{ch1}$ 、 $V_{ch2}$  はビット線書き込み阻止電圧  $V_{H4}$  に等しいままであり、共通制御ゲート線  $CG2a$  (制御ゲート 4) と浮遊チャネルの間の電圧は高電圧  $V_{H1}$  - ビット線書き込み阻止電圧  $V_{H4}$  となり、電荷蓄積層 3 へ電子が注入されない。

40

一方、この時の選択セル群と共通の制御ゲート線  $CG1a$ 、 $CG2a$  を持ち、制御ゲート線  $SG1b$ 、 $SG2b$  が非選択である NAND 型メモリセルユニット  $Pba$ 、 $Pbb \sim Pbc$ 、 $Pbd$  の単純化した容量ネットワークを示す回路図を図 37 に、メモリセル  $M2$  のチャネル電位  $V_{ch2}$  の時間変化のグラフを図 38 に示す。制御ゲート線  $CG2a$  に  $V_{H1}$  が印加されるのに伴い、浮遊ゲートと制御ゲート及びチャネル層との間の容量  $C_{i\_poly}$ 、 $COX$  の結合によりメモリセル  $M2$  の浮遊チャネル電位  $V_{ch2}$  は上昇する。この時、ビット線 7 と N 型拡散層 8 の間に選択トランジスタ  $N2$  の耐圧  $V_{B2}$  以上の電圧がかかると、耐圧と同じ電圧となるまで N 型拡散層及びメモリセル  $M2$  の浮遊チャネル

50

の電位  $V_{ch2}$  は低下するが、耐圧  $V_{B2}$  がビット線書き込み阻止電圧  $V_{H4}$  以上であるため、浮遊チャネルの電位  $V_{ch2}$  は  $V_{H4}$  以上となり、メモリセル  $M2$  に誤って書き込みが行われることはない。

(実施の形態 4)

上述した半導体記憶装置の応用例として、例えば、図 39 に示したような液晶表示装置における、液晶パネルの画像調整用の書換え可能な不揮発性メモリが挙げられる。

【0053】

液晶パネル 1001 は、液晶ドライバ 1002 によって駆動される。液晶ドライバ 1002 内には、不揮発性メモリ部 1003、SRAM 部 1004、液晶ドライバ回路 1005 がある。不揮発性メモリ部は、この発明の不揮発性半導体記憶装置、より好ましくは実施の形態 2 に記載の半導体記憶装置よりなる。不揮発性メモリ部 1003 は外部から書換え可能な構成を有している。

10

【0054】

不揮発性メモリ部 1003 に記憶された情報は、機器の電源の投入時に SRAM 部 1004 に転写される。液晶ドライバ回路 1005 は、必要に応じて SRAM 部 1004 から記憶情報を読み出すことができる。SRAM 部を設けることにより、記憶情報の読出し速度を非常に高速に行うことができる。

【0055】

液晶ドライバ 1002 は、図 39 に示すように液晶パネル 1001 に外付けしてもよいが、液晶パネル 1001 上に形成してもよい。

20

【0056】

液晶パネルは、各画素に多段階の電圧を与えることによって表示される階調を変えているが、与えた電圧と表示される階調との関係は製品ごとにばらつきが生じる。そのため、製品の完成後に個々の製品のばらつきを補正するための情報を記憶させ、その情報を基に補正を行うことにより、製品間の画質を均一にすることができる。したがって、補正情報を記憶するための書換え可能な不揮発性メモリを搭載することが好ましい。この不揮発性メモリとしてこの発明の半導体記憶装置を用いるのが好ましい。この発明の半導体記憶装置を用いれば、半導体装置の誤書き込みを確実に防止できるので、信頼性が高く、動作の安定した液晶表示装置を製造することが可能になる。

【図面の簡単な説明】

30

【0057】

【図 1】この発明のメモリセルユニットの半導体基板と垂直な面の断面図である。

【図 2】この発明のメモリセルユニットの等価回路図である。

【図 3】この発明の不揮発性半導体記憶装置が備える NAND 型メモリセルユニットの斜視図である。

【図 4】この発明に係る不揮発性メモリ素子を複数配列してなるメモリセルアレイの平面図である。

【図 5】この発明に係るメモリセルアレイの製造例を示す断面（図 4 の A - A 線）工程図である。

【図 6】この発明に係るメモリセルアレイの製造例を示す断面（図 4 の A - A 線）工程図である。

40

【図 7】この発明に係るメモリセルアレイの製造例を示す断面（図 4 の A - A 線）工程図である。

【図 8】この発明に係るメモリセルアレイの製造例を示す断面（図 4 の A - A 線）工程図である。

【図 9】この発明に係るメモリセルアレイの製造例を示す断面（図 4 の A - A 線）工程図である。

【図 10】この発明に係るメモリセルアレイの製造例を示す断面（図 4 の A - A 線）工程図である。

【図 11】この発明に係るメモリセルアレイの製造例を示す断面（図 4 の A - A 線）工

50

程図である。

【図 1 2】この発明に係るメモリセルアレイの製造例を示す断面（図 4 の A - A 線）工程図である。

【図 1 3】この発明に係るメモリセルアレイの製造例を示す断面（図 4 の A - A 線）工程図である。

【図 1 4】この発明に係るメモリセルアレイの製造例を示す断面（図 4 の A - A 線）工程図である。

【図 1 5】この発明に係るメモリセルアレイの製造例を示す断面（図 4 の A - A 線）工程図である。

【図 1 6】この発明に係るメモリセルアレイの製造例を示す断面（図 4 の A - A 線）工程図である。 10

【図 1 7】この発明に係るメモリセルアレイの製造例を示す断面（図 4 の A - A 線）工程図である。

【図 1 8】この発明に係るメモリセルアレイの製造例を示す断面（図 4 の A - A 線）工程図である。

【図 1 9】この発明に係るメモリセルアレイの製造例を示す断面（図 4 の A - A 線）工程図である。

【図 2 0】この発明に係るメモリセルアレイの製造例を示す断面（図 4 の A - A 線）工程図である。

【図 2 1】この発明に係るメモリセルアレイの製造例を示す断面（図 4 の A - A 線）工程図である。 20

【図 2 2】この発明に係るメモリセルアレイの製造例を示す断面（図 4 の A - A 線）工程図である。

【図 2 3】この発明に係るメモリセルアレイの製造例を示す断面（図 4 の A - A 線）工程図である。

【図 2 4】この発明に係るメモリセルアレイの製造例を示す断面（図 4 の A - A 線）工程図である。

【図 2 5】この発明の実施の形態 2 のメモリセルアレイのブロック図である。

【図 2 6】図 2 5 に示すメモリセルアレイの等価回路図である。

【図 2 7】この発明の実施の形態 2 の書き込み動作 1 におけるメモリセルのチャネル電位の時間変化を示すグラフである。 30

【図 2 8】この発明の実施の形態 2 の書き込み動作 2 におけるメモリセルのチャネル電位の時間変化を示すグラフである。

【図 2 9】この発明の実施の形態 3 のメモリセルアレイのブロック図である。

【図 3 0】図 2 9 に示すメモリセルアレイの等価回路図である。

【図 3 1】この発明の実施の形態 3 の書き込み動作 3 における柱状半導体層の第 1 の容量ネットワークを示す回路図である。

【図 3 2】この発明の実施の形態 3 の書き込み動作 3 におけるメモリセル M 1 のチャネル電位の時間変化を示すグラフである。

【図 3 3】この発明の実施の形態 3 の書き込み動作 3 における柱状半導体層の第 2 の容量ネットワークを示す回路図である。 40

【図 3 4】この発明の実施の形態 3 の書き込み動作 3 におけるメモリセル M 2 のチャネル電位の時間変化を示すグラフである。

【図 3 5】この発明の実施の形態 3 の書き込み動作 4 における柱状半導体層の第 1 の容量ネットワークを示す回路図である。

【図 3 6】この発明の実施の形態 3 の書き込み動作 4 におけるメモリセル M 1 のチャネル電位の時間変化を示すグラフである。

【図 3 7】この発明の実施の形態 3 の書き込み動作 4 における柱状半導体層の第 2 の容量ネットワークを示す回路図である。

【図 3 8】この発明の実施の形態 3 の書き込み動作 4 におけるメモリセル M 2 のチャネル 50

電位の時間変化を示すグラフである。

【図 3 9】この発明の半導体記憶装置を組み込んだ液晶表示装置（実施の形態 4）の概略構成図である。

【図 4 0】従来の E E P R O M で柱状半導体層と半導体基板が導通している例を示す断面図である。

【図 4 1】従来の E E P R O M で柱状半導体層と半導体基板が絶縁された例を示す断面図である。

【図 4 2】従来の N A N D 型メモリセルユニットの等価回路図である。

【図 4 3】従来のメモリセルアレイのブロック図である。

【図 4 4】図 4 3 に示すメモリセルアレイの等価回路図である。

10

【図 4 5】図 4 3 に示すメモリセルアレイを構成するメモリセルへ書き込む際のチャネル電位の時間変化を示すグラフである。

【図 4 6】従来のメモリセルアレイの別の実施態様を示すブロック図である。

【図 4 7】図 4 6 に示すメモリセルアレイの等価回路図である。

【図 4 8】図 4 6 のメモリセルアレイを構成するメモリセルの柱状半導体層の第 1 の容量ネットワークを示す回路図である。

【図 4 9】図 4 8 のネットワーク図で示されるメモリセルに書き込む場合のチャネル電位の時間変化を示すグラフである。

【図 5 0】図 4 6 のメモリセルアレイを構成するメモリセルの柱状半導体層の第 2 の容量ネットワークを示す回路図である。

20

【図 5 1】図 5 0 のネットワーク図で示されるメモリセルに書き込む場合のチャネル電位の時間変化を示すグラフである。

【符号の説明】

【 0 0 5 8 】

1、3 電荷蓄積層

2、4 制御ゲート

5、6 選択ゲート

7 ドレイン拡散層（N型拡散層）

8 第 2 不純物拡散層

9 第 1 不純物拡散層

30

1 0 第 3 不純物拡散層

1 1 ソース拡散層（N型拡散層）

1 2 P型柱状半導体層

1 3 P型半導体基板

1 0 0 p型シリコン基板

1 1 0 島状半導体層

2 1 0 第一の溝部

2 2 0 第二の溝部

3 1 0 第一の絶縁膜（シリコン窒化膜）

3 2 1 ~ 3 2 4 第四の絶縁膜（シリコン窒化膜）

40

3 3 1 第九の絶縁膜（シリコン窒化膜）

4 1 0 第二の絶縁膜（熱酸化膜）

4 2 0 第三の絶縁膜（シリコン窒化膜）

4 3 1、4 3 2、4 3 3 第五の絶縁膜（シリコン酸化膜）

4 4 1、4 4 2、4 4 3 第六の絶縁膜（シリコン酸化膜）

4 5 0 第七の絶縁膜（シリコン酸化膜）

4 6 1、4 6 2、4 6 3、4 6 4 第八の絶縁膜（シリコン酸化膜）

4 6 5 第十の絶縁膜（シリコン酸化膜）

5 1 0 ~ 5 1 4 第一の導電膜（多結晶シリコン膜）

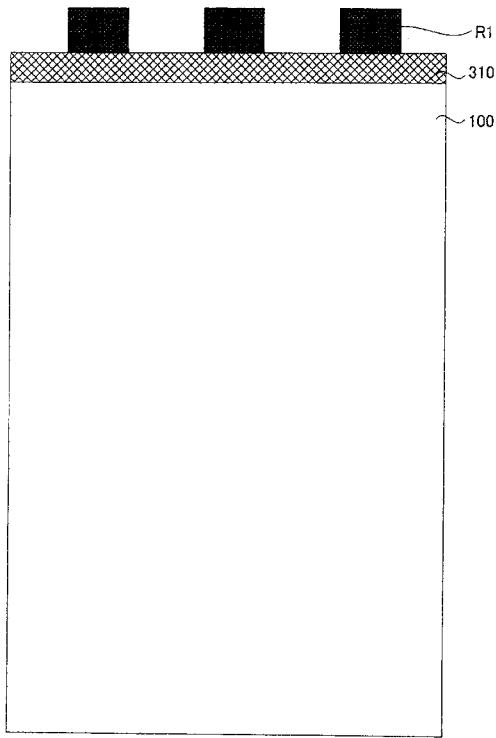
5 2 1 ~ 5 2 4 第二の導電膜（多結晶シリコン膜）

50

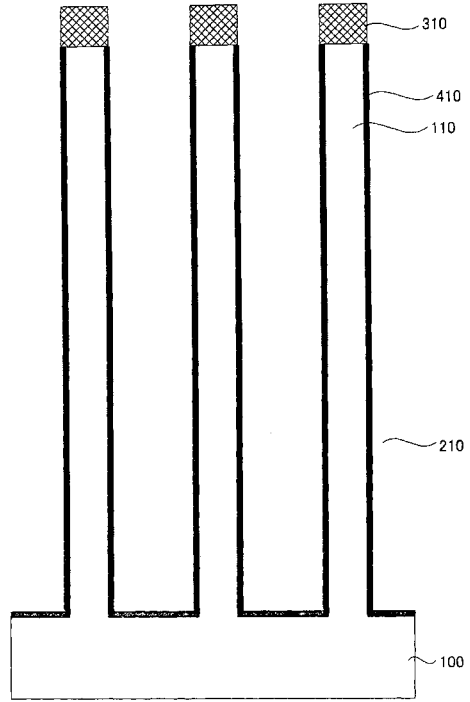
6 1 2、6 1 3	層間絶縁膜	
7 1 0、7 2 1 ~ 7 2 4	N型半導体層 (不純物拡散層)	
8 1 0	第一の配線層 (不純物拡散層)	
8 2 1、8 2 4	第二の配線層	
8 3 2、8 3 3	第三の配線層	
8 4 0	第四の配線層 (ビット線)	
9 1 0	第一のコンタクト部	
9 2 1、9 2 4	第二のコンタクト部	
9 3 2、9 3 3	第三のコンタクト部	
1 0 0 1	液晶パネル	10
1 0 0 2	液晶ドライバ	
1 0 0 3	不揮発性メモリ部	
1 0 0 4	S R A M部	
1 0 0 5	液晶ドライバ回路	
P a a、P a b、P a c、P a d、P b a、P b b、P b c、P b d、P c a、P c b、 P c c、P c d、P d a、P d b、P d c、P d d	P型柱状半導体層	
C G 1 a、C G 2 a、C G 1 c、C G 2 c、C G 1 d、C G 2 d	制御ゲート線	
S G 1 a、S G 2 a、S G 1 b、S G 2 b、S G 1 c、S G 2 c、S G 1 d、S G 2 d	選択ゲート線	
B L a、B L b、B L c、B L d	ビット線	20
S L	ソース線	
V H 1	書き込み用正の高電圧	
V H 2	制御ゲート線書き込み阻止高電圧	
V H 3	選択ゲート用正電圧	
V H 4	ビット線書き込み阻止電圧	
V H 5	ビット線書き込み阻止電圧の 1 / 2 電圧	
V C G 1、V C G 2	制御ゲート線電圧	
V B L	ビット線電圧	
V S L	ソース線電圧	
V c h 1、V c h 2	メモリセルの浮遊チャネル電位	30
V B 1	ソース線側の選択トランジスタの耐圧	
C i _ p o l y	浮遊ゲートと制御ゲートの間の容量	
C o x	浮遊ゲートとチャネル層の間の容量	
C 1、C 2、C 3	チャネル層と逆導電型の不純物層との接合部に形成される空乏層の容量	
M 1、M 2	メモリセル	
N 1、N 2	選択トランジスタ	



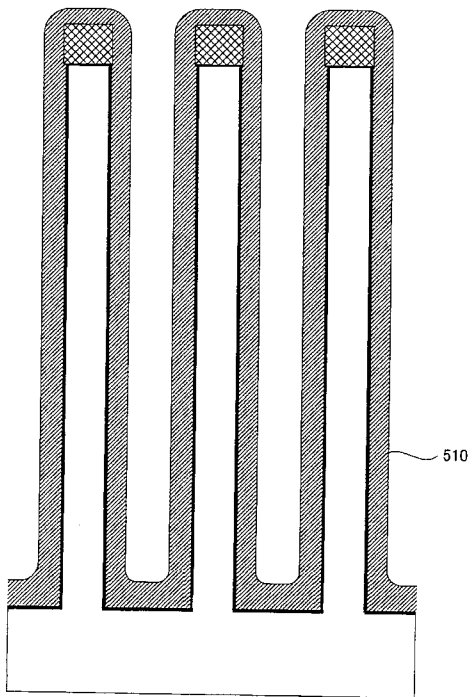
【 図 5 】



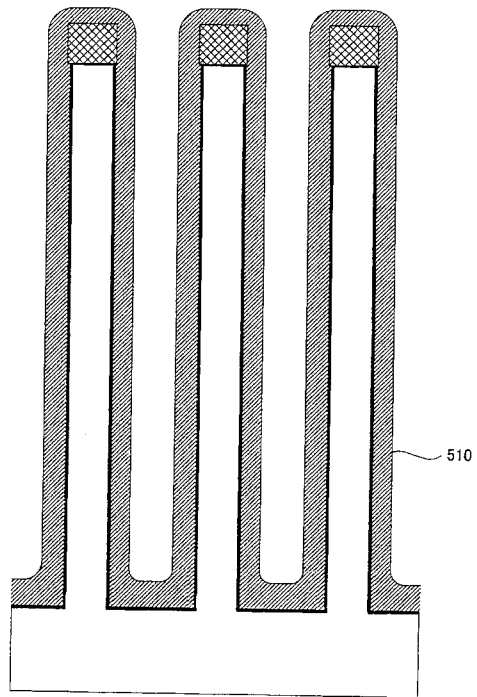
【 図 6 】



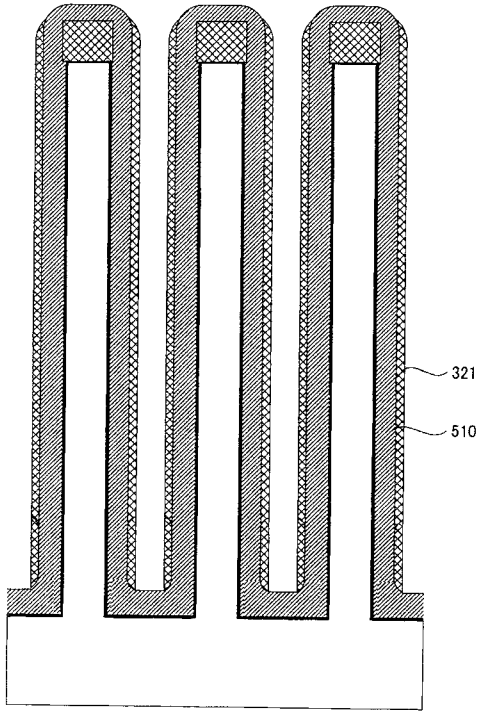
【 図 7 】



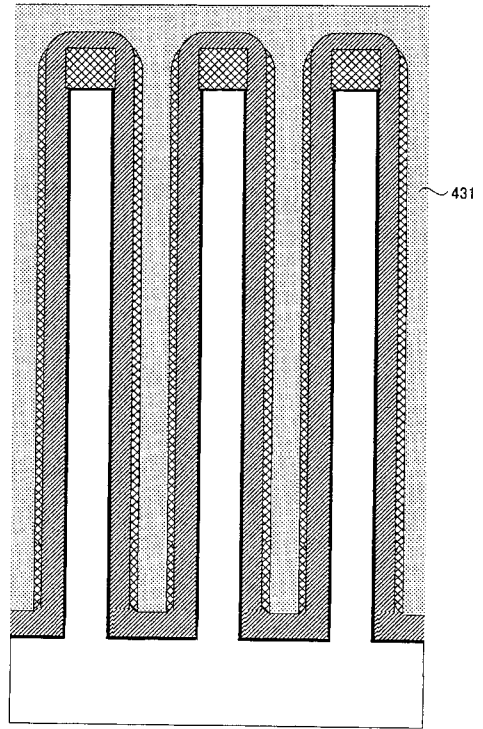
【 図 8 】



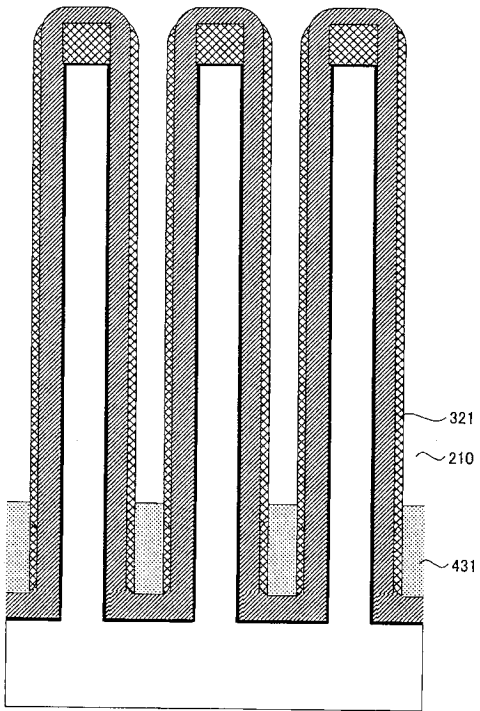
【 図 9 】



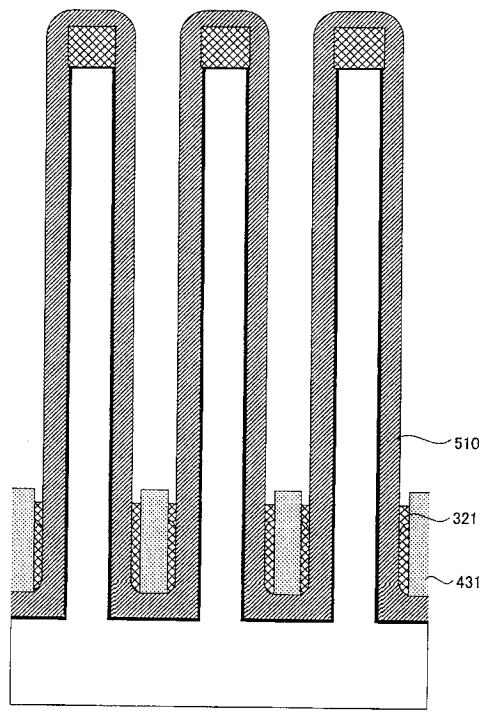
【 図 10 】



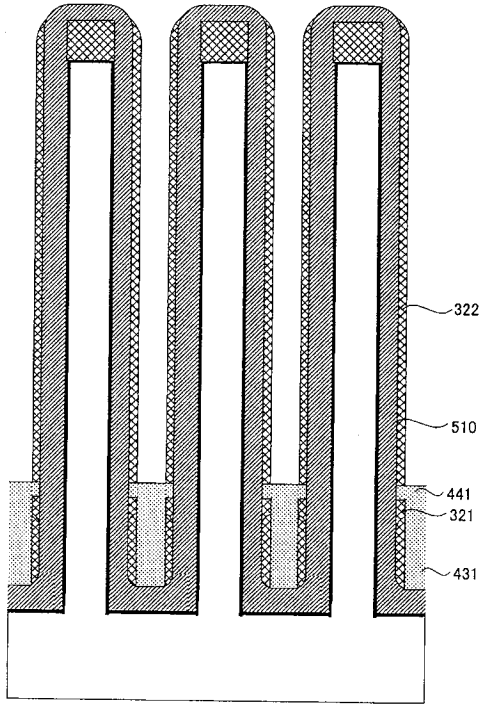
【 図 11 】



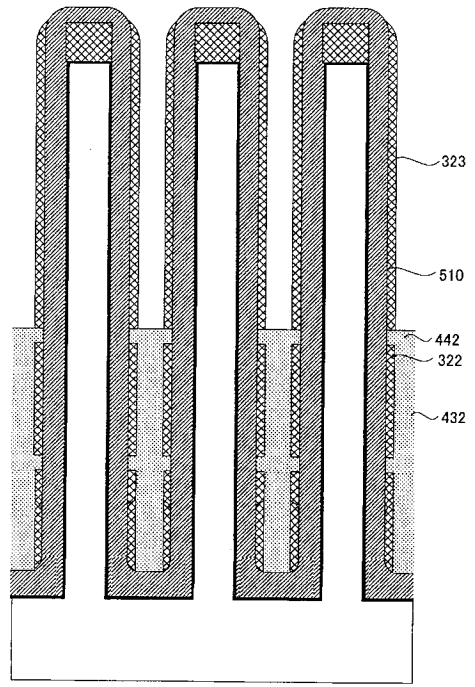
【 図 12 】



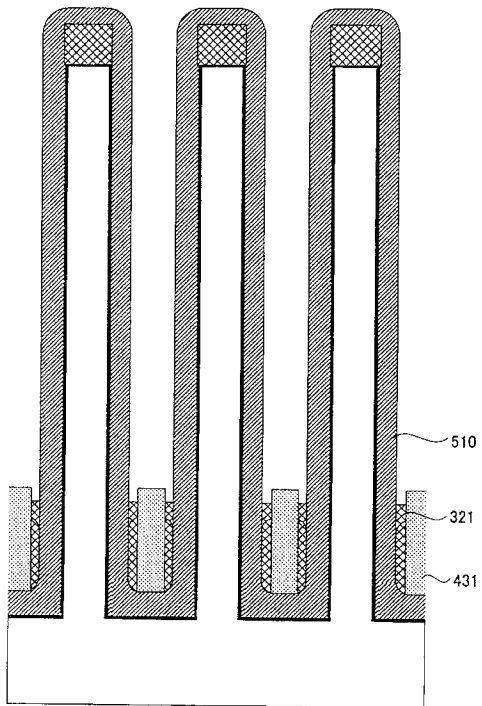
【 図 1 3 】



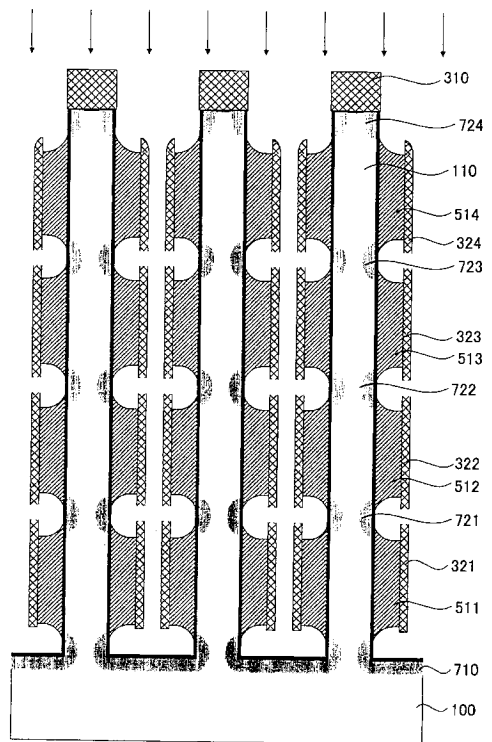
【 図 1 4 】



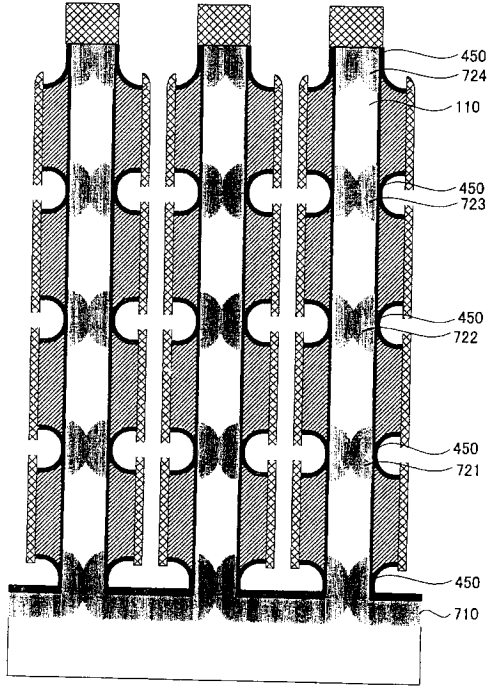
【 図 1 5 】



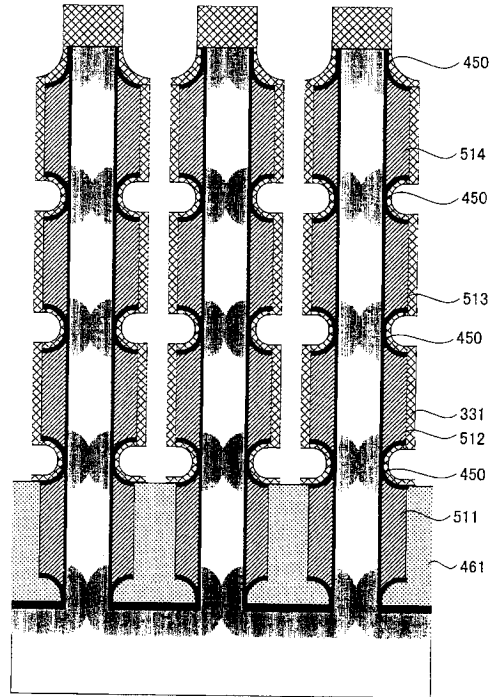
【 図 1 6 】



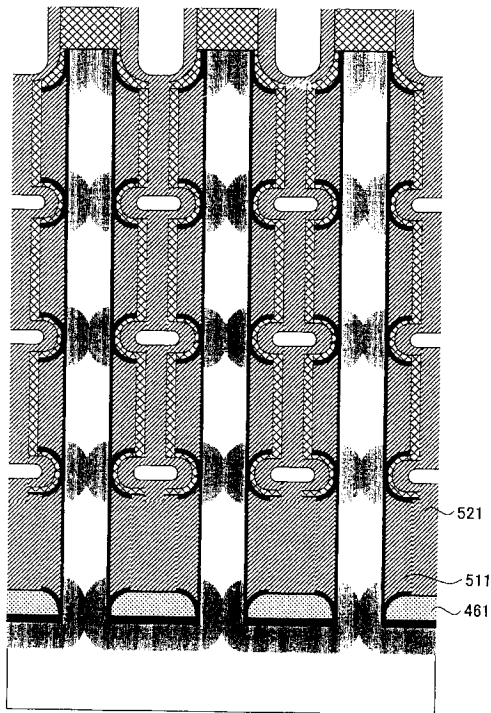
【 図 1 7 】



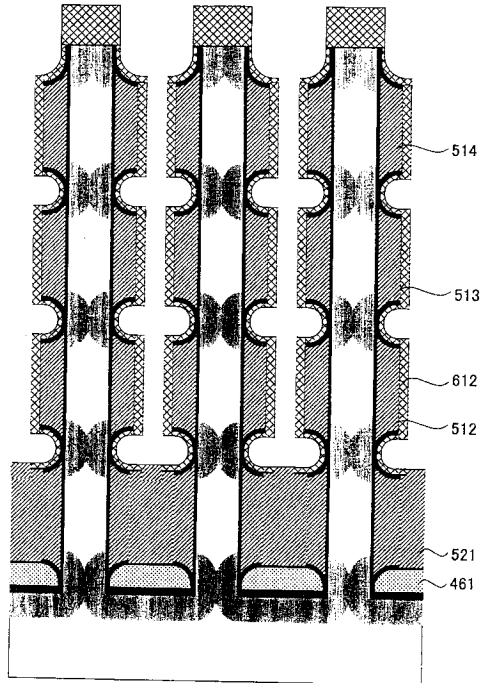
【 図 1 8 】



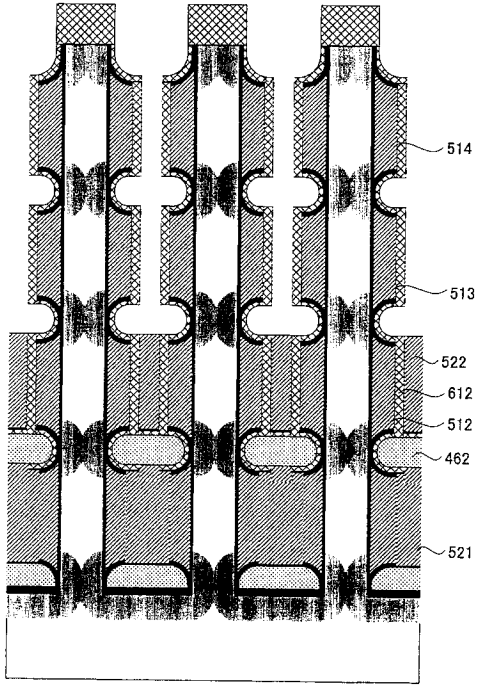
【 図 1 9 】



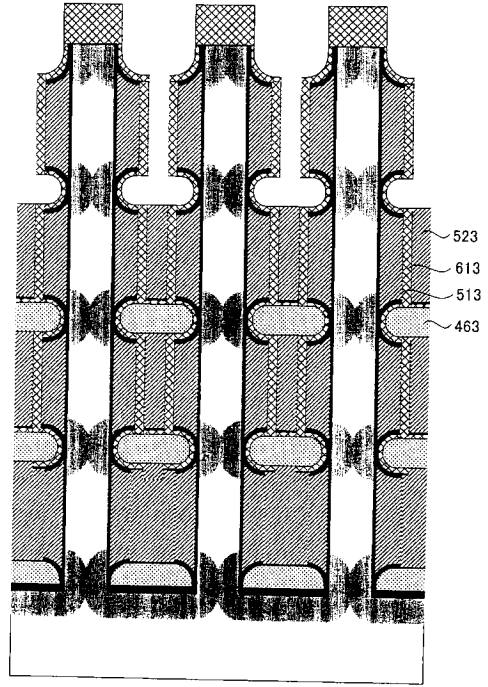
【 図 2 0 】



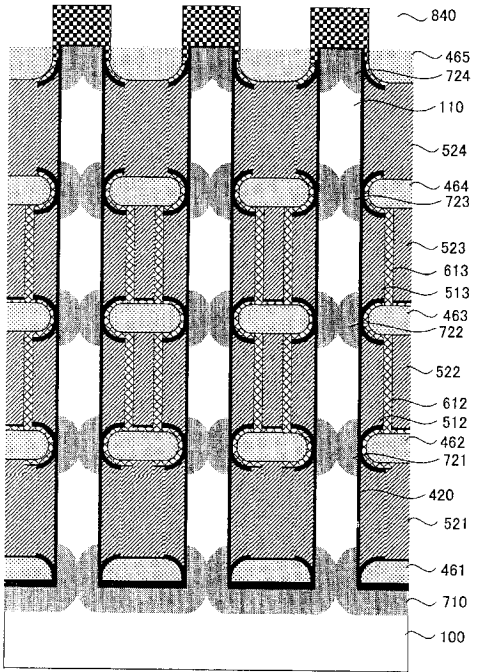
【 図 2 1 】



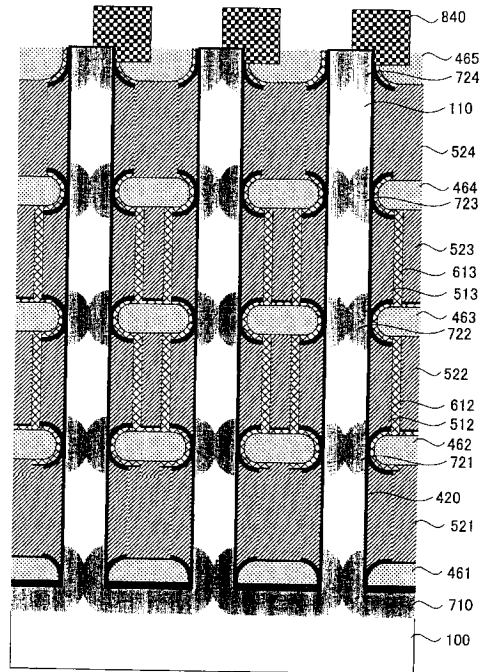
【 図 2 2 】



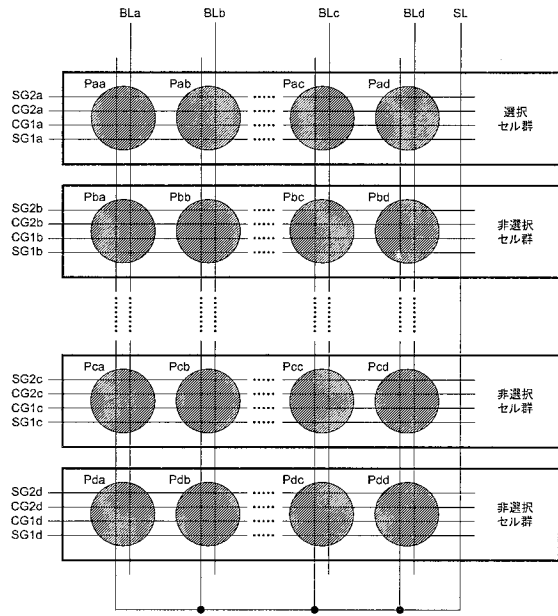
【 図 2 3 】



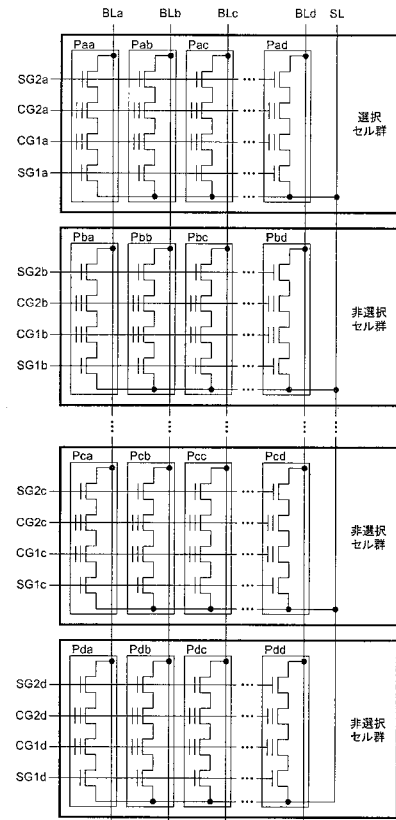
【 図 2 4 】



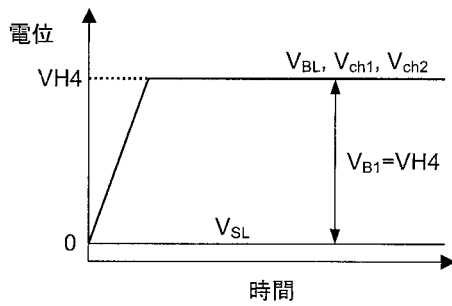
【 図 2 5 】



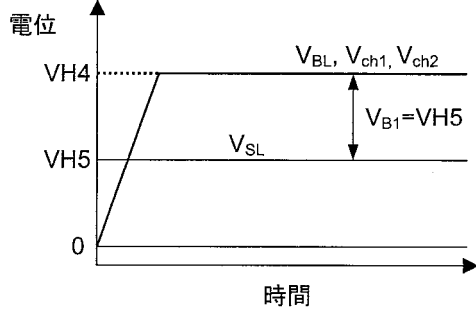
【 図 2 6 】



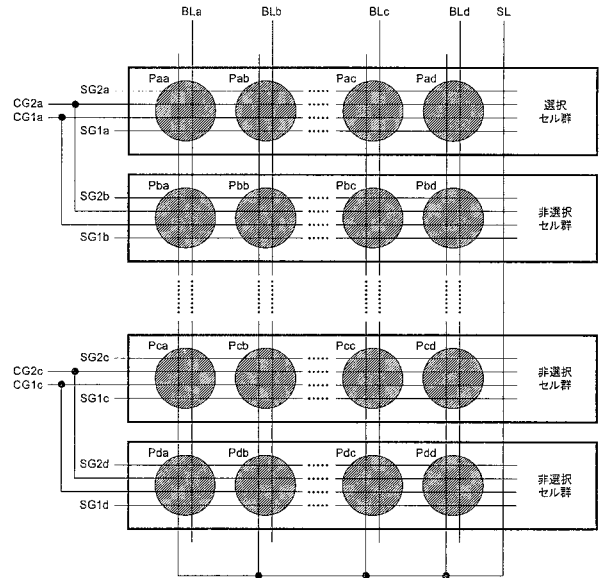
【 図 2 7 】



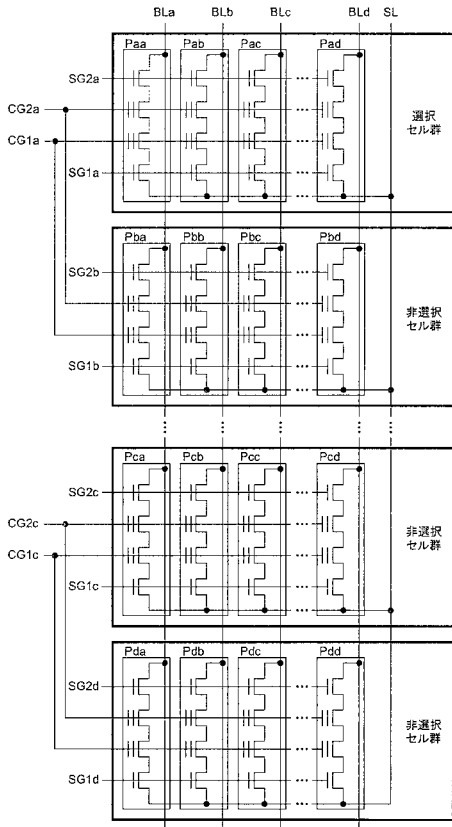
【 図 2 8 】



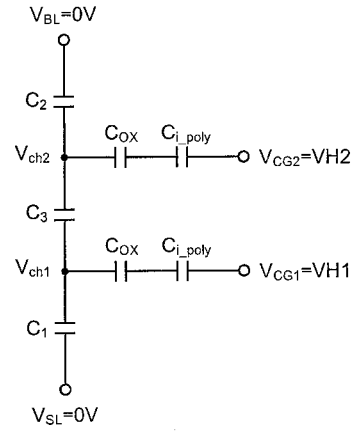
【 図 2 9 】



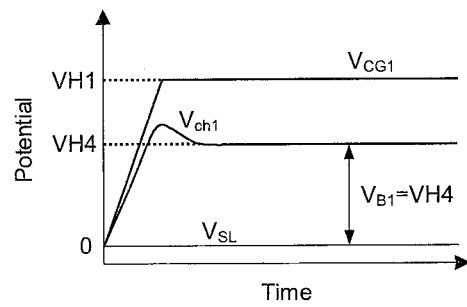
【図 3 0】



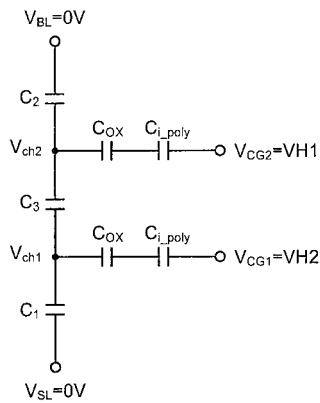
【図 3 1】



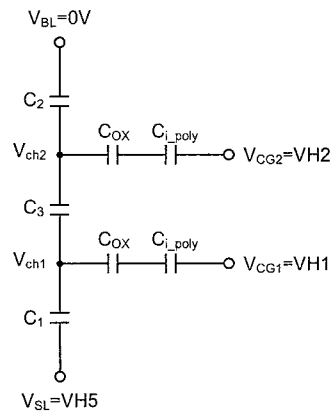
【図 3 2】



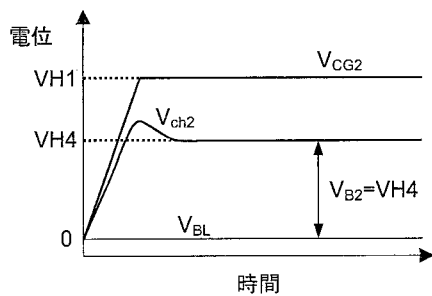
【図 3 3】



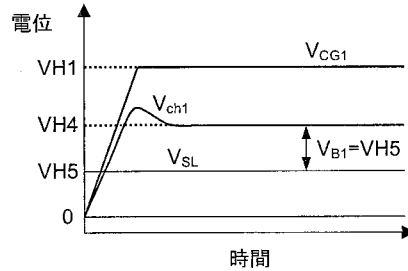
【図 3 5】



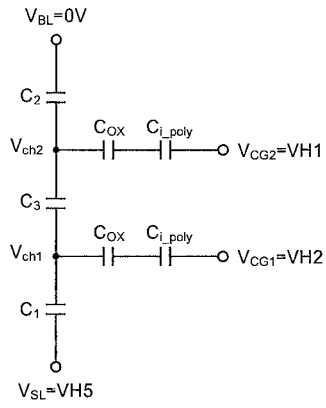
【図 3 4】



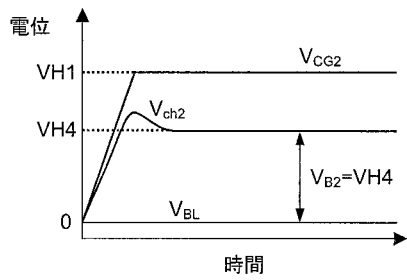
【図 3 6】



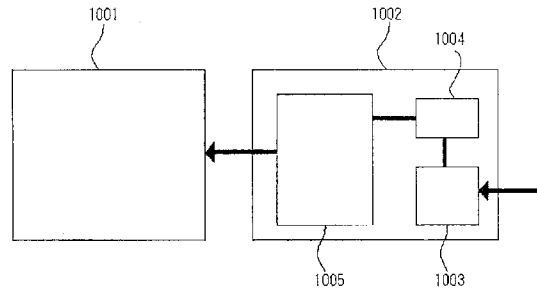
【 図 3 7 】



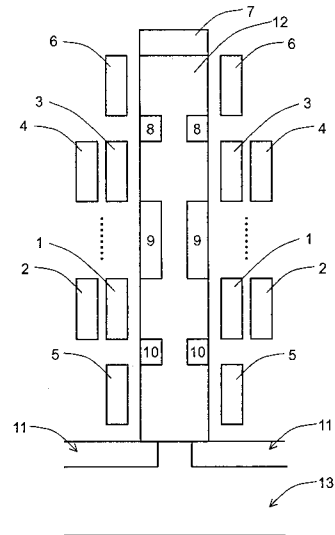
【 図 3 8 】



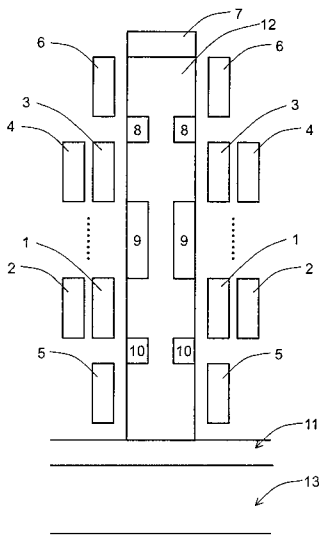
【 図 3 9 】



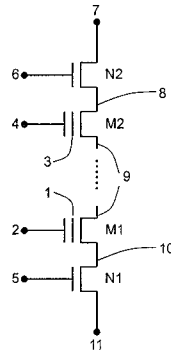
【 図 4 0 】



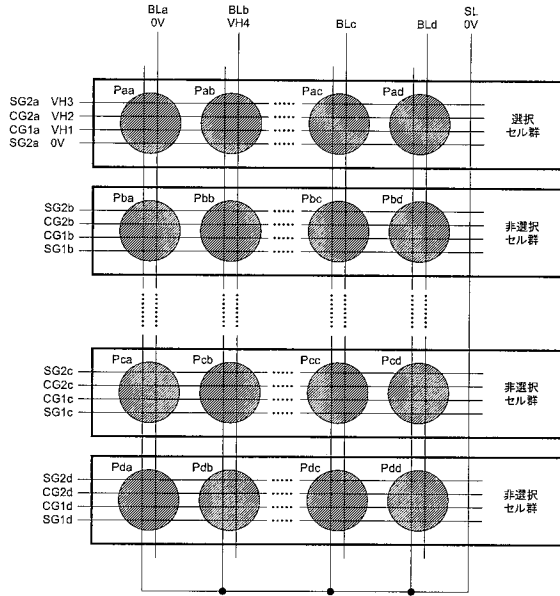
【 図 4 1 】



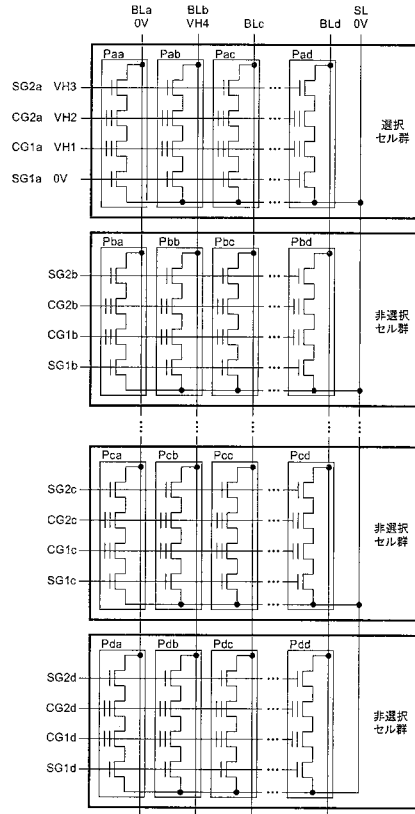
【 図 4 2 】



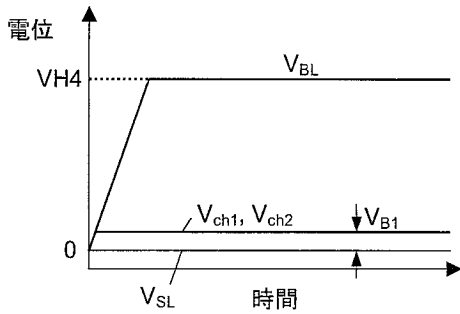
【 図 4 3 】



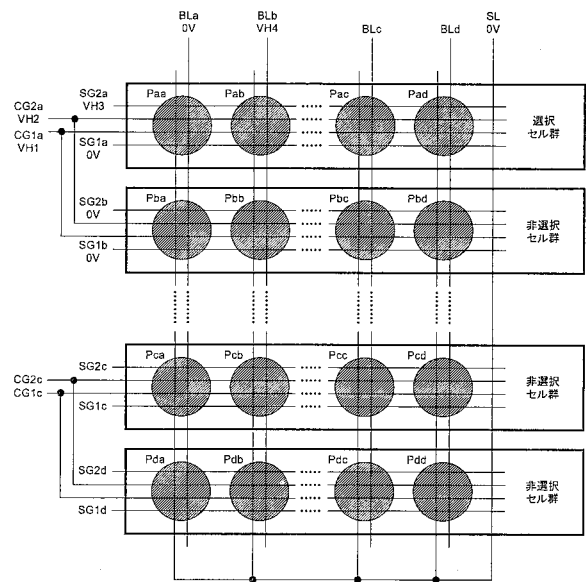
【 図 4 4 】



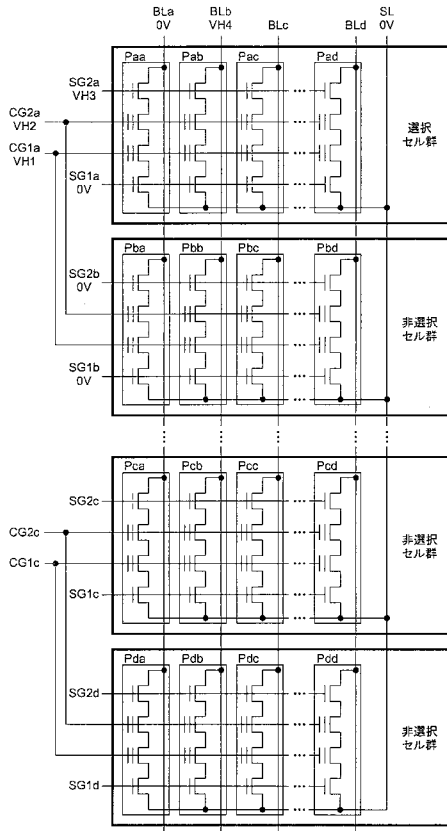
【 図 4 5 】



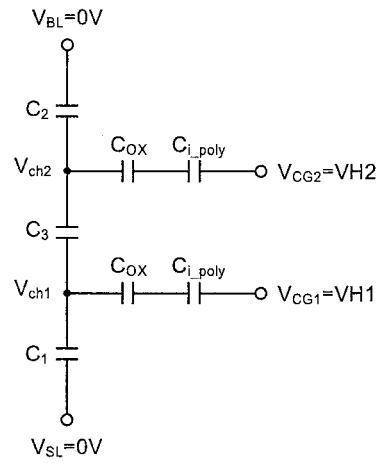
【 図 4 6 】



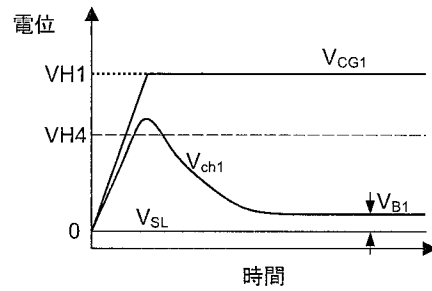
【 図 4 7 】



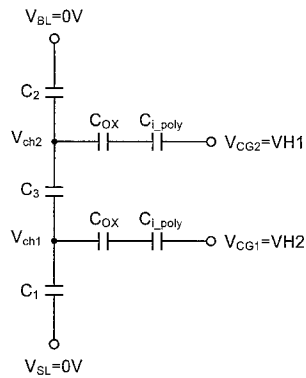
【 図 4 8 】



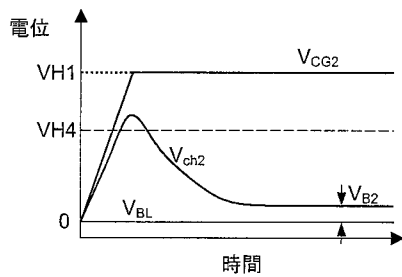
【 図 4 9 】



【 図 5 0 】



【 図 5 1 】



---

フロントページの続き

(72)発明者 上野 庄之助

大阪府大阪市阿倍野区长池町2番2号 シャープ株式会社内

Fターム(参考) 2H093 NA16 NA53 NC13 NC29 NC34 ND03 ND06 ND58  
5F083 EP03 EP22 EP33 EP34 EP55 EP76 ER02 ER09 ER22 GA15  
JA04 PR09 PR39 PR40 ZA12 ZA14  
5F101 BA12 BA29 BA36 BB02 BC11 BD16 BD22 BD33 BD34 BE05  
BE07

专利名称(译)	存储单元单元，非易失性半导体器件和具有该存储单元单元的液晶显示器件		
公开(公告)号	<a href="#">JP2005085938A</a>	公开(公告)日	2005-03-31
申请号	JP2003315492	申请日	2003-09-08
[标]申请(专利权)人(译)	舩岡富士雄 夏普株式会社		
申请(专利权)人(译)	舩岡 富士雄 夏普公司		
[标]发明人	舩岡富士雄 桜庭弘 松岡史宜 上野庄之助		
发明人	舩岡 富士雄 桜庭 弘 松岡 史宜 上野 庄之助		
IPC分类号	G02F1/133 H01L21/8247 H01L27/115 H01L29/768 H01L29/786 H01L29/788 H01L29/792		
CPC分类号	H01L27/11556 H01L27/115		
FI分类号	H01L27/10.434 G02F1/133.550 H01L29/78.371 H01L27/115 H01L27/11524		
F-TERM分类号	2H093/NA16 2H093/NA53 2H093/NC13 2H093/NC29 2H093/NC34 2H093/ND03 2H093/ND06 2H093/ND58 5F083/EP03 5F083/EP22 5F083/EP33 5F083/EP34 5F083/EP55 5F083/EP76 5F083/ER02 5F083/ER09 5F083/ER22 5F083/GA15 5F083/JA04 5F083/PR09 5F083/PR39 5F083/PR40 5F083/ZA12 5F083/ZA14 5F101/BA12 5F101/BA29 5F101/BA36 5F101/BB02 5F101/BC11 5F101/BD16 5F101/BD22 5F101/BD33 5F101/BD34 5F101/BE05 5F101/BE07 2H193/ZA04 2H193/ZD23 2H193/ZH40		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

解决的问题：通过向电子注入到存储单元的电荷存储层时提供选择晶体管，该选择晶体管具有相对于施加到未选择存储单元的写入阻挡电压足够的击穿电压的选择晶体管，来向未选择存储单元提供错误的写入。一定要预防。半导体衬底(13)，其具有源极扩散层(11)，在顶部具有漏极扩散层(7)的柱状半导体层(12)以及经由第一杂质扩散层(9)在垂直方向上串联连接的存储单元列，第一选择晶体管，其经由第二杂质扩散层8连接存储单元列的一端和漏极扩散层7，以及经由第三杂质扩散层10连接存储单元列的另一端和源极扩散层11。并且，用于连接第三杂质扩散层和源极扩散层的第二选择晶体管，第三杂质扩散层和源极扩散层之间的距离被设置为比彼此相邻的杂质扩散层之间的距离更长，并且每个存储单元介于它们之间。1.一种存储单元单元，当在杂质扩散层之间施加写阻挡电压时，能够避免第二选择晶体管的贯通。[选型图]图1

