

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号  
特開2005-62582  
(P2005-62582A)  
(43) 公開日 平成17年3月10日 (2005.3.10)

(51) Int.Cl. <sup>7</sup>		F I		テーマコード (参考)	
G 0 9 F	9/00	G 0 9 F	9/00	3 4 8 Z	2 H 0 9 2
G 0 2 F	1/1345	G 0 2 F	1/1345		3 K 0 0 7
H 0 1 L	21/60	H 0 1 L	21/60	3 1 1 S	5 F 0 4 4
H 0 5 B	33/06	H 0 5 B	33/06		5 G 4 3 5
H 0 5 B	33/14	H 0 5 B	33/14	A	
審査請求 未請求 請求項の数 10 O L (全 21 頁)					
(21) 出願番号	特願2003-294089 (P2003-294089)				
(22) 出願日	平成15年8月18日 (2003.8.18)				
(71) 出願人	502356528 株式会社 日立ディスプレイズ 千葉県茂原市早野 3 3 0 0 番地				
(74) 代理人	100093506 弁理士 小野寺 洋二				
(72) 発明者	竹中 雄一 千葉県茂原市早野 3 3 0 0 番地 日立ディスプレイズ内				
(72) 発明者	中山 貴徳 千葉県茂原市早野 3 3 0 0 番地 日立ディスプレイズ内				
F ターム (参考) 2H092 GA48 GA50 JB56 MA32 NA15 NA18 NA29 PA06 PA11 3K007 AB11 AB18 BA06 BB07 CC05 DB03 FA02					
最終頁に続く					

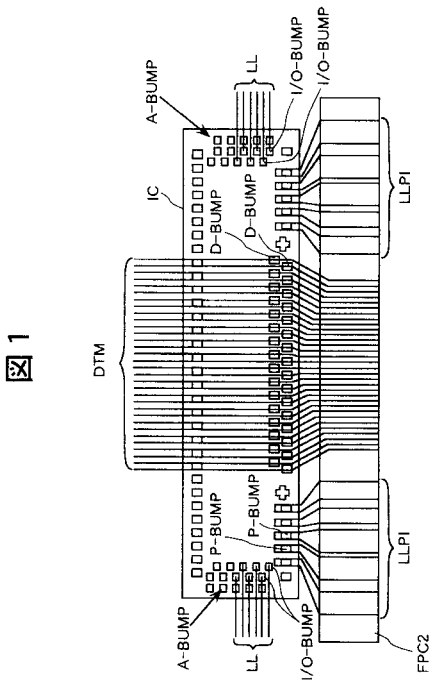
(54) 【発明の名称】 表示装置

(57) 【要約】

【課題】 絶縁基板に有する L C D 端子と駆動回路チップのバンプ間の接続抵抗を安定にし、残留応力による駆動回路チップの絶縁基板からの剥離を防ぐ。

【解決手段】 駆動回路チップ I C の実装面に設けられた第 1 入出力バンプ I / O - B U M P の当該駆動回路チップの端縁 E G L 側に第 2 入出力バンプ A - B U M P を設け、絶縁基板に形成された入出力配線 L L の入出力配線端子部 L L T と第 1 入出力バンプ I / O - B U M P を接合する異方性導電膜に加わる応力を緩和する。第 1 入出力バンプ I / O - B U M P は第 2 入出力バンプ A - B U M P が設けられた分、駆動回路チップ I C の端縁 E G L から遠ざかるため、その入出力配線端子部 L L T との接合部が表示装置の雰囲気から隔離され、当該接合部の破損やこれに伴い当該接合部で生じる駆動信号波形の歪みなどが抑制され、また入出力配線 L L の電蝕等による破損も回避される。

【選択図】 図 1



## 【特許請求の範囲】

## 【請求項 1】

絶縁基板、

前記絶縁基板の主面に複数の画素を配置して形成された表示領域、

前記絶縁基板の前記主面の周縁部に搭載され且つ前記表示領域に信号又は電力を供給する少なくとも一つの駆動回路素子、及び

前記主面の前記周縁部に形成され且つ該主面の前記駆動回路素子が搭載される搭載部分に該駆動回路素子に接続される端子部が夫々設けられ且つ該端子部から該主面の搭載部分の外側へ夫々延びる複数の配線を備え、

前記複数の配線に夫々設けられた前記端子部は、一つおきに前記搭載部分の一端に近付けて該一端沿いに並び、

前記駆動回路素子の前記主面の搭載部分に対向する実装面には、異方性導電膜により前記端子部の夫々に接続される複数のパンプが該実装面の前記搭載部分の一端に対向する一辺沿いに並設され、

前記複数のパンプに属し且つ前記端子部の前記搭載部分の一端に近付けて設けられた一群に夫々接続される第 1 パンプは、該複数のパンプの該第 1 パンプ以外の各々より前記実装面の前記一辺に近付けて配置され、

前記実装面には前記第 1 パンプの前記実装面の前記一辺側に隣接して前記複数のパンプとは別の第 2 パンプが形成されている表示装置。

## 【請求項 2】

前記第 2 パンプは、これに隣接する前記第 1 パンプとを同じ電位である請求項 1 に記載の表示装置。

## 【請求項 3】

前記第 1 パンプに接続される前記端子部の一つは、該第 1 パンプとともにこれに隣接する前記第 2 パンプにも接する面積を有する請求項 1 又は請求項 2 に記載の表示装置。

## 【請求項 4】

前記第 2 パンプは、該第 2 パンプに隣接する前記第 1 パンプに接続する前記配線と対向し且つ該第 1 パンプと離間されている請求項 1 又は請求項 2 に記載の表示装置。

## 【請求項 5】

前記第 1 パンプとこれに隣接する第 2 パンプとに接続する一つの端子部の面積は、該第 1 パンプに電氣的に接続される前記配線の一つに隣接する該配線の他の一つに設けられた前記端子部の他の一つより大きい請求項 3 に記載の表示装置。

## 【請求項 6】

前記複数の配線は絶縁膜で覆われ、前記端子部は該絶縁膜に形成された該配線の夫々を露出する開口にて該配線に接し且つ該絶縁膜上に延びる請求項 2 に記載の表示装置。

## 【請求項 7】

前記第 2 パンプは、前記絶縁膜を介して該第 2 パンプに隣接する前記第 1 パンプに接続する前記配線と対向し且つ該第 1 パンプと離間されている請求項 6 に記載の表示装置。

## 【請求項 8】

絶縁基板、

前記絶縁基板の主面に複数の画素を配置して形成された表示領域、

前記絶縁基板の前記主面の周縁部に搭載され且つ前記表示領域に信号又は電力を供給する少なくとも一つの駆動回路素子、及び

前記主面の前記周縁部に形成され且つ該主面の前記駆動回路素子が搭載される搭載部分に該駆動回路素子に接続される端子部が夫々設けられ且つ該端子部から該主面の搭載部分の外側へ夫々延びる複数の配線を備え、

前記複数の配線に夫々設けられた前記端子部は、一つおきに前記搭載部分の一端に近付けて該一端沿いに並び、

前記駆動回路素子の前記主面の搭載部分に対向する実装面には、異方性導電膜により前記端子部の夫々に接続される複数のパンプが該実装面の前記搭載部分の一端に対向する一

10

20

30

40

50

辺沿いに並設され、

前記端子部の前記搭載部分の一端に近付けて設けられた一群に夫々接続される前記複数のバンプの一群は、該バンプの他の群より前記実装面の前記一边側に配置され、

前記一群のバンプは、前記他の群のバンプより前記実装面の前記一边側に長く延びて形成されている表示装置。

【請求項 9】

前記一群のバンプの前記実装面の一边側に延びる長さは、前記他群のバンプのその 2 倍以上である請求項 8 に記載の表示装置。

【請求項 10】

前記駆動回路素子が複数個、前記絶縁基板の前記主面の一边沿いに並べて搭載され、前記複数の配線は該複数の駆動回路素子の隣接する一対に夫々設けられた前記複数のバンプの夫々を電氣的に接続する請求項 1 乃至 9 のいずれかに記載の表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、表示装置における駆動回路チップ実装構造に関するものであるが、特に表示装置の表示パネルを構成する基板の周辺上に駆動回路チップを直接実装した、所謂フリップチップ実装方式（あるいは、チップオンガラス実装方式とも言う）の表示装置に関する。

【背景技術】

【0002】

画素毎に薄膜トランジスタ T F T などのアクティブ素子を有し、このアクティブ素子をスイッチング駆動するアクティブ・マトリクス型の表示装置は、液晶表示装置や有機 E L 表示装置などのパネル型表示装置として知られている。本発明は、この種のパネル型表示装置に適用される表示パネルに対する駆動回路チップの実装構造に特徴を有する。この駆動回路チップの実装構造は液晶表示装置や有機 E L 表示装置などのパネル型表示装置では略同様であるので、以下では、液晶パネルを用いた液晶表示装置を例として説明する。

【0003】

例えば、アクティブ素子に薄膜トランジスタを用いたアクティブ・マトリクス型液晶表示装置は、ガラス板を好適とする一対の絶縁基板間に封止した液晶層を有し、その表示領域にマトリクス配置された多数の画素を形成している。そして、絶縁基板の一方の表示領域の外側に前記画素に画像を表示するための表示信号や電圧を供給する入出力配線を有し、絶縁基板の周辺に沿って、接着性を有する異方性導電膜を介して上記入出力配線の端子部に接続して少なくとも一つの駆動回路チップを直接搭載する、所謂フリップチップ実装方式（F C A 方式）、あるいはチップオンガラス実装方式（C O G 方式）と称する実装方式を採用したものが知られている。

【0004】

このようなアクティブ・マトリクス型液晶表示装置は、薄膜トランジスタを介して画素電極に液晶駆動電圧（階調電圧）を印加するため、各画素間のクロストークがなく、単純マトリクス型の表示装置のようにクロストークを防止するための特殊な駆動方法を用いることなく多階調表示が可能である。

【0005】

図 1 1 は液晶表示パネルの一方の基板の端縁に実装される駆動回路チップ周りの配置構造例を模式的に説明する平面図である。また、図 1 2 は図 1 1 に示した駆動回路電源入力用配線にフレキシブルプリント基板を実装した状態を示す平面図である。図 1 1 と図 1 2 において、絶縁基板の一方の表示領域の外側に実装される駆動回路チップ I C は、その実装面（絶縁基板主面と対向する面、回路面、腹面とも呼ばれる）に絶縁基板主面に設けられた配線端子に接続するための突出端子（以下、バンプと言う）を有する。図 1 1、図 1 2 には、このバンプを四角で示してある。絶縁基板には、駆動回路チップ I C の短辺に有する入出力バンプ I / O - B U M P に外部信号源からの駆動信号および電圧を複数の駆動

回路チップICの一つに対して供給し、当該一つの駆動回路チップに隣接する複数の駆動回路チップの他の一つ（当該一つの駆動回路チップの次段に位置する駆動回路チップ）へ順次伝送するための入出力配線LLが形成されている。各配線には、バンプと電氣的に接続される端子部が、例えばその一端に形成されている。

【0006】

また、駆動回路チップICの長辺の一方（絶縁基板の端縁側）には、絶縁基板上を表示領域から延びるデータ配線（ドレイン線引き出し線）DTMに接続するデータ出力バンプD-BUMP、駆動回路電源入力用配線LLPと接続する電源入力バンプP-BUMPが形成されている。なお、バンプの中には、絶縁基板との間の実装間隙を平均化するためのダミーバンプも含まれている。図中、太い十字記号は実装時の位置決め用のアライメントマークである。

10

【0007】

駆動回路チップICは、その実装面に形成された複数のバンプとその夫々に対応して絶縁基板の主面に形成された複数の配線（入出力配線）との位置を合わせて当該絶縁基板主面に搭載され、当該複数のバンプと当該複数の配線とを異方性導電膜を介して熱圧着することにより絶縁基板に接着される。このような実装方式が、前記したフリップチップ方式（FCA方式）又はチップオンガラス方式（COG方式）と称される。また、フレキシブルプリント基板FPC2も同様に異方性導電膜を用いて、その配線を駆動回路電源入力用配線LLPに熱圧着して固定される。以下では、チップオンガラス実装方式（COG方式）の用語を用いることとする。

20

【0008】

なお、COG方式で絶縁基板に駆動回路チップを実装する液晶表示装置に関しては、特許文献1を挙げることができる。特許文献1には、駆動回路チップの四隅にダミーバンプを設けて、実装時の位置決めと圧着状態を目視で確認することが記載されている。

【特許文献1】特開平11-125837号公報

【発明の開示】

【発明が解決しようとする課題】

【0009】

COG方式を用いた駆動回路チップの実装では、駆動回路チップの四隅に位置するバンプと絶縁基板に形成した入出力配線端子との間の接続抵抗が高くなったり、抵抗値が不安定となる現象が生じ易い。このような現象は、駆動回路チップを熱圧着した後に圧着面に残留する応力（残留応力）に起因する。

30

【0010】

図13は実装した駆動回路チップの圧着面における残留応力の説明図であり、図11の駆動回路チップの中心（図11ではドライバ中心と表記）から駆動回路チップICの短辺外縁（図11ではドライバ外縁と表記）に向けた残留応力分布を示す。残留応力は、図11に示したような駆動回路チップの中心からの距離に依存し、駆動回路チップICの短辺外縁で最も大きくなる。

【0011】

さらに、図12に示した如く、フレキシブルプリント基板FPC2を異方性導電膜で駆動回路チップICの近傍に熱圧着する場合には、この熱圧着時の熱が図12に矢印で示したように駆動回路チップICに流入し、駆動回路チップICの実装面と絶縁基板との間に充填された異方性導電膜と当該絶縁基板との接着面がダメージを受ける。このダメージは残留応力と流入した熱量に依存する。したがって、フレキシブルプリント基板FPC2に近い駆動回路チップICの2つの角近傍で異方性導電膜を介在させたバンプと配線端子部との接続抵抗は高抵抗かつ不安定となる場合がある。その結果、表示領域に表示される画像に表示不良が生じる。これは、図12に示したように、駆動回路チップICの中央部分に比べて角近傍での熱伝導が良い構造となっている場合に顕著となる。このような現象が解決すべき課題となっていた。このような課題は、液晶表示装置に限るものではなく、他の同様な駆動回路チップを用いた表示装置でも発生する。

40

50

## 【 0 0 1 2 】

本発明は、上記背景技術における課題を解決して、表示装置を構成する絶縁基板に形成された配線または配線端子部と駆動回路チップに有するパンプとの間の高抵抗化を回避し、接続抵抗を安定化して表示不良の発生を防止し、高品質の画像表示を得ることのできる信頼性の高い表示装置を提供することにある。

## 【課題を解決するための手段】

## 【 0 0 1 3 】

( 1 ) 絶縁基板、( 2 ) 前記絶縁基板の主面に複数の画素を配置して形成された表示領域、( 3 ) 前記絶縁基板の前記主面の一边に沿う周縁部 ( Peripheral Portion ) に搭載され且つ前記表示領域に信号又は電力を供給する少なくとも一つの駆動回路素子 ( 駆動回路チップ )、及び ( 4 ) 前記主面の前記周縁部に形成され且つ当該主面の前記駆動回路素子が搭載される搭載部分 ( Mounting Portion ) に当該駆動回路素子に接続される端子部が夫々設けられ且つ当該端子部から当該主面の前記駆動回路素子に覆われる部分 ( 当該端子部が形成される ) の外側に向けて夫々延びる複数の配線を備え、( 5 ) 前記複数の配線に夫々設けられた前記端子部は一つおきに前記搭載部分の一端に近付けてこの一端沿いに並び、且つ

10

( 6 ) 前記駆動回路素子の前記主面の搭載部分に対向する実装面 ( Mounting Surface ) には異方性導電膜により前記端子部の夫々に接続 ( 熱圧着 ) される複数のパンプ ( Bump ) が当該実装面の前記搭載部分の一端に対向する一边沿いに並設される表示装置において、本願発明は、以下に記す構造を導入する。

20

## 【 0 0 1 4 】

構造 1 ( 請求項 1 の発明 ) : 前記複数のパンプに属し且つ前記端子部の前記搭載部分の一端に近付けて設けられた一群に夫々接続される第 1 パンプは、当該複数のパンプの当該第 1 パンプ以外の各々より前記実装面の前記一边に近付けて配置される。また、前記実装面には前記第 1 パンプの前記実装面の前記一边側に隣接して前記複数のパンプとは別の第 2 パンプが形成される。前記複数のパンプが前記駆動回路素子に信号又は電力を入力する入力パンプである場合、第 2 パンプは当該入力パンプが並ぶ駆動回路素子の入力側 ( 前記実装面の前記一边側の端部 ) に追加される追加パンプとして設けられる。なお、前記絶縁基板の前記主面において、前記周縁部は、前記表示領域の外側に位置し、表示装置の画面 ( Screen ) に対して「額縁 ( Picture Flame ) 」となる領域に相当する。

30

## 【 0 0 1 5 】

構造 2 ( 請求項 2 の発明 ) : 前記構造 1 において、前記第 2 パンプは、これに隣接する前記第 1 パンプとを同じ電位である。例えば、前記駆動回路素子にて、前記第 1 パンプとその前記実装面の一边側に隣接する前記第 2 パンプとを導通させる。

## 【 0 0 1 6 】

構造 3 ( 請求項 3 の発明 ) : 前記構造 1 又は前記構造 2 において、前記第 1 パンプに接続される前記端子部の一つは、当該第 1 パンプとともにこれに隣接する前記第 2 パンプにも接する面積を有する。

## 【 0 0 1 7 】

構造 4 ( 請求項 4 の発明 ) : 前記構造 1 又は前記構造 2 において、前記第 2 パンプは、該第 2 パンプに隣接する前記第 1 パンプに接続する前記配線と対向し、また当該第 1 パンプと離間される。

40

## 【 0 0 1 8 】

上述の構造 3 において、前記第 1 パンプとこれに隣接する第 2 パンプとに接続する一つの端子部の面積を、当該第 1 パンプに電氣的に接続される前記配線の一つに隣接する該配線の他の一つに設けられた前記端子部の他の一つより大きくするとよい。

## 【 0 0 1 9 】

上述の構造 2 において、前記複数の配線を絶縁膜で覆い、当該絶縁膜に該配線の夫々を露出する開口を形成して、この開口により前記端子部を当該配線に接触させ、且つこの端子部を当該絶縁膜上に延ばすとよい。さらに、前記第 2 パンプを、前記絶縁膜を介して当

50

該第 2 パンプに隣接する前記第 1 パンプに接続した前記配線と対向させてもよく、また、当該第 2 パンプを当該第 1 パンプと離間させてもよい。

【0020】

構造 5（請求項 8 の発明）：上述の構造 1 にて、前記複数のパンプとは別の第 2 パンプを前記第 1 パンプの前記実装面の一辺側に隣接させて設ける代わりに、当該第 1 パンプを前記実装面の一辺側に向けて延ばす。この第 1 のパンプを前記複数のパンプの一群に属する各々とした場合、当該一群のパンプは、当該複数のパンプの他の群に属するパンプより前記実装面の一辺側に長く延びる。他の群に属するパンプは、第 1 パンプが夫々圧着される複数の端子部の一群より前記絶縁基板主面の前記搭載部分の内側に（当該搭載部分の一端から離れて）形成される当該複数の端子部の他の群に夫々圧着される。構造 5 において、前記一群のパンプ（前記第 1 パンプ）の前記実装面の一辺側に延びる長さは、前記他群のパンプのそれ（換言すれば、当該第 1 パンプに本来要される長さ）の 2 倍以上にするとよい。

10

【0021】

なお、以上に述べた構造において、前記駆動回路素子を複数個、前記絶縁基板の前記主面の一辺沿いに並べて搭載してもよく、前記複数の配線で当該複数の駆動回路素子の隣接する一対に夫々設けられたパンプを接続してもよい。

【発明の効果】

【0022】

前記構造 1 が導入された表示装置では、駆動回路素子（チップ）の実装面に当該駆動回路素子の一端（例えば、駆動回路素子への信号又は電力の入力側）に近付けて配置される第 1 パンプと当該一端との距離が第 2 パンプにより長くなるため、第 1 パンプを異方性導電膜により絶縁基板主面に形成された端子部に接続する工程及びその後において、当該第 1 パンプと当該端子部との接続面に加わる応力が緩和される。第 1 パンプと端子部とを異方性導電膜で熱圧着した後、第 1 パンプと端子部とに挟まれた異方性導電膜の温度が下がるにつれて、この異方性導電膜には絶縁基板主面に沿う方向の剪断（せん断）応力が加わる。この剪断応力は、第 1 パンプと端子部とに挟まれた異方性導電膜を当該第 1 パンプ又は当該端子部から剥がす原因となり、その弊害は後述するように熱圧着されるパンプの位置が駆動回路素子（チップ）の端部に近づくほど指数関数的に顕著となる。従って、駆動回路素子の端部（前記実装面の一辺側）に第 2 パンプを設けるだけでも、駆動回路素子の端部側に配置された第 1 パンプとこれに対向する端子部との電氣的な接続の信頼性は向上する。

20

30

【0023】

このような構造 1 の利点は、駆動回路素子の端部側に配置された第 1 パンプを当該端部側に延ばす前記構造 5 が導入された表示装置においても得られる。第 1 パンプの駆動回路素子の端部（前記実装面の一辺側）に向けた長さを、当該駆動回路素子の端部側に設けられ且つ当該第 1 パンプより当該端部から離れた他のパンプより長くすることで、第 1 パンプと端子部との接合面積が他のパンプとこれに対応する端子部との接合面積より広がる。従って、第 1 パンプと端子部との間に挟まれた異方性導電膜は、その一部分（駆動回路素子の端部側）で上記応力の弊害を受けたとしても、その残りの部分で当該応力の弊害を回避し、第 1 パンプと端子部との電氣的な接続を良好に維持する。なお、第 1 パンプの実装面の一辺側に向けた長さは、前記駆動回路素子が前記絶縁基板主面に搭載されたとき、前記主面の搭載部分の内部から当該実装面の一辺に対向する当該搭載部分の一端に向けて延びる方向に沿う長さとなる。

40

【0024】

前記構造 1 が導入された表示装置及び前記構造 5 が導入された表示装置のいずれにおいても、上述の効果に加えて、次の効果も得られる。

【0025】

その一つは、駆動回路素子の第 1 パンプと絶縁基板主面に設けられた端子部との異方性導電膜による接合部での電力損失や信号の遅延又は歪の低減である。この効果は、当該接

50

合部を通した第1パンプと端子部との間の電気抵抗が低減されることに抛り得られる。第1パンプと端子部との接合部分が駆動回路素子の実装面の一边から離れるに伴い、当該接合部分は、絶縁基板主面、これに対向する駆動回路素子の実装面、及び異方性導電膜により、表示装置が利用される雰囲気からより確実に隔離されるため、第1パンプと端子部との間の電気抵抗は、長期に亘り低く且つ安定に維持される。

【0026】

他の一つは、前記絶縁基板主面の周縁部（前記主面の搭載部分を含む）に設けられた異方性導電膜に駆動回路素子の実装面を対向させた状態で、熱圧着ヘッドを駆動回路素子の上面（実装面の反対側）に当てて駆動回路素子の実装面に設けたパンプ（前記第1パンプを含む夫々）と絶縁基板主面の周縁部に設けた端子部とを接合（熱圧着）する工程において、当該第1パンプと端子部とに挟まれてこれらを接合する異方性導電膜に余剰の応力が加わらず、且つ第1パンプと端子部との接合の信頼性が損なわれないことである。第1パンプが駆動回路素子の実装面の内側に位置する（その一边から離れている）ため、この接合工程にて駆動回路素子の上面に接する熱圧着ヘッドの当該上面に対する傾きが第1パンプと端子部との接合（熱圧着）に及ぼす影響が軽減される。

10

【0027】

前記構造2が導入された表示装置では、前記第2パンプとこれに隣接する前記第1パンプとが同じ電位であるため、当該第1パンプに接続される配線沿いに生じる寄生容量も低減される。これにより、当該配線により伝送される信号に生じる波形歪も抑制される。第2パンプが、これに隣接する第1パンプに接続される配線に接する場合でも、駆動回路素子において第2パンプと第1パンプとを導通し、又は同電位となるように結線するとよい。一方、第2パンプが、これに隣接する第1パンプに接続される配線と絶縁膜を介して対向する場合、当該絶縁膜の上面と下面との間に電位差は実質生じないため、当該配線を形成する導体膜（特に金属膜）が電蝕により溶ける可能性がなくなる。従って、配線の電気抵抗は好ましい低さに維持される。また、配線と絶縁されて対向する第2パンプが浮遊電位にある場合に比べて、当該配線と第2パンプとの間に生じる寄生容量も低くなる。

20

【0028】

前記構造3が導入された表示装置では、前記第1パンプに接続される端子部の面積を、当該第1パンプに隣接する前記第2パンプにも接合し得る大きさにすることにより、絶縁基板主面（その周縁部）に駆動回路素子を搭載する工程における絶縁基板主面に形成された複数の端子部と駆動回路素子の実装面に形成された複数のパンプとの位置合わせ（Alignment）の精度が向上する。従って、複数のパンプと複数の端子部とが夫々好ましく電氣的に接続される。また、構造3と前記構造2とを組み合わせると、第1パンプとこれに対応する端子部との間の電氣的な接続に対して、当該端子部と第2パンプとの電氣的な接続が並列に形成されるため、当該第1パンプと当該端子部との接合面積の拡大に等しい効果が得られる。換言すれば、異方性導電膜に含まれる導電粒子をより多く、第1パンプと端子部との電氣的な接続に寄与させられる。

30

【0029】

前記構造4が導入された表示装置では、前記第2パンプとこれに隣接する前記第1パンプとの間に生じた間隙により、当該第1パンプを前記端子部に接合する工程で熔融した異方性導電膜のバインダが、絶縁基板主面とこれに対向する駆動回路素子の実装面とに挟まれた空間から効率よく排出される。従って、当該第1パンプと当該端子部との接合部の周辺に余剰の異方性導電膜及びこれにフィラとして分散された導電粒子が残りにくくなり、これにより上述した当該接合部に加わる応力が助長される可能性もなくなる。

40

【0030】

なお、前記配線が、前記絶縁基板主面の搭載部分の一端に対して斜めに延びる部分を有する場合は、当該部分の当該搭載部分の一端となす角度が小さくなるにつれて、当該配線とこれに隣接する他の配線との間隔が狭くなる。従って、前記第2パンプとこれに隣接する前記第1パンプに接続される前記配線とは、当該配線とこれに隣接する他の配線との短絡や、当該第2パンプによる当該他の配線への電氣的な干渉を避ける観点で、当該配線の

50

前記主面の搭載部分の一端に対して斜めに延びる部分以外で対向させるとよい。

【0031】

本発明は、上記した各請求項に記載の発明に限定されるものではなく、本発明の技術思想を逸脱することなく、種々の変形は可能であることは言うまでもない。

【発明を実施するための最良の形態】

【0032】

以下、本発明の実施例を詳細に説明する。

【実施例1】

【0033】

図1は液晶表示パネルの一方の基板主面の端縁に実装される本実施例の駆動回路チップ（駆動回路素子と呼ばれる集積回路素子）も周りの配置構造例を模式的に説明する平面図であり、駆動回路電源入力用配線にフレキシブルプリント基板を実装した状態を示す。本実施例の駆動回路チップICは画素を構成する薄膜トランジスタのドレインに表示データを供給するドレイン線駆動用の駆動回路チップであり、その実装面（絶縁基板と対向する面、回路面、腹面とも呼ばれる）の両短辺側に複数の第1入出力バンプI/O-BUMP、第2入出力バンプA-BUMPを有している。また、絶縁基板の外縁に位置する長辺の一方には液晶表示パネルの表示領域に接続する複数のドレイン端子DTMに接続する複数のデータ出力バンプD-BUMPと複数の電源入力バンプP-BUMPがそれぞれ複数設けられている。駆動回路チップICの長辺の他方に有してドレイン端子DTMの下面に有するバンプはダミーバンプである。

【0034】

図1では、絶縁基板主面に画素をマトリクス状に配置して形成される表示領域が省略されているが、図1に示される駆動回路チップICは、絶縁基板主面の周縁部（Peripheral Portion、表示領域の外側）に搭載される。駆動回路チップICの長辺の一方は表示領域に対向し、その他方は絶縁基板主面の一边に対向する。図1に示される上述のドレイン端子DTM及びに後述されるその他の配線LL、LLPIは、絶縁基板主面の駆動回路チップICが搭載される搭載部分（Mounting Portion）の内部からその外側へ向けて延びる。絶縁基板主面の搭載部分は、ここに搭載された駆動回路チップICの実装面（Mounting Surface）と向き合い、絶縁基板主面に形成されたドレイン端子DTM及びに配線LL、LLPIは駆動回路チップICに覆われる夫々の部分において、その実装面に形成された複数のバンプ（ドレイン端子DTM、及び配線LL、LLPIに対応するその夫々）に電氣的に接続される。

【0035】

なお、本実施例にて、本発明を特徴付ける先述の第1バンプに対応するバンプI/O-BUMPに「入出力バンプ（Input/Output Bump）」なる名称を付ける理由は、バンプI/O-BUMPの夫々が駆動回路チップICへの信号入力及び当該駆動回路チップICからの信号出力のいずれにも用いられ得ることによる。また、このバンプI/O-BUMPに結線される絶縁基板上に形成された配線LLも「入出力配線（Input/Output Wiring Line）」と記す。

【0036】

電源入力バンプP-BUMPにはフレキシブルプリント基板FPC2の電源配線LLPIが異方性導電膜を介して熱圧着される。第1入出力バンプI/O-BUMPは駆動回路チップICの短辺側端縁と平行な直線に関して互い違いに配置されている。絶縁基板上に形成されている入出力配線LLは、絶縁基板主面の搭載部分（駆動回路チップICに覆われる部分）の外側からその一端を通過してその内部に延びる。搭載部分の内部に延在した入出力配線LLの各々（の終端）には、駆動回路チップICの実装面に形成された入出力バンプI/O-BUMPの一つに接続される端子部（以降、入出力配線端子部（Input/Output Wiring Terminal Portion）と記す）が設けられる。配線LLは、これに設けられた入出力配線端子部から絶縁基板主面の搭載部分の外側に向けて延びる。

【0037】



図 1 に示されるように、駆動回路チップ IC の右側及び左側の各々にて、その実装面に形成された入出力パンプ I/O - BUMP は、この駆動回路チップ IC の一辺（短辺）沿いに並び、その一つおきに当該駆動回路チップ IC の一辺側に近付けられる。従って、駆動回路チップ IC の右端及び左端の各々に沿って、入出力パンプ I/O - BUMP は、千鳥格子状に互い違いに並ぶ。このような入出力パンプ I/O - BUMP の配置に対応して、絶縁基板主面の搭載部分に形成される入出力配線 LL の端子部も、当該搭載部分の右側及び左側の各々の一端沿いに千鳥格子状に互い違いに並ぶ。このため、入出力配線 LL の各々は、これに対応する入出力パンプ I/O - BUMP から搭載部分の一端（例えば、当該入出力配線 LL の端子部に最も近い）及びその外側へ向けて引き出されるようにして図 1 に示される。

10

#### 【0038】

図 1 の左側に並ぶ配線 LL は、駆動回路チップ IC の左側の短辺に沿って並設された第 1 入出力パンプ I/O - BUMP、または第 1 入出力パンプ I/O - BUMP とその駆動回路チップ IC の左短辺側に隣接する第 2 入出力パンプ A - BUMP に異方性導電膜を介して熱圧着される。同様に、図 1 の右側の配線 LL は駆動回路チップ IC の右側の短辺に沿って並設される第 1 入出力パンプ I/O - BUMP、または第 1 入出力パンプ I/O - BUMP とその駆動回路チップ IC の右短辺側に隣接する第 2 入出力パンプ A - BUMP に異方性導電膜を介して熱圧着される。駆動回路チップ IC の左側に配置された第 1 入出力パンプ I/O - BUMP とこれに対応する配線 LL 及び駆動回路チップ IC の右側に配置された第 2 入出力パンプ I/O - BUMP とこれに対応する配線 LL は、熱圧着ヘッド

20

#### 【0039】

絶縁基板上に形成されている左側の入出力配線 LL から駆動回路チップ IC に入力した表示信号を構成する信号や電圧は当該駆動回路チップ IC で処理されてデータ出力パンプ D - BUMP からドレイン端子 DTM に出力される。次の駆動回路チップで処理される表示信号を構成する信号や電圧は駆動回路チップ IC から右側の入出力配線 LL に出力され、次の駆動回路チップ IC に入力する。

#### 【0040】

図 2 (a) は、図 1 における左側短辺の入出力配線 LL と駆動回路チップ IC に有する第 1 入出力パンプと第 2 入出力パンプの構成を説明する一部拡大平面図である。図 2 (a) における線 EGL は駆動回路チップ IC のチップ端（上述した駆動回路チップの実装面の一辺）を示し、これに対向する絶縁基板主面のチップ端 EGL から右側は上述した「搭載部分」となる。図 2 (b) は図 2 (a) の b - b' 線に沿う断面を、図 2 (c) は図 2 (a) の c - c' 線に沿う断面を、図 2 (d) は図 2 (a) の d - d' 線に沿う断面を夫々示す。図 2 及び後に参照する図 3、図 4、並びに図 14 の各々には、夫々に示された絶縁基板 SUB1 及び駆動回路チップ IC の配置関係を明らかにするために、x, y, z の 3 軸からなる直交座標が示される。図 1 にて、x 方向は駆動回路チップ IC の左端から右端に至る方向を、y 方向は駆動回路チップ IC の下端から上端に至る方向を、z 方向は絶縁基板主面に駆動回路チップ IC が重なる方向（絶縁基板 SUB1 の厚み方向）を夫々示す。

30

40

#### 【0041】

絶縁基板に形成されている入出力配線 LL はメタル（金属）やアロイ（合金）からなり、 $\text{SiO}_2$ （酸化珪素）や  $\text{SiN}_x$ （窒化珪素）からなる絶縁膜 INS により覆われる。この入出力配線 LL は駆動回路チップ IC の実装面に対向する上述の搭載部分（絶縁基板主面の一部）で終端する。絶縁膜 INS には、入出力配線 LL の終端部分（又はその付近）を露出する開口 OPN（図 2 (a) に点線で示される）が形成され、この開口にて入出力配線 LL に接し且つ絶縁膜 INS の上面に延びる導体膜により端子部 LLT（以下、LCD 端子とも言う）が形成される。図 2 (a) において、この端子部 LLT の平面的な形状は破線で示される。端子部 LLT となる導体膜は、腐蝕し難い ITO（Indium - Tin - Oxi

50

de) や I Z O ( Indium - Zinc - Oxide ) 等の導電性を有する酸化物で形成するとよい。

#### 【 0 0 4 2 】

図 2 ( a ) と図 2 ( b ) 及び図 2 ( c ) とを相互に参照して明らかなように、端子部 L L T は、その並設方向に沿って交互に、図 2 ( b ) に示される如く絶縁基板主面の搭載部分の一端 ( チップ端 E G L に対向する部分 ) から離れ、また図 2 ( c ) に示される如く当該搭載部分の一端に近づく。駆動回路チップの実装面における入出力バンプ I / O - B U M P の位置も、その並設方向に沿い交互に、図 2 ( b ) に示される如くチップ端 E G L から離れ、また対する図 2 ( c ) に示される如く当該チップ端 E G L に近づく。搭載部分の一端 ( チップ端 E G L ) から遠ざけられた端子部 L L T に接続する配線 L L ( 図 2 ( b ) 参照 ) は、これとこれに隣接する配線 L L ( 搭載部分の一端に近付けられた端子部 L L T に接続する、図 2 ( c ) 参照 ) との間で、相互の短絡や電氣的な干渉 ( 夫々に伝送される信号間に生じる ) を避けるために、その幅が狭められている。

10

#### 【 0 0 4 3 】

なお、本発明による表示装置を特徴付ける構造 1 として先述された「複数のバンプ」は、本実施例における入出力バンプ I / O - B U M P に相当し、これに属する第 1 バンプは、この入出力バンプ I / O - B U M P の図 2 ( a ) にて c - c ' 線が付された一群に相当する。なお、図 2 ( a ) にて b - b ' 線が付された入出力バンプ I / O - B U M P は、上記複数のバンプの上記第 1 バンプ以外の他の群に属する一つに相当する。

#### 【 0 0 4 4 】

駆動回路チップ I C の実装面には、上記 L C D 端子 L L T のそれぞれと接続するためのバンプである I / O - B U M P バンプが形成されている。本実施例では、この I / O - B U M P バンプのチップ端 E G L に近い位置に L C D 端子 L L T を有する入出力配線 L L と対向する部分にバンプが追加されている。この追加バンプを第 2 入出力バンプ A - B U M P とし、入出力配線 L L の端部に有するバンプを第 1 入出力バンプ I / O - B U M P としている。第 1 入出力バンプ I / O - B U M P は正方形で、そのサイズは例えば  $60 \mu\text{m} \times 60 \mu\text{m}$  である。

20

#### 【 0 0 4 5 】

入出力端子 L L の幅 :  $y_2$  ( y 方向に沿う長さ ) は約  $30 \mu\text{m}$ 、L C D 端子 L L T の幅 :  $y_1$  ( y 方向に沿う長さ ) と長さ :  $x_1$  ( x 方向に沿う長さ ) はそれぞれ  $60 \mu\text{m} +$ 、L C D 端子 L L T のチップ端 E G L と平行な方向の中心間距離 :  $y (\text{Int})$  ( y 方向に沿う長さ )

30

は  $55 \mu\text{m}$  である。なお、上記の「+」は第 1 入出力バンプ I / O - B U M P より若干大きいという意味を表す。また、チップ端 E G L と平行な方向 ( y 方向 ) に沿って隣接し合う一対の第 1 入出力バンプ I / O - B U M P のチップ端 E G L と垂直な方向 ( x 方向 ) に沿う間隔 :  $x (\text{Int})$  は  $25 \mu\text{m}$  である。これらのサイズはあくまで一例である。以下に記述するサイズも同様に一例である。

#### 【 0 0 4 6 】

第 2 入出力バンプ A - B U M P のチップ端 E G L と平行な方向の辺の長さ ( 上記  $y_2$  ) は、 $30 \mu\text{m}$  として入出力配線 L L の幅と略等しい。また、第 2 入出力バンプ A - B U M P の当該入出力配線 L L の長手方向と平行な方向の長さ :  $x_2$  ( x 方向に沿う長さ ) は、第 1 入出力バンプ I / O - B U M P のそれと同じ  $60 \mu\text{m}$  である。また、第 1 入出力バンプ I / O - B U M P と第 2 入出力バンプ A - B U M P とを x 方向に離間する間隔の長さ ( 間隔 ) :  $x_0$  は  $20 \mu\text{m}$  と、当該入出力バンプ I / O - B U M P の x 方向の長さ (  $x_1$  ) より短い。第 2 入出力バンプ A - B U M P は、x 方向沿いにこれに隣接する第 1 入出力バンプ I / O - B U M P と電氣的に接続されているのが望ましい。本実施例では第 2 入出力バンプ A - B U M P は駆動回路チップ I C 内部で第 1 入出力バンプ I / O - B U M P と電氣的に接続されている。バンプ A - B U M P が「第 2 入出力バンプ」と称される所以は、図 2 ( c ) に示されるように端子部 L L T に接し、且つこれに示される第 1 入出力バンプ I / O - B U M P と導通されて、端子部 L L T に接続する配線 L L と駆動回路チップ I C との間の信号伝送に寄与することにある。この第 2 入出力バンプ A - B U M P は、本発明に

40

50

よる表示装置を特徴付ける構造 1 として先述された「第 2 バンプ」に相当する。

【0047】

本実施例のように、前記絶縁基板主面の搭載部分の一端に近付けられた端子部 LLT に接続する第 1 入出力バンプ I/O - BUMP の当該一端側に第 2 入出力バンプ A - BUMP を設けることにより、(1) 雰囲気(環境)に変化が生じて第 1 入出力バンプ I/O - BUMP と絶縁基板の配線(入出力配線 LL、LCD 端子 LLT)との圧着強度が維持される。この利点(1)により、(2) 第 1 入出力バンプ I/O - BUMP と LCD 端子 LLT との接続部分の抵抗も低減される。また、第 2 入出力バンプ A - BUMP をこれに隣接する第 1 入出力バンプ I/O - BUMP (図 2(c) 参照)と同じ電位とすることにより、(3) 当該配線 LL で伝送される信号(駆動信号)の波形に歪が生じる確率が抑えられる。

10

【0048】

一方、本実施例の変形(Variation)の一つによる平面構造を、図 14(a)に図 2(a)に倣って示す。また、図 14(a)に示された b - b' 線沿いの断面構造を、図 14(b)に示す。図 14(b)に示された断面構造は、図 2(c)と同様に本発明による表示装置の「第 1 バンプ」に相当する第 1 入出力バンプ I/O - BUMP と「第 2 バンプ」に相当するバンプ A - BUMP とを示すが、後者は図 2(c)に示されるそれと異なり、絶縁膜 INS によりこれと対向する配線 LL と電氣的に分離されている。従って、図 14(b)に示されるバンプ A - BUMP は「第 2 入出力バンプ」とならない。図 14 に示される本実施例の変形の一つにおいても、バンプ A - BUMP とこれに隣接する第 1 入出力バンプ I/O - BUMP (図 14(b) 参照)とは同じ電位に設定される。これにより、(3') 配線 LL のバンプ A - BUMP に対向する部分が、これらの間に生じる電位差による電蝕を受け、溶出する可能性もなくなる。従って、配線 LL の幅がその不測の電蝕により局所的に狭まることもなくなり、その電氣的な抵抗の上昇も抑えられる。

20

【0049】

本実施例を適用した表示装置及びその変形を適用した表示装置のいずれにおいても、駆動回路チップ IC の実装面に形成されたバンプ I/O - BUMP の当該チップ端 EGL 側に寄せられた一群とその各々に対応する絶縁基板主面上の端子部との接続抵抗が低く且つ安定に保たれるために、その表示不良の発生が防がれ、高品質の画像が表示される。

【実施例 2】

30

【0050】

図 3 は図 1 における左側短辺の入出力配線 LL と駆動回路チップ IC に有する第 1 入出力バンプと第 2 入出力バンプの構成を説明する一部拡大平面図である。図 3 における線 EGL は図 2 と同様に駆動回路チップ IC のチップ端を示す。本実施例では、互い違いに配置された LCD 端子 LLT のうちの駆動回路チップ IC のチップ端 EGL 側に近い入出力配線 LL の LCD 端子 LLT を該駆動回路チップ IC のチップ端 EGL 側に拡大している。この LCD 端子 LLT のチップ端 EGL と平行な方向の幅は第 1 入出力バンプ A - BUMP を含む大きさ(カバーする大きさ、以下同様)とされており、チップ端 EGL に垂直な方向の長さは下記する第 1 入出力バンプ A - BUMP と第 2 入出力バンプ A - BUMP とを含む大きさである。

40

【0051】

そして、駆動回路チップ IC の実装面には、第 1 入出力バンプ I/O - BUMP のチップ端 EGL 側に第 2 入出力バンプ A - BUMP を追加してある。第 1 入出力バンプ I/O - BUMP と第 2 入出力バンプ A - BUMP の間には 20  $\mu$ m の間隔を設けている。上記した互い違いに配置された LCD 端子 LLT のうちの駆動回路チップ IC のチップ端 EGL 側に近い拡大された LCD 端子 LLT は、第 1 入出力バンプ I/O - BUMP と追加した第 2 入出力バンプ A - BUMP を含む大きさである。なお、拡大した LCD 端子 LLT を有する入出力配線 LL に隣接する入出力配線の幅は相互の短絡を防止するために狭く形成されている。その他の構成は実施例 1 と同様である。

【0052】

50

本実施例によれば、駆動回路チップＩＣに第２入出力バンプＡ－ＢＵＭＰを既存の第１入出力バンプＩ／Ｏ－ＢＵＭＰよりも駆動回路チップＩＣのチップ端側（すなわち、駆動回路チップの周縁側）に追加して設け、これに対応して絶縁基板に形成する入出力配線ＬＬのＬＣＤ端子ＬＬＴを第１入出力バンプＩ／Ｏ－ＢＵＭＰおよび第２入出力バンプＡ－ＢＵＭＰを含む形状とすることによって前記した残留応力が低減され、実施例１と同様の表示不良が低減された高画質の表示装置を提供することができる。

【００５３】

さらに、本実施例では、駆動回路チップＩＣのバンプＩ／Ｏ－ＢＵＭＰの当該チップ端ＥＧＬ側に寄せられた一群に夫々に接続される絶縁基板主面上の端子部ＬＬＴの面積が、当該一群のバンプＩ／Ｏ－ＢＵＭＰ及びその当該チップ端ＥＧＬ側に隣接する他のバンプＡ－ＢＵＭＰの双方に対向し得る大きさであるため、（４）絶縁基板主面上に駆動回路チップＩＣを搭載する際のバンプＩ／Ｏ－ＢＵＭＰと端子部ＬＬＴとの位置合わせの精度が向上する。また、（５）バンプＩ／Ｏ－ＢＵＭＰと端子部ＬＬＴ（絶縁基板側の配線）との電氣的な接続裕度も確保される。

10

【実施例３】

【００５４】

図４は図１における左側短辺の入出力配線ＬＬと駆動回路チップＩＣに有する第１入出力バンプと第２入出力バンプの構成を説明する一部拡大平面図である。本実施例は実施例２における第２入出力バンプＡ’－ＢＵＭＰを第１入出力バンプＡ－ＢＵＭＰと同形状としたものである。本実施例における互い違いに配置されたＬＣＤ端子ＬＬＴのうちの駆動回路チップＩＣのチップ端ＥＧＬ側に近い入出力配線ＬＬのＬＣＤ端子ＬＬＴを該駆動回路チップＩＣのチップ端ＥＧＬ側に拡大し、第１入出力バンプＩ／Ｏ－ＢＵＭＰと第２入出力バンプＡ’－ＢＵＭＰを含んで接続するようにしている。その他の構成は実施例２と同様である。本実施例によっても、前記した残留応力が低減され、実施例１と同様の表示不良が低減された高画質の表示装置を提供することができる。

20

【００５５】

なお、本発明は上記した各実施例を適宜組み合わせることも含む。また、上記した各実施例では、第１入出力バンプと第２入出力バンプは全て矩形（正方形、長四角形）としているが、これに代えて円形でも、その他多角形などでもよい。そして、駆動回路チップを絶縁基板のＬＣＤ端子に異方性導電膜を介して接着するとき、第１入出力バンプと第２入出力バンプの間にも異方性導電膜が入り込むことで接着面積が大きくなる。これにより、第１入出力バンプＩ／Ｏ－ＢＵＭＰをこれに対応する端子部ＬＬＴに接合する異方性導電膜に加わる応力が緩和される。

30

【００５６】

次に、本発明を実際の表示装置における駆動回路チップの実装に適用した具体的な例を説明する。

【００５７】

図５は図１に示した駆動回路チップの右側短辺に対応する入出力配線と駆動回路チップの一実装例の要部を拡大した平面図である。図５に示した具体例では、絶縁基板に形成される入出力配線ＬＬは図５の右上の部分では短辺に対して斜行している。駆動回路チップＩＣは図２の実施例で説明した第１入出力バンプＩ／Ｏ－ＢＵＭＰと第２入出力バンプＡ－ＢＵＭＰを有しているものである。但し、入出力配線ＬＬが斜行している図５の右上の部分（図示しないが左上の部分も同様、ここでは右上の部分についてのみ説明する）では、隣接する入出力配線ＬＬ同士が接近している。このように駆動回路チップＩＣのチップ端ＥＧＬに対して斜めに延びる配線ＬＬが並ぶ領域において、その配線ＬＬの一つに第２入出力バンプＡ－ＢＵＭＰ又はその等価物（当該一つの配線と電氣的に絶縁される）を対向させると、当該一つの配線に隣接する他の配線に近付き又はこの一部にも対向し得る。従って、この隣接する他の配線が絶縁膜で覆われて、第２入出力バンプＡ－ＢＵＭＰ又はその等価物と電氣的に分離されても、これらの間には当該絶縁膜を介して電位差が生じ、当該隣接する他の配線の電蝕による溶出が生じ得る。従って、図５の右上の部分には、第

40

50

2 入出力パンプ A - B U M P が設けられない。

【 0 0 5 8 】

図 6 は図 1 に示した駆動回路チップの右側短辺に対応する入出力配線と駆動回路チップの他の実装例の要部を拡大した平面図である。図 6 に示した具体例では、絶縁基板に形成される入出力配線 L L は駆動回路チップ I C の短辺に対して垂直に延びる。駆動回路チップ I C は図 2 の実施例で説明した第 1 入出力パンプ I / O - B U M P と第 2 入出力パンプ A - B U M P を有しているものを実装した場合と、図 4 の実施例で説明した第 1 入出力パンプ I / O - B U M P と第 2 入出力パンプ A ' - B U M P を有しているものを実装した場合の両方を示している。なお、第 2 入出力パンプ A - B U M P と区別するために第 2 入出力パンプ A ' - B U M P に対応する矩形のパターンには斜線を施していない。

10

【 0 0 5 9 】

図 6 に示したような入出力配線 L L を有する絶縁基板に第 1 入出力パンプ I / O - B U M P と第 2 入出力パンプ A - B U M P を有する駆動回路チップ I C 、または第 1 入出力パンプ I / O - B U M P と第 2 入出力パンプ A ' - B U M P を有している駆動回路チップ I C を実装する場合、駆動回路チップ I C の短辺側に沿って互い違いに配置された L C D 端子 L L T のチップ端に近い L C D 端子 L L T の全てに第 2 入出力パンプ A - B U M P 、または第 2 入出力パンプ A ' - B U M P を設けることができる。

【 0 0 6 0 】

図 7 は本発明を液晶表示装置に適用した場合の絶縁基板への駆動回路チップを含む各部材の実装状態を説明する要部斜視図である。図 7 において、液晶表示パネルは一方の絶縁基板である第 1 の基板 S U B 1 と他方の絶縁基板である第 2 の基板 S U B 2 の貼り合わせ間隙に液晶層を封止して構成されている。この例では、第 1 の基板 S U B 1 の内面には薄膜トランジスタを有する多数の画素をマトリクス配列した表示領域が形成され、第 2 の基板 S U B 2 の上記表示領域に対向する内面には多色のカラーフィルタが形成されている。また、第 1 の基板 S U B 1 と第 2 の基板 S U B 2 の各表面には偏光板 P O L 1 、 P O L 2 が積層されている（図 7 には、偏光板 P O L 2 のみを示す）。

20

【 0 0 6 1 】

図 7 における前記実施例あるいは具体例の図面の参照符号と同一参照符号は同一機能部分に対応する。液晶表示装置は、液晶表示パネルを構成する一方の絶縁基板である第 1 の基板 S U B 1 にゲート線駆動用の駆動回路チップ I C 1 と、ドレイン線駆動用の駆動回路チップ I C 2 （前記した本発明に係る駆動回路チップ I C に相当）を C O G 方式で実装している。これらの駆動回路チップ I C 1 、 I C 2 に接続する外部回路と搭載するフレキシブル基板 F P C 1 、 F P C 2 は上記第 1 の基板 S U B 1 の端縁から同図の太矢印で示したように当該基板 S U B 1 の裏面に折り込まれる。これにより、液晶パネルの額縁を大幅に狭くすることができる。

30

【 0 0 6 2 】

ゲート線駆動用の駆動回路チップ I C 1 には、図示しない外部信号源に接続するフレキシブルプリント基板 F P C 1 から走査信号が印加され、表示領域から引き出されているゲート線 G T M にゲート信号を供給する。このゲート信号の走査で選択されたゲート線に接続する薄膜トランジスタにドレイン線駆動用の駆動回路チップ I C 2 からドレイン線 D T M を通して供給される表示データに対応する画素が点灯されて画像を表示する。

40

【 0 0 6 3 】

図 8 は液晶表示装置の等価回路例を示すブロック図である。この液晶表示パネルの表示領域 A R の下側に複数のドレイン線駆動用の駆動回路チップ I C 2 からなる映像信号線駆動回路 D D R が配置され、側面側にゲート線駆動用の複数の駆動回路チップ I C 1 からなる走査信号線駆動回路 G D R 、およびコントローラ部と電源部を搭載したインターフェース基板 I / F を有している。インターフェース基板 I / F からの各種信号や電圧は前記したフレキシブルプリント基板 F P C 1 、 F P C 2 を介して走査信号線駆動回路 G D R と走査信号線駆動回路 G D R に与えられる。

【 0 0 6 4 】

50

アクティブ素子である薄膜トランジスタTFTは隣接する2本のゲート線GLの交差領域内に配置され、そのドレイン電極とゲート電極は、それぞれドレイン線DL、ゲート線GLに接続されている。GTMはゲート線引出し配線( $G-1, G0, G1, G2, \dots, G_{end}, G_{end}+1$ )、DTM( $DiR, DiG, DiB, \dots, Di+1R, Di+1G, Di+1B, \dots$ )はドレイン線引出し配線、Caddは保持容量を示す。

#### 【0065】

図9はアクティブ・マトリクス型の液晶表示装置における駆動回路の構成例を説明するブロック図である。液晶表示装置は本体コンピュータ(図8のHOST)からの表示信号とクロック信号を含む制御信号を受けて液晶パネルPNLに画素データ、各種クロック信号、各種の駆動電圧を印加するインターフェース回路を搭載したインターフェース基板I/Fを備えている。

10

#### 【0066】

インターフェース回路I/Fは、タイミングコンバータTCONを備えた表示制御装置と電源回路を有し、表示制御装置は液晶パネルに表示信号から生成した表示データを転送するデータバス、ドレイン線駆動用の駆動回路チップ(図9ではドレインドライバと表記)が表示データを取り込むためのクロック、該ドレイン線駆動用の駆動回路チップが液晶駆動信号を切り替えるためのクロック、ゲート線駆動用の駆動回路チップ(図9ではゲートドライバと表記)を駆動するフレーム開始指示信号とゲートクロックなどのタイミング信号を液晶表示パネル(図9では液晶パネルと表記)PNLに出力する。

#### 【0067】

20

また、電源回路は正極階調電圧生成回路と負極階調電圧生成回路、対向電極電圧生成回路、ゲート用電圧生成回路で構成される。本体コンピュータからの表示信号と制御信号を受け取るインターフェース基板I/Fは、1画素単位、つまり赤(R)、緑(G)、青(b)の各データ1つを組にして単位時間に1画素分をドレイン線駆動用の駆動回路チップ(ドレインドライバ)に転送する。

#### 【0068】

単位時間の基準になるクロック信号は本体コンピュータHOSTから液晶表示装置に送られる。具体的には、例えば1024×768画素の液晶表示装置では、通常は65MHzの周波数が用いられる。液晶表示パネルPNLの構成としては、表示画面を基準に、横方向にドレイン線駆動用の駆動回路チップを置き、このドレイン線駆動用の駆動回路チップを薄膜トランジスタTFTのドレイン線の引出し配線(DTM)に接続して液晶を駆動するための電圧を供給する。また、ゲート線にはゲート線駆動用の駆動回路チップの引出し配線(GTM)を接続し、ある一定時間(1水平動作時間)、薄膜トランジスタTFTのゲートに電圧を供給する。

30

#### 【0069】

タイミングコンバータTCONは半導体チップにより構成され、本体コンピュータHOSTからの表示信号と各種制御信号を受取り、これを基にドレイン線駆動用の駆動回路チップ、ゲート線駆動用の駆動回路チップへ必要な表示データと動作クロックを出力する。なお、この例では、1画素分のデータ線は18ビット(R, G, B各6ビット)である。

#### 【0070】

40

この構成では、本体コンピュータHOSTから液晶表示装置のタイミングコンバータTCONへは、低電圧振幅差動信号である、所謂LVDSで信号伝送を行う。タイミングコンバータTCONからドレイン線駆動用の駆動回路チップへはCMOSレベルの信号で伝送を行うが、この場合、65MHzの画素クロックを供給することが困難なので、32.5MHzのクロックの立上がりと立下がりの両エッジに同期して表示データの伝送を行う。

#### 【0071】

ゲート線駆動用の駆動回路チップへは1水平時間毎に薄膜トランジスタTFTのゲート線に電圧を供給するように水平同期信号および表示タイミング信号(ディスプレイタイミング信号)に基づき、1水平時間周期のパルスを与える。1フレーム時間単位では第1ラ

50

イン目からの表示になるよう、垂直同期信号を基にフレーム開始指示信号も与える。

【0072】

電源回路の正極階調電圧生成回路と負極階調電圧生成回路は、同じ液晶に長時間同じ電圧が加わらないように、ある一定の時間毎に液晶に与える電圧を交流化するための基準電圧を生成する。実際の交流化は、ドレイン線駆動用の駆動回路チップ内で正極階調電圧と負極階調電圧を切り替えて使用することで行われる。なお、ここで言う交流化とは、対向電極電圧を基準に、ドレイン線駆動用の駆動回路チップへ与える電圧を一定時間毎に正電圧側／負電圧側に変化させることである。ここでは、この交流化の周期を1フレーム時間単位で行っている。

【0073】

この液晶表示パネルにCOG方式で駆動回路チップを上記した各実施例で説明した追加バンプを設けて異方性導電膜を介して絶縁基板（第1の基板SUB1）に実装することで、駆動回路チップの加熱圧着、あるいはフレキシブルプリント基板の加熱圧着に起因する残留応力が分散され、接続抵抗が安定化されて表示不良の発生が抑制された高画質の表示装置を提供することができる。

【0074】

図10は本発明に係る追加バンプを備えた駆動回路チップを実装した液晶表示パネルの平面図である。液晶表示パネルPNLは、アクティブ・マトリクス基板である第1の基板SUB1と通常はカラーフィルタを有するカラーフィルタ基板である第2の基板SUB2の貼り合わせ間隙に液晶層を封入して構成される。

【0075】

第1の基板SUB1は第2の基板SUB2よりも外形が若干大きく、第1の基板SUB1からはみ出した周辺に駆動回路チップ（ゲート線駆動用の駆動回路チップIC1、ドレイン線駆動用の駆動回路チップIC2）がフリップチップ実装方式で直接実装されている。これらの各駆動回路チップは、アクティブ素子として薄膜トランジスタを用いたものでは、薄膜トランジスタのゲート線の引出し配線に接続するゲート線駆動用の駆動回路チップ（ゲートドライバ）とドレイン線の引出し配線に接続するドレイン線駆動用の駆動回路チップ（ドレインドライバ）とからなる。

【0076】

そして、これら駆動回路チップに表示のための各種信号を供給するためのフレキシブルプリント基板FPC1とFPC2が配置されている。フレキシブルプリント基板FPC1とFPC2は、液晶表示パネルの近傍に設けたインターフェース基板PCBに接続している。インターフェース基板PCBは本体コンピュータなどの外部信号源からの表示信号を液晶表示装置のための表示信号に変換するためのタイミングコンバータ等、各種半導体回路チップやその他の電子回路素子が前記したように搭載されている。

【0077】

図10において、第1の基板SUB1の一縁（図では下縁、長手方向辺）にドレイン線駆動用の駆動回路チップ側のフレキシブルプリント基板FPC2が取り付けられ、その開口部HOPの配列に沿って液晶表示パネルPNLの裏側に折り込まれる。また、左縁（図では左縁、短手方向辺）にゲート線駆動用の駆動回路チップ側のフレキシブルプリント基板FPC1が取り付けられ、そのコネクタCT3とインターフェース基板PCBのコネクタCTR3およびドレイン線側のフレキシブルプリント基板FPC2のコネクタCT4と接続するコネクタCTR4とが結合される。

【0078】

また、インターフェース基板PCBには、ホストコンピュータなどの外部信号源からの信号を接続するインターフェースコネクタCT1、タイミングコンバータTCON等が取り付けられる。本構成例では、前記したようなLVDS方式のデータ伝送方式を採用しているが、この場合に必要となる受信側信号変換器（LVDS-R）はタイミングコンバータTCONと同一のチップで一体化する方法を採ることで、インターフェース基板上の実装面積を低減している。

10

20

30

40

50

## 【 0 0 7 9 】

なお、液晶表示パネル P N L の裏面側（第 1 の基板 S U B 1 の表面）と表示面側（第 2 の基板 S U B 2 の表面）には下偏光板および上偏光板が積層されている。図 1 0 では上偏光板 P O L 1 のみが図示されている。そして、上偏光板 P O L 1 の内方に表示領域 A R が形成される。

## 【 0 0 8 0 】

第 1 の基板 S U B 1 の左辺と下辺の周縁には前記アクティブ素子に表示データを供給する多数の引出し配線、およびフレキシブルプリント基板 F P C 1 と F P C 2 を介して外部から入力する表示のための各種信号を接続する多数の入力配線が形成されており、前記実施例で説明したように、上記駆動回路チップ I C 1 と I C 2 の各バンプを上記入力配線と出力配線に異方性導電膜を介して、F C A 実装で接続している。図中、F G P はフレームグラウンドパッド、F H L は位置合わせ穴である。

10

## 【図面の簡単な説明】

## 【 0 0 8 1 】

【図 1】液晶表示パネルの一方の基板の端縁に実装される本実施例の駆動回路チップ周りの配置構造例を模式的に説明する平面図である。

【図 2】本発明の実施例 1 を特徴付ける平面構造及び断面構造を、図 1 における絶縁基板主面に搭載された駆動回路チップの左側を部分的に拡大して示す平面図及び断面図である。

【図 3】本発明の実施例 2 を特徴付ける平面構造を、図 1 における絶縁基板主面に搭載された駆動回路チップの左側を部分的に拡大して示す平面図である。

20

【図 4】本発明の実施例 3 を特徴付ける平面構造を、図 1 における絶縁基板主面に搭載された駆動回路チップの左側を部分的に拡大して示す平面図である。

【図 5】図 1 に示した駆動回路チップの右側短辺に対応する入出力配線と駆動回路チップの一実装例の要部を拡大した平面図である。

【図 6】図 1 に示した駆動回路チップの右側短辺に対応する入出力配線と駆動回路チップの他の実装例の要部を拡大した平面図である。

【図 7】本発明を液晶表示装置に適用した場合の絶縁基板への駆動回路チップを含む各部材の実装状態を説明する要部斜視図である。

【図 8】液晶表示装置の等価回路例を示すブロック図である。

30

【図 9】アクティブ・マトリクス型の液晶表示装置における駆動回路の構成例を説明するブロック図である。

【図 1 0】本発明に係る追加バンプを備えた駆動回路チップを実装した液晶表示パネルの平面図である。

【図 1 1】液晶表示パネルの一方の基板の端縁に実装される駆動回路チップ周りの配置構造例を模式的に説明する平面図である。

【図 1 2】図 1 1 に示した駆動回路電源入力用配線にフレキシブルプリント基板を実装した状態を示す平面図である。

【図 1 3】実装した駆動回路チップの圧着面における残留応力の説明図である。

【図 1 4】本発明の実施例 1 の一変形を特徴付ける平面構造及び断面構造を、図 1 における絶縁基板主面に搭載された駆動回路チップの左側を部分的に拡大して示す平面図及び断面図である。

40

## 【符号の説明】

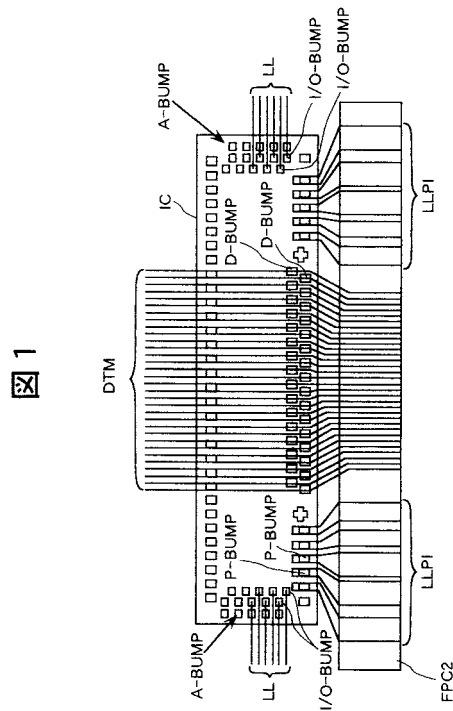
## 【 0 0 8 2 】

I C ・ ・ ・ 駆動回路チップ、I / O - B U M P ・ ・ ・ 第 1 入出力バンプ I / O - B U M P 、 A - B U M P ・ ・ ・ 第 2 入出力バンプ、D T M ・ ・ ・ ドレイン端子、D - B U M P ・ ・ ・ データ出力バンプ、P - B U M P ・ ・ ・ 電源入力バンプ、L L ・ ・ ・ 入出力配線、L L T ・ ・ ・ 入出力端子部（L C D 端子）、E G L ・ ・ ・ チップ端、F P C 1 , F P C 2 ・ ・ ・ フレキシブルプリント基板、L L P I ・ ・ ・ 電源配線、S U B 1 ・ ・ ・ 第 1 の基板、S U B 2 ・ ・ ・ 第 2 の基板。

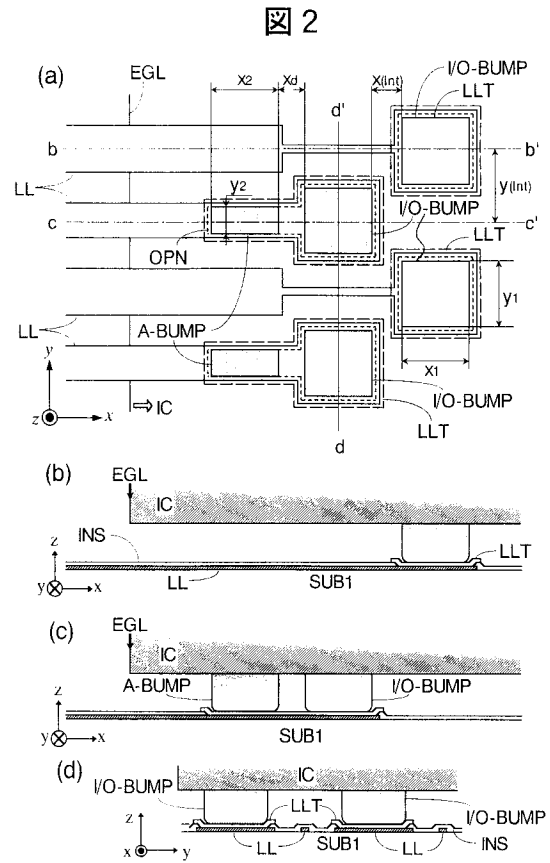
50



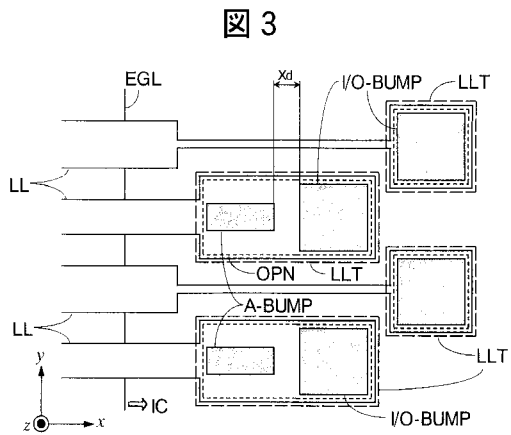
【図 1】



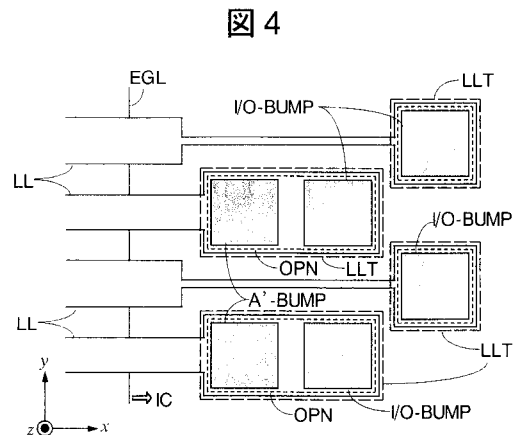
【図 2】



【図 3】



【図 4】



【図 5】

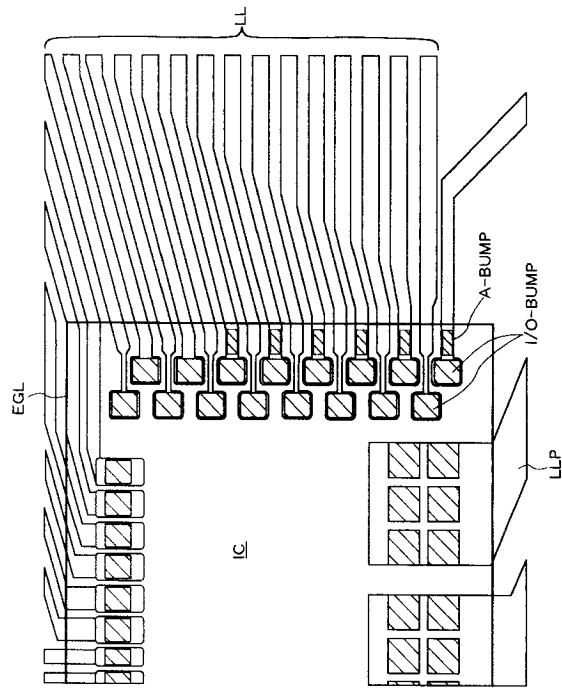


図 5

【図 6】

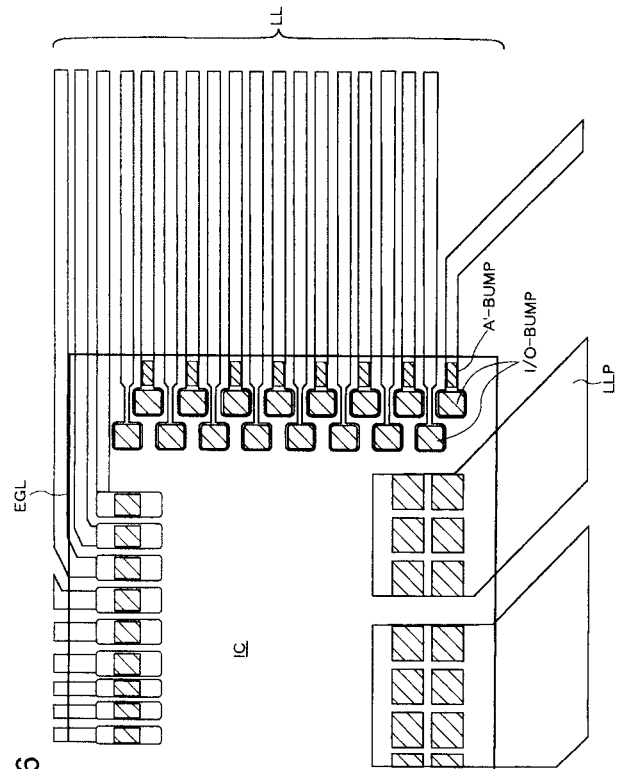
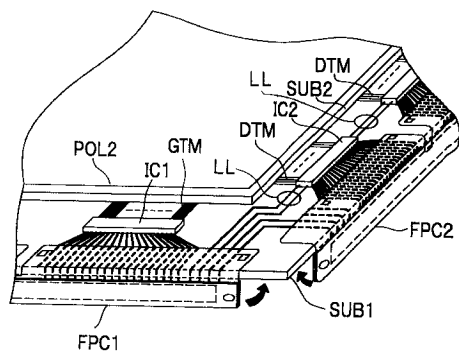


図 6

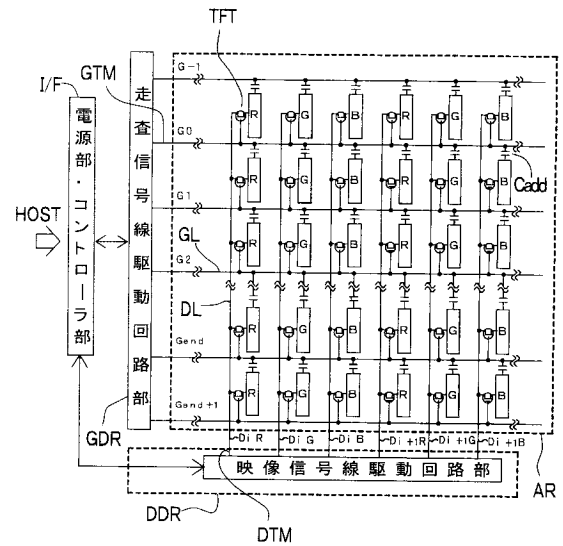
【図 7】

図 7



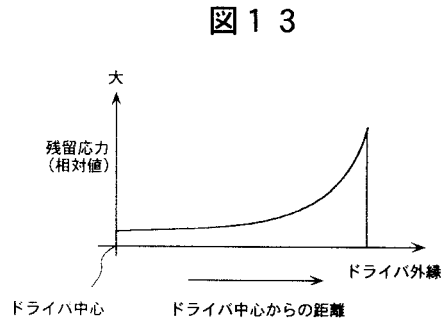
【図 8】

図 8

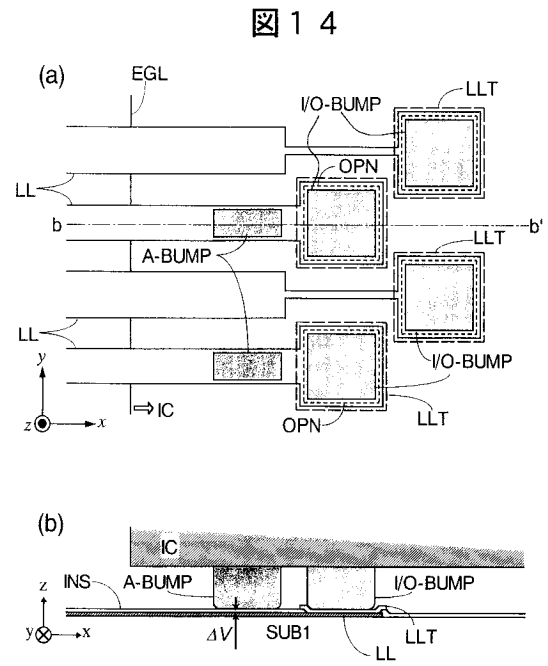




【図 13】



【図 14】



---

フロントページの続き

F ターム(参考) 5F044 KK06 KK12 LL09  
5G435 AA06 BB12 EE32 EE37 EE42

【要約の続き】

专利名称(译)	表示装置		
公开(公告)号	<a href="#">JP2005062582A</a>	公开(公告)日	2005-03-10
申请号	JP2003294089	申请日	2003-08-18
[标]申请(专利权)人(译)	株式会社日立制作所		
申请(专利权)人(译)	日立显示器有限公司		
[标]发明人	竹中雄一 中山貴徳		
发明人	竹中 雄一 中山 貴徳		
IPC分类号	G02F1/1345 G02F1/13 G02F1/133 G09F9/00 G09G3/36 G09G5/00 H01L21/60 H01L23/498 H01L51/50 H05B33/06 H05B33/14		
CPC分类号	G02F1/13452 H01L23/49816 H01L23/49838 H01L24/83 H01L2224/13144 H01L2224/16 H01L2224/17515 H01L2224/2929 H01L2224/293 H01L2224/83851 H01L2924/00011 H01L2924/14 H01L2224/29075 H01L2924/00014 H01L2924/00		
FI分类号	G09F9/00.348.Z G02F1/1345 H01L21/60.311.S H05B33/06 H05B33/14.A		
F-TERM分类号	2H092/GA48 2H092/GA50 2H092/JB56 2H092/MA32 2H092/NA15 2H092/NA18 2H092/NA29 2H092/PA06 2H092/PA11 3K007/AB11 3K007/AB18 3K007/BA06 3K007/BB07 3K007/CC05 3K007/DB03 3K007/FA02 5F044/KK06 5F044/KK12 5F044/LL09 5G435/AA06 5G435/BB12 5G435/EE32 5G435/EE37 5G435/EE42 3K107/AA01 3K107/BB01 3K107/CC31 3K107/DD38 3K107/DD39 3K107/DD47Z 3K107/EE03 3K107/EE58		
代理人(译)	小野寺杨枝		
外部链接	<a href="#">Espacenet</a>		

#### 摘要(译)

解决的问题：稳定设置在绝缘基板上的LCD端子与驱动电路芯片的凸块之间的连接电阻，并防止驱动电路芯片由于残余应力而从绝缘基板上剥离。 解决方案：在驱动电路芯片IC的安装表面上提供的第一输入/输出凸块I/O-BUMP的驱动电路芯片的边缘EGL侧提供第二输入/输出凸块A-BUMP，并提供绝缘基板。 施加于各向异性导电膜的应力被缓和，该各向异性导电膜将形成的输入/输出配线LL的输入/输出配线端子部LLT与第一输入/输出凸点I/O-BUMP接合。 由于第一输入/输出凸块I/O-BUMP与驱动电路芯片IC的边缘EGL分开第二输入/输出凸块A-BUMP提供的量，因此显示了与输入/输出接线端子部分LLT的接合部分。 该装置与装置的大气隔离，抑制了接头的损坏和在接头处由于该损坏而产生的驱动信号波形的失真，并且还避免了由于电解腐蚀等导致的输入/输出布线LL的损坏。 [选型图]图1

