

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-38909

(P2005-38909A)

(43) 公開日 平成17年2月10日(2005.2.10)

(51) Int. Cl. ⁷	F I	テーマコード (参考)
HO 1 L 21/8247	HO 1 L 27/10 4 3 4	2H092
GO 2 F 1/133	GO 2 F 1/133 5 0 5	2H093
GO 2 F 1/1343	GO 2 F 1/1343	5B025
G 1 1 C 16/02	HO 1 L 27/10 4 8 1	5F083
G 1 1 C 16/06	G 1 1 C 17/00 6 3 3 D	5F101

審査請求 未請求 請求項の数 12 O L (全 36 頁) 最終頁に続く

(21) 出願番号	特願2003-197409 (P2003-197409)	(71) 出願人	599174214 舩岡 富士雄 宮城県仙台市青葉区東勝山2-33-18
(22) 出願日	平成15年7月15日 (2003.7.15)	(71) 出願人	000005049 シャープ株式会社 大阪府大阪市阿倍野区長池町22番22号
		(74) 代理人	100065248 弁理士 野河 信太郎
		(72) 発明者	舩岡 富士雄 宮城県仙台市青葉区東勝山2-33-18
		(72) 発明者	桜庭 弘 宮城県仙台市青葉区上杉5-8-18-303
		(72) 発明者	松岡 史宜 宮城県仙台市太白区松が丘38-4

最終頁に続く

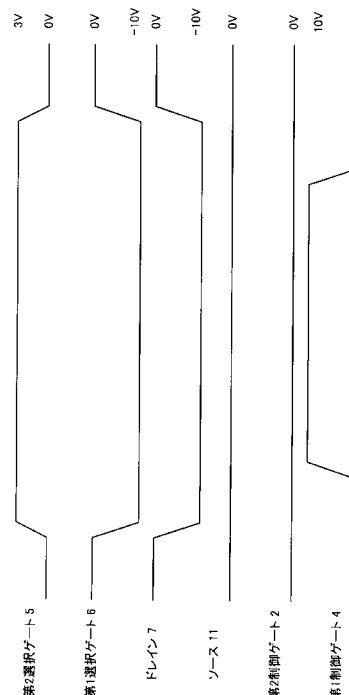
(54) 【発明の名称】 不揮発性メモリ素子の駆動方法、半導体記憶装置及びそれを備えてなる液晶表示装置

(57) 【要約】 (修正有)

【課題】メモリセルの小型化と大容量化のために、不揮発性メモリ素子の構造を複雑にすることなく書き込み電圧の絶対値を小さくできる素子の駆動方法を提供する。

【解決手段】メモリセルと半導体基板との間に形成される第1絶縁層及び第1選択ゲートを有する第1選択トランジスタと、メモリセルとドレイン拡散層との間に形成される第2絶縁層及び第2選択ゲートを有する第2選択トランジスタとを備え、ドレインと第1選択ゲートに負の第1電圧を印加し、第2選択ゲートに正の第2電圧を印加し、ソースに0または正の第3電圧を印加する工程と、電荷を注入するメモリセルの制御ゲートに第2電圧よりも大きい正の第4電圧を印加する工程を備え、これによって制御ゲートに高電圧を印加することなく電荷蓄積層に電荷を注入することを特徴とする。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

半導体基板と、半導体基板上に形成された少なくとも1つの島状半導体層と、前記島状半導体層の側壁部の周囲の全部または一部に形成され電荷蓄積層及び制御ゲートを有する少なくとも1つのメモリセルと、メモリセルと半導体基板との間に形成され第1絶縁層及び第1選択ゲートを有する第1選択トランジスタと、メモリセルと第1選択トランジスタを含む島状半導体層と半導体基板の間に形成されその2つを電氣的に絶縁するソースを構成するソース拡散層と、メモリセルを介してソース拡散層と反対側の島状半導体層の端に形成されドレインを構成するドレイン拡散層と、メモリセルとドレイン拡散層との間に形成され第2絶縁層及び第2選択ゲートを有する第2選択トランジスタとを備える不揮発性メモリ素子において、ドレインと第1選択ゲートに負の第1電圧を印加し、第2選択ゲートに正の第2電圧を印加し、ソースに0または正の第3電圧を印加する工程と、電荷を注入するメモリセルの制御ゲートに第2電圧よりも大きい正の第4電圧を印加する工程を備え、これによって電荷蓄積層に電荷を注入することを特徴とする不揮発性メモリ素子の駆動方法。

10

【請求項 2】

ドレインに正の第5電圧を、第2選択ゲートと電荷を放出するメモリセルの制御ゲートに第5電圧よりも大きい正の第6電圧を印加し、ソースと第1選択ゲートに0または正の第7電圧を印加するプリチャージ工程と、プリチャージ工程の後に前記制御ゲートに負の第8電圧を印加する電荷放出工程をさらに備え、これによって電荷蓄積層から電荷を放出することを特徴とする請求項1記載の不揮発性メモリ素子の駆動方法。

20

【請求項 3】

ソースに正の第5電圧を、第1選択ゲートと電荷を放出するメモリセルの制御ゲートに第5電圧よりも大きい正の第6電圧を印加し、ドレインと第2選択ゲートに0または正の第7電圧を印加するプリチャージ工程と、プリチャージ工程の後に前記制御ゲートに負の第8電圧を印加する電荷放出工程をさらに備え、これによって電荷蓄積層から電荷を放出することを特徴とする請求項1記載の不揮発性メモリ素子の駆動方法。

【請求項 4】

ドレインとソースに正の第5電圧を印加し、第1選択ゲート、第2選択ゲートと電荷を放出するメモリセルの制御ゲートに第5電圧よりも大きい正の第6電圧を印加するプリチャージ工程と、プリチャージ工程の後に前記制御ゲートに負の第7電圧を印加する電荷放出工程をさらに備え、これによって電荷蓄積層から電荷を放出することを特徴とする請求項1記載の不揮発性メモリ素子の駆動方法。

30

【請求項 5】

半導体基板と、半導体基板上に形成された少なくとも1つの島状半導体層と、前記島状半導体層の側壁部の周囲の全部または一部に形成され電荷蓄積層及び制御ゲートを有する少なくとも1つのメモリセルと、メモリセルと半導体基板との間に形成され絶縁層及び選択ゲートを有する選択トランジスタと、メモリセルと選択トランジスタを含む島状半導体層と半導体基板の間に形成されその2つを電氣的に絶縁するソースを形成する拡散層と、メモリセルを介してソース拡散層と反対側の島状半導体層の端に形成されるドレインを形成する拡散層を備える不揮発性メモリ素子において、ドレイン拡散層と選択ゲートに負の第1電圧を印加し、ソース拡散層に0または正の第2電圧を印加する工程と、メモリセルの制御ゲートに正の第3電圧を印加する工程を備え、これによって電荷蓄積層に電荷を注入することを特徴とする不揮発性メモリ素子の駆動方法。

40

【請求項 6】

ドレイン拡散層に正の第4電圧を、メモリセルの制御ゲートに第4電圧よりも大きい正の第5電圧を印加し、ソース拡散層と選択ゲートに0または正の第6電圧を印加するプリチャージ工程と、プリチャージ工程の後に前記制御ゲートに負の第7電圧を印加する電荷放出工程をさらに備え、これによって電荷蓄積層から電荷を放出することを特徴とする請求項5記載の不揮発性メモリ素子の駆動方法。

50

【請求項 7】

ドレイン拡散層とソース拡散層に正の第 4 電圧を印加し、選択ゲートとメモリセルの制御ゲートに第 4 電圧よりも大きい正の第 5 電圧を印加するプリチャージ工程と、プリチャージ工程の後に前記制御ゲートに負の第 6 電圧を印加する電荷放出工程をさらに備え、これによって電荷蓄積層から電荷を放出することを特徴とする請求項 5 記載の不揮発性メモリ素子の駆動方法。

【請求項 8】

半導体基板と、半導体基板上に形成された少なくとも 1 つの島状半導体層と、前記島状半導体層の側壁部の周囲の全部または一部に形成され電荷蓄積層及び制御ゲートを有する少なくとも 1 つのメモリセルと、メモリセルと半導体基板との間に形成され第 1 絶縁層及び第 1 選択ゲートを有する第 1 選択トランジスタと、メモリセルと第 1 選択トランジスタを含む島状半導体層と半導体基板の間に形成されその 2 つを電氣的に絶縁するソースを構成するソース拡散層と、メモリセルを介してソース拡散層と反対側の島状半導体層の端に形成されドレインを構成するドレイン拡散層と、メモリセルとドレイン拡散層との間に形成され第 2 絶縁層及び第 2 選択ゲートを有する第 2 選択トランジスタとを有する不揮発性メモリ素子と、制御ゲートに印加する電圧を発生する第 1 電圧発生部と、第 1 選択ゲートに印加する電圧を発生する第 2 電圧発生部と、ドレインに印加する電圧を発生する第 3 電圧発生部と、ソースに印加する電圧を発生する第 4 電圧発生部と、第 2 選択ゲートに印加する電圧を発生する第 5 電圧発生部と、第 1 ~ 第 5 電圧発生部が発生する電圧とタイミングを制御する状態制御部とを備え、状態制御部は、第 2 電圧発生部と第 3 電圧発生部が負の第 1 電圧を発生して第 1 選択ゲートとドレインに印加し、第 5 電圧発生部が正の第 2 電圧を発生して第 2 選択ゲートに印加し、第 4 電圧発生部が 0 または正の第 3 電圧を発生してソースに印加し、第 1 電圧発生部が第 2 電圧よりも大きい正の第 4 電圧を発生して電荷を注入するメモリセルの制御ゲートに印加して電荷蓄積層に電荷を注入するように第 1 ~ 第 5 電圧発生部を制御することを特徴とする半導体記憶装置。

10

20

【請求項 9】

状態制御部は、第 3 電圧発生部が正の第 5 電圧を発生してドレインに印加し、第 5 電圧発生部と第 1 電圧発生部が第 5 電圧よりも大きい正の第 6 電圧を発生して第 2 選択ゲートと電荷を放出するメモリセルの制御ゲートに印加し、第 4 電圧発生部と第 2 電圧発生部が 0 または正の第 7 電圧を発生してソースと第 1 選択ゲートに印加した後に、前記第 1 電圧発生部が負の第 8 電圧を発生して前記制御ゲートに印加して電荷蓄積層から電荷を放出するように第 1 ~ 第 5 電圧発生部を制御することを特徴とする請求項 8 記載の半導体記憶装置。

30

【請求項 10】

状態制御部は、第 4 電圧発生部が正の第 5 電圧を発生してソースに印加し、第 2 電圧発生部と第 1 電圧発生部が第 5 電圧よりも大きい正の第 6 電圧を発生して第 1 選択ゲートと電荷を放出するメモリセルの制御ゲートに印加し、第 3 電圧発生部と第 5 電圧発生部が 0 または正の第 7 電圧を発生してドレインと第 2 選択ゲートに印加した後に、前記第 1 電圧発生部が負の第 8 電圧を発生して前記制御ゲートに印加して電荷蓄積層から電荷を放出するようにさらに第 1 ~ 第 5 電圧発生部を制御することを特徴とする請求項 8 記載の半導体記憶装置。

40

【請求項 11】

状態制御部は、第 3 電圧発生部と第 4 電圧発生部が正の第 5 電圧を発生してドレインとソースに印加し、第 2 電圧発生部、第 5 電圧発生部と第 1 電圧発生部とは第 5 電圧よりも大きい正の第 6 電圧を発生して第 1 選択ゲート、第 2 選択ゲートと電荷を放出するメモリセルの制御ゲートに印加した後に、前記第 1 電圧発生部が負の第 7 電圧を発生して前記制御ゲートに印加して電荷蓄積層から電荷を放出するようにさらに第 1 ~ 第 5 電圧発生部を制御することを特徴とする請求項 8 記載の半導体記憶装置。

【請求項 12】

請求項 8 ~ 11 記載の何れか 1 つに記載の半導体記憶装置を備えてなる液晶表示装置。

50

【発明の詳細な説明】

【発明の属する技術分野】

この発明は、不揮発性メモリ素子の駆動方法、半導体記憶装置およびそれを備えてなる液晶表示装置に関するものである。

【0001】

【従来の技術】

制御ゲートと電荷蓄積層を有するフラッシュメモリのメモリセルにおいて、F Nトンネル電流を利用して電荷蓄積層への電荷の注入、電荷蓄積層からの電荷の放出を行うM O Sトランジスタ構造のものが公知となっている。この電荷蓄積層の電荷蓄積状態の相違によるしきい値電圧の相違をデータ“0”、“1”として記憶する。例えば、電荷蓄積層に浮遊ゲートを用いたNチャネルのメモリセルの場合、浮遊ゲートに電荷を注入するには、制御ゲートに高電圧を与え、ドレイン拡散層と、ソース拡散層と、半導体基板とを接地する。このとき、基板側からF Nトンネル電流によって浮遊ゲートに電荷が注入される。この電荷注入によりメモリセルのしきい値電圧は正方向に移動する。一方、浮遊ゲートから電荷を放出する場合、制御ゲートに負電圧を与え、ドレイン、ソース拡散層と基板を接地する。このとき、浮遊ゲートからF Nトンネル電流によって基板側へ電荷が放出される。この電荷放出によりメモリセルのしきい値電圧は負方向へ移動する。

10

【0002】

以上の動作において、電荷注入と放出、すなわち書き込みと消去とを効率良く行うためには、浮遊ゲートと制御ゲート及び浮遊ゲートと基板との間の容量結合比（一般にカップリングレシオという）の関係が重要である。すなわち浮遊ゲートと制御ゲートとの間の容量が大きいほど、制御ゲートの電位を効果的に浮遊ゲートに伝達することができ、書き込み、消去が容易になる。

20

【0003】

しかし、近年の半導体技術の進歩、特に微細加工技術の進歩により、不揮発性メモリ素子のメモリセルの小型化と大容量化とが急速に進んでいる。したがってメモリセル面積を小さくし、かつ浮遊ゲートと制御ゲートとの間の容量をいかに大きく確保するかが重要な問題となっている。浮遊ゲートと制御ゲートとの間の容量を大きくするためには、これらの間のゲート絶縁膜を薄くするか、その誘電率を大きくするか、又は浮遊ゲートと制御ゲートの対向面積を大きくすることが必要である。しかし、ゲート絶縁膜を薄くすることは、信頼性上限界がある。また、ゲート絶縁膜の誘電率を大きくすることは、例えば、シリコン酸化膜に代ってシリコン窒化膜等を用いることが考えられるが、これも主として信頼性上問題があって実用的でない。したがって十分な容量を確保するためには、浮遊ゲートと制御ゲートとのオーバーラップ面積を一定値以上確保することが必要となるが、これは、メモリセルの面積を小さくして不揮発性メモリ素子の大容量化を図ることとは相反することとなる。

30

【0004】

これに対して、図7に示すような不揮発性メモリ素子が知られている（例えば、特許文献1参照）。図7に示される不揮発性メモリ素子では島状に形成された複数の島状半導体層12あるいは半導体基板に格子縞状の溝により分離されてマトリクス配列された複数の島状半導体層12の側壁を利用してメモリセルが構成される。各島状半導体層12には、メモリセルが2つ形成され、その上下に選択トランジスタが配置されている。メモリセルは、各島状半導体層の上面に形成されてドレインを形成するドレイン拡散層7、前記溝底部に形成されてソースを形成する共通ソース拡散層11及び各島状半導体層の側壁の周囲全体を取り囲む電荷蓄積層1、3と制御ゲート2、4とにより構成される。一方向の複数の島状半導体層について連続的に配設された制御ゲートが接続された制御ゲート線が形成され、また、制御ゲート線と交差する方向に複数の不揮発性メモリ素子のドレイン拡散層が接続されてビット線が形成されている。

40

【0005】

図7に示されるようなメモリセル構成において、メモリセルが過消去の状態（読み出し電

50

位が0Vであって、しきい値が負)になった場合でも、非選択セルに電流が流れないようにするために、メモリセルに直列に接続され、島状半導体層の上部にその周囲の少なくとも一部を取り囲むように選択ゲート電極5、6が形成された選択トランジスタが設けられている。このことにより前記の問題は確実に防止することができる。

いま、図7に示すように、1つの島状半導体層に複数のメモリセルを直列に接続して構成した不揮発性メモリ素子において、各メモリセルのしきい値電圧が同じであるとする。このメモリセルの各制御ゲート線(CG)に順次読み出し電位を与え、電流の有無により"0"、"1"判別を行う読み出し動作を考える。この際、一つの半導体層上で直列に接続されたメモリセルにおいて、半導体層に流れる電流が半導体層の抵抗成分によって電位差を生じると、それに起因して各メモリセルのしきい値電圧が不均一になる現象(バックバイアス効果)が起こりえる。この現象の影響を受けると、直列に接続するメモリセルの個数が制約され、大容量化の障害となる。また、バックバイアス効果は、1つの島状半導体層に複数のデバイスに直列に接続する構成のみならず、1つの島状半導体層に1つのメモリセルが形成されている場合においても影響が起こりえる。すなわち、半導体基板上的位置によってバックバイアス効果にばらつきがある場合も、各メモリセルのしきい値電圧が不均一になり得る。このように、メモリセルの配置場所により閾値電圧が不均一であると、メモリセルへの書き込み/消去/読み出し電圧等が不均一になるために、メモリ素子の特性ばらつきと同様の悪影響をもたらす。

10

【0006】

そこで、この基板のバックバイアス効果の問題を解決するために、島状半導体層と半導体基板が電氣的に絶縁されるよう構成するさらに改善された方法が知られている(例えば、特許文献2参照)。こうすることによって、島状半導体層と半導体基板が電氣的に絶縁される。従って、バックバイアス効果による影響が低減され、集積度が向上し、メモリセルの占有面積を増加させずに浮遊ゲートと制御ゲートとの容量の比をより一層増大させるとともに、製造プロセスに起因するセル特性のばらつきが抑制された不揮発性メモリ素子が提供される。

20

また別の観点から、フラッシュメモリセルの電荷蓄積層への電荷の注入(書き込み動作)時にメモリセルの制御ゲートやドレイン、ソース等に印加する電圧は、できるだけ低いことが望ましい。低電圧動作が可能であれば、メモリセルの動作に係るデコーダ回路のトランジスタも耐圧やドライブ電流を確保するためにゲート幅/長を大きくする必要がない。更に、書き込み動作時の印加電圧が低いと、チップ内部に昇圧回路がある場合にはその昇圧回路も小型化できる。従って、デコーダトランジスタや昇圧回路の小型化が可能になり、チップ面積を小さくすることができる。

30

【0007】

デコーダのトランジスタのゲート幅/長を小さくする方法の1つとして、ドレインに負電圧を印加することによって制御ゲートとチャネルの電位差を確保しながら制御ゲートに印加する電圧の絶対値を小さくする手法がある。しかし、従来構造のフラッシュメモリセルでは、ドレインに負電圧を印加するとP型半導体基板(接地)との間が順方向バイアスになって過度の電流が流れるため、単純に負電圧を印加することは出来ない。このために、メモリセル部分をトリプルウェル構造、即ちP型半導体基板中にN-ウェル層を形成し、メモリセル部分をこのN-ウェル層内に形成して半導体基板と電氣的に分離する構造にする回避策が知られている。しかし、この手法は、製造プロセスが複雑になるという欠点がある。

40

【特許文献1】

特開平4-79369号公報

【特許文献2】

特開2002-57231号公報

【0008】

【発明が解決しようとする課題】

メモリセルの小型化と大容量化のためには前記の島状半導体層に形成された不揮発性メモ

50

リ素子においてもメモリセルの制御ゲートやドレイン拡散層、ソース拡散層等に印加する電圧は、できるだけ低いことが望ましい。このため、ドレイン拡散層に負電圧を印加して制御ゲートとチャンネルの電位差を確保しながら制御ゲートに印加する電圧の絶対値を小さくすることが好ましい。しかし、図7に示す従来構造の素子において、ドレイン拡散層に負電圧を印加すると、P型半導体層12(接地)との間が順方向バイアスになってしまうため、単純に負電圧は印加できない。メモリセル部分をトリプルウェル構造にする回避策も考えられるが、実際にP型半導体層12の下部にトリプルウェル構造を作るのは、従来構造のフラッシュメモリセルにも増して製造プロセスが複雑になる。この発明はこのような事情を考慮してなされたもので、島状半導体層に形成され、バックバイアス効果の影響を低減する構造を有する不揮発性メモリ素子の駆動方法に係る発明である。より詳細には、前記メモリ素子が備える選択トランジスタを制御することにより、不揮発性メモリ素子の構造を複雑にすることなく書き込み電圧の絶対値を小さくできる前記素子の駆動方法を提供するものである。

10

【0009】

【課題を解決するための手段】

この発明の不揮発性メモリ素子の駆動方法は、半導体基板と、半導体基板上に形成された少なくとも1つの島状半導体層と、前記島状半導体層の側壁部の周囲の全部または一部に形成され電荷蓄積層及び制御ゲートを有する少なくとも1つのメモリセルと、メモリセルと半導体基板との間に形成され第1絶縁層及び第1選択ゲートを有する第1選択トランジスタと、メモリセルと第1選択トランジスタを含む島状半導体層と半導体基板の間に形成されその2つを電氣的に絶縁するソースを構成するソース拡散層と、メモリセルを介してソース拡散層と反対側の島状半導体層の端に形成されドレインを構成するドレイン拡散層と、メモリセルとドレイン拡散層との間に形成され第2絶縁層及び第2選択ゲートを有する第2選択トランジスタとを備える不揮発性メモリ素子において、ドレインと第1選択ゲートに負の第1電圧を印加し、第2選択ゲートに正の第2電圧を印加し、ソースに0または正の第3電圧を印加する工程と、電荷を注入するメモリセルの制御ゲートに第2電圧よりも大きい正の第4電圧を印加する工程を備えることを特徴とする。

20

【0010】

この発明によれば、不揮発性メモリ素子の電荷蓄積層に電荷を注入する書き込み動作のために、ソースに0または正の第3電圧を印加し、第1選択ゲートに負の第1電圧を印加しながらドレインに負の第1電圧を印加するので、製造プロセスが複雑なトリプルウェル構造を必要とせずドレインに過度の電流が流れるのを阻止し、また、制御ゲートに高電圧を印加することなく電荷蓄積層に電荷を注入することができる。従って、デコーダやチップ内部の昇圧回路のトランジスタのゲート幅や長さを小さくすることができ、その結果チップ面積を小さくすることができる。

30

【0011】

【発明の実施の形態】

この発明に係る不揮発性メモリ素子は主として、半導体基板と、半導体基板上に形成された少なくとも1つの島状半導体層と、前記島状半導体層の側壁部の周囲の全部または一部に形成され電荷蓄積層及び制御ゲートを有する少なくとも1つのメモリセルと、メモリセルと半導体基板との間に形成され第1絶縁層及び第1選択ゲートを有する第1選択トランジスタと、メモリセルと第1選択トランジスタを含む島状半導体層と半導体基板の間に形成されその2つを電氣的に絶縁するソースを構成するソース拡散層と、メモリセルを介してソース拡散層と反対側の島状半導体層の端に形成されドレインを構成するドレイン拡散層と、メモリセルとドレイン拡散層との間に形成され第2絶縁層及び第2選択ゲートを有する第2選択トランジスタとを備える。

40

この発明の不揮発性メモリ素子の駆動方法は、ドレインに正の第5電圧を、第2選択ゲートと電荷を放出するメモリセルの制御ゲートに第5電圧よりも大きい正の第6電圧を印加し、ソースと第1選択ゲートに0または正の第7電圧を印加するプリチャージ工程と、プリチャージ工程の後に前記制御ゲートに負の第8電圧を印加する電荷放出工程をさらに備

50

えていてもよい。これによって制御ゲートに高電圧を印加することなく電荷蓄積層から電荷を放出することができる。

【0012】

あるいは、この発明の不揮発性メモリ素子の駆動方法は、ソースに正の第5電圧を、第1選択ゲートと電荷を放出するメモリセルの制御ゲートに第5電圧よりも大きい正の第6電圧を印加し、ドレインと第2選択ゲートに0または正の第7電圧を印加するプリチャージ工程と、プリチャージ工程の後に前記制御ゲートに負の第8電圧を印加する電荷放出工程をさらに備えていてもよい。これによって制御ゲートに高電圧を印加することなく電荷蓄積層から電荷を放出することができる。

【0013】

あるいは、この発明の不揮発性メモリ素子の駆動方法は、ドレインとソースに第5の正電圧を印加し、第1選択ゲート、第2選択ゲートと電荷を放出するメモリセルの制御ゲートに第5の正電圧よりも大きい第6の正電圧を印加するプリチャージ工程と、プリチャージ工程の後に前記制御ゲートに負の第7電圧を印加する電荷放出工程をさらに備えていてもよい。これによって、制御ゲートに高電圧を印加することなく、より短い時間で電荷蓄積層から電荷を放出することができる。

【0014】

また、この発明の不揮発性メモリ素子の駆動方法は、半導体基板と、半導体基板上に形成された少なくとも1つの島状半導体層と、前記島状半導体層の側壁部の周囲の全部または一部に形成され電荷蓄積層及び制御ゲートを有する少なくとも1つのメモリセルと、メモリセルと半導体基板との間に形成され絶縁層及びゲートを有する選択トランジスタと、メモリセルと選択トランジスタを含む島状半導体層と半導体基板の間に形成されその2つを電気的に絶縁するソースを形成する拡散層と、メモリセルを介してソース拡散層と反対側の島状半導体層の端に形成されるドレインを形成する拡散層を備える不揮発性メモリ素子において、ドレイン拡散層と選択ゲートに負の第1電圧を印加し、ソース拡散層に0または正の第2電圧を印加する工程と、メモリセルの制御ゲートに正の第3電圧を印加する工程を備え、これによって電荷蓄積層に電荷を注入することを特徴とする。

【0015】

この発明によれば、不揮発性メモリ素子の電荷蓄積層に電荷を注入する書き込み動作のために、ソースに0または正の第3電圧を印加し、第1選択ゲートに負の第1電圧を印加しながらドレインに負の第1電圧を印加するので、製造プロセスが複雑なトリプルウェル構造を必要とせずドレインに過度の電流が流れるのを阻止し、また、制御ゲートに高電圧を印加することなく電荷蓄積層に電荷を注入することができる。従って、デコーダトランジスタやチップ内部の昇圧回路を小型化することができ、その結果チップ面積を小さくすることができる。

【0016】

あるいは、この発明の不揮発性メモリ素子の駆動方法は、ドレイン拡散層に正の第4電圧を、メモリセルの制御ゲートに第4電圧よりも大きい正の第5電圧を印加し、ソース拡散層と選択ゲートに0または正の第6電圧を印加するプリチャージ工程と、プリチャージ工程の後に前記制御ゲートに負の第7電圧を印加する電荷放出工程をさらに備えていてもよい。これによって、制御ゲートに高電圧を印加することなく電荷蓄積層から電荷を放出することができる。

【0017】

あるいは、この発明の不揮発性メモリ素子の駆動方法は、ドレイン拡散層とソース拡散層に正の第4電圧を印加し、選択ゲートとメモリセルの制御ゲートに第4電圧よりも大きい正の第5電圧を印加するプリチャージ工程と、プリチャージ工程の後に前記制御ゲートに負の第6電圧を印加する電荷放出工程をさらに備えていてもよい。これによって、制御ゲートに高電圧を印加することなく、より短い時間で電荷蓄積層から電荷を放出することができる。

【0018】

10

20

30

40

50

また、この発明の半導体記憶装置は、半導体基板と、半導体基板上に形成された少なくとも1つの島状半導体層と、前記島状半導体層の側壁部の周囲の全部または一部に形成され電荷蓄積層及び制御ゲートを有する少なくとも1つのメモリセルと、メモリセルと半導体基板との間に形成され第1絶縁層及び第1選択ゲートを有する第1選択トランジスタと、メモリセルと第1選択トランジスタを含む島状半導体層と半導体基板の間に形成されその2つを電氣的に絶縁するソースを構成するソース拡散層と、メモリセルを介してソース拡散層と反対側の島状半導体層の端に形成されドレインを構成するドレイン拡散層と、メモリセルとドレイン拡散層との間に形成され第2絶縁層及び第2選択ゲートを有する第2選択トランジスタとを有する不揮発性メモリ素子と、制御ゲートに印加する各電圧を発生する第1電圧発生部と、第1選択ゲートに印加する各電圧を発生する第2電圧発生部と、ドレインに印加する各電圧を発生する第3電圧発生部と、ソースに印加する各電圧を発生する第4電圧発生部と、第2選択ゲートに印加する各電圧を発生する第5電圧発生部と、第1～第5電圧発生部が発生する電圧とタイミングを制御する状態制御部とを備え、状態制御部は、第2電圧発生部と第3電圧発生部が負の第1電圧を発生して第1選択ゲートとドレインに印加し、第5電圧発生部が正の第2電圧を発生して第2選択ゲートに印加し、第4電圧発生部が0または正の第3電圧を発生してソースに印加し、第1電圧発生部が第2電圧よりも大きい正の第4電圧を発生して制御ゲートに印加するようにして電荷を注入するメモリセルの制御ゲートに印加して電荷蓄積層に電荷を注入するように制御する。これによってソースに0または正の第3電圧を印加し、第1選択ゲートに負の第1電圧を印加しながらドレインに負の第1電圧を印加するので、製造プロセスが複雑なトリプルウェル構造を必要とせずドレインに過度の電流が流れるのを阻止し、また、制御ゲートに高電圧を印加することなく電荷蓄積層に電荷を注入することができる。従って、デコーダやチップ内部の昇圧回路のトランジスタのゲート幅や長さを小さくすることができ、その結果チップ面積を小さくすることができる。

10

20

30

40

50

【0019】

ここで、各電圧発生部が発生する電圧は、例えば、半導体記憶装置に与えられる電源電圧から公知のチャージ・ポンプ回路を用いて正または負の電圧を生成することができる。そして、スイッチ手段を備えることにより、生成された各電圧を必要なタイミングで各端子に印加するように構成することができる。状態制御部は、半導体記憶装置の外部から与えられる制御情報に応じて、半導体記憶装置の内部に発生させるべき信号や電圧とそのタイミングを制御するものである。状態制御部は所定のプログラムを備えたマイクロコントローラで構成してもよく、あるいは論理回路で構成してもよい。状態制御部は、例えば前記のチャージ・ポンプ回路やスイッチ手段を制御することによって電圧を所定のタイミングで発生する。

【0020】

あるいは、この発明の半導体記憶装置は、状態制御部が、第3電圧発生部が正の第5電圧を発生してドレインに印加し、第5電圧発生部と第1電圧発生部が第5電圧よりも大きい正の第6電圧を発生して第2選択ゲートと電荷を放出するメモリセルの制御ゲートに印加し、第4電圧発生部と第2電圧発生部が0または正の第7電圧を発生してソースと第1選択ゲートに印加した後に、前記第1電圧発生部が負の第8電圧を発生して前記制御ゲートに印加して電荷蓄積層から電荷を放出するようにさらに第1～第5電圧発生部を制御してもよい。これによって制御ゲートに高電圧を印加することなく電荷蓄積層から電荷を放出することができる。

【0021】

あるいは、この発明の半導体記憶装置は、状態制御部が、第4電圧発生部が正の第5電圧を発生してソースに印加し、第2電圧発生部と第1電圧発生部が第5電圧よりも大きい正の第6電圧を発生して第1選択ゲートと電荷を放出するメモリセルの制御ゲートに印加し、第3電圧発生部と第5電圧発生部が0または正の第7電圧を発生してドレインと第2選択ゲートに印加した後に、前記第1電圧発生部が負の第8電圧を発生して前記制御ゲートに印加して電荷蓄積層から電荷を放出するようにさらに第1～第5電圧発生部を制御して

もよい。これによって制御ゲートに高電圧を印加することなく電荷蓄積層から電荷を放出することができる。

【0022】

あるいは、この発明の半導体記憶装置は、状態制御部が、第3電圧発生部と第4電圧発生部が正の第5電圧を発生してドレインとソースに印加し、第2電圧発生部、第5電圧発生部と第1電圧発生部は第5電圧よりも大きい正の第6電圧を発生して第1選択ゲート、第2選択ゲートと電荷を放出するメモリセルの制御ゲートに印加した後に、前記第1電圧発生部が負の第7電圧を発生して前記制御ゲートに印加して電荷蓄積層から電荷を放出するようにさらに第1～第5電圧発生部を制御してもよい。これによって、制御ゲートに高電圧を印加することなく、より短い時間で電荷蓄積層から電荷を放出することができる。

10

また、この発明の液晶表示装置は、前記の半導体記憶装置を備えてなる。

【0023】

以下、図面に示す実施形態に基づいてこの発明を詳述する。なお、この発明は、これによって限定されるものではない。

(実施の形態1)

この発明に係る半導体記憶装置が備える不揮発性メモリ素子の構造を形成するための製造工程の一例を図9～図28を参照して説明する。この実施の形態で形成する不揮発性メモリ素子は、半導体基板を、例えば島状に加工することで島状半導体層を形成し、該島状半導体層の側面を活性領域面とし、該活性領域面にトンネル酸化膜及び電荷蓄積層として浮遊ゲートを複数形成し、各々の島状半導体層を半導体基板に対して電氣的にフローティング状態とし、各々のメモリセルの活性領域を電氣的にフローティング状態とする不揮発性メモリ素子において、島状半導体層の上部と下部に選択トランジスタを配置し、選択トランジスタに挟まれてメモリセルを複数個、例えば2個配置し、各々メモリセルを該島状半導体層に沿って直列に接続した構造である。図8は、この発明に係る不揮発性メモリ素子を複数配列してなるメモリセルアレイの平面図である。また、図9～図28は、図8のメモリセルアレイの製造例を示す断面(図8のA-A線)工程図である。

20

まず、半導体基板として、例えばp型シリコン基板100の表面に、第一の絶縁膜として、例えばシリコン窒化膜310を200～2000nm堆積し、公知のフォトリソグラフィ技術によりパターンニングして、マスク層としてレジストを形成する(図9)。

【0024】

レジストをマスクとして用いて、反応性イオンエッチングにより第一の絶縁膜であるシリコン窒化膜310をエッチングする。そして第一の絶縁膜であるシリコン窒化膜310をマスクに用いて、反応性イオンエッチングにより半導体基板であるp型シリコン基板100を2,000～20,000nmエッチングして、格子縞状の第一の溝部210を形成する。これにより、半導体基板であるp型シリコン基板100は、島状をなして複数の島状半導体層110に分離される。その後、島状半導体層110の表面を酸化することで第二の絶縁膜となる(図10)。

30

【0025】

次に、例えば等方性エッチングにより各島状半導体層110の周囲の第二の絶縁膜である熱酸化膜410をエッチング除去した後、必要に応じて斜めイオン注入を利用して各島状半導体層110の側壁にチャンネルイオン注入を行う。あるいはチャンネルイオン注入に代って、CVD法により硼素を含む酸化膜を堆積し、その酸化膜からの硼素拡散を利用してもよい。続いて、例えば熱酸化法を用いて各島状半導体層110の周囲に、例えば10nm程度のトンネル酸化膜となる第三の絶縁膜として、例えばシリコン酸化膜420を形成する(図11)。この際、トンネル酸化膜は熱酸化膜に限らず、CVD酸化膜もしくは、窒素酸化膜でもよい。また、この第三絶縁膜は、島状半導体層110の側面、上面、半導体基板100の表面の上全面に形成してもよいが、少なくとも島状半導体層100の活性領域となる領域上に形成されていけばよい。

40

【0026】

続いて第一の導電膜となる、例えば多結晶シリコン膜510を堆積する(図12)。この

50

第一の導電膜は、島状半導体層 110 の側面、上面、半導体基板 100 の表面の上全面に形成してもよいが、少なくとも島状半導体層 100 の側壁上に形成されていればよい。その後、CVD法により第四の絶縁膜として、例えばシリコン窒化膜 321 を堆積させる。続いて、第四の絶縁膜であるシリコン窒化膜 321 を、例えば反応性イオンエッチングにより第一の導電膜である多結晶シリコン膜 510 の側壁にサイドウォールスペーサ状に残存させる(図 13)。

【0027】

格子縞状の第一の溝部 210 に CVD 法により第五の絶縁膜として、例えばシリコン酸化膜 431 を堆積する(図 14)。格子縞状の第一の溝部 210 の所望の深さまで第五の絶縁膜であるシリコン酸化膜 431 を埋めこむ(図 15)。第五の絶縁膜であるシリコン酸化膜 431 をマスクに第四の絶縁膜であるシリコン窒化膜 321 を等方性エッチングにより第五の絶縁膜であるシリコン酸化膜 431 と第一の導電膜である多結晶シリコン膜 510 の間にのみ第四の絶縁膜であるシリコン窒化膜 321 残存させるようエッチングを行う(図 16)。この際、第五の絶縁膜であるシリコン酸化膜 431 の上面より第四の絶縁膜であるシリコン窒化膜 321 が窪みを生じた状態となり、この窪みに第六の絶縁膜としてシリコン酸化膜 441 を堆積する。この際、第六の絶縁膜であるシリコン酸化膜 441 の膜厚は第四の絶縁膜であるシリコン窒化膜 321 の約半分程度以上の膜であれば上記窪みが埋まる。また、第一の導電膜である多結晶シリコン膜 510 の側壁にも酸化膜 441 堆積するため、例えば等方性エッチングにより第一の導電膜である多結晶シリコン膜 510 の側壁の酸化膜 441 を除去する。前記窪み部には第六の絶縁膜であるシリコン酸化膜 441 が残存し、第四の絶縁膜であるシリコン窒化膜 321 は第五の絶縁膜であるシリコン酸化膜 431、第六の絶縁膜であるシリコン酸化膜 441 によって埋没する。

【0028】

続いて、同様に CVD 法により第四の絶縁膜であるシリコン窒化膜 322 を堆積させ、反応性イオンエッチングにより第一の導電膜である多結晶シリコン膜 510 の側壁にサイドウォールスペーサ状に第四の絶縁膜であるシリコン窒化膜 322 を残存させる(図 17)。その後、同様に第五の絶縁膜であるシリコン酸化膜 432 を埋めこんだ後、サイドウォールスペーサ状の第四の絶縁膜であるシリコン窒化膜 322 の上部に、第六の絶縁膜と同様に第六の絶縁膜であるシリコン酸化膜 442 を配置する。次いで、同様に第一の導電膜である多結晶シリコン膜 510 の側壁に第四の絶縁膜であるシリコン窒化膜 323 のサイドウォールスペーサを形成する(図 18)。

【0029】

これらを繰り返すことにより第一の導電膜である多結晶シリコン膜 510 の側壁に複数の第四の絶縁膜であるシリコン窒化膜のサイドウォールスペーサを形成させる(図 19)。等方性エッチングにより第一の導電膜である多結晶シリコン膜 510 の分割を行う(図 20)。第一の導電膜である多結晶シリコン膜 510 を第一の導電膜である多結晶シリコン膜 511 ~ 514 に分割形成する手段として、第四の絶縁膜であるシリコン窒化膜 321 ~ 324 をマスクに、例えば熱酸化により分離形成を行ってもよい。また、エッチングと熱酸化を組み合わせることで分離形成を行ってもよい。分割された第一の導電膜である多結晶シリコン膜 511 ~ 514 及び第一の絶縁膜であるシリコン窒化膜 310 と自己整合で島状半導体層 110、半導体基板 100 に不純物導入を行う。この際、第一の配線層(ソース)となる不純物拡散層 710 はイオン注入法などにより不純物濃度の調整を行ってもよい(図 20)。

【0030】

第一の配線層である不純物拡散層 710 の形成するタイミングは N 型半導体層 721 ~ 724 の形成と同時になくてもよい。例えば第二の絶縁膜である熱酸化膜 410 形成後に、例えばイオン注入法などにより第一の配線層である不純物拡散層 710 の形成を行ってもよいし、第三の絶縁膜であるシリコン酸化膜 420 の形成後に行ってもよい。また、先に述べたタイミングを組み合わせることで複数回行ってもよい。その後、第一の導電膜である多結晶シリコン膜 511 ~ 514 の露出部を、例えば熱酸化法によって第七の絶縁膜であるシ

10

20

30

40

50

リコン酸化膜 450 を選択的に形成する。この際、熱処理を施すことにより不純物拡散層 710 ~ 724 を拡散させ島状半導体層 110 の P 型領域を電氣的にフローティング状態とする (図 21)。第一の導電膜である多結晶シリコン膜 511 ~ 514 の不純物の導入は第一の導電膜である多結晶シリコン膜 510 の成膜時に行ってもよいし、島状半導体層 110 に不純物導入を行う際に行ってもよいし、導電膜となれば導入時期は制限されない。

【0031】

その後、第四の絶縁膜であるシリコン窒化膜サイドウォールスペーサ 321 ~ 324 を、例えば等方性エッチングにより除去した後、CVD 法により第八の絶縁膜となるシリコン酸化膜 461 を堆積し異方性エッチング及び等方性エッチングにより第一の導電膜である多結晶シリコン膜 511 の側部を埋設するように酸化膜 461 を埋めこむ。次いで、第一の導電膜である多結晶シリコン膜 512 ~ 514 及び第七の絶縁膜であるシリコン酸化膜 450 に第九の絶縁膜となる、例えばシリコン窒化膜 331 を堆積しサイドウォールスペーサを形成する (図 22)。

10

【0032】

続いて、第一の導電膜である多結晶シリコン膜 511 の側部を露出する程度に第八の絶縁膜であるシリコン酸化膜 461 をエッチバックして、第二の導電膜となる、例えば多結晶シリコン膜 521 を堆積する (図 23)。その後、第二の導電膜である多結晶シリコン膜 521 と自己整合で半導体基板である p 型シリコン基板 100 に第二の溝部 220 を形成し、不純物拡散層 710 を分離する。つまり第二の導電膜の分離部と自己整合的に第一の配線層の分離部を形成する。続いて、第一の導電膜である多結晶シリコン膜 511 と接触しうる程度に、第二の導電膜である多結晶シリコン膜 521 をエッチバックし、選択ゲートとする。この際、島状半導体層 110 の間隔を、図 8 の A - A' 方向について予め所定の値以下に設定しておくことによって、マスク工程を用いることなく、その方向に連続する選択ゲート線となる第二の配線層として形成される。その後、第八の絶縁膜であるシリコン酸化膜 462 を堆積し異方性エッチング及び等方性エッチングにより第二の導電膜である多結晶シリコン膜 521 の側部及び上部を埋設するように第八の絶縁膜であるシリコン酸化膜 461 を埋めこむ。その後、等方性エッチングにより第九の絶縁膜であるシリコン窒化膜 331 のサイドウォールスペーサを除去し、露出した第一の導電膜である多結晶シリコン膜 512 ~ 514 の表面に層間絶縁膜 612 を形成する (図 24)。この層間絶縁膜 612 は、例えば ONO 膜とする。

20

30

【0033】

続いて同様に第二の導電膜となる多結晶シリコン膜 522 を堆積し、エッチバックすることで、第一の導電膜である多結晶シリコン膜 512 の側部に層間絶縁膜 612 を介して第二の導電膜である多結晶シリコン膜 522 を配置させる (図 25)。このとき、図 8 の A - A' 方向について予め所定の値以下に設定しておくことによって、マスク工程を用いることなく、その方向に連続する制御ゲート線となる第三の配線層として形成される。その後、第八の絶縁膜であるシリコン酸化膜 463 を堆積し異方性エッチング及び等方性エッチングにより第二の導電膜である多結晶シリコン膜 522 の側部及び上部を埋設するように第八の絶縁膜である酸化膜 463 を埋めこむ。同様に繰り返すことで第一の導電膜である多結晶シリコン膜 513 の側部に層間絶縁膜 613 を介して第二の導電膜である多結晶シリコン膜 523 を配置させる (図 26)。

40

【0034】

第二の導電膜である多結晶シリコン膜 522 の側部及び上部を埋設するように酸化膜 463 を埋めこむ。最上段第一の導電膜である多結晶シリコン膜 514 においては最下段第一の導電膜である多結晶シリコン膜 511 と同様に第一の導電膜である多結晶シリコン膜 514 と接触しうる程度に、第二の導電膜である多結晶シリコン膜 524 をエッチバックする。第二の導電膜である多結晶シリコン膜 524 の上層に第十の絶縁膜となる、例えばシリコン酸化膜 465 を堆積し、エッチバックもしくは CMP 法などにより不純物拡散層 724 を備える島状半導体層 110 の上部を露出させ、ビット線として第四の配線層 840

50

を第二もしくは第三の配線層と方向が交差するよう形成し、島状半導体層 110 の上部と接続する（図 27）。なお、図 27 では、第四の配線層 840 がアライメントズレなく不純物拡散層 724 上に配置されている状態を示しているが、アライメントズレが発生しても、図 28 に示すように、第四の配線層 840 は不純物拡散層 724 に接続させることができる。

【0035】

その後、公知の技術により層間絶縁膜を形成しコンタクトホール及びメタル配線を形成する。これにより、第一の導電膜となる多結晶シリコン膜を浮遊ゲートとする電荷蓄積層に注入される電荷状態によってメモリ機能を有する不揮発性メモリ素子が実現する。

（実施の形態 2）

この発明の半導体記憶装置の回路構成例を、図 29 を参照して説明する。図 29 は、この発明の半導体記憶装置 30 のブロック図である。半導体記憶装置 30 は、複数の不揮発性メモリ素子からなるメモリセルアレイ 31 を備え、メモリセルアレイ 31 はデータを格納する複数のメモリセルから構成される。

【0036】

メモリセルアレイ 31 は、複数のブロック B0 ~ Bn に配置されている。各ブロックはローカル行デコーダ 32 B0 ~ 32 Bn を備える。例えば、ブロック B0 はローカル行デコーダ 32 B0 を備える。各ブロックは、特定のブロック内にのみ延びる複数のビット線 51 S0 ~ 51 S0i、51 S1 ~ 51 S1i、・・・、51 Sn ~ 51 Sni と、そのブロック内にのみ延びる複数のローカルワード線（図示せず）を備える。メモリセルはローカルワード線と前記ビット線との交点に設置される。メモリセルアレイ 31 の前記ビット線は列ゲート回路 37 を介して列デコーダ 36 に接続されている。

【0037】

ブロック B0 ~ Bn の各々のローカルワード線は各ブロックのローカル行デコーダ 32 B0 ~ 32 Bn に接続されている。さらに、メモリセルアレイ 31 はまた、グローバル行デコーダ 35 に接続される複数のグローバルワード線 39 S0 ~ 39 Sn を備える。グローバルワード線 39 S0 ~ 39 Sn はローカル行デコーダ 32 B0 ~ 32 Bn の各々に接続され、すべてのブロック B0 ~ Bn を介して延びている。グローバルワード線 39 S0 ~ 39 Sn は、メモリセルアレイ 31 の各ブロックのローカルワード線に物理的に接続されていないが、ブロックの各ローカル行デコーダ 32 B0 ~ 32 Bn を介して各ブロックのローカルワード線に電氣的に接続されることが可能である。図 30 は、後述するブロック B0 ~ Bn の各メモリセルアレイの形態を示す。

【0038】

グローバル行デコーダ 35 はメモリセルアレイ 31 の行デコーダであり、アドレスバス 49 から行アドレスを受けてグローバルワード線 39 S0 ~ 39 Sn の 1 つを選択する。ローカル行デコーダ 32 B0 ~ 32 Bn、の各々は、図示しない複数のスイッチングトランジスタを備え、それぞれはローカルワード線を対応するグローバルワード線 39 S0 ~ 39 Sn に接続する。ローカル行デコーダ 32 ~ 32 n の各々はブロック選択信号をブロックデコーダ 34 から受け取る。例えば、ローカル行デコーダ 32 B0 はブロック選択信号 S0 を受け取る。ローカル行デコーダへブロック選択信号が出力されると、各ローカル行デコーダ 32 B0 ~ 32 Bn の全スイッチングトランジスタ（図示せず）がターンオンする。ブロック選択信号がローカルデコーダ 32 B0 ~ 32 Bn へ出力されないときには、各ローカル行デコーダ 32 B0 ~ 32 Bn のスイッチングトランジスタはターンオフの状態にある。これによって、ブロックのローカルワード線はメモリ処理期間にグローバルワード線 39 S0 ~ 39 Sn から絶縁されると共に、他のブロックのローカルワード線からも絶縁される。ローカル行デコーダ 32 B0 ~ 32 Bn の各々もまた、消去制御信号、つまり消去信号を受け取る。ブロックデコーダ 34 は、ブロック選択信号 S0 ~ Sn の適当な 1 つを出力することによってそのブロックを選択する。ブロックデコーダ 34 はまた、バス 49 に接続されブロックアドレスを受け取る。

【0039】

10

20

30

40

50

また、各ブロックはブロック内のみ延びる複数の第1及び第2ローカル選択線（図示せず）を備える。ブロックB₀～B_nの各々の第1及び第2ローカル選択線は各ブロックのローカル行デコーダ32B₀～32B_nに接続されている。さらに、メモリセルアレイ31はまた、グローバル行デコーダ35に接続される複数の第1グローバル選択線41S₀～41S_n及び第2グローバル選択線42S₀～42S_nを備える。第1グローバル選択線41S₀～41S_n及び第2グローバル選択線42S₀～42S_nはローカル行デコーダ32B₀～32B_nの各々に接続され、すべてのブロックB₀～B_nを介して延びている。第1グローバル選択線41S₀～41S_n及び第2グローバル選択線42S₀～42S_nは、メモリセルアレイ31の各ブロックの第1及び第2ローカル選択線に物理的に接続されていないが、ブロックの各ローカル行デコーダ32B₀～32B_nを介して各ブロックの第1及び第2ローカル選択線に電氣的に接続されることが可能である。

10

【0040】

消去スイッチ33は複数のスイッチ（図29に図示しない）を備え、各スイッチはブロックB₀～B_nの1つのブロックの共通ソース線38S₀～38S_nに接続される。消去スイッチ33の各々は、電圧V_g（つまりグランド）又は消去電圧を、ブロック選択線40S₀～40S_nの1つからのブロック選択信号およびメモリ処理（つまり、読み出し、書き込みおよび消去処理）によって、関連するブロックの共通ソース線38S₀～38S_nの1つへ選択的に接続する。つまり、消去スイッチ33は、ブロック選択信号S₀～S_nに無関係に、半導体記憶装置30の読み出しおよび書き込み処理期間中に電圧V_gを全共通ソース線38S₀～38S_nへ印加する。半導体記憶装置30が消去信号によって消去処理されるとき、ブロックデコーダ34は、選択されたブロック信号を出力し、消去スイッチ33の対応するスイッチに消去電圧を、選択されたブロックに印加させる。一方、消去スイッチの他のスイッチは電圧V_gを他のブロックに印加する。

20

【0041】

図30は、ブロック60と、関連するローカル行デコーダ61を示す。ブロック60は図29のブロックB₀～B_nのいずれか1つである。ローカル行デコーダ61はブロック60に対応するローカル行デコーダ32B₀～32B_nのいずれか1つである。図30はブロック60を介して延びるグローバルワード線62と63のみを示している。グローバルワード線62、63は、図29のグローバルワード線39S₀～39S_nのいずれか2つである。

30

【0042】

ブロック60は、ビット線66～66_iを備える。さらに、ブロック60は、各々がグローバルワード線62、63に対応する第2ローカルワード線67と第1ローカルワード線68とを備える。例えば、第1ローカルワード線68はローカル行デコーダ61のスイッチングトランジスタ75を介して第1グローバルワード線63に接続され、第2ローカルワード線67はローカル行デコーダ61のスイッチングトランジスタ74を介して第2グローバルワード線62に接続される。さらに、ブロック60は、各不揮発性メモリ素子の第1選択トランジスタ83～83_iの第1選択ゲート81～81_iに接続される第1ローカル選択線72と第2選択トランジスタ82～82_iの第2選択ゲート80～80_iに接続される第2ローカル選択線71とを備える。例えば、第1ローカル選択線72はローカル行デコーダ61のスイッチングトランジスタ77を介して第1グローバル選択線70に接続され、第2ローカル選択線71はローカル行デコーダ61のスイッチングトランジスタ76を介して第2グローバル選択線69に接続される。

40

【0043】

ブロック60は共通ソース線73を有し、共通ソース線73は消去スイッチ33（図29）の1つに接続されている。さらに、ブロック60はメモリセル64～64_i、65～65_iを備える。メモリセル65～65_iは第1制御ゲート79～79_iを有し、メモリセル64～64_iは第2制御ゲート78～78_iを有する。また各不揮発性メモリ素子はビット線66～66_iへ接続されるドレインと、共通ソース線73に接続されるソースを有

50

する。

【0044】

図29の列デコーダ36には、ドレインに印加する各電圧を発生するドレイン電圧発生部43が設けられ、列ゲート回路37を介して各ドレインに接続されるビット線51S0～51S0i、51S1～51S1i、51Sn～51Sniを駆動する。また、グローバル行デコーダ35には、第1制御ゲートに印加する各電圧を発生する第1制御ゲート電圧発生部44と第2制御ゲートに印加する各電圧を発生する第2制御ゲート電圧発生部45が設けられ、ローカル行デコーダ32B0～32Bnを介して選択されたメモリセルの制御ゲートに接続されるローカルワード線を駆動する。また、グローバル行デコーダ35にはメモリ素子の第1選択ゲートに印加する各電圧を発生する第1選択ゲート電圧発生部46と、第2選択ゲートに印加する各電圧を発生する第2選択ゲート電圧発生部47が設けられ、ローカル行デコーダ32～32nを介してメモリ素子の第1及び第2選択ゲートに接続される第1及び第2ローカル選択線をそれぞれ駆動する。

消去スイッチ33には、メモリ素子のソースに印加する各電圧を発生するソース電圧発生部48が設けられ、メモリ素子のソースに接続される共通ソース線73を駆動する。

【0045】

そして、半導体記憶装置の外部から与えられる制御情報に応じて、半導体記憶装置30の内部に発生させるべき信号や電圧とそのタイミングを制御する状態制御部50が設けられている。

(実施の形態3)

この発明に係る不揮発性メモリ素子の電荷蓄積層に電荷を注入する書き込み動作の実施の形態を、以下に説明する。

【0046】

図3はひとつの島状半導体層に形成される不揮発性メモリ素子の断面図である。また、図4は、その等価回路図であり、図30のメモリセルアレイを構成する各不揮発性メモリ素子と同じものである。図3の不揮発性メモリ素子は、P型半導体基板13から電氣的に絶縁されたP型島状半導体層12の中に電荷蓄積層1,3と制御ゲート2,4を有するメモリセルが2つ(M1、M2)、選択トランジスタが2つ(N1、N2)存在する不揮発性メモリ素子である。以下にこのメモリアレイ内のメモリセルの電荷蓄積層に電荷を注入する書き込み動作の場合に各端子に印加する電圧について説明する。

【0047】

今、図30に示すメモリセルアレイの第1及び第2ローカル選択線72、71、第1及び第2ローカルワード線68、67、ビット線66iが選択されているとする。即ち、第1及び第2ローカル選択線72、71、第1及び第2ローカルワード線68、67、ビット線66iは、それぞれ第1及び第2選択ゲート電圧発生部46、47、第1及び第2制御ゲート電圧発生部44、45、ドレイン電圧発生部43と接続された状態にある。従って、不揮発性メモリ素子の第1制御ゲート4には、第1ローカルワード線68を介して第1制御ゲート電圧発生部44の電圧が印加される。同様に、第2制御ゲート2には、第2ローカルワード線67を介して第2制御ゲート電圧発生部45の電圧が印加される。また、第1及び第2選択ゲート6、5およびドレイン7には、第1及び第2ローカル選択線72、71、ビット線66iを介して第1及び第2選択ゲート電圧発生部46、47、ドレイン電圧発生部43の各電圧がそれぞれ印加される。また、ソース11には、共通ソース線73を介してソース電圧発生部48の電圧が印加される。

【0048】

図4に示す不揮発性メモリ素子のメモリセルM1の電荷蓄積層3へFNトンネル電流により電荷を注入する(書き込み)動作は次のように行う。まず、第1制御ゲート4に高電圧VH1、第2制御ゲート2に書き込みが阻止できる程度の電圧VH2(VH1>VH2)、第2選択ゲート5に正電圧VH3、第1選択ゲート6にソース11への導通が阻止できる程度の負電圧VN1、ソース11を接地、ドレイン7に負電圧VN1を印加する。

【0049】

10

20

30

40

50

ただし、選択ブロックの内、電荷注入を行わないメモリ素子に対しては、ドレイン7（ビット線）に正電圧を印加または接地することで書き込みを阻止する。ドレイン7に負電圧 V_{N1} を印加することで、N型拡散層8、9、10が負電圧 V_{N1} となる。そして島状半導体層12中の電荷蓄積層3に絶縁膜を介して面する部分の第1浮遊チャンネル15（図3）が負電圧 V_{N1} へチャージされて、第1制御ゲート4と第1浮遊チャンネル15に高電圧 V_{H1} - 負電圧 V_{N1} の電位差が発生する。このとき第1浮遊チャンネル15からFNTトンネル電流によって電荷蓄積層3へ電荷が注入される。この電荷注入によりメモリセルM1のしきい値電圧は正方向に移動する。ただし、第1選択ゲート6に負電圧 V_{N1} を印加することにより、N型拡散層10とソース11が導通しないため、ソース11から負電圧の印加されたドレイン7へ過剰な電流が流れることがない。また、メモリセルM2の電荷蓄積層1には電荷が注入されないため、しきい値は変動しない。以上が選択されたブロックの下段メモリセルM1の電荷蓄積層3へFNTトンネル電流により電荷を注入する（書き込み）場合の説明である。

10

【0050】

これに対して、ブロックの上段メモリセルM2の電荷蓄積層1へ電荷を注入する書き込み動作の手順は下記のとおりである。第2制御ゲート2に高電圧 V_{H1} 、第1制御ゲート4に書き込みが阻止できる程度の電圧 V_{H2} （ $V_{H1} > V_{H2}$ ）、第2選択ゲート5に正電圧 V_{H3} 、第1選択ゲート6にソース11への導通を阻止できる負電圧 V_{N1} 、ソース11を接地、電荷注入するドレイン7には負電圧 V_{N1} を印加する。

【0051】

また、選択ブロックの内、電荷注入を行わないメモリ素子に対しては、そのメモリセルのドレイン7（ビット線）を正電圧または接地することで書き込みを阻止する。前記のように、ドレイン7に負電圧 V_{N1} を印加することで、N型拡散層8、9、10が負電圧 V_{N1} となる。そして島状半導体層12中の電荷蓄積層1に絶縁膜を介して面する部分の第2浮遊チャンネル14（図3）が負電圧 V_{N1} へチャージされて、第2制御ゲート2と第2浮遊チャンネル14の間に高電圧 V_{H1} - 負電圧 V_{N1} の電位差が発生する。このとき第2浮遊チャンネル14からFNTトンネル電流によって電荷蓄積層1へ電荷が注入される。この電荷注入によりメモリセルM2のしきい値電圧は正方向に移動する。ただし、第1選択ゲート6に負電圧 V_{N1} を印加することにより、N型拡散層10とソース11が導通しないため、ソース11から負電圧の印加されたドレイン7へ過剰な電流がながれることはない。また、メモリセルM1の電荷蓄積層3には電荷が注入されないため、しきい値は変動しない。以上が書き込み動作時に各端子に印加する電圧の説明である。

20

30

【0052】

書き込み動作の好ましい実施の1態様を以下に説明する。図1は、この実施態様における各端子への印加電圧を示すタイミングチャートである。図2は、この実施態様の手順を示すフローチャートである。図2のフローチャートを参照しながら、メモリセルへの書き込み動作を説明する。

【0053】

まず第1及び第2制御ゲート4、2、第1及び第2選択ゲート6、5、ソース11、ドレイン7に0Vを印加する（ステップS01）。次に、第2制御ゲート20Vのままとして、ドレイン7に-10V、第2選択ゲート5に3V、第1選択ゲート6に-10Vを印加する（ステップS02）。その後、第1制御ゲート4に10Vを印加する（ステップS03）。このとき第1浮遊チャンネル15からFNTトンネル電流によって電荷蓄積層3へ電荷が注入される。尚、選択ブロックのうち、書き込みを行わないメモリ素子は、ドレイン7（ビット線）に0Vを印加して書き込みを阻止する。

40

【0054】

また書き込み完了後、第1制御ゲート4を0Vにする（ステップS04）。その後、第1及び第2選択ゲート6、5、ドレイン7を0Vにする（ステップS05）。この実施の形態では第1及び第2選択ゲート6、5とドレイン7を同時に変化させているが、同時である必要は無く、いずれが前後してもかまわない。

50

(実施の形態4)

この発明に係る不揮発性メモリ素子の電荷蓄積層から電荷を放出する消去動作動作の場合に、各端子に印加する電圧について説明する。

【0055】

選択ブロックの全メモリセルの電荷蓄積層から電荷を放出する場合は、準備段階として、ドレイン7に正電圧 V_{H5} 、第2選択ゲート5に正電圧 V_{H5} をパス出来る以上の正電圧 V_{H4} ($V_{H4} > V_{H5}$)、第1制御ゲート4及び第2制御ゲート2に正電圧 V_{H4} を印加して、第1選択ゲート6とソース11は接地する。そして第2選択ゲート5、第1制御ゲート4、第2制御ゲート2がオンし、N型拡散層8、9、10が V_{H5} となつて、第1及び第2浮遊チャンネル14、13が V_{H5} にチャージされる。チャージが完了した後で、電荷放出するために、第1及び第2制御ゲート4、2を正電圧 V_{H4} から負電圧 V_{N1} へ変化させると、第1制御ゲート4と第1浮遊チャンネル15及び第2制御ゲート2と第2浮遊チャンネル14の間に負電圧 V_{N1} - 正電圧 V_{H5} の電位差が発生する。このとき電荷蓄積層3、1からFNトンネル電流によってそれぞれ第1及び第2浮遊チャンネル14、13へ電荷が放出される。この電荷放出によりメモリセルM1、M2のしきい値電圧は負方向に移動する。以上が消去動作の第1の実施の形態(消去動作1)である。

10

【0056】

消去動作の好ましい実施の1態様を図32のフローチャートを参照しながら以下に説明する。また、各電圧のタイミングチャートを図31示す。選択ブロックの全メモリセルを消去する場合、まず第1及び第2制御ゲート4、2、第1及び第2選択ゲート6、5、ソース11、ドレイン7を0Vとする(ステップS11)。そして、ドレイン7に10V、第2選択ゲート5及び第1及び第2制御ゲート4、2に12Vを与えて、第1及び第2浮遊チャンネル14、13をチャージする(ステップS12)。チャージが完了した後で第1及び第2制御ゲート4、2に-10Vを印加する(ステップS13)。また消去完了後、第1及び第2制御ゲート4、3を0Vにする(ステップS14)。その後、第2選択ゲート5、ドレイン7を0Vにする(ステップS15)。

20

【0057】

選択ブロック内のメモリセルの消去を選択的に行なう場合は、消去を行わないメモリ素子のドレイン7に0Vを印加して消去を阻止するか、または第1及び第2制御ゲート線に0Vを印加して消去を阻止すること出来る。また消去動作を終了する場合は、逆の順番で第1及び第2制御ゲート線4、2を0Vにして、その後、第2選択ゲート5、ドレイン7を0Vにする。図31では第2選択ゲート5とドレイン7を同時に変化させているが、必ずしも同時である必要は無く、前後してもかまわない。またソース11、第1選択ゲート6を接地しているが、必ずしも接地である必要はなく、正電圧を与えてもかまわない。

30

【0058】

消去動作1とは異なる実施の形態(消去動作2)について説明する。消去動作2は、ソースから10Vを印加する方法である。この方法によっても、消去動作1と同様にメモリセルの消去動作が可能である。消去動作2でブロック内の全てのメモリセルの電荷蓄積層から電荷を放出する場合は、電荷を放出する準備段階として、ソース11に正電圧 V_{H5} 、第1選択ゲート6に正電圧 V_{H5} をパス出来る以上の正電圧 V_{H4} ($V_{H4} > V_{H5}$)、第1制御ゲート4および第2制御ゲート2に正電圧 V_{H4} を印加して、第2選択ゲート5とドレイン7は接地する。そして第2選択ゲート5、第1制御ゲート4、第2制御ゲート2がオンし、N型拡散層8、9、10が V_{H5} となつて、第1及び第2浮遊チャンネル14、13が V_{H5} にチャージされる。チャージが完了した後で、電荷放出するために、第1及び第2制御ゲート線4、2を正電圧 V_{H4} から負電圧 V_{N1} へ変化させると、第1制御ゲート4第1浮遊チャンネル15、第2制御ゲート2と第2浮遊チャンネル14との間にそれぞれ負電圧 V_{N1} - 正電圧 V_{H5} の電位差が発生する。このとき電荷蓄積層1、3からトンネル電流によって浮遊チャンネルへ電荷が放出される。この電荷放出によりメモリセルM1、M2のしきい値電圧は負方向に移動する。以上が消去動作2である。

40

【0059】

50

消去動作 2 の好ましい実施態様の一例を示す各電圧のタイミングチャートを図 3 3 に、電圧駆動のフローチャートを図 3 4 に示す。第 1 及び第 2 制御ゲート線 4、2 に接続されたメモリセルを消去する場合、まず第 1 及び第 2 制御ゲート線 4、2、第 1 及び第 2 選択ゲート 6、5、ソース 1 1、ドレイン 7 を 0 V とする (ステップ S 2 1)。次に、ドレイン 7 と第 2 選択ゲート 5 は 0 V の電圧のままとして、ソース 1 1 に 1 0 V、第 1 選択ゲート 6 及び 4、2 に 1 2 V を印加して、第 1 及び第 2 浮遊チャネル 1 4、1 3 をチャージする (ステップ S 2 2)。チャージが完了した後で第 1 及び第 2 制御ゲート線 4、2 に - 1 0 V を印加する (ステップ S 2 3)。消去完了後、第 1 及び第 2 制御ゲート 4、3 を 0 V にする (ステップ S 2 4)。その後、第 2 選択ゲート 5、ドレイン 7 を 0 V にする (ステップ S 1 5)。上記の手順でメモリセルを消去することが可能である。この実施の形態では第 1 選択ゲートとソース線を同時に変化させているが、必ずしも同時である必要はなく、どちらが前後してもかまわない。またドレイン 7、第 2 選択ゲート 5 を接地しているが、必ずしも接地である必要はなく、正電圧を与えてもかまわない。

【0060】

さらに、消去動作の別の実施の形態 (消去動作 3) について説明する。消去動作 3 は、ドレイン 7 及び共通ソース線の両方から電圧を印加する方法である。消去動作 3 で選択ブロックの全てのメモリセルの電荷蓄積層から電荷を放出する場合は、電荷を放出する際の準備段階として、ドレイン 7 とソース 1 1 に正電圧 V_{H5} 、第 1 及び第 2 選択ゲート 6 と 5 に正電圧 V_{H5} をパス出来る以上の正電圧 V_{H4} ($V_{H4} > V_{H5}$)、第 1 制御ゲート 4、第 2 制御ゲート 2 に正電圧 V_{H4} を印加する。そして第 1 及び第 2 選択ゲート 5、6、第 1 制御ゲート 4、第 2 制御ゲート 2 がオンし、N 型拡散層 8、9、1 0 が V_{H5} となって、浮遊チャネルが V_{H5} にチャージされる。チャージが完了した後で、電荷放出するために、第 1 及び第 2 制御ゲート線 4、2 を正電圧 V_{H4} から負電圧 V_{N1} へ変化させると、第 1 制御ゲート 4、第 2 制御ゲート 2 と浮遊チャネルに負電圧 V_{N1} - 正電圧 V_{H5} の電位差が発生する。このとき電荷蓄積層 1、3 からトンネル電流によって浮遊チャネルへ電荷が放出される。この電荷放出によりメモリセルのしきい値電圧は負方向に移動する。以上が実施の形態 4 の消去動作 3 である。

【0061】

消去動作 3 の好ましい実施態様の一例を示す各電圧のタイミングチャートを図 3 5 に、電圧駆動のフローチャートを図 3 6 に示す。

【0062】

選択されたブロックの全メモリセルを消去する場合、まず第 1 及び第 2 制御ゲート 4、2、第 1 及び第 2 選択ゲート 6、5、ソース 1 1、ドレイン 7 を 0 V とする (ステップ S 3 1)。次に、ドレイン 7 とソース 1 1 に 1 0 V、第 1 及び第 2 選択ゲート 6、5 及び第 1 及び第 2 制御ゲート 4、2 に 1 2 V を与えて、浮遊チャネル 1 4、1 3 をチャージする (ステップ S 3 2)。チャージが完了した後で第 1 及び第 2 制御ゲート 4、2 に - 1 0 V を印加する (ステップ S 3 3)。消去完了後、第 1 及び第 2 制御ゲート 4、2 を 0 V にする (ステップ S 3 4)。その後、第 1 及び第 2 選択ゲート 6、5、ソース 1 1、ドレイン 7 を 0 V にする (ステップ S 3 5)。上記の手順でメモリセルを消去することが可能である。この実施の形態では第 1 及び第 2 選択ゲート 6、5 とドレイン 7、ソース線を同時に変化させているが、必ずしも同時である必要はなく、どちらが前後してもかまわない。

【0063】

上述した消去動作 3 の方法は、消去動作 1 及び消去動作 2 に比べてチャネルを充電する能力が高く、消去スピードを早くすることが可能である。

(実施の形態 5)

この発明に係る不揮発性メモリ素子の別の実施態様において、不揮発性メモリ素子の電荷蓄積層に電荷を注入する書き込み動作の実施の形態を、以下に説明する。

【0064】

図 5 は、この実施態様の不揮発性メモリ素子の断面図である。また、図 6 は、その等価回路図である。図 3 7 はこの不揮発性メモリ素子を複数配置してなるメモリセルアレイの形

態を示す図である。この実施態様の不揮発性メモリ素子は、P型半導体基板13から電氣的に絶縁されたP型柱状半導体層12の中に1つ以上のメモリセルと1つの選択トランジスタ(図3のメモリ素子との対応を明らかにするために以下、第1選択トランジスタという)が1つだけ存在する不揮発性メモリ素子である。図5、6に示す不揮発性メモリ素子は2つのメモリセルM3、M4と第1選択トランジスタN3を有する。図4不揮発性メモリ素子で構成されるメモリセルアレイ(図30)と異なり、図37のメモリセルアレイには、第2グローバル選択線69及び第2ローカル選択線71が存在しない。

以下に、図37のメモリセルアレイ内のメモリセルの電荷蓄積層に電荷を注入する書き込み動作の場合に各端子に印加する電圧について説明する。

今、第1ローカル選択線71、第1及び第2ローカルワード線68、67、ビット線66iが選択されているとする。即ち、第1ローカル選択線72、第1及び第2ローカルワード線68、67、ビット線66iは、それぞれ第1選択ゲート電圧発生部46、第1及び第2制御ゲート電圧発生部44、45、ドレイン電圧発生部43と接続された状態にある。従って、不揮発性メモリ素子の第1制御ゲート4には、第1ローカルワード線68を介して第1制御ゲート電圧発生部44の電圧が印加される。同様に、第2制御ゲート2には、第2ローカルワード線67を介して第2制御ゲート電圧発生部45の電圧が印加される。また、第1選択ゲート6およびドレイン7には、第1ローカル選択線72、ビット線66iを介して第1選択ゲート電圧発生部46、ドレイン電圧発生部43の各電圧がそれぞれ印加される。また、ソース11には、共通ソース線73を介してソース電圧発生部48の電圧が印加される。

【0065】

図6に示す不揮発性メモリ素子のメモリセルM3の電荷蓄積層3へFNトンネル電流により電荷を注入する(書き込み)動作は次のように行なう。まず、第1制御ゲート4に高電圧 V_{H1} 、第2制御ゲート2に書き込みが阻止できる程度の電圧 V_{H2} ($V_{H1} > V_{H2}$)、第1選択トランジスタの第1選択ゲート5にソース11への導通が阻止できる程度の負電圧 V_{N1} 、ソース11を接地、ドレイン7に負電圧 V_{N1} を印加する。ただし、選択ブロックの内、電荷注入を行わないメモリ素子に対しては、ドレイン7(ビット線)に正電圧を印加または接地することで書き込みを阻止する。

【0066】

ドレイン7に負電圧 V_{N1} を印加することで、N型拡散層9、10が負電圧 V_{N1} となる。そして、島状半導体層12中の電荷蓄積層3に絶縁膜を介して面する部分の第1浮遊チャネル15が負電圧 V_{N1} へチャージされて、第1制御ゲート4と浮遊チャネル15(図5)に高電圧 V_{H1} -負電圧 V_{N1} の電位差が発生する。このとき浮遊チャネルからFNトンネル電流によって電荷蓄積層3へ電荷が注入される。この電荷注入によりメモリセルM3のしきい値電圧は正方向に移動する。ただし、第1選択ゲート6に負電圧 V_{N1} を印加することにより、N型拡散層10とソース11が導通しないため、ソース11から負電圧の印加されたドレイン7へ過剰な電流が流れることがない。また、メモリセルM4の電荷蓄積層1には電荷が注入されないので、しきい値は変動しない。以上が選択されたブロックの下段メモリセルM3の電荷蓄積層3へFNトンネル電流により電荷を注入する(書き込み)場合の説明である。

【0067】

これに対して、ブロックの上段メモリセルM4の電荷蓄積層1へ電荷を注入する書き込み動作の手順は下記のとおりである。第2制御ゲート2に高電圧 V_{H1} 、第1制御ゲート4に書き込み阻止のため電圧 V_{H2} ($V_{H1} > V_{H2}$)、第1選択ゲート6にソース11への導通阻止のために負電圧 V_{N1} 、ソース11を接地、ドレイン7に負電圧 V_{N1} を印加する。ドレイン7に負電圧 V_{N1} を印加することで、N型拡散層9、10が負電圧 V_{N1} となる。そして島状半導体層12中の電荷蓄積層1に絶縁膜を介して面する部分の第2浮遊チャネル14が負電圧 V_{N1} へチャージされて、第2制御ゲート2と浮遊チャネル間13に高電圧 V_{H1} -負電圧 V_{N1} の電位差が発生する。このとき第2浮遊チャネル14からトンネル電流によって電荷蓄積層1へ電荷が注入される。この電荷注入によりメモリセ

ルM4のしきい値電圧は正方向に移動する。ただし、第1選択ゲート6に負電圧VN1を印加することにより、N型拡散層10とソース11が導通しないため、ソース11から負電圧の印加されたドレイン7へ過剰な電流がながれることはない。また、メモリセルM3の電荷蓄積層3には電荷が注入されないので、しきい値は変動しない。以上が書き込み動作時に各端子に印加する電圧の説明である。

【0068】

書き込み動作の好ましい実施の1態様を以下に説明する。図38は、この実施態様における各端子への印加電圧を示すタイミングチャートである。図39は、この実施態様の手順を示すフローチャートである。図39のフローチャートを参照しながら、メモリセルへの書き込み動作を説明する。

10

まず第1及び第2制御ゲート4, 2、第1選択ゲート6、ソース11、ドレイン7に0Vを印加する(ステップS41)。次に、第2制御ゲート20Vのままとして、ドレイン7に-10V、第1選択ゲート6に-10Vを印加する(ステップS42)。その後、第1制御ゲート4に10Vを印加する(ステップS43)。尚、選択ブロックのうち、書き込みを行わないメモリ素子は、ドレイン7(ビット線)に0Vを印加して書き込みを阻止する。

【0069】

また書き込み完了後、第1制御ゲート4を0Vにする(ステップS44)。その後、第1選択ゲート6、ドレイン7を0Vにする(ステップS45)。この実施の形態では第1選択ゲート6、ドレイン7を同時に変化させているが、同時である必要は無く、いずれが前後してもかまわない。

20

(実施の形態6)

次に、実施の形態5で説明した揮発性メモリ素子の電荷放出(消去)動作の実施の形態を説明する。

【0070】

選択されたメモリブロックの全ての不揮発性メモリ素子の電荷蓄積層から電荷を放出する(消去)場合は、準備段階として、ドレイン7に正電圧VH5、第1制御ゲート4、第2制御ゲート2に正電圧VH4を印加して、ソース11と第1選択ゲート6は接地する。そして第1制御ゲート4、第2制御ゲート2がオンし、N型拡散層9、10がVH5となつて、第1及び第2浮遊チャネル14, 13がVH5にチャージされる。チャージが完了した後で、電荷放出するために、第1及び第2制御ゲート線4, 2を正電圧VH4から負電圧VN1へ変化させると、第1制御ゲート4と第1浮遊チャネル15及び第2制御ゲート2と第2浮遊チャネル14の間に負電圧VN1-正電圧VH5の電位差が発生する。このとき電荷蓄積層3, 1からFNトンネル電流によってそれぞれ第1及び第2浮遊チャネル14, 13へ電荷が放出される。この電荷放出によりメモリセルM3、M4のしきい値電圧は負方向に移動する。以上が実施の形態6の消去動作4である。

30

消去動作の好ましい実施の1態様を以下に説明する。図40は、この実施態様における各端子への印加電圧を示すタイミングチャートである。図41は、この実施態様の手順を示すフローチャートである。図41のフローチャートを参照しながら、メモリセルへの書き込み動作を説明する。選択ブロックの全メモリセルを消去する場合、まず第1及び第2制御ゲート4, 2、第1選択ゲート6、ソース11、ドレイン7を0Vとする(ステップS51)。そして、ドレイン7に10V、第1及び第2制御ゲート4, 2に12Vを与えて、第1及び第2浮遊チャネル14, 13をチャージする(ステップS52)。チャージが完了した後で第1及び第2制御ゲート4, 2に-10Vを印加する(ステップS53)。また消去完了後、第1及び第2制御ゲート4, 3を0Vにする(ステップS54)。その後、ドレイン7を0Vにする(ステップS55)。

40

また、選択されたブロックの全てのメモリセルの電荷蓄積層から電荷を放出する別の方法を以下に説明する。電荷を放出する際の準備段階として、ドレイン7とソース11に正電圧VH5、選択ゲート6に正電圧VH5をパス出来る以上の正電圧VH4($VH4 > VH5$)、第1制御ゲート4、第2制御ゲート2に正電圧VH4を印加する。そして選択ゲ

50

ト 6、第 1 制御ゲート 4、制御ゲート 2 がオンし、N 型拡散層 9、10 が V_{H5} となって、浮遊チャンネルが V_{H5} にチャージされる。チャージが完了した後で、電荷放出するために、第 1 及び第 2 制御ゲート線 4、2 を正電圧 V_{H4} から負電圧 V_{N1} へ変化させると、第 1 制御ゲート 4、第 2 制御ゲート 2 と浮遊チャンネルに負電圧 V_{N1} - 正電圧 V_{H5} の電位差が発生する。このとき電荷蓄積層 1、3 からトンネル電流によって浮遊チャンネルへ電荷が放出される。この電荷放出によりメモリセル M₃、M₄ のしきい値電圧は負方向に移動する。

【0071】

消去動作の好ましい実施の 1 態様を以下に説明する。図 4 2 は、この実施態様における各端子への印加電圧を示すタイミングチャートである。また、図 4 3 は、この実施態様の手順を示すフローチャートである。図 4 3 のフローチャートを参照しながら、メモリセルへの書き込み動作を説明する。選択されたブロックの全メモリセルを消去する場合、まず第 1 及び第 2 制御ゲート 4、2、第 1 選択ゲート 6、ソース 11、ドレイン 7 を 0 V とする (ステップ S 6 1)。次に、ドレイン 7 とソース 11 に 10 V、第 1 選択ゲート 6 及び第 1 及び第 2 制御ゲート 4、2 に 12 V を与えて、浮遊チャンネル 14、13 をチャージする。(ステップ S 6 2) チャージが完了した後で第 1 及び第 2 制御ゲート 4、2 に -10 V を印加する。(ステップ S 6 3) 消去完了後、第 1 及び第 2 制御ゲート 4、2 を 0 V にする (ステップ S 6 4)。その後、第 1 選択ゲート 6、ソース 11、ドレイン 7 を 0 V にする (ステップ S 6 5)。上記の手順でメモリセルを消去することが可能である。この実施の形態では第 1 選択ゲート 6 とドレイン 7、ソース線を同時に変化させているが、必ずしも同時である必要は無く、どちらが前後してもかまわない。

10

20

(実施の形態 7)

上述した半導体記憶装置の応用例として、例えば、図 4 4 に示したような液晶表示装置における、液晶パネルの画像調整用の書換え可能な不揮発性メモリが挙げられる。

【0072】

液晶パネル 1001 は、液晶ドライバ 1002 によって駆動される。液晶ドライバ 1002 内には、不揮発性メモリ部 1003、SRAM 部 1004、液晶ドライバ回路 1005 がある。不揮発性メモリ部は、この発明の不揮発性メモリ素子、より好ましくは実施の形態 2 に記載の半導体記憶装置よりなる。不揮発性メモリ部 1003 は外部から書換え可能な構成を有している。

30

【0073】

不揮発性メモリ部 1003 に記憶された情報は、機器の電源の投入時に SRAM 部 1004 に転写される。液晶ドライバ回路 1005 は、必要に応じて SRAM 部 1004 から記憶情報を読み出すことができる。SRAM 部を設けることにより、記憶情報の読出し速度を非常に高速に行なうことができる。

【0074】

液晶ドライバ 1002 は、図 4 4 に示すように液晶パネル 1001 に外付けしてもよいが、液晶パネル 1001 上に形成してもよい。

【0075】

液晶パネルは、各画素に多段階の電圧を与えることによって表示される階調を変えているが、与えた電圧と表示される階調との関係は製品ごとにばらつきが生じる。そのため、製品の完成後に個々の製品のばらつきを補正するための情報を記憶させ、その情報を基に補正を行うことにより、製品間の画質を均一にすることができる。したがって、補正情報を記憶するための書換え可能な不揮発性メモリを搭載することが好ましい。この不揮発性メモリとしてこの発明のメモリセルを用いるのが好ましく、特に、実施の形態 2 に記載の半導体記憶装置を用いるのが好ましい。

40

【0076】

【発明の効果】

この発明によれば、不揮発性メモリ素子の電荷蓄積層に電荷を注入するために、ソースに 0 または正の第 3 電圧を印加し、第 1 選択ゲートに負の第 1 電圧を印加しながらドレイン

50

に負の第 1 電圧を印加するので、製造プロセスが複雑なトリプルウェル構造を必要とせず、ドレインに過度の電流が流れるのを阻止し、また、制御ゲートに高電圧を印加することなく電荷蓄積層に電荷を注入することができる。従って、デコーダやチップ内部の昇圧回路のトランジスタのゲート幅や長さを小さくすることができ、その結果チップ面積を小さくすることができる。

【0077】

また、前記不揮発性メモリ素子の駆動方法が、ドレインに正の第 5 電圧を、第 2 選択ゲートと電荷を放出するメモリセルの制御ゲートに第 5 電圧よりも大きい正の第 6 電圧を印加し、ソースと第 1 選択ゲートに 0 または正の第 7 電圧を印加するプリチャージ工程と、プリチャージ工程の後に前記制御ゲートに負の第 8 電圧を印加する電荷放出工程をさらに備えるようにすれば、不揮発性メモリ素子の電荷蓄積層から電荷を放出するために、制御ゲートに負の第 8 電圧を印加し、ドレインに正の第 5 電圧を印加するので、消去動作時に制御ゲートに高電圧を印加することなく電荷蓄積層から電荷を放出することができる。

10

【0078】

あるいは、前記不揮発性メモリ素子の駆動方法が、ソースに正の第 5 電圧を、第 1 選択ゲートと電荷を放出するメモリセルの制御ゲートに第 5 電圧よりも大きい正の第 6 電圧を印加し、ドレインと第 2 選択ゲートに 0 または正の第 7 電圧を印加するプリチャージ工程と、プリチャージ工程の後に前記制御ゲートに負の第 8 電圧を印加する電荷放出工程をさらに備えるようにすれば、不揮発性メモリ素子の電荷蓄積層から電荷を放出するために、制御ゲートに負の第 8 電圧を印加し、ソースに正の第 5 電圧を印加するので、消去動作時に制御ゲートに高電圧を印加することなく電荷蓄積層から電荷を放出することができる。

20

【0079】

あるいはまた、前記不揮発性メモリ素子の駆動方法が、ドレインとソースに第 5 の正電圧を印加し、第 1 選択ゲート、第 2 選択ゲートと電荷を放出するメモリセルの制御ゲートに第 5 の正電圧よりも大きい第 6 の正電圧を印加するプリチャージ工程と、プリチャージ工程の後に前記制御ゲートに負の第 7 電圧を印加する電荷放出工程をさらに備えるようにすれば、制御ゲートに負の第 8 電圧を印加し、ドレインとソースに正の第 5 電圧を印加するので、制御ゲートに高電圧を印加することなく、より短い時間で電荷蓄積層から電荷を放出することができる。

【図面の簡単な説明】

30

【図 1】この発明に係る不揮発性メモリ素子の書き込み動作を示すタイミングチャートである。

【図 2】この発明に係る不揮発性メモリ素子の書き込み動作の手順を示すフローチャートである。

【図 3】この発明に係る不揮発性メモリ素子の断面図である。

【図 4】この発明に係る不揮発性メモリ素子の等価回路図である。

【図 5】この発明に係る不揮発性メモリ素子の別の実施態様における断面図である。

【図 6】この発明に係る不揮発性メモリ素子の別の実施態様における等価回路図である。

【図 7】従来の不揮発性メモリ素子の断面図である。

【図 8】この発明に係る不揮発性メモリ素子を複数配列してなるメモリセルアレイの平面図である。

40

【図 9】この発明に係るメモリセルアレイの製造例を示す断面（図 8 の A - A' 線）工程図である。

【図 10】この発明に係るメモリセルアレイの製造例を示す断面（図 8 の A - A' 線）工程図である。

【図 11】この発明に係るメモリセルアレイの製造例を示す断面（図 8 の A - A' 線）工程図である。

【図 12】この発明に係るメモリセルアレイの製造例を示す断面（図 8 の A - A' 線）工程図である。

【図 13】この発明に係るメモリセルアレイの製造例を示す断面（図 8 の A - A' 線）工

50

程図である。

【図 14】この発明に係るメモリセルアレイの製造例を示す断面（図 8 の A - A' 線）工程図である。

【図 15】この発明に係るメモリセルアレイの製造例を示す断面（図 8 の A - A' 線）工程図である。

【図 16】この発明に係るメモリセルアレイの製造例を示す断面（図 8 の A - A' 線）工程図である。

【図 17】この発明に係るメモリセルアレイの製造例を示す断面（図 8 の A - A' 線）工程図である。

【図 18】この発明に係るメモリセルアレイの製造例を示す断面（図 8 の A - A' 線）工程図である。 10

【図 19】この発明に係るメモリセルアレイの製造例を示す断面（図 8 の A - A' 線）工程図である。

【図 20】この発明に係るメモリセルアレイの製造例を示す断面（図 8 の A - A' 線）工程図である。

【図 21】この発明に係るメモリセルアレイの製造例を示す断面（図 8 の A - A' 線）工程図である。

【図 22】この発明に係るメモリセルアレイの製造例を示す断面（図 8 の A - A' 線）工程図である。

【図 23】この発明に係るメモリセルアレイの製造例を示す断面（図 8 の A - A' 線）工程図である。 20

【図 24】この発明に係るメモリセルアレイの製造例を示す断面（図 8 の A - A' 線）工程図である。

【図 25】この発明に係るメモリセルアレイの製造例を示す断面（図 8 の A - A' 線）工程図である。

【図 26】この発明に係るメモリセルアレイの製造例を示す断面（図 8 の A - A' 線）工程図である。

【図 27】この発明に係るメモリセルアレイの製造例を示す断面（図 8 の A - A' 線）工程図である。

【図 28】この発明に係るメモリセルアレイの製造例を示す断面（図 8 の A - A' 線）工程図である。 30

【図 29】この発明の半導体装置のブロック図である。

【図 30】各ブロック内のメモリセルアレイの形態を示すブロック図である。

【図 31】この発明に係る不揮発性メモリ素子の消去動作 1 を示すタイミングチャートである。

【図 32】この発明に係る不揮発性メモリ素子の消去動作 1 の手順を示すフローチャートである。

【図 33】この発明に係る不揮発性メモリ素子の消去動作 2 を示すタイミングチャートである。

【図 34】この発明に係る不揮発性メモリ素子の消去動作 2 の手順を示すフローチャート 40 である。

【図 35】この発明に係る不揮発性メモリ素子の消去動作 3 を示すタイミングチャートである。

【図 36】この発明に係る不揮発性メモリ素子の消去動作 3 の手順を示すフローチャートである。

【図 37】この発明に係る不揮発性メモリ素子の別の実施態様におけるメモリセルアレイの形態を示すブロック図である。

【図 38】この発明に係る不揮発性メモリ素子の別の実施態様における書き込み動作を示すタイミングチャートである。

【図 39】この発明に係る不揮発性メモリ素子の別の実施態様における書き込み動作の手 50

順を示すフローチャートである。

【図 4 0】この発明に係る不揮発性メモリ素子の別の実施態様における消去動作 4 を示すタイミングチャートである。

【図 4 1】この発明に係る不揮発性メモリ素子の別の実施態様における消去動作 4 の手順を示すフローチャートである。

【図 4 2】この発明に係る不揮発性メモリ素子の別の実施態様における消去動作 5 を示すタイミングチャートである。

【図 4 3】この発明に係る不揮発性メモリ素子の別の実施態様における消去動作 5 の手順を示すフローチャートである。

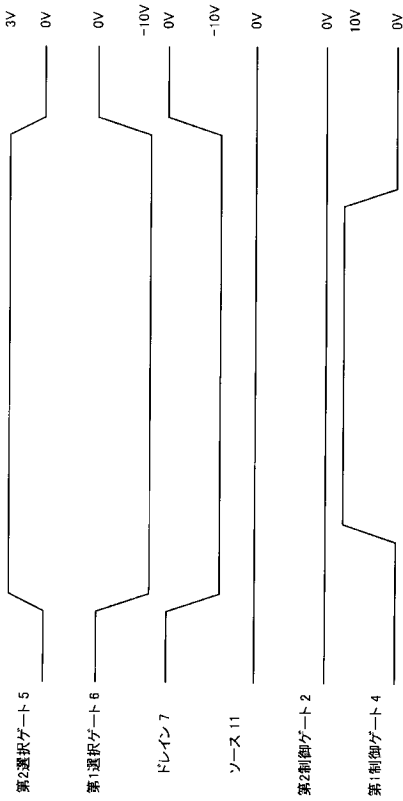
【図 4 4】この発明の半導体記憶装置を組み込んだ液晶表示装置（実施の形態 7）の概略構成図である。 10

【符号の説明】

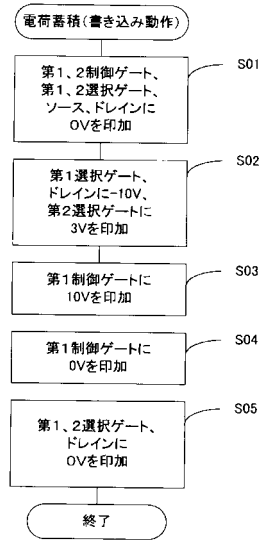
- 1、3 電荷蓄積層
- 2、79 ~ 79 i 第 2 制御ゲート
- 4、78 ~ 78 i 第 1 制御ゲート
- 5、80 ~ 80 i 第 2 選択ゲート
- 6、81 ~ 81 i 第 1 選択ゲート
- 7 ドレイン（N 型拡散層）
- 8、9、10 N 型拡散層
- 11 ソース 20
- 12 島状半導体層
- 13 半導体基板
- 14 第 2 浮遊チャネル
- 15 第 1 浮遊チャネル
- 30 半導体記憶装置
- 31 メモリセルアレイ
- 32 B 0 ~ 32 B n、6 1 ローカル行デコーダ
- 33 消去スイッチ
- 34 ブロックデコーダ
- 35 グローバル行デコーダ 30
- 36 列デコーダ
- 37 列ゲート回路
- 38 S 0 ~ 38 S n、7 3 共通ソース線
- 39 S 0 ~ 39 S n、グローバルワード線
- 40 S 0 ~ 40 S n ブロック選択線
- 41 S 0 ~ 41 S n、7 0 第 1 グローバル選択線
- 42 S 0 ~ 42 S n、6 9 第 2 グローバル選択線
- 43 ドレイン電圧発生部
- 44 第 1 制御ゲート電圧発生部
- 45 第 2 制御ゲート電圧発生部 40
- 46 第 1 選択ゲート電圧発生部
- 47 第 2 選択ゲート電圧発生部
- 48 ソース電圧発生部
- 49 アドレスバス
- 50 状態制御部
- 51 S 0 ~ 51 S 0 i、51 S 1 ~ 51 S 1 i、51 S n ~ 51 S n i、6 6 ~ 6 6 i
- ビット線
- 60 ブロック
- 62 第 2 グローバルワード線
- 63 第 1 グローバルワード線 50

6 4 ~ 6 4 i、6 5 ~ 6 5 i	メモリセル	
6 7	第 2 ロールワード線	
6 8	第 1 ロールワード線	
7 1	第 2 ロール選択線	
7 2	第 1 ロール選択線	
7 4、7 5、7 6、7 7	スイッチングトランジスタ	
8 3 ~ 8 3 i	第 1 選択トランジスタ	
8 2 ~ 8 2 i	第 2 選択トランジスタ	
8 4	スイッチング制御回路	
1 0 0	p 型シリコン基板	10
1 1 0	島状半導体層	
2 1 0	第一の溝部	
2 2 0	第二の溝部	
3 1 0	第一の絶縁膜 (シリコン窒化膜)	
3 2 1 ~ 3 2 4	第四の絶縁膜 (シリコン窒化膜)	
3 3 1	第九の絶縁膜 (シリコン窒化膜)	
4 1 0	第二の絶縁膜 (熱酸化膜)	
4 2 0	第三の絶縁膜 (シリコン窒化膜)	
4 3 1、4 3 2、4 3 3	第五の絶縁膜 (シリコン酸化膜)	
4 4 1、4 4 2、4 4 3	第六の絶縁膜 (シリコン酸化膜)	20
4 5 0	第七の絶縁膜 (シリコン酸化膜)	
4 6 1、4 6 2、4 6 3、4 6 4	第八の絶縁膜 (シリコン酸化膜)	
4 6 5	第十の絶縁膜 (シリコン酸化膜)	
5 1 0 ~ 5 1 4	第一の導電膜 (多結晶シリコン膜)	
5 2 1 ~ 5 2 4	第二の導電膜 (多結晶シリコン膜)	
6 1 2、6 1 3	層間絶縁膜	
7 1 0、7 2 1 ~ 7 2 4	N 型半導体層 (不純物拡散層)	
8 1 0	第一の配線層 (不純物拡散層)	
8 2 1、8 2 4	第二の配線層	
8 3 2、8 3 3	第三の配線層	30
8 4 0	第四の配線層 (ビット線)	
9 1 0	第一のコンタクト部	
9 2 1、9 2 4	第二のコンタクト部	
9 3 2、9 3 3	第三のコンタクト部	
1 0 0 1	液晶パネル	
1 0 0 2	液晶ドライバ	
1 0 0 3	不揮発性メモリ部	
1 0 0 4	S R A M 部	
1 0 0 5	液晶ドライバ回路	

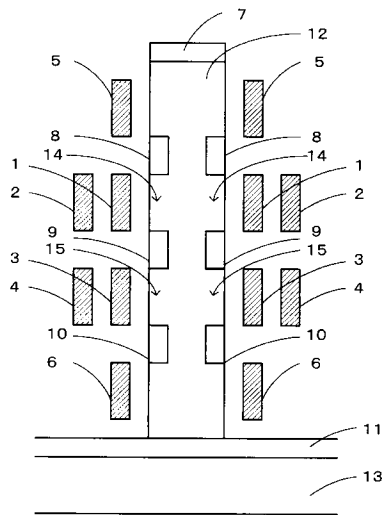
【 図 1 】



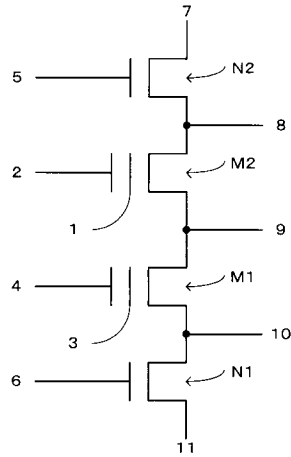
【 図 2 】



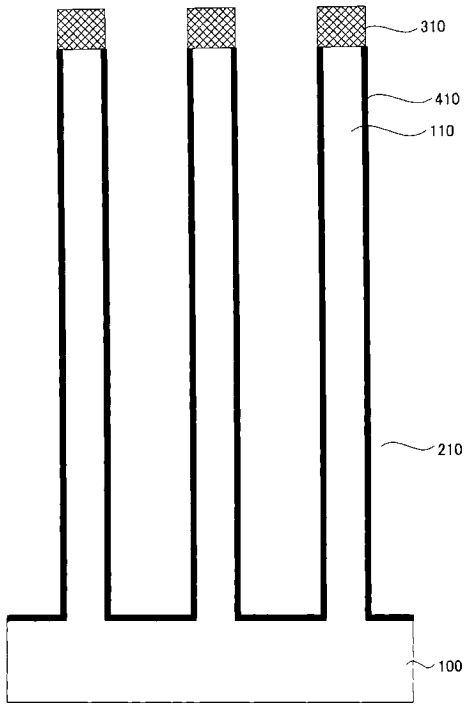
【 図 3 】



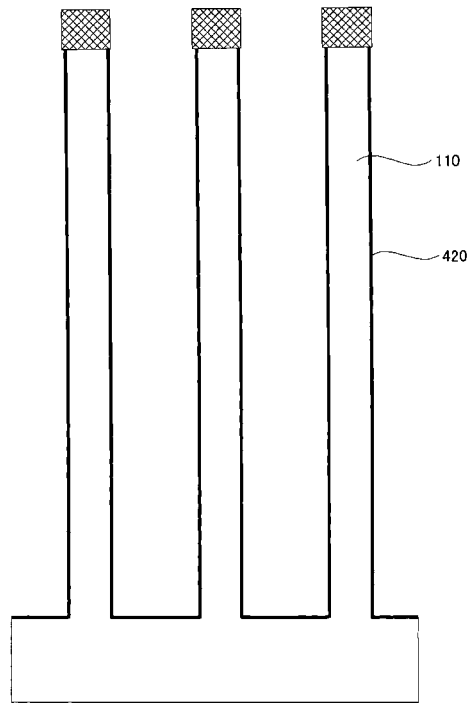
【 図 4 】



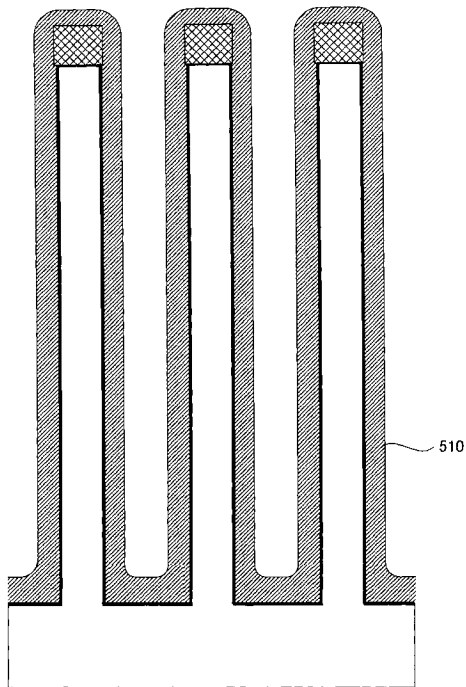
【図 1 0】



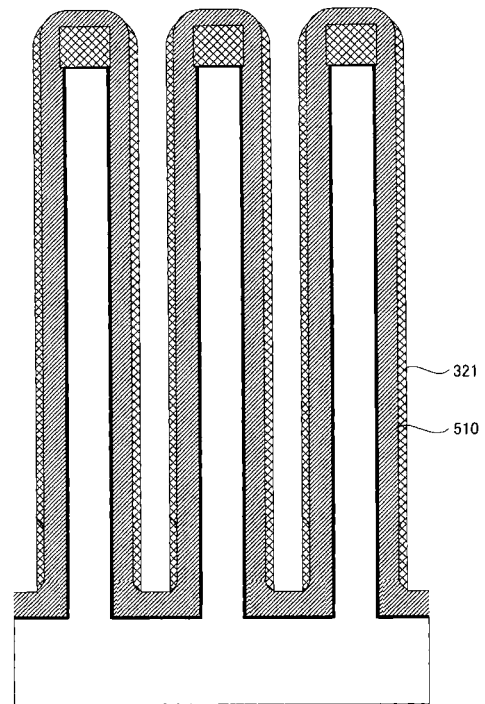
【図 1 1】



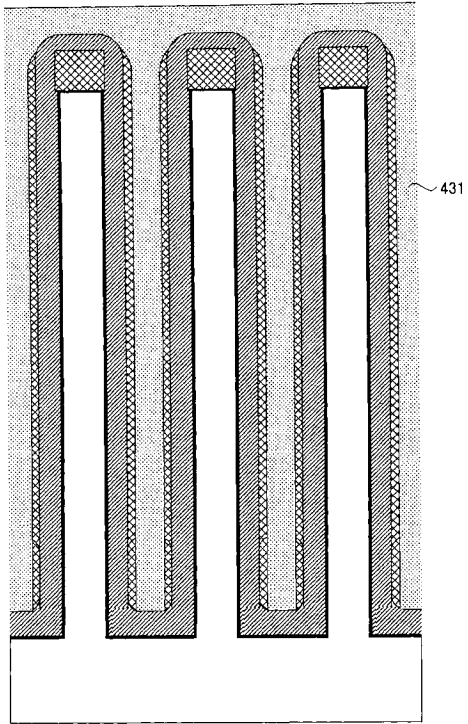
【図 1 2】



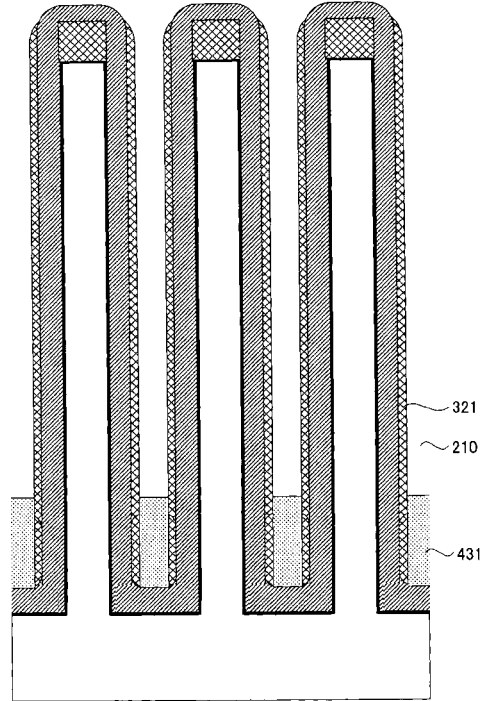
【図 1 3】



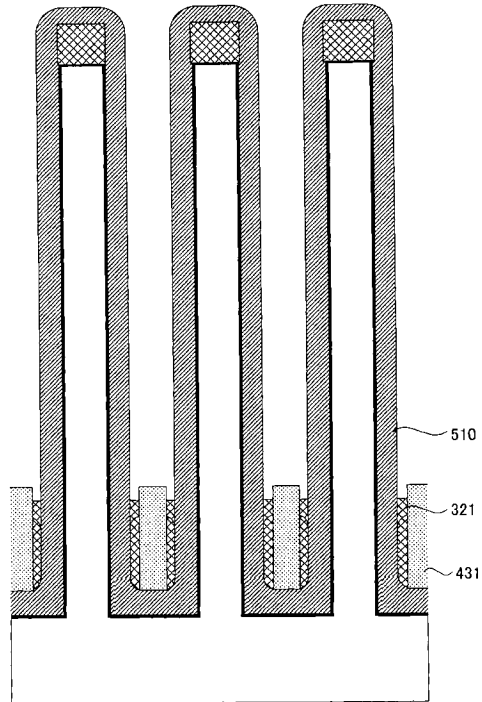
【図 14】



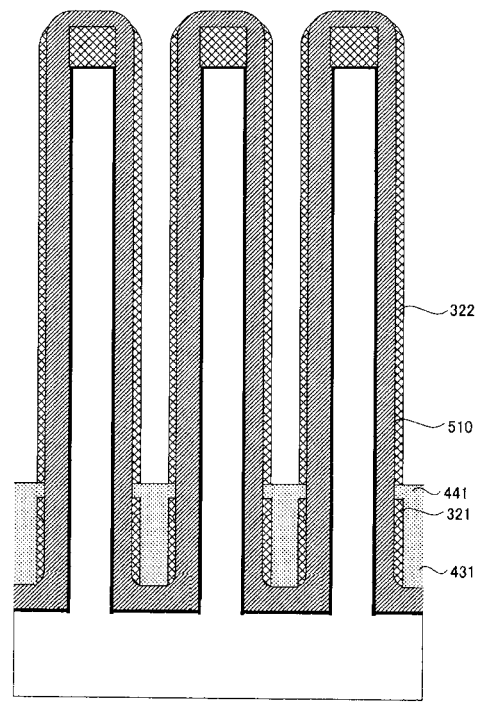
【図 15】



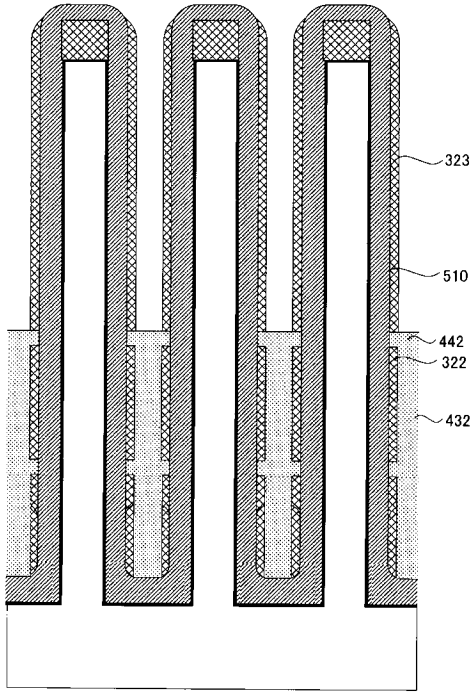
【図 16】



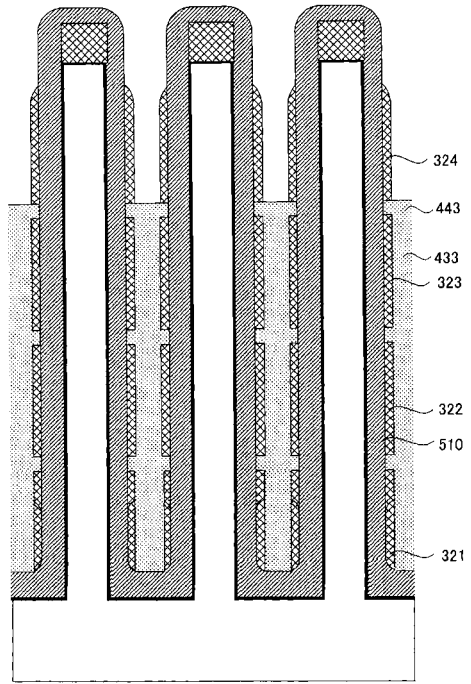
【図 17】



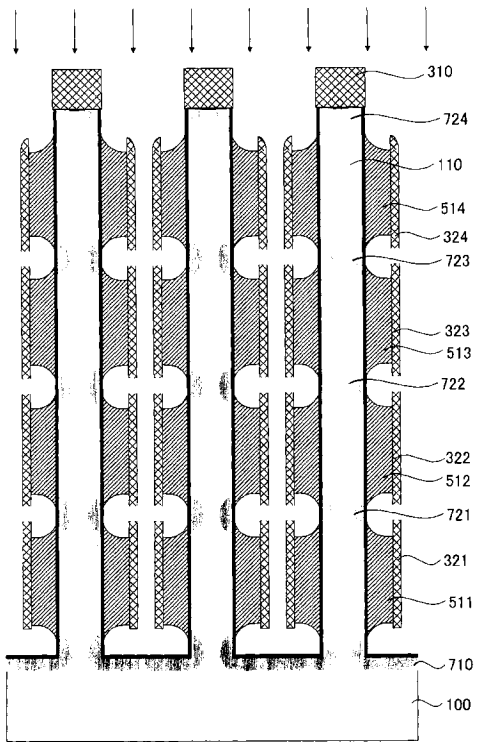
【 図 18 】



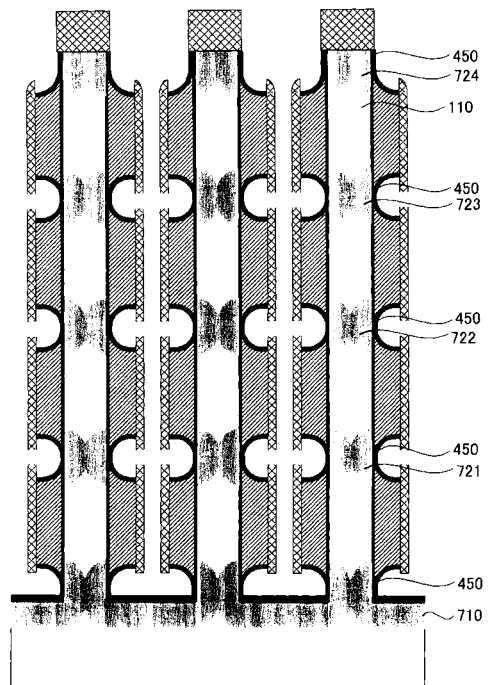
【 図 19 】



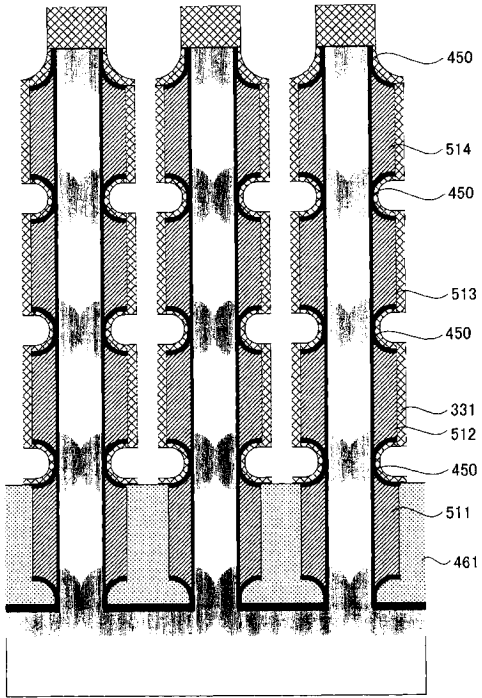
【 図 20 】



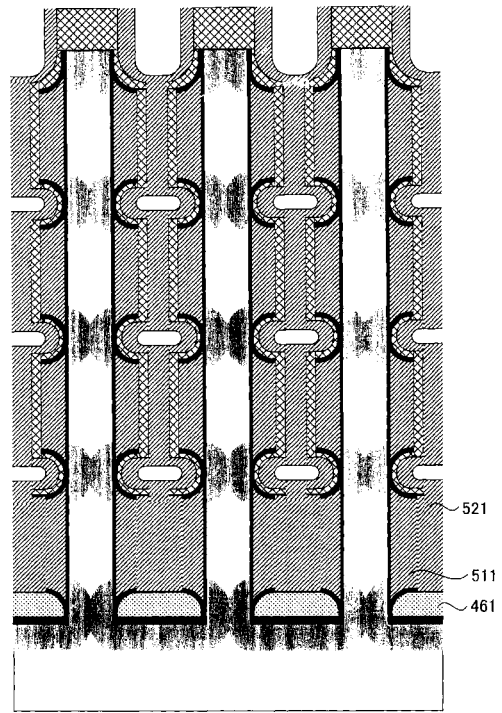
【 図 21 】



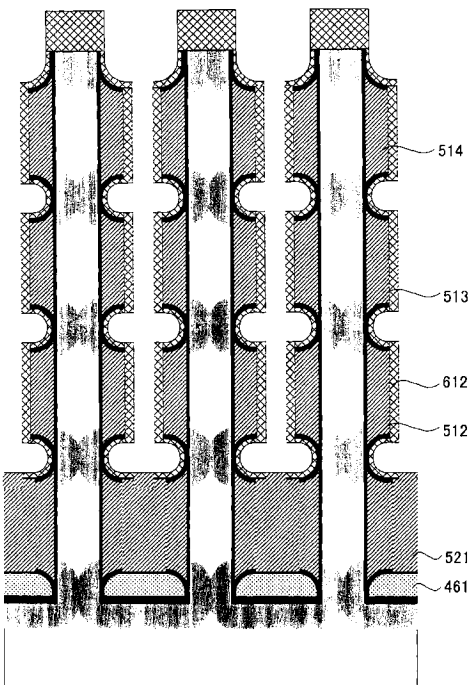
【 図 2 2 】



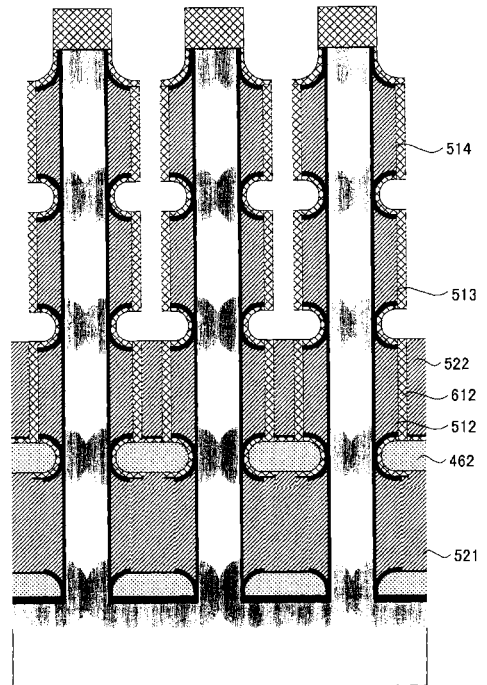
【 図 2 3 】



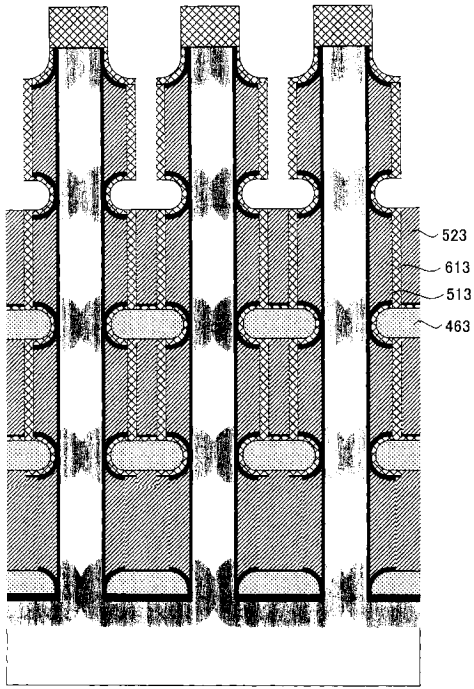
【 図 2 4 】



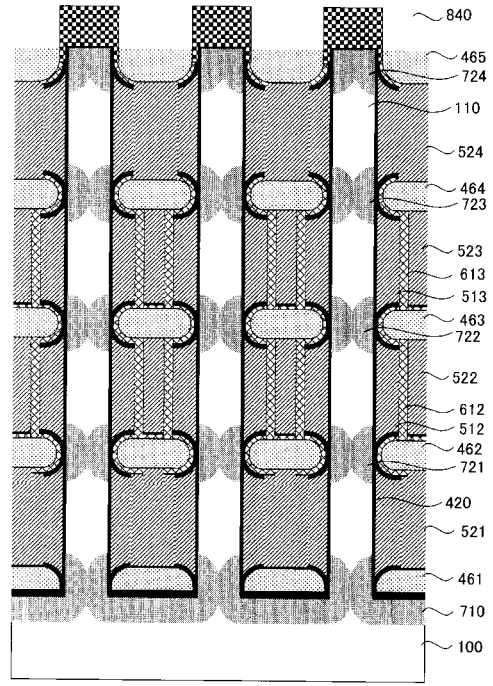
【 図 2 5 】



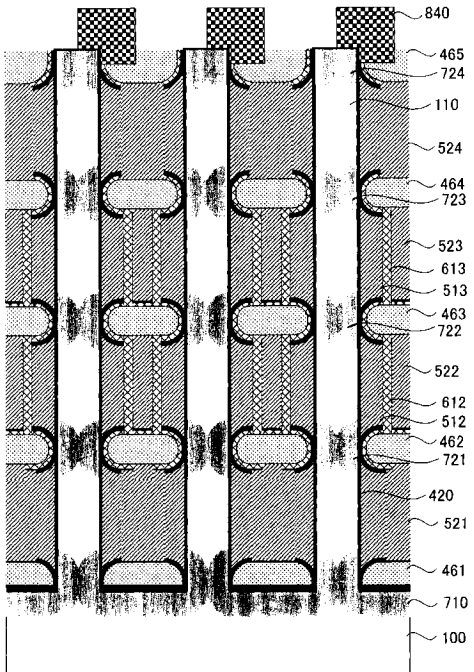
【図 26】



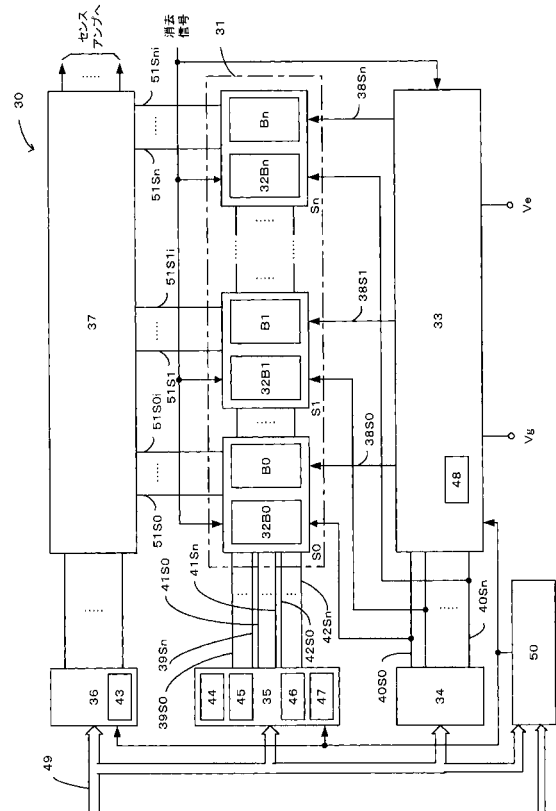
【図 27】



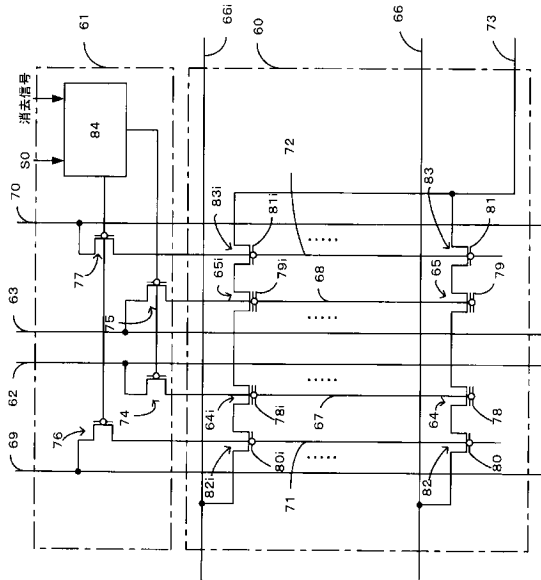
【図 28】



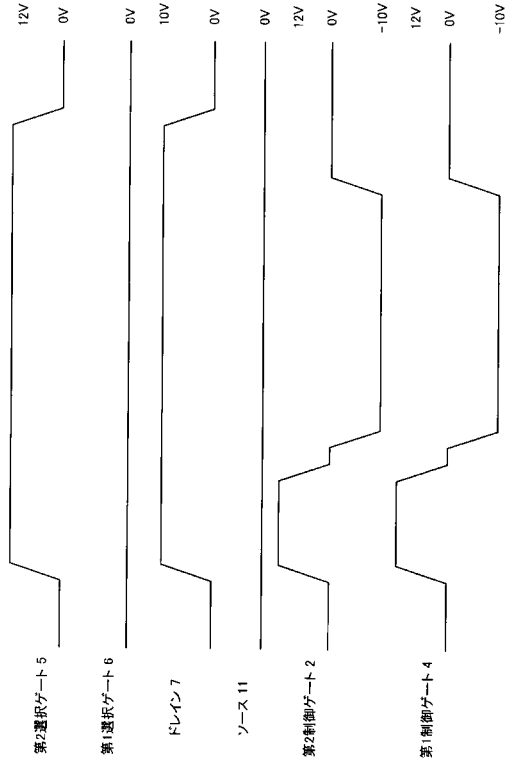
【図 29】



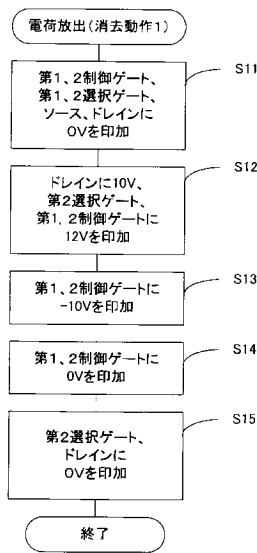
【図 30】



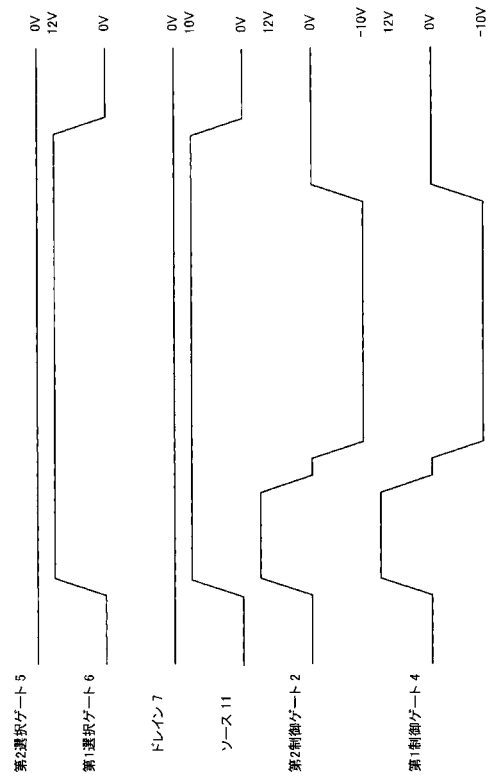
【図 31】



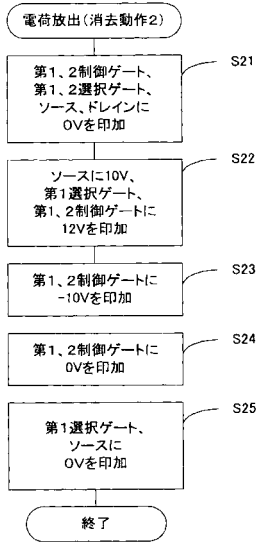
【図 32】



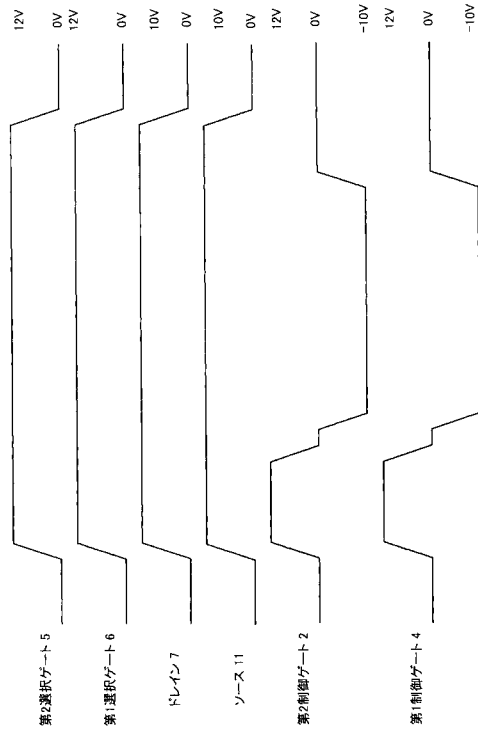
【図 33】



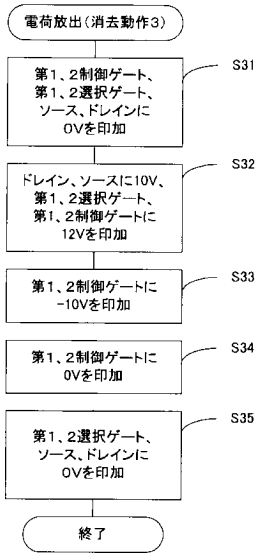
【図34】



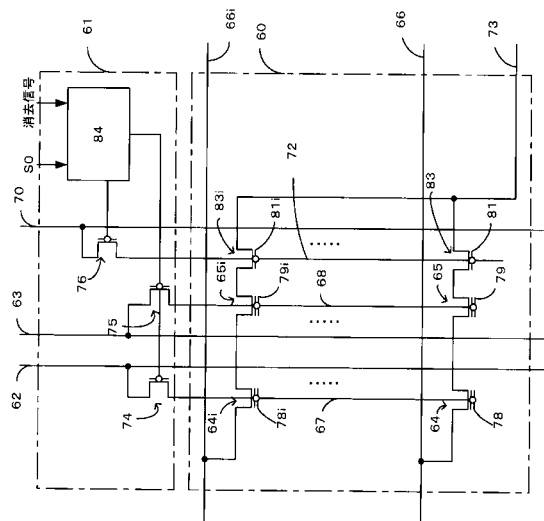
【図35】



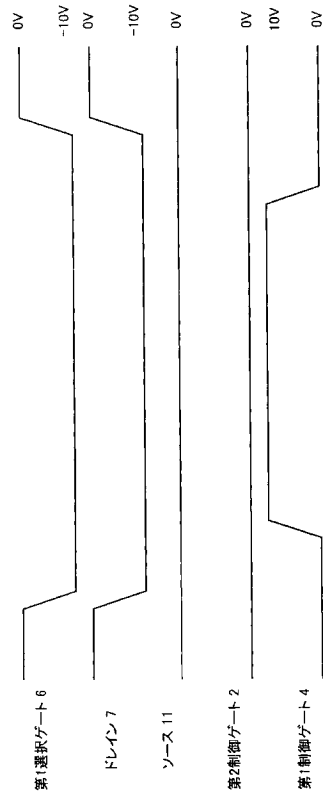
【図36】



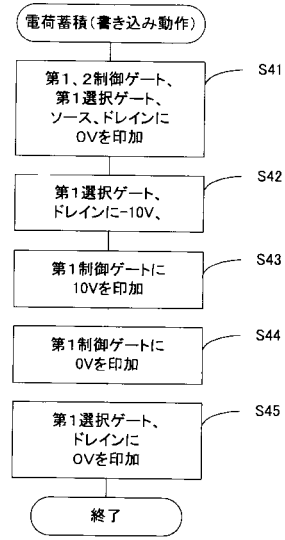
【図37】



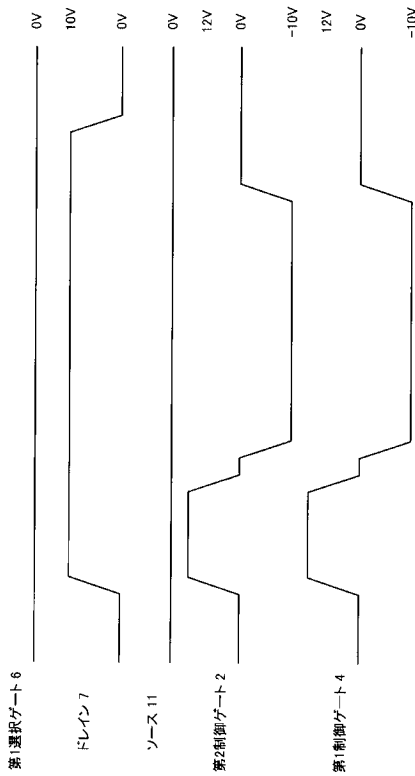
【図38】



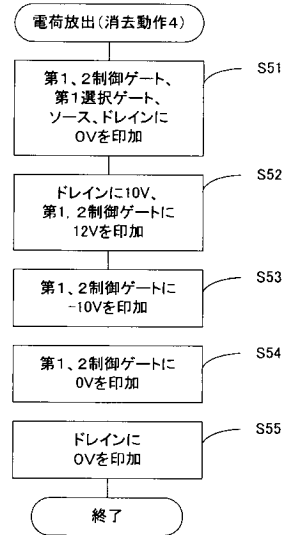
【図39】



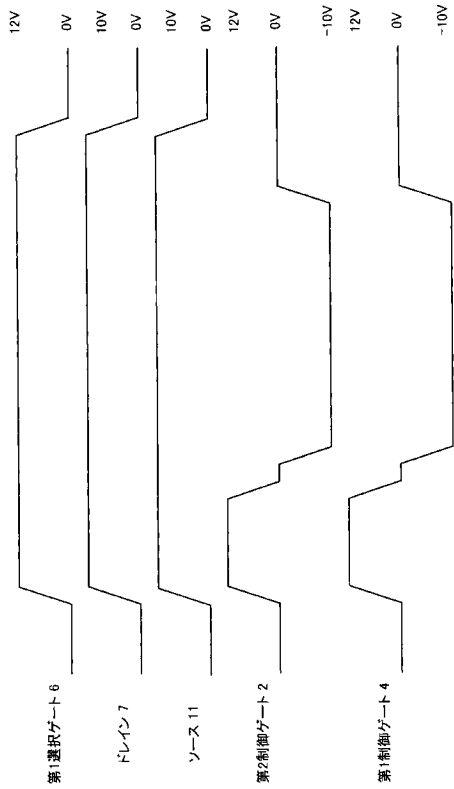
【図40】



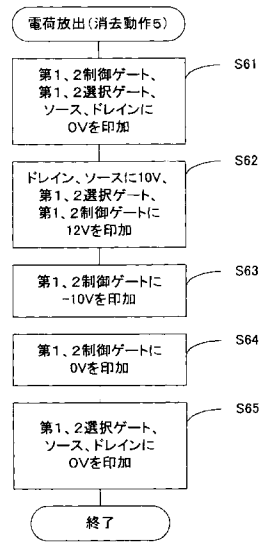
【図41】



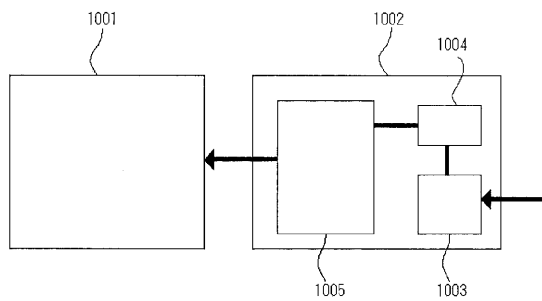
【 図 4 2 】



【 図 4 3 】



【 図 4 4 】



フロントページの続き

(51)Int.Cl. ⁷	F I	テーマコード(参考)
H 0 1 L 27/10	H 0 1 L 29/78	3 7 1
H 0 1 L 27/115	G 1 1 C 17/00	6 3 3 E
H 0 1 L 29/788	G 1 1 C 17/00	6 3 5
H 0 1 L 29/792	G 1 1 C 17/00	6 1 1 E
	G 1 1 C 17/00	6 1 2 E

(72)発明者 上野 庄之助
大阪府大阪市阿倍野区長池町2番2号 シャープ株式会社内

(72)発明者 松山 隆介
大阪府大阪市阿倍野区長池町2番2号 シャープ株式会社内

(72)発明者 堀井 新司
大阪府大阪市阿倍野区長池町2番2号 シャープ株式会社内

Fターム(参考) 2H092 JA34 JA46 MA17 NA25 PA01 PA04 PA06
2H093 NA16 NC01 NC09 NC11 ND60 NE01 NE02
5B025 AA03 AB01 AC01 AD03 AD04 AD08 AE07 AE08
5F083 EP02 EP03 EP22 EP33 EP34 EP55 ER09 ER19 ER22 ER30
JA04 KA03 LA05 LA06 LA10
5F101 BA02 BA29 BA36 BB02 BD16 BD22 BE01 BE02 BE05 BE07
BE14

专利名称(译)	驱动非易失性存储元件的方法，半导体存储器件和具有该方法的液晶显示器件		
公开(公告)号	JP2005038909A	公开(公告)日	2005-02-10
申请号	JP2003197409	申请日	2003-07-15
[标]申请(专利权)人(译)	舛冈富士雄 夏普株式会社		
申请(专利权)人(译)	舛冈 富士雄 夏普公司		
[标]发明人	舛冈富士雄 桜庭弘 松岡史宜 上野庄之助 松山隆介 堀井新司		
发明人	舛冈 富士雄 桜庭 弘 松岡 史宜 上野 庄之助 松山 隆介 堀井 新司		
IPC分类号	G02F1/1343 G02F1/133 G09G3/36 G11C16/02 G11C16/04 G11C16/06 G11C16/12 G11C16/14 G11C16/30 H01L21/8247 H01L27/10 H01L27/115 H01L29/788 H01L29/792		
CPC分类号	H01L27/11556 G09G3/3611 G09G2320/0285 G11C16/0433 G11C16/14 H01L27/115 H01L29/7881 H01L29/7887		
FI分类号	H01L27/10.434 G02F1/133.505 G02F1/1343 H01L27/10.481 G11C17/00.633.D H01L29/78.371 G11C17/00.633.E G11C17/00.635 G11C17/00.611.E G11C17/00.612.E G11C16/06 G11C16/08.130 G11C16/08.140 G11C16/10.140 G11C16/10.143 G11C16/14.100 G11C16/14.110 H01L27/115 H01L27/ /11526 H01L27/11556		
F-TERM分类号	2H092/JA34 2H092/JA46 2H092/MA17 2H092/NA25 2H092/PA01 2H092/PA04 2H092/PA06 2H093 /NA16 2H093/NC01 2H093/NC09 2H093/NC11 2H093/ND60 2H093/NE01 2H093/NE02 5B025/AA03 5B025/AB01 5B025/AC01 5B025/AD03 5B025/AD04 5B025/AD08 5B025/AE07 5B025/AE08 5F083 /EP02 5F083/EP03 5F083/EP22 5F083/EP33 5F083/EP34 5F083/EP55 5F083/ER09 5F083/ER19 5F083/ER22 5F083/ER30 5F083/JA04 5F083/KA03 5F083/LA05 5F083/LA06 5F083/LA10 5F101 /BA02 5F101/BA29 5F101/BA36 5F101/BB02 5F101/BD16 5F101/BD22 5F101/BE01 5F101/BE02 5F101/BE05 5F101/BE07 5F101/BE14 2H193/ZF01 2H193/ZP01 2H193/ZP02 5B125/BA01 5B125 /CA06 5B125/CA14 5B125/CA17 5B125/CA27 5B125/EB01 5B125/EC02 5B125/EK02 5B125/FA01 5B125/FA02 5B125/FA07 5B125/FA10 5B225/BA01 5B225/CA06 5B225/CA14 5B225/CA17 5B225 /CA27 5B225/EB01 5B225/EC02 5B225/EK02 5B225/FA01 5B225/FA02 5B225/FA07 5B225/FA10		
外部链接	Espacenet		

摘要(译)

解决的问题：提供一种装置驱动方法，该装置驱动方法能够减小写电压的绝对值而不会使非易失性存储装置的结构复杂化，从而减小存储单元的尺寸和容量。第一选择晶体管形成在存储器单元和半导体衬底之间并具有第一绝缘层和第一选择栅极，以及第二绝缘层形成在存储器单元与漏极扩散层和第一选择晶体管之间。具有两个选择栅极的第二选择晶体管，将负的第一电压施加到漏极和第一选择栅极，将第二正电压施加到第二选择栅极，并且将零或正的第一电压施加到源极。3向注入电荷的存储单元的控制栅极施加电压的步骤和向第二栅极施加大于第二电压的第四正电压的步骤，从而在不向控制栅极施加高电压的情况下累积电荷 其特征在于将电荷注入该层。 [选型图]图1

