



**【特許請求の範囲】****【請求項 1】**

スイッチング素子を各々有する複数の画素を含む表示装置の駆動装置であって、  
一列に配列された複数のシフトレジスタを有するゲート駆動部を含み、  
前記各シフトレジスタは蓄電器の充電及び放電により定まる出力を送出し、  
前記蓄電器の充電が後段シフトレジスタの出力またはこれに同期する信号によって遮断されたり、前記蓄電器の放電が前段シフトレジスタの出力またはこれに同期する信号によって遮断される、表示装置の駆動装置。

**【請求項 2】**

前記各シフトレジスタは、  
前記前段シフトレジスタの出力またはこれに同期する信号によって前記蓄電器に印加される第 1 電圧をスイッチングする第 1 スwitchング素子と、  
前記後段シフトレジスタの出力またはこれに同期する信号によって前記蓄電器に印加される第 2 電圧をスイッチングする第 2 スwitchング素子と、  
前記第 1 電圧または前記第 2 電圧のいずれか一つを遮断する電圧遮断部と、  
を含む請求項 1 に記載の表示装置の駆動装置。

10

**【請求項 3】**

前記電圧遮断部は、前記後段シフトレジスタの出力またはこれに同期する信号によって前記第 1 スwitchング素子の入力端子の電圧を前記第 2 電圧にプルダウンする、請求項 2 に記載の表示装置の駆動装置。

20

**【請求項 4】**

前記電圧遮断部は、  
前記第 1 電圧と前記第 1 スwitchング素子との間に連結されている抵抗性素子と、  
前記抵抗性素子と前記第 2 電圧との間に連結され、前記後段シフトレジスタの出力またはこれに同期する信号が入力される制御端子を有する第 3 スwitchング素子と、  
を含む請求項 3 に記載の表示装置の駆動装置。

**【請求項 5】**

前記電圧遮断部は、前記後段シフトレジスタの出力またはこれに同期する信号によって前記第 1 スwitchング素子の制御端子の入力を前記第 2 電圧にプルダウンする請求項 2 に記載の表示装置の駆動装置。

30

**【請求項 6】**

前記電圧遮断部は、  
前記前段シフトレジスタの出力と前記第 1 スwitchング素子との間に連結されている抵抗性素子と、  
前記抵抗性素子と前記第 2 電圧との間に連結され、前記後段シフトレジスタの出力またはこれに同期する信号が入力される制御端子と、  
を有する第 3 スwitchング素子を含む請求項 5 に記載の表示装置の駆動装置。

**【請求項 7】**

前記電圧遮断部は前記前段シフトレジスタの出力またはこれに同期する信号によって前記第 2 スwitchング素子の制御端子の入力を前記第 2 電圧にプルダウンする請求項 2 に記載の表示装置の駆動装置。

40

**【請求項 8】**

前記電圧遮断部は前記後段シフトレジスタの出力と前記第 2 スwitchング素子との間に連結されている抵抗性素子、そして前記抵抗性素子と前記第 2 電圧との間に連結され、前記前段シフトレジスタの出力またはこれに同期する信号が入力される制御端子を有する第 3 スwitchング素子を含む請求項 7 に記載の表示装置の駆動装置。

**【請求項 9】**

前記第 1 電圧はスイッチング素子のしきい電圧より大きく、前記第 2 電圧はスイッチング素子のしきい電圧より小さい請求項 2 に記載の表示装置の駆動装置。

**【請求項 10】**

50

前記シフトレジスタは前記表示装置と同一な基板上に形成される請求項 1 に記載の表示装置の駆動装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は表示装置の駆動装置に関する。

【背景技術】

【0002】

液晶表示装置やエレクトロルミネセンス（EL）表示装置等は、行列状に配列された複数の画素を含む。各画素は画像信号を選択的に受け入れるスイッチング素子を含み、スイッチング素子としてはMOS型トランジスタなど主に三端子素子を使用される。このような表示装置は、スイッチング素子に連結された複数のゲート線と複数のデータ線を含む。各ゲート線はスイッチング素子を各々ターンオンさせるゲートオン電圧を伝達し、各データ線はターンオンされたスイッチング素子を通じて各画素に画像信号を伝達する。このような表示装置は、ゲート線にゲートオン電圧を印加するゲート駆動部とデータ線に画像信号を印加するデータ駆動部及びこれらを制御する信号制御部を含む。

10

【0003】

ゲート駆動部は信号制御部からの垂直同期開始信号によりゲートオン電圧の出力を開始し、一列に配列されたゲート線に順次にゲートオン電圧を印加する。このように順次にゲートオン電圧を出力するために、従来のゲート駆動部はゲート線に各々連結される複数のシフトレジスタを含む。第1のシフトレジスタは垂直同期開始信号とクロック信号に同期してゲートオン電圧の出力を開始し、第2のシフトレジスタからは前段シフトレジスタの出力電圧とクロック信号に同期してゲートオン電圧の出力を開始する。各シフトレジスタのゲートオン電圧出力の終了は後段シフトレジスタの出力開始時点と密接な関係がある。

20

【0004】

さらに詳細には、従来のゲート駆動部の各シフトレジスタは入力方向のSRラッチと出力方向のANDゲートを含む。SRラッチは前段ゲート出力、すなわち前段シフトレジスタの出力が入力されるセット入力端子と、後段ゲート出力、すなわち後段シフトレジスタの出力が入力されるリセット入力端子を有する。ANDゲートはSRラッチの出力とクロック信号を二つの入力としてゲート信号を生成して出力する。

30

【0005】

セット端子に入力される前段ゲート出力とリセット端子に入力される後段ゲート出力が全てLow（“0”）である初期状態では、SRラッチの出力もLowである。後段ゲート出力がLowを維持する間、前段ゲート出力がHigh（“1”）に変われば、SRラッチの出力もHighに変わる。後段ゲート出力が継続してLowを維持する間、前段ゲート出力が再びLowに変わってもSRラッチの出力は変化しない。前段ゲート出力がLowを維持する間、後段ゲート出力がHighに変われば、SRラッチの出力はHighからLowに変わる。結局、SRラッチの出力は前段ゲート出力がLowからHighに変わる時点から後段ゲート出力がLowからHighに変わる時点までHighを維持し、そのとき以外はLowとなる。

40

【0006】

ANDゲートは、SRラッチの出力とクロック信号の全てがHighの時のみにHighのゲート出力を生成する。詳しくは、ゲート出力はSRラッチの出力がHighの間、クロック信号がLowからHighに変わる時にHighとなり、クロック信号がLowになったりSRラッチの出力がLowになれば、Lowに変わる。

【0007】

このような従来のゲート駆動部では言わばラッチアップ現象が生ずる。SRラッチの出力はセット入力とリセット入力各々（0、0）、（1、0）、（0、1）である時はよく定義されているが、（1、1）である時は定義されていない。例えば、前段ゲート出力と後段ゲート出力が二つともHighの時はシフトレジスタがうまく作動しない問題があ

50

る。

【 0 0 0 8 】

特に、表示装置の特性上、表示装置には様々な画像モードが選択的に入力され、この画像モードの画像信号フォーマットが異なれば、画像モードが変更する遷移期間の間にこのような現象が生ずることがある。

【 0 0 0 9 】

例えば、有効データ区間を定義するデータイネーブルDE信号の周期が短くなったり、無効データ区間であるにもかかわらずデータイネーブル信号が有効データ区間であるかのように動作したり、それと逆の動作をする場合がある。前者の場合には、シフトレジスタのリセット時間が不十分だったり、後者の場合には垂直同期開始信号が多数発生することやその幅が長くなることがある。こうなると、二つ以上のシフトレジスタが同時にゲートオン電圧を出力する。その結果、画面異常の発生やクロック信号を開閉するスイッチとゲートオフ電圧を開閉するスイッチが同時にターンオンされて短絡される問題、そしてガラス基板上に形成される信号線または電力線が過負荷で配線が切断される現象が現れる。

10

【 発 明 の 開 示 】

【 発 明 が 解 決 し よ う と す る 課 題 】

【 0 0 1 0 】

本発明が目的とする技術的課題は、このようなラッチアップ現象が防止できる表示装置の駆動装置を提供することである。

【 課 題 を 解 決 す る た め の 手 段 】

20

【 0 0 1 1 】

このような技術的課題を解決するための本発明の特徴は、各々スイッチング素子を有する複数の画素を含む表示装置を駆動する装置である。本発明による表示装置の駆動装置は、各々スイッチング素子を有する複数の画素を含み、一列に配列された複数のシフトレジスタを有するゲート駆動部を含む。前記各シフトレジスタは蓄電器の充電及び放電により定まる出力を送出し、前記蓄電器の充電が後段シフトレジスタの出力またはこれに同期する信号によって遮断されたり、前記蓄電器の放電が前段シフトレジスタの出力またはこれに同期する信号によって遮断されることが好ましい。

【 0 0 1 2 】

また、前記各シフトレジスタは前記前段シフトレジスタの出力またはこれに同期する信号によって前記蓄電器に印加される第1電圧をスイッチングする第1スイッチング素子と、前記後段シフトレジスタの出力またはこれに同期する信号によって前記蓄電器に印加される第2電圧をスイッチングする第2スイッチング素子、そして前記第1電圧または前記第2電圧のいずれかが一つを遮断する電圧遮断部を含むことが好ましい。

30

【 0 0 1 3 】

本発明の一つの実施例による前記電圧遮断部は、前記後段シフトレジスタの出力またはこれに同期する信号によって前記第1スイッチング素子の入力端子の電圧を前記第2電圧にプルダウンする。この時、前記電圧遮断部は前記第1電圧と前記第1スイッチング素子との間に連結される抵抗性素子、そして前記抵抗性素子と前記第2電圧との間に連結され、前記後段シフトレジスタの出力またはこれに同期する信号が入力される制御端子を有する第3スイッチング素子を含む。

40

【 0 0 1 4 】

本発明の他の実施例による前記電圧遮断部は、前記後段シフトレジスタの出力またはこれに同期する信号によって前記第1スイッチング素子の制御端子の入力を前記第2電圧にプルダウンする。この時、前記電圧遮断部は前記前段シフトレジスタの出力と前記第1スイッチング素子との間に連結される抵抗性素子、そして前記抵抗性素子と前記第2電圧との間に連結され、前記後段シフトレジスタの出力またはこれに同期する信号が入力される制御端子を有する第3スイッチング素子を含む。

【 0 0 1 5 】

本発明の他の実施例による前記電圧遮断部は、前記前段シフトレジスタの出力またはこ

50

れに同期する信号によって前記第2スイッチング素子の制御端子の入力を前記第2電圧にプルダウンする。ここで、前記電圧遮断部は前記後段シフトレジスタの出力と前記第2スイッチング素子との間に連結される抵抗性素子、そして前記抵抗性素子と前記第2電圧との間に連結され、前記前段シフトレジスタの出力またはこれに同期する信号が入力される制御端子を有する第3スイッチング素子を含む。一方、前記第1電圧はスイッチング素子のしきい電圧より大きく、前記第2電圧はスイッチング素子のしきい電圧より小さいことが好ましい。

【発明の効果】

【0016】

本発明によれば、後段ゲート出力または前段ゲート出力を利用してゲートオン電圧をプルダウンしたり、バッファートランジスタまたは放電トランジスタを十分にターンオンさせないことにより、蓄電器で充電と放電が同時に起こる現象を防止できる。

【発明を実施するための最良の形態】

【0017】

添付した図面を参照して本発明の実施例に対して本発明の属する技術分野における通常の知識を有する者が容易に実施できるように詳細に説明する。まず、本発明の実施例による液晶表示装置に対して図面を参照して詳細に説明する。

【0018】

図1は本発明の一実施例による液晶表示装置のブロック図で、図2は本発明の一実施例による液晶表示装置の1画素に対する等価回路図である。図1に示すように、本発明の一実施例による液晶表示装置は、液晶表示板組立体300及びこれに連結されたゲート駆動部400、データ駆動部500、データ駆動部500に連結された階調電圧生成部800、そしてこれらを制御する信号制御部600を含む。

【0019】

液晶表示板組立体300は等価回路から見て、複数の表示信号線( $G_1-G_n$ 、 $D_1-D_m$ )とこれに連結されて大略行列状に配列された複数の画素を含む。表示信号線( $G_1-G_n$ 、 $D_1-D_m$ )はゲート信号(“走査信号”ともいう。)を伝達する複数のゲート線( $G_1-G_n$ )とデータ信号を伝達するデータ信号線またはデータ線( $D_1-D_m$ )を含む。ゲート線( $G_1-G_n$ )は大略行方向に延びて互いにほぼ平行で、データ線( $D_1-D_m$ )は大略列方向に延びて互いにほぼ平行である。

【0020】

各画素は、表示信号線( $G_1-G_n$ 、 $D_1-D_m$ )に連結されたスイッチング素子Qと、これに連結された液晶蓄電器C1c及び維持蓄電器Cstを含む。維持蓄電器Cstは必要によって省略できる。

【0021】

スイッチング素子Qは下部表示板100に備えられた三端子素子として、その制御端子及び入力端子は各々ゲート線( $G_1-G_n$ )及びデータ線( $D_1-D_m$ )に連結され、出力端子は液晶蓄電器C1c及び維持蓄電器Cstに連結されている。

【0022】

液晶蓄電器C1cは下部表示板100の画素電極190と上部表示板200の共通電極270を二つの端子として、二つの電極190、270間の液晶層3は誘電体として機能する。画素電極190はスイッチング素子Qに連結され、共通電極270は上部表示板200の前面に形成されて共通電圧Vcomの印加を受ける。図2とは異なって、共通電極270が下部表示板100に備えられる場合もあるが、この場合は二つの電極190、270が全て線形または棒形で形成される。

【0023】

維持蓄電器Cstは下部表示板100に備えられた別個の信号線(図示せず)と画素電極190が重なって構成され、この別個の信号線には共通電圧Vcom等の定められた電圧が印加される。しかし、維持蓄電器Cstは画素電極190が絶縁体を媒介としてすぐ上に配置された前段ゲート線と重なって構成されることもできる。

10

20

30

40

50

## 【 0 0 2 4 】

一方、色表示を実現するためには各画素が色相を表出できなければならないが、これは画素電極 1 9 0 に対応する領域に赤色、緑色、または青色の色フィルター 2 3 0 を備えることにより可能となる。図 2 で、色フィルター 2 3 0 は上部表示板 2 0 0 の該当領域に形成されているが、下部表示板 1 0 0 の画素電極 1 9 0 上のまたは下に形成されても良い。

## 【 0 0 2 5 】

液晶分子は、画素電極 1 9 0 と共通電極 2 7 0 が生成する電場の変化によりその配列を変える。そして、これによって液晶層 3 を通過する光の偏光が変化する。このような偏光の変化は表示板 1 0 0、2 0 0 に付着された偏光子（図示せず）によって光の透過率変化として現れる。

10

## 【 0 0 2 6 】

階調電圧生成部 8 0 0 は液晶表示装置の輝度に係わる複数の正極性（+）、負極性（-）の階調電圧（ $V+$ 、 $V-$ ）を生成する。

## 【 0 0 2 7 】

ゲート駆動部 4 0 0 は液晶表示板組立体 3 0 0 のゲート線（ $G_1-G_n$ ）に連結され、外部からのゲートオン電圧  $V_{on}$  とゲートオフ電圧  $V_{off}$  の組み合わせからなるゲート信号をゲート線（ $G_1-G_n$ ）に印加する。

## 【 0 0 2 8 】

データ駆動部 5 0 0 は階調電圧生成部 8 0 0 からの階調電圧（ $V+$ 、 $V-$ ）を選択してデータ信号として画素に印加する。

20

## 【 0 0 2 9 】

信号制御部 6 0 0 はゲート駆動部 4 0 0 及びデータ駆動部 5 0 0 などの動作を制御する制御信号を生成し、各該当する制御信号をゲート駆動部 4 0 0 及びデータ駆動部 5 0 0 に提供する。

## 【 0 0 3 0 】

以下、このような液晶表示装置の表示動作についてさらに詳細に説明する。

## 【 0 0 3 1 】

信号制御部 6 0 0 は外部のグラフィック制御機（図示せず）から RGB 映像信号 R、G、B 及びその表示を制御する入力制御信号、例えば垂直同期信号  $V_{sync}$  と水平同期信号  $H_{sync}$ 、メインクロック  $MCLK$ 、データイネーブル信号  $DE$  などの提供を受ける。信号制御部 6 0 0 は入力制御信号に基づいて、ゲート制御信号  $CONT1$  及びデータ制御信号  $CONT2$  などを生成し、映像信号 R、G、B を液晶表示板組立体 3 0 0 の動作条件に合わせて適合処理した後、ゲート制御信号  $CONT1$  をゲート駆動部 4 0 0 に送出し、データ制御信号  $CONT2$  及び処理した映像信号  $R'$ 、 $G'$ 、 $B'$  はデータ駆動部 5 0 0 に送出する。

30

## 【 0 0 3 2 】

ゲート制御信号  $CONT1$  はゲートオンパルス（ゲート信号の  $High$  区間）の出力開始を指示する垂直同期開始信号  $STV$  と、ゲートオンパルスの出力時期を制御するゲートクロック信号  $CPV$  及びゲートオンパルスの幅を限定する出力イネーブル信号  $OE$  などを含む。

40

## 【 0 0 3 3 】

データ制御信号  $CONT2$  は映像データ  $R'$ 、 $G'$ 、 $B'$  の入力開始を指示する水平同期開始信号  $STH$  とデータ線（ $D_1-D_m$ ）に当該データ電圧の印加を指示するロード信号  $LOAD$ 、共通電圧  $V_{com}$  に対するデータ電圧の極性（以下、“共通電圧に対するデータ電圧の極性”を単に“データ電圧の極性”と称する。）を反転させる反転信号  $RVS$  及びデータクロック信号  $HCLK$  などを含む。

## 【 0 0 3 4 】

階調電圧生成部 8 0 0 は、液晶表示装置の輝度に係わる複数の階調電圧を生成してデータ駆動部 5 0 0 に印加する。

## 【 0 0 3 5 】

50

データ駆動部 500 は、信号制御部 600 からのデータ制御信号 CONT2 により一つの行の画素に対応する映像データ R'、G'、B' を順次に受信する。そして、階調電圧生成部 800 からの階調電圧のうち各映像データ R'、G'、B' に対応する階調電圧を選択することによって映像データ R'、G'、B' を該当データ電圧に変換する。

【0036】

ゲート駆動部 400 は信号制御部 600 からのゲート制御信号 CONT1 によりゲートオン電圧 Von をゲート線 (G<sub>1</sub>-G<sub>n</sub>) に印加し、このゲート線 (G<sub>1</sub>-G<sub>n</sub>) に連結されたスイッチング素子 Q をターンオンさせる。

【0037】

一つのゲート線 (G<sub>1</sub>-G<sub>n</sub>) にゲートオン電圧 Von が印加され、これに連結された一つの行のスイッチング素子 Q がターンオンの間 (この期間を "1H" または "1 水平周期" といい、水平同期信号 Hsync、データイネーブル信号 DE、ゲートクロック CPV の一周期と同一である。)、データ駆動部 400 は各データ電圧を当該データ線 (D<sub>1</sub>-D<sub>m</sub>) に供給する。データ線 (D<sub>1</sub>-D<sub>m</sub>) に供給されたデータ電圧はターンオンされたスイッチング素子 Q を通じて該当画素に印加される。

【0038】

次は、ゲート駆動部の構造と動作について図 3 乃至図 6 を参照してさらに詳しく説明する。

【0039】

図 3 は本発明の一実施例によるゲート駆動部のブロック図である。図 3 に示すように、ゲート駆動部 400 は一列に配列された複数のシフトレジスタ 410 を含み、シフトレジスタ 410 は画素のスイッチング素子と同一工程により形成され、同一な基板上に集積できる。

【0040】

各シフトレジスタ 410 は前段ゲート出力 Gout (N-1) と後段ゲート出力 Gout (N+1) に基づき、クロック信号 CK1、CK2 に同期してゲート出力 Gout (N) を生成する。隣接したシフトレジスタ 410 は互いに異なるクロック信号 CK1、CK2 を受信するが、二つのクロック信号 CK1、CK2 は位相が逆であって 2H の周期を有する。各クロック信号 CK1、CK2 は、画素のスイッチング素子 Q を駆動することができるよう、High の場合はゲートオン電圧 Von で、Low の場合はゲートオフ電圧 Voff である。スイッチング素子 Q が非晶質シリコン TFT であれば、ゲートオン電圧 Von の大きさは 20V 以上で、ゲートオフ電圧 Voff の大きさは -10V 以下である。

【0041】

図 4 は本発明の一実施例によるゲート駆動部のシフトレジスタの詳細回路図で、図 5 及び図 6 は本発明の他の実施例によるゲート駆動部のシフトレジスタの詳細回路図である。

【0042】

図 4 乃至図 6 に示したシフトレジスタ 410 は、N 番目のシフトレジスタで、前段ゲート出力 Gout (N-1)、後段ゲート出力 Gout (N+1)、クロック信号 CK1 以外にもゲートオン電圧 Von 及びゲートオフ電圧 Voff が入力される。図 4 の場合、ゲートオン電圧 Von が抵抗 R を通じて入力され、図 5 の場合には、前段ゲート出力 Gout (N-1) が抵抗 R を通じて入力され、図 6 の場合には、後段ゲート出力 Gout (N+1) が抵抗 R を通じて入力される。

【0043】

本実施例によるシフトレジスタ 410 は、複数の NMOS トランジスタ M1-M7、Mx、抵抗 R 及び蓄電器 C1 を含む。しかし、NMOS トランジスタの代わりに PMOS トランジスタを使用することもできる。また、蓄電器 C1 及び抵抗 R は説明を容易にするために等価回路で示したが、実際の蓄電器 C1 は、工程の時に形成されるゲートとドレイン/ソースとの間の寄生容量であり得、抵抗 R はトランジスタのような能動型抵抗性素子であり得る。

10

20

30

40

## 【0044】

クロック信号CK1とゲートオフ電圧Voffとの間には、第1及び第2駆動トランジスタM2、M3が直列に連結されている。蓄電器C1は、二つの駆動トランジスタM2、M3間の接点と第1駆動トランジスタM2のゲートとの間に連結されている。第1駆動トランジスタM2のゲートとゲートオン電圧Vonとの間にはバッファートランジスタM1が連結されており、バッファートランジスタM1のゲートは前段ゲート出力Gout(N-1)に連結されている。ゲートオン電圧Vonとゲートオフ電圧Voffとの間には第1及び第2インバートランジスタM5、M6が直列に連結されている。第1インバートランジスタM5のゲートはソースと連結され、第2インバートランジスタM6のゲートはバッファートランジスタM1の出力端に連結されている。第2駆動トランジスタM3のゲートは第1インバートランジスタM5と第2インバートランジスタM6との間の接点に連結されている。ゲートオフ電圧VoffとバッファートランジスタM1の出力端子との間には、放電トランジスタM4及びホールドトランジスタM7が並列に連結されており、放電トランジスタM4のゲートは後段ゲート出力Gout(N+1)に、ホールドトランジスタM7のゲートは第2駆動トランジスタM3のゲートに連結されている。

10

## 【0045】

図4で、ゲートオン電圧Vonとゲートオフ電圧Voffとの間にプルダウントランジスタMxが連結され、プルダウントランジスタMxのゲートは後段ゲート出力Gout(N+1)に連結されている。

## 【0046】

図5で、前段ゲート出力Gout(N-1)とゲートオフ電圧Voffとの間にプルダウントランジスタMxが連結され、プルダウントランジスタMxのゲートは後段ゲート出力Gout(N+1)に連結されている。その他の構成は、図4と同様である。

20

## 【0047】

図6で、後段ゲート出力Gout(N+1)とゲートオフ電圧Voffとの間にプルダウントランジスタMxが連結され、プルダウントランジスタMxのゲートは前段ゲート出力Gout(N-1)に連結されている。また、前段ゲート出力Gout(N-1)が抵抗Rを通じて入力される。その他の構成は、図4と同様である。

## 【0048】

このようなゲート駆動部の動作について図7a及び図7bを参照して詳細に説明する。図7は本発明の一実施例によるゲート駆動部シフトレジスタのタイミング図で、図7aは正常動作時のタイミング図で、図7bは異常動作時のタイミング図である。後段ゲート出力Gout(N+1)が抵抗Rを通じて入力される。その他の構成は、図4と同様である。

30

## 【0049】

まず、第1及び第2インバートランジスタM5、M6の動作について簡単に説明してから全体動作について説明する。図6に関しては別途説明する。

## 【0050】

図4及び図5を参照すれば、プルダウントランジスタMxがOFF状態であれば、第1インバートランジスタM5のゲートには常にゲートオン電圧Vonが印加されるのでターンオン状態が維持される。この状態で、第1インバートランジスタM5と第2インバートランジスタM6の接点電圧は、第2インバートランジスタM6がOFF状態であれば、ゲートオン電圧Vonとほぼ同一である。そして、第2インバートランジスタM6がON状態であれば、二つのトランジスタM5、M6のターンオン時の抵抗状態の抵抗値により分圧された電圧値を有する。つまり、二つのトランジスタM5、M6のターンオン時の抵抗値が同一であれば、ゲートオン電圧Vonとゲートオフ電圧Voffの中間程の電圧値を有する。よって、ホールドトランジスタM7と第2駆動トランジスタM3は、第2インバートランジスタM6がOFFであればターンオンされ、その反対であればターンオフされる。

40

## 【0051】

50



前段ゲート出力  $G_{out}(N-1)$  と後段ゲート出力  $G_{out}(N+1)$  が全て  $Low$  である初期状態では、バッファートランジスタ  $M1$  はターンオフ状態である。また、バッファートランジスタ  $M1$ 、プルダウントランジスタ  $Mx$  及び第2インバータトランジスタ  $M6$  はターンオフ状態である。一方、第2駆動トランジスタ  $M3$  とホールドトランジスタ  $M7$  はターンオン状態である。ホールドトランジスタ  $M7$  がターンオンされれば、第1駆動トランジスタ  $M2$  のゲートにゲートオフ電圧  $V_{off}$  が印加されて、第1駆動トランジスタ  $M2$  はターンオフの状態となる。よって、ゲート出力  $G_{out}(N)$  は  $Low$  状態となる。

#### 【0052】

後段ゲート出力  $G_{out}(N+1)$  は  $Low$  状態を維持し、前段ゲート出力  $G_{out}(N-1)$  が  $High$  になれば、バッファートランジスタ  $M1$  がターンオンされる。これにより、第1駆動トランジスタ  $M2$  と第2インバータトランジスタ  $M6$  がターンオンされ、第2駆動トランジスタ  $M3$  及びホールドトランジスタ  $M7$  はターンオフされる。従って、クロック信号  $CK1$  が、ゲート出力  $G_{out}(N)$  として出力される。クロック信号  $CK1$  が  $Low$  であればゲート出力  $G_{out}(N)$  も  $Low$  である。よって、蓄電器  $C1$  に大略ゲートオン電圧  $V_{on}$  程の電圧が印加されて、その分の電圧が充電される。このとき、蓄電器  $C1$  は、ゲートオン電圧  $V_{on}$  と “ $Low$ ” のクロック信号  $CK1$  とが両端に印加されている。

#### 【0053】

後段ゲート出力  $G_{out}(N+1)$  は  $Low$  状態を維持し、前段ゲート出力  $G_{out}(N-1)$  が再び  $Low$  に変われば、蓄電器  $C1$  に充電された電圧のため第1駆動トランジスタ  $M2$  は依然としてターンオン状態を維持する。ところが、クロック信号も  $High$  に変わるためゲート出力  $G_{out}(N)$  は  $High$  状態となる。そして、蓄電器  $C1$  に充電された電圧を維持するためには、第1駆動トランジスタ  $M2$  のゲートに印加される電圧はさらに高い状態を維持する。例えば、蓄電器  $C1$  に  $V_{on}$  の電圧が充電されている場合、クロック信号  $CK1$  が “ $High$ ” に変化することにより、第1駆動トランジスタ  $M2$  のゲートに印加される電圧は、 $V_{on} + High$  となる。これは、蓄電器  $C1$  に充電されている電圧  $V_{on}$  が維持されることにより、カップリングにより第1駆動トランジスタ  $M2$  のゲートに印加される電圧が上昇するためである。

#### 【0054】

従って、第2インバータトランジスタ  $M6$  がターンオンされ、これにより第2駆動トランジスタ  $M3$  とホールドトランジスタ  $M7$  は  $OFF$  状態をそのまま維持する。

#### 【0055】

前段ゲート出力  $G_{out}(N-1)$  は  $Low$  状態を維持し、後段ゲート出力  $G_{out}(N+1)$  が  $High$  になれば放電トランジスタ  $M4$  がターンオンされ、これにより第2インバータトランジスタ  $M6$  がターンオフされ、第2駆動トランジスタ  $M3$  とホールドトランジスタ  $M7$  はターンオンされる。これにより、蓄電器  $C1$  の両端全部にゲートオフ電圧  $V_{off}$  が印加されるため、蓄電器  $C1$  に充電された電圧が放電されると同時に第1駆動トランジスタ  $M2$  がターンオフされ、ゲート出力  $G_{out}(N)$  は  $Low$  となる。

#### 【0056】

一方、前述のように、各ゲート出力  $G_{out}(N)$  は該当クロック信号の上昇面に同期して  $High$  となる。ところが、図7aのように現在シフトレジスタに入力されるクロック信号が  $CK1$  であれば、前段及び後段シフトレジスタに入力されるクロック信号は  $CK1$  の反転信号である  $CK2$  であるので、前段及び後段ゲート出力  $G_{out}(N-1)$ 、 $G_{out}(N+1)$  はクロック信号  $CK2$  の上昇面に同期して  $High$  となる。結局、前段及び後段ゲート出力  $G_{out}(N-1)$ 、 $G_{out}(N+1)$  は、クロック信号  $CK1$  の下降面に同期して  $High$  になるわけである。各ゲート出力の  $High$  区間は  $1H$  であるので、結局前段、現在及び後段ゲート出力  $G_{out}(N-1)$ 、 $G_{out}(N)$ 、 $G_{out}(N+1)$  は連続して  $High$  状態に変わる。

#### 【0057】

前記の前段及び後段ゲート出力信号  $G_{out}(N-1)$ 、 $G_{out}(N+1)$  の代わりに、これに各々同期する別の信号が入力されても良い。

【0058】

一方、図7bに示すように、ある理由で垂直同期開始信号  $STV$  または前段ゲート出力  $G_{out}(N-1)$  の  $High$  区間が長くなって  $2H$  を越えるとする。よって、 $G_{out}(N+1)$  が  $High$  になった後、前段ゲート出力  $G_{out}$  が  $(N-1)Low$  になるとする。後段ゲート出力  $G_{out}(N+1)$  が  $Low$  を維持する間は、バッファートランジスタ  $M1$  は引続きターンオン状態を維持する。従って、ゲート出力  $G_{out}(N)$  はクロック信号  $CK1$  と同一状態になるので、 $1H$  が経過してクロック信号  $CK1$  が  $High$  に変わればゲート出力  $G_{out}(N)$  も  $High$  状態となる。 $2H$  が経過してクロック信号  $CK1$  が  $Low$  になれば蓄電器  $C1$  は再び充電動作を開始する。同時に、後段ゲート出力  $G_{out}(N+1)$  が  $High$  となる。後段ゲート出力  $G_{out}(N+1)$  が  $High$  であるため、プルダウントランジスタ  $Mx$  はターンオン状態となる。

10

【0059】

図4に示した実施例の場合、前段ゲート出力  $G_{out}(N-1)$  が依然として  $High$  状態であるときに、後段ゲート出力  $G_{out}(N+1)$  が  $High$  になり、クロック信号  $CK1$  が  $Low$  になった時、バッファートランジスタ  $M1$  はターンオンされた状態を維持する。このとき、プルダウントランジスタ  $Mx$  が設けられていないと、 $N1$  ノードは  $V_{on}$  に維持され、第1駆動トランジスタ  $M2$  のゲートに  $V_{on}$  が印加され続ける。よって、蓄電器  $C1$  は、クロック信号  $CK1$  が  $Low$  に変化するにもかかわらず充電動作を継続しようとする。しかし、プルダウントランジスタ  $Mx$  のターンオンによりゲートオン電圧  $V_{on}$  の入力側の接点  $N1$  にゲートオフ電圧  $V_{off}$  が印加される。このとき、クロック信号  $CK1$  が  $Low$  であるため、蓄電器  $C1$  の両端にかかる電圧が同一になり電圧差が無くなる。これにより、蓄電器  $C1$  は充電動作を中止し、ゲート出力  $G_{out}(N)$  は  $Low$  となる。以上より、クロック信号の  $Low$  への変化に伴い、充電器  $C1$  の状態も充電から放電へと変化する。つまり、バッファートランジスタ  $M1$ 、プルダウントランジスタ  $Mx$  及び放電トランジスタ  $M4$  が  $ON$  するため、充電器  $C1$  における充電が阻止されて放電がなされる。

20

【0060】

図5に示した実施例の場合、プルダウントランジスタ  $Mx$  のターンオンによりバッファートランジスタ  $M1$  のゲートにゲートオフ電圧  $V_{off}$  がかかる。これにより、バッファートランジスタ  $M1$  がターンオフされ、ゲート出力  $G_{out}(N)$  も  $Low$  となる。

30

【0061】

結局、プルダウントランジスタ  $Mx$  は、後段ゲート出力  $G_{out}(N+1)$  が  $High$  になれば、蓄電器  $C1$  に供給されるゲートオン電圧  $V_{on}$  を遮断することによってこれ以上の充電を防止する。そして、第2駆動トランジスタ  $M2$  をターンオフさせてクロック信号  $CK1$  の出力を防止すると同時にゲートオフ電圧  $V_{off}$  を出力させる役割をする。そのため、映像信号の異常発生により前段ゲート出力  $G_{out}(N-1)$  と後段ゲート出力  $G_{out}(N+1)$  が同時に  $High$  になる場合でも、プルダウントランジスタ  $Mx$  を配置して、蓄電器  $C1$  で充電と放電が同時に起こる現象を防止し、ラッチアップを防止することができる。

40

【0062】

ここで、蓄電器  $C1$  に供給されるゲートオン電圧  $V_{on}$  の遮断は、図4のようにゲートオン電圧  $V_{on}$  の代わりにゲートオフ電圧  $V_{off}$  をバッファートランジスタ  $M1$  に供給したり、図5のようにゲートオン電圧  $V_{on}$  を伝達するスイッチング素子であるバッファートランジスタ  $M1$  をターンオフさせる方法で実施される。

【0063】

前記説明では、トランジスタがターンオン状態で抵抗を有しないものと記載したが、印加される電圧に応じてモストランジスタは抵抗としての役割もすることを考慮しなければならない。

50

## 【 0 0 6 4 】

プルダウントランジスタ  $M_x$  のターンオン時の抵抗  $R_x$  を考慮すれば、接点  $N_1$ 、 $N_2$  の電圧は抵抗  $R$  と抵抗  $R_x$  の比により決定されるため、抵抗  $R$  の大きさを抵抗  $R_x$  の大きさより極めて大きくして、接点  $N_1$ 、 $N_2$  にかかる電圧がゲートオフ電圧  $V_{off}$  に近似するようにすることが好ましい。

## 【 0 0 6 5 】

しかし、抵抗  $R$  はプルダウントランジスタ  $M_x$  がターンオフされている状態では、殆ど電圧降下なしにゲートオン電圧  $V_{on}$  を伝達しなければならないので、一般的な抵抗素子でなくトランジスタのような能動素子であることが好ましい。

## 【 0 0 6 6 】

また、図 5 に示した実施例の場合、プルダウントランジスタ  $M_x$  がターンオンされれば、バッファートランジスタ  $M_1$  は完全にターンオフされるのではなく接点  $N_2$  の電圧によりプルダウン状態になると言える。この場合、蓄電器  $C_1$  にかかる電圧  $V(C_1)$  は、次の式 (1) により決定される。

## 【 0 0 6 7 】

$$V(C_1) = R_{on} / (R_{on} + R_{down}) \times V_{on} \quad \dots (1)$$

ここで、 $R_{on}$  は放電トランジスタ  $M_4$  のターンオン時の抵抗値で、 $R_{down}$  はバッファートランジスタ  $M_1$  のプルダウン時の電圧である。この電圧は、次式 (2) に示すようにインバートランジスタ  $M_6$  のしきい電圧  $V_{th}$  より小さく、第 2 駆動トランジスタ  $M_3$  がターンオン状態になることによりゲート出力  $G_{out}(N)$  は  $Low$  にならなければならない。つまり、インバートランジスタ  $M_6$  がターンオンされて第 2 駆動トランジスタ  $M_3$  がターンオフされないようにしなければならない。

## 【 0 0 6 8 】

$$R_{on} / (R_{on} + R_{down}) \times V_{on} < V_{th} \quad \dots (2)$$

従って、前記式 (2) のように抵抗  $R$  の大きさを決定する。この場合にも、接点  $N_2$  の電位ができるだけゲートオフ電圧  $V_{off}$  に近似するように、抵抗  $R$  値をプルダウントランジスタ  $M_x$  の内部抵抗  $R_x$  値より極めて大きくすることが好ましい。

## 【 0 0 6 9 】

次に、図 6 を参照して本発明の他の実施例について説明する。

## 【 0 0 7 0 】

図示したように、プルダウントランジスタ  $M_x$  は後段ゲート出力  $G_{out}(N+1)$  とゲートオフ電圧  $V_{off}$  との間に連結されており、その制御端子は前段ゲート出力  $G_{out}(N-1)$  に連結されている。

## 【 0 0 7 1 】

図 4 及び図 5 に示した実施例では、バッファートランジスタ  $M_1$  の入力端子と制御端子に各々連結されるプルダウントランジスタ  $M_x$  を連結し、蓄電器  $C_1$  に供給されるゲートオン電圧  $V_{on}$  を遮断することにより充電を防止する。これとは異なって、図 6 に示した実施例では、放電トランジスタ  $M_4$  の制御端子にプルダウントランジスタ  $M_x$  を連結し、蓄電器  $C_1$  に供給されるゲートオフ電圧  $V_{off}$  を遮断することによって蓄電器  $C_1$  の放電を防止するものである。

## 【 0 0 7 2 】

バッファートランジスタ  $M_1$  と放電トランジスタ  $M_4$  以外のトランジスタに対する動作の説明は前述した内容と同様であるため省略する。

## 【 0 0 7 3 】

以下、二つのトランジスタの動作を中心に説明する。

## 【 0 0 7 4 】

前述のように、後段ゲート出力  $G_{out}(N+1)$  が  $High$  の場合、放電トランジスタ  $M_4$  はターンオン状態であるので蓄電器  $C_1$  が放電される。この時、前段ゲート出力  $G_{out}(N-1)$  が  $High$  になればプルダウントランジスタ  $M_x$  がターンオンされ、これにより放電トランジスタ  $M_4$  の入力端子  $N_3$  の電圧はゲートオフ電圧  $V_{off}$  にプルダ

10

20

30

40

50

ウンされて、放電トランジスタM4がターンオフされる。

【0075】

これと共に、バッファートランジスタM1の制御端子にもHigh電圧が入力されて、バッファートランジスタM1がターンオンされる。これにより蓄電器C1にゲートオン電圧Vonが印加され充電を開始する。つまり、バッファートランジスタM1がONし、プルダウントランジスタMxがONし、放電トランジスタM4がOFFするため、充電器C1における放電が阻止されて充電がなされる。

【0076】

抵抗Rの値は、図4及び図5に示した実施例と同様に、プルダウントランジスタターンオンの時の抵抗Rxを考慮して、接点N3にかかる電圧がゲートオフ電圧Voffに近似するように、抵抗Rの値を抵抗Rxより極めて大きくすることが好ましい。 10

【0077】

図8aは本発明の一つの実施例によるゲート駆動部の信号波形図で、図8bは従来のゲート駆動部の信号波形図である。図8には、垂直同期開始信号のHigh区間が2Hより大きい場合における、4種類のゲート出力(V(OUT2)、V(OUT3)、V(U795:3)、V(R368:2))の信号波形が示されている。

【0078】

図8a及び8bに示すように、垂直同期開始信号のHigh区間が2Hより大きい場合、従来のゲート駆動部では信号が重複する等の異常信号が生成されるが、本発明の一実施例によるゲート駆動部においては、前記のような問題がなく正常なゲート出力が生成されることが分かる。 20

【0079】

このような方式により、映像信号の異常発生により前段ゲート出力と後段ゲート出力が同時にHighになる場合でも、プルダウントランジスタMxを配置して、蓄電器C1で充電と放電が同時に起こる現象を防止することができる。

【0080】

以上、本発明の好ましい実施例について詳細に説明したが、本発明の権利範囲はこれに限定されず、請求の範囲で定義している本発明の基本概念を利用した当業者の多様な変形及び改良形態も本発明の権利範囲に属するものである。例えば、能動行列状の駆動方法を採択する場合は、有機電界発光表示装置のような平板表示装置にも適用することができる 30

【図面の簡単な説明】

【0081】

【図1】本発明の一実施例による液晶表示装置のブロック図である。

【図2】本発明の一実施例による液晶表示装置の1画素の回路図である。

【図3】本発明の一実施例によるゲート駆動部のブロック図である。

【図4】本発明の一実施例によるゲート駆動部シフトレジスタ回路図である。

【図5】本発明の他の実施例によるゲート駆動部シフトレジスタ回路図である。

【図6】本発明の他の実施例によるゲート駆動部シフトレジスタ回路図である。

【図7a】本発明の一実施例によるゲート駆動部シフトレジスタのタイミング図である(1)。 40

【図7b】本発明の一実施例によるゲート駆動部シフトレジスタのタイミング図である(2)。

【図8a】本発明の一実施例によるゲート駆動部の信号波形図である。

【図8b】従来のゲート駆動部の信号波形図である。

【符号の説明】

【0082】

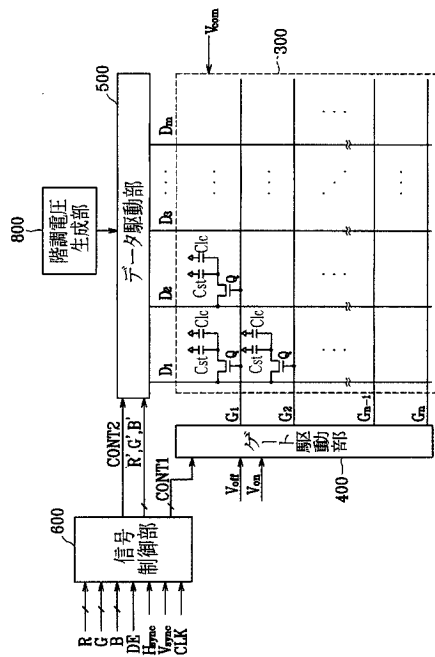
3 液晶層

100、200 表示板

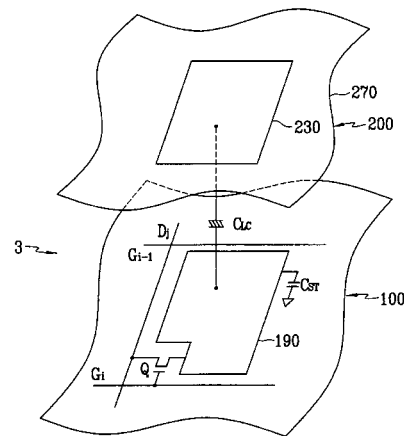
190 画素電極

2 3 0	色フィルター
2 7 0	共通電極
3 0 0	液晶表示板組立体
4 0 0	ゲート駆動部
4 1 0	シフトレジスタ
5 0 0	データ駆動部
6 0 0	信号制御部
8 0 0	階調電圧生成部

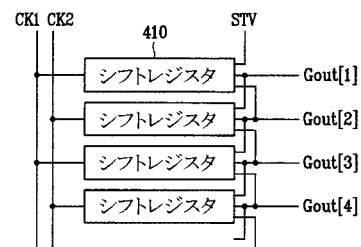
【図 1】



【図 2】

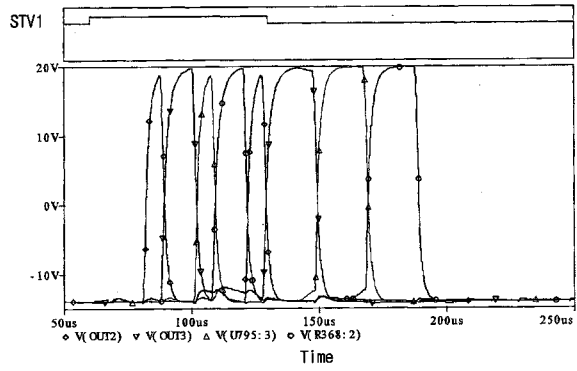


【図 3】

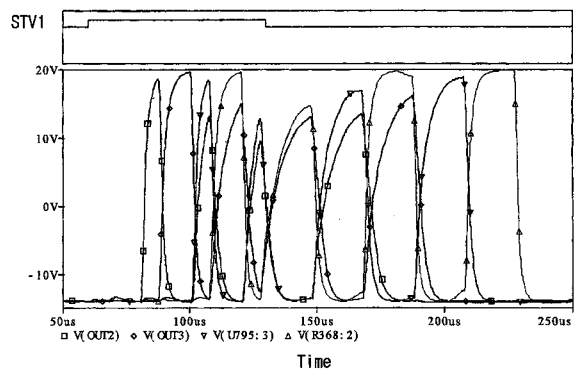




【 図 8 a 】



【 図 8 b 】



---

 フロントページの続き

(51)Int.Cl. <sup>7</sup>	F I	テーマコード(参考)
G 1 1 C 19/28	G 0 9 G 3/20	6 7 0 E
H 0 5 B 33/14	G 0 9 G 3/20	6 8 0 G
	G 0 9 G 3/30	J
	G 1 1 C 19/00	J
	G 1 1 C 19/28	Z
	H 0 5 B 33/14	A

F ターム(参考) 5C006 AA11 AC22 AF42 AF51 AF71 BB16 BC03 BC20 BF03 FA33  
 5C080 AA06 AA10 BB05 DD09 EE28 FF11 JJ02 JJ03 JJ04 JJ06



专利名称(译)	显示装置的驱动装置		
公开(公告)号	<a href="#">JP2004199066A</a>	公开(公告)日	2004-07-15
申请号	JP2003417594	申请日	2003-12-16
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子株式会社		
[标]发明人	文勝煥		
发明人	文 勝 煥		
IPC分类号	G02F1/133 G09G3/20 G09G3/30 G09G3/32 G09G3/36 G11C19/00 G11C19/18 G11C19/28 H01L51/50 H05B33/14		
CPC分类号	G09G3/3677 G09G3/20 G09G3/2011 G09G3/3208 G09G2300/0417 G09G2300/0842 G09G2310/0267 G09G2310/08 G09G2330/08 G11C19/184		
FI分类号	G09G3/36 G02F1/133.550 G09G3/20.621.A G09G3/20.621.M G09G3/20.622.E G09G3/20.670.E G09G3/20.680.G G09G3/30.J G11C19/00.J G11C19/28.Z H05B33/14.A G09G3/3266 G11C19/00 G11C19/00.G G11C19/28.D G11C19/28.230		
F-TERM分类号	2H093/NA51 2H093/NC16 2H093/NC22 2H093/NC26 2H093/NC34 2H093/ND06 3K007/AB08 3K007/AB11 3K007/BA06 3K007/DB03 3K007/GA00 5C006/AA11 5C006/AC22 5C006/AF42 5C006/AF51 5C006/AF71 5C006/BB16 5C006/BC03 5C006/BC20 5C006/BF03 5C006/FA33 5C080/AA06 5C080/AA10 5C080/BB05 5C080/DD09 5C080/EE28 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ06 2H193/ZA04 2H193/ZD21 3K107/AA01 3K107/BB01 3K107/CC31 3K107/EE03 3K107/HH00 5B074/AA01 5B074/CA01 5C380/AA01 5C380/AB18 5C380/AB22 5C380/AB34 5C380/CB00 5C380/CF07 5C380/CF41 5C380/CF43		
优先权	1020020080815 2002-12-17 KR		
其他公开文献	JP4943630B2		
外部链接	<a href="#">Espacenet</a>		

## 摘要(译)

液晶显示装置的驱动装置技术领域本发明涉及一种防止在图像信号异常时发生的闩锁现象的液晶显示装置的驱动装置。本发明的栅极驱动器包括成行连接的多个移位寄存器，每个移位寄存器包括电容器，缓冲晶体管和下拉晶体管。下拉晶体管连接到缓冲晶体管的输入端子，并且当通过前一个移位寄存器的输出使缓冲晶体管导通时，下拉晶体管通过后续移位寄存器的输出而导通，并且第一电压通过缓冲晶体管传输至电容器。通过防止充电来防止闩锁现象。[选择图]图5

