

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-117742

(P2004-117742A)

(43) 公開日 平成16年4月15日(2004.4.15)

(51) Int. Cl. ⁷	F I	テーマコード (参考)
G09G 3/36	G09G 3/36	2H093
G02F 1/133	G02F 1/133 505	5C006
G09G 3/20	G02F 1/133 550	5C080
	G09G 3/20 611A	
	G09G 3/20 621M	
審査請求 未請求 請求項の数 9 O L (全 21 頁) 最終頁に続く		

(21) 出願番号	特願2002-279937 (P2002-279937)	(71) 出願人	000005049 シャープ株式会社 大阪府大阪市阿倍野区長池町2番2号
(22) 出願日	平成14年9月25日 (2002.9.25)	(74) 代理人	100104695 弁理士 島田 明宏
		(72) 発明者	北川 大二 大阪府大阪市阿倍野区長池町2番2号 シャープ株式会社内
		(72) 発明者	青木 俊也 大阪府大阪市阿倍野区長池町2番2号 シャープ株式会社内
		Fターム(参考)	2H093 NA42 NA43 NC04 NC15 NC34 ND39
最終頁に続く			

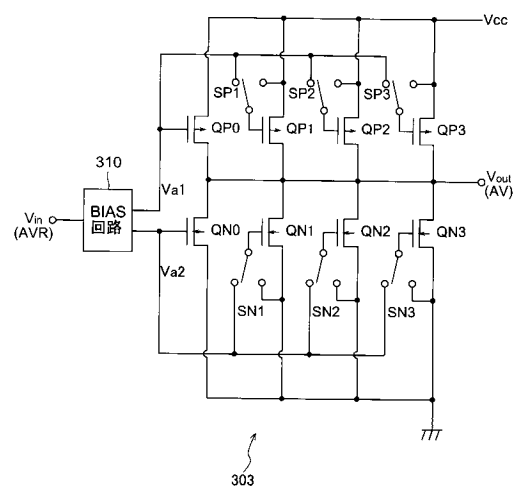
(54) 【発明の名称】 表示装置ならびにその駆動回路および駆動方法

(57) 【要約】

【課題】 画像表示のために表示パネルにおける容量性負荷にアナログ電圧を印加する出力バッファの消費電力を削減する。

【解決手段】 アクティブマトリクス型液晶表示装置の表示領域における画素容量に駆動信号として印加すべきアナログ電圧 V_{out} を出力するバッファにおいて、そのアナログ電圧を生成する CMOS 回路が、互いに並列に接続された4個の Pchトランジスタ $QP0 \sim QP3$ と、互いに並列に接続された4個の Nchトランジスタ $QN0 \sim QN3$ とからなる。そして画素容量に対する充電時には切換スイッチ $SP1 \sim SP3$ を制御することにより、充電開始後において大きな駆動能力を必要としなくなった時点でバイアス電流を低減して駆動能力を下げ、画素容量に蓄積された電荷の放電時には切換スイッチ $SN1 \sim SN3$ を制御することにより、放電開始後において大きな駆動能力を必要としなくなった時点でバイアス電流を低減して駆動能力を下げる。

【選択図】 図8



【特許請求の範囲】

【請求項 1】

容量性負荷を有する表示部と、バイアス電流によって決まる駆動能力を有する出力バッファとを備え、当該出力バッファが入力画像信号に応じたアナログ電圧を前記容量性負荷に印加することにより前記表示部に画像を表示する表示装置であって、前記出力バッファが前記容量性負荷に前記アナログ電圧を印加すべき期間である充電期間または放電期間中に前記バイアス電流を変化させるバイアス電流制御手段を備えることを特徴とする表示装置。

【請求項 2】

前記出力バッファは、前記アナログ電圧を出力するための複数個のトランジスタであって互いに並列に接続されたトランジスタと、前記複数個のトランジスタのうち少なくとも 1 個のトランジスタの状態を作動状態と非作動状態との間で切り換える切換手段とを含み、前記バイアス電流制御手段は、前記複数個のトランジスタのうち動作状態のトランジスタの個数を前記切換手段によって変えることにより前記バイアス電流を変化させることを特徴とする、請求項 1 に記載の表示装置。

10

【請求項 3】

前記出力バッファは、前記アナログ電圧を出力するトランジスタと、前記トランジスタの動作点を変える動作点変更手段とを含み、前記バイアス電流制御手段は、前記動作点変更手段によって前記トランジスタの動作点を変えることにより前記バイアス電流を変化させることを特徴とする、請求項 1 に記載の表示装置。

20

【請求項 4】

前記バイアス電流制御手段は、前記充電期間または放電期間において予め決められた時点以降では前記バイアス電流を当該充電期間または放電期間の開始時の値よりも小さい値とすることを特徴とする、請求項 1 に記載の表示装置。

30

【請求項 5】

前記バイアス電流制御手段は、前記充電期間または放電期間において前記バイアス電流を低減すべき時点を前記入力画像信号に基づき決定し、当該決定された時点以降では前記バイアス電流を前記充電期間または放電期間の開始時の値よりも小さい値とすることを特徴とする、請求項 1 に記載の表示装置。

【請求項 6】

前記バイアス電流制御手段は、前記充電期間または放電期間において前記バイアス電流を低減すべき時点を前記出力バッファと前記容量性負荷との間に流れる充放電電流に基づき決定し、当該決定された時点以降では前記バイアス電流を前記充電期間または放電期間の開始時の値よりも小さい値とすることを特徴とする、請求項 1 に記載の表示装置。

40

【請求項 7】

前記バイアス電流制御手段は、前記充電期間または放電期間において前記バイアス電流を低減すべき時点として決定された前記時点以降で前記バイアス電流を完全に抑止することを特徴とする、請求項 4 から 6 のいずれか 1 項に記載の表示装置。

【請求項 8】

容量性負荷を有する表示部に画像を表示するために、バイアス電流によって決まる駆動能力を有する出力バッファにより入力画像信号に応じたアナログ電圧を前記容量性負荷に印加する駆動回路であって、前記出力バッファが前記容量性負荷に前記アナログ電圧を印加すべき期間である充電期間または放電期間中に前記バイアス電流を変化させるバイアス電流制御手段を備えることを

50

特徴とする駆動回路。

【請求項 9】

容量性負荷を有する表示部に画像を表示するために、バイアス電流によって決まる駆動能力を有する出力バッファにより入力画像信号に応じたアナログ電圧を前記容量性負荷に印加する駆動方法であって、

前記出力バッファが前記容量性負荷に前記アナログ電圧を印加すべき期間である充電期間または放電期間中に前記バイアス電流を変化させることを特徴とする駆動方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、例えばアクティブマトリクス型液晶表示装置のような容量性負荷の電圧制御型マトリクス駆動の表示装置に関する。

【0002】

【従来の技術】

携帯電話や、PDA (Personal Digital Assistant)、ノート型コンピュータ等の携帯用情報機器では、搭載バッテリーの持続時間の長期化の観点から、消費電力の低減化が強く求められている。一方、これらの携帯用情報機器においても処理性能の向上と利用の高度化などによって、より表示色の多い高品位の表示能力が要求されるようになってきている。このため、これらの携帯用情報機器で使用される表示装置においても、高品位の表示能力への要求に対応すべく、従来のパッシブマトリクス型液晶表示装置の代えて薄膜トランジスタ (TFT: Thin Film Transistor) によるアクティブマトリクス型液晶表示装置 (以下「TFT-LCD装置」という) が使用されはじめています。

【0003】

TFT-LCD装置では、容量性負荷を含む表示領域 (表示部) に画像信号に応じた電圧がデータ信号として印加されることにより、当該表示領域に画像が表示される。この表示領域に印加すべき電圧はアナログ電圧であるため、その電圧をデジタルビデオ信号から生成するD/A変換器のバッファ等、表示領域に印加すべきデータ信号であるアナログ電圧を出力するバッファ (以下、単に「出力バッファ」という) は、アナログ動作を行う必要がある。そのため、出力バッファを動作させるには、必要とされる駆動能力に応じたバイアス電流をその内部に流す必要がある。その結果、TFT-LCD装置では、その駆動回路の消費電力において出力バッファの消費電力の占める割合が大きい。上述の携帯用情報機器に組み込まれているTFT-LCD装置では、小型で画素数の少ない表示領域 (表示部) が使用され、水平走査周波数も低いことから、特に出力バッファの消費電力の占める割合が大きくなる。また、例えば連続粒界結晶シリコン (以下「CGシリコン」という) でTFTが形成されたTFT-LCD装置のように点順次駆動が行われる場合には、表示領域に含まれる容量性負荷に対する充放電のために、線順次駆動の場合に比べて格段に高い駆動能力を有する出力バッファが必要となる。このため、点順次駆動方式のTFT-LCD装置においても、出力バッファの消費電力の占める割合が特に大きい。

【0004】

【特許文献 1】

特開 2002 - 149125 号公報

【0005】

【発明が解決しようとする課題】

これに対し、特開 2002 - 149125 号公報には、表示すべき画像を示すデジタル信号をD/A変換した後のアナログ信号を受けて表示パネルのデータ線に印加すべきデータ信号 (アナログ電圧) を出力するアナログバッファ (出力バッファ) を複数のデータ線毎に1個設けることにより、アナログバッファの個数を削減した構成の液晶表示装置が開示されている。この液晶表示装置では、アナログバッファ (出力バッファ) の個数が削減されることにより、省電力化が図られる。

10

20

30

40

50

【0006】

しかし、このような省電力化の従来技術は、出力バッファ自体の消費電力の低減は考慮されていない。また、この従来技術は、線順次駆動方式を前提としており、もともと複数のデータ線に対して1個の出力バッファが設けられる点順次駆動方式には適用することができない。

【0007】

そこで本発明では、TFT-LCD装置のようにアナログ電圧を容量性負荷に印加することによって画像を表示する表示装置であって、そのアナログ電圧を出力するバッファ自体の消費電力を低減した表示装置を提供することを目的とする

【0008】

【課題を解決するための手段】

第1の発明は、容量性負荷を有する表示部と、バイアス電流によって決まる駆動能力を有する出力バッファとを備え、当該出力バッファが入力画像信号に応じたアナログ電圧を前記容量性負荷に印加することにより前記表示部に画像を表示する表示装置であって、前記出力バッファが前記容量性負荷に前記アナログ電圧を印加すべき期間である充電期間または放電期間中に前記バイアス電流を変化させるバイアス電流制御手段を備えることを特徴とする。

【0009】

第2の発明は、第1の発明において、

前記出力バッファは、

前記アナログ電圧を出力するための複数個のトランジスタであって互いに並列に接続されたトランジスタと、

前記複数個のトランジスタのうち少なくとも1個のトランジスタの状態を作動状態と非作動状態との間で切り換える切換手段と

を含み、

前記バイアス電流制御手段は、前記複数個のトランジスタのうち動作状態のトランジスタの個数を前記切換手段によって変えることにより前記バイアス電流を変化させることを特徴とする。

【0010】

第3の発明は、第1の発明において、

前記出力バッファは、

前記アナログ電圧を出力するトランジスタと、

前記トランジスタの動作点を変える動作点変更手段と

を含み、

前記バイアス電流制御手段は、前記動作点変更手段によって前記トランジスタの動作点を変えることにより前記バイアス電流を変化させることを特徴とする。

【0011】

第4の発明は、第1の発明において、

前記バイアス電流制御手段は、前記充電期間または放電期間において予め決められた時点以降では前記バイアス電流を当該充電期間または放電期間の開始時の値よりも小さい値とすることを特徴とする。

【0012】

第5の発明は、第1の発明において、

前記バイアス電流制御手段は、前記充電期間または放電期間において前記バイアス電流を低減すべき時点を前記入力画像信号に基づき決定し、当該決定された時点以降では前記バイアス電流を前記充電期間または放電期間の開始時の値よりも小さい値とすることを特徴とする。

【0013】

第6の発明は、第1の発明において、

前記バイアス電流制御手段は、前記充電期間または放電期間において前記バイアス電流を

10

20

30

40

50

低減すべき時点を前記出力バッファと前記容量性負荷との間に流れる充放電電流に基づき決定し、当該決定された時点以降では前記バイアス電流を前記充電期間または放電期間の開始時の値よりも小さい値とすることを特徴とする。

【0014】

第7の発明は、第4から第6の発明のいずれかにおいて、前記バイアス電流制御手段は、前記充電期間または放電期間において前記バイアス電流を低減すべき時点として決定された前記時点以降で前記バイアス電流を完全に抑止することを特徴とする。

【0015】

第8の発明は、容量性負荷を有する表示部に画像を表示するために、バイアス電流によって決まる駆動能力を有する出力バッファにより入力画像信号に応じたアナログ電圧を前記容量性負荷に印加する駆動回路であって、前記出力バッファが前記容量性負荷に前記アナログ電圧を印加すべき期間である充電期間または放電期間中に前記バイアス電流を変化させるバイアス電流制御手段を備えることを特徴とする。

10

【0016】

第9の発明は、容量性負荷を有する表示部に画像を表示するために、バイアス電流によって決まる駆動能力を有する出力バッファにより入力画像信号に応じたアナログ電圧を前記容量性負荷に印加する駆動方法であって、前記出力バッファが前記容量性負荷に前記アナログ電圧を印加すべき期間である充電期間または放電期間中に前記バイアス電流を変化させることを特徴とする。

20

【0017】

【発明の実施の形態】

以下、本発明の実施形態について添付図面を参照して説明する。

< 1. 第1の実施形態 >

< 1.1 全体の構成および動作 >

図1は、本発明の第1の実施形態に係る液晶表示装置の構成を示すブロック図である。この液晶表示装置は、表示制御回路としての液晶コントローラ101と、データ線駆動回路としてのソースドライバ102と、走査線駆動回路としてゲートドライバ103と、表示部としてのアクティブマトリクス型の表示領域104とを備えており、表示領域104とソースドライバ102とゲートドライバ103とにより本体部が構成される。

30

【0018】

表示領域104は、外部の信号源から受け取る画像データDvの表す画像における水平走査線にそれぞれが対応する複数本(m本)の走査信号線としてのゲートバスラインG1~Gmと、それらのゲートバスラインG1~Gmのそれぞれと交差する複数本(n本)のデータ線としてのソースバスラインS1~Snと、それらのゲートバスラインG1~GmとソースバスラインS1~Snとの交差点にそれぞれ対応して設けられた複数個(m×n個)の画素形成部とを含む。これらの画素形成部はマトリクス状に配置され、各画素形成部は、図2に示すように、対応する交差点CPjkを通過するソースバスラインSjにソース端子が接続されたスイッチング素子としてのTF T106と、そのTF T106のドレイン端子に接続された画素電極107と、上記複数の画素形成部に共通的に設けられた対向電極である共通電極Ecと、上記複数の画素形成部に共通的に設けられ画素電極107と共通電極Ecとの間に挟持された液晶層と、画素電極107と共通電極Ecとによって形成される容量に並列に形成される電荷保持容量108とからなる。そして、画素電極107と共通電極Ecとにより形成される容量と、電荷保持容量108とにより、画素容量が構成される。

40

【0019】

液晶コントローラ101は、パーソナルコンピュータ(パソコン)等の信号源からデジタルビデオ信号を受け取り、そのデジタルビデオ信号の表す画像を表示領域104に表示させるための信号として、ソースドライバ用スタートパルスSSPと、ソースドライバ用ク

50

ロック信号 SCLK と、ソースバスライン S1 ~ Sn に印加すべきアナログ電圧信号であるアナログビデオ信号 AV と、ゲートドライバ用スタートパルス SSP と、ゲートドライバ用クロック信号 GCLK とを生成する。

【0020】

ソースドライバ 102 は、シフトレジスタ 20 と、上記アナログビデオ信号 AV を伝送するためビデオライン 21 と、ビデオライン 21 とソースバスライン S1 ~ Sn との間にそれぞれ挿入された n 個のアナログスイッチ AS1 ~ ASn とを備えており、ソースドライバ用スタートパルス SSP、ソースドライバ用クロック信号 SCLK、およびアナログビデオ信号 AV を液晶コントローラ 101 から受け取る。シフトレジスタ 20 は、ソースバスライン S1 ~ Sn にそれぞれ対応する n 個のフリップフロップから構成され、各フリップフロップの出力は、対応するソースバスラインに接続されるアナログスイッチのオン/オフを制御する。そしてシフトレジスタ 20 には、スタートパルス SSP とソースドライバ用クロック信号 SCLK とが入力され、スタートパルス SSP がソースドライバ用クロック信号 SCLK に応じて順次シフトされていく。これにより、所定期間ずつアナログスイッチ AS1 ~ ASn が順次オンされていくことで、点順次駆動が行われる。すなわち、その所定期間ずつアナログビデオ信号 AV がソースバスライン S1 ~ Sn に順次印加されていく。

10

【0021】

ゲートドライバ 103 も、シフトレジスタを内蔵しており、ゲートドライバ用スタートパルス SSP、ゲートドライバ用クロック信号 GCLK を液晶コントローラ 101 から受け取る。内蔵シフトレジスタは、ゲートバスライン G1 ~ Gm にそれぞれ対応する m 個のフリップフロップから構成され、各フリップフロップの出力は、対応するゲートバスラインに接続されている。この内蔵シフトレジスタには、1 垂直走査期間毎にゲートドライバ用スタートパルス SSP が入力され、そのスタートパルス SSP はゲートドライバ用クロック信号 GCLK に従って順次シフトされていく。これにより、表示領域 104 におけるゲートバスライン G1 ~ Gm が 1 水平走査期間ずつ順次に選択され、選択されたゲートバスラインにのみアクティブな走査信号 (TFI をオンさせる電圧) が印加される。

20

【0022】

上記のようにして表示領域 104 において、ソースバスライン S1 ~ Sn にはソースドライバ 102 からアナログビデオ信号 AV が映像駆動信号として印加され、ゲートバスライン G1 ~ Gm にはゲートドライバ 103 から走査信号が印加される。これにより、液晶層には、アナログビデオ信号 AV に応じて画素電極と共通電極 Ec との電位差に相当する電圧が印加される。表示領域 104 は、この印加電圧によって液晶層の光透過率を制御することにより、外部のパソコン等の信号源から受け取ったデジタルビデオ信号の示す画像を表示する。

30

【0023】

なお、多結晶シリコンまたは CG シリコン等によって、ソースドライバ 102 およびゲートドライバ 103 を表示領域 104 と同一の基板上に形成してもよい。このように同一基板上に表示部と駆動回路部とが一体的に形成された液晶表示装置は、ドライバーモノリシック型液晶表示装置と呼ばれている。この場合、上記液晶表示装置における本体部 100 が、駆動回路を含む表示パネルとなる。

40

【0024】

< 1.2 液晶コントローラ >

図 3 は、上記液晶表示装置における液晶コントローラ 101 の構成を、表示領域 104 を含む本体部 100 および外部の信号源 500 と共に示すブロック図である。この液晶コントローラ 101 は、タイミングジェネレータ 201 と、ホストインタフェース 202 と、D/A 変換器 203 とを備えている。タイミングジェネレータ 201 は、表示領域 104 に与えるべき駆動用信号である既述の信号 SSP, SCLK, GSP, GCLK を、その表示領域 104 に適合したタイミングで生成すると共に、ホストインタフェース 202 および D/A 変換器 203 を適切なタイミングで動作させるためのタイミング信号をも生成

50

する。ホストインタフェース202は、外部の信号源500からデジタルビデオ信号DV1を受け取り、そのデジタルビデオ信号DV1に基づくデジタルビデオ信号DV2を、タイミングジェネレータ201と連携して適切なタイミングでD/A変換器203に与える。D/A変換器203は、そのデジタルビデオ信号DV2をアナログ信号に変換しアナログビデオ信号AVとして出力する。このアナログビデオ信号AVは、既述のように本体部100におけるソースドライバ102を介して、表示領域104内の画素容量やソースバスラインS1~Snの配線容量および配線抵抗などからなる容量性負荷に印加される。

【0025】

<1.3 D/A変換器>

図4は、上記のような液晶コントローラで使用されるD/A変換器の従来例の構成を示す回路図である。この従来例では、直列に接続された $p+1$ 個の抵抗からなり所定の基準電圧VREFを分圧する分圧回路301と、分圧回路301によって得られる p 種類の電圧のいずれかを入力信号であるデジタルビデオ信号DV2に応じて選択するための p 個のアナログスイッチからなるスイッチ群SD1~SDpと、デジタルビデオ信号DV2に応じて選択された電圧を入力アナログビデオ信号AVRとして受け取ってそれと同電位の信号をアナログビデオ信号AVとして出力する出力バッファ302とから構成される。出力バッファ302は、表示領域104の駆動に必要とされる駆動能力を得るためのもので、図に示されているように電圧フォロアとして機能する。

10

【0026】

図5は、上記D/A変換器の従来例における出力バッファ302の構成例を示す回路図である。この例では、出力バッファ302は、ソース端子が電源ラインVCCに接続されたPチャンネルMOSトランジスタ(以下「Pchトランジスタ」と略記する)QPとソース端子が接地されたnチャンネルMOSトランジスタ(以下「Nchトランジスタ」と略記する)QNとからなるCMOS回路と、入力電圧Vinに応じてPchトランジスタQPのゲート端子とNchトランジスタQNのゲート端子とにバイアス電圧Va1, Va2をそれぞれ与えるバイアス回路310とから構成される。この出力バッファ302において、CMOS回路はバイアス電圧Va1, Va2に基づいてアナログ動作(線形動作)を行い、入力された電圧Vin(上記のビデオ信号AVRに相当)と等しい電圧Vout(上記のビデオ信号AVに相当)を出力する。このように出力バッファ302は、アナログ動作をしているために定常的なアイドル電流を必要とする。すなわち、出力端に負荷が接続されていない状態(開放状態)であっても、バイアス回路310内に電流が流れると共に、CMOS回路(PchトランジスタQPおよびNchトランジスタQN)を介して電源ラインVCCからグランドへと電流が流れる。このような電流を合わせてバイアス電流と呼んでおり、出力バッファ302の駆動能力はこのバイアス電流に依存し、大きな駆動能力を得るには大きなバイアス電流が必要となる。

20

30

【0027】

本実施形態に係る液晶表示装置のように点順次駆動が行われる場合には、線順次駆動の場合に比べて、容量性負荷を含む表示領域104に対する充放電のために極めて高い駆動能力が必要とされる。そのために、D/A変換器203の出力バッファ302におけるバイアス電流を駆動能力に応じて大きなものとしなければならず、これにより、液晶表示装置全体の消費電力も大きなものとなる。ところで、D/A変換器203の出力バッファ302から見た負荷としての表示領域104は、簡単なモデルでは、図6に示すようにコンデンサと抵抗とが直列に接続されてなる回路すなわちCR負荷として扱うことができる。このため、定電圧で表示領域104を駆動した場合、駆動対象の画素電極の電位は図7に示すように負の指数関数的に変化する。すなわち、CR負荷としての表示領域104に対して充電を行う場合には、出力バッファ302による駆動電圧をV2とし、そのCR負荷に対する駆動開始前(駆動電圧V2の印加前)の当該CR負荷におけるコンデンサの電圧(駆動対象の画素電極の電位に相当し、以下「対象画素電位」という)をV1とすると($V2 > V1$)、対象画素電位Vは、駆動開始後、図7(a)に示すように変化する。また、充電されているCR負荷としての表示領域104の放電を行う場合には、出力バッファ3

40

50

02による駆動電圧を V_4 とし、そのCR負荷に対する駆動開始前の当該CR負荷におけるコンデンサの電圧である対象画素電位を V_3 とすると($V_4 < V_3$)、対象画素電位 V は、駆動開始後、図7(b)に示すように変化する。したがって、充電の場合にも放電の場合にも、出力バッファ302とCR負荷との間に流れる電流は、時間の経過に従って減少していく。よって、出力バッファ302の駆動能力を、対象画素に対する1回の駆動期間(充電期間または放電期間)のうち後半において低くしても、実質的には、駆動能力はほとんど低下しないと考えられる。

【0028】

本実施形態では、この点に着目し、各駆動期間において駆動開始後の所定の時点以降で出力バッファのバイアス電流を駆動開始時よりも小さくすることにより、実質的に駆動能力を低下させることなく、出力バッファ自体の消費電力の低減を図っている。

10

【0029】

図8は、このような本実施形態におけるD/A変換器203の出力バッファ303の構成を示す回路図である。この構成では、バイアス回路310は従来例(図5)と同様であるが、出力バッファ303において駆動電圧 V_{out} (アナログビデオ信号AVに相当)を生成するためのCMOS回路が、互いに並列に接続された4個のPchトランジスタQP0~QP3と、互いに並列に接続された4個のNchトランジスタQN0~QN3とからなる。ここで、4個のPchトランジスタQP0~QP3の全てまたは4個のNchトランジスタQN0~QN3の全てをアクティブ(動作状態)にすることで、従来例の場合と同等の駆動能力を有するように(従来例の場合のバイアス電流と同量のバイアス電流が流れるように)、PchトランジスタQP0~QP3およびNchトランジスタQN0~QN3のサイズ(特性)が設定されている。そして、上記CMOS回路のPchトランジスタのゲート端子に供給すべき電圧としてバイアス回路310から出力されるバイアス電圧 V_{a1} は、PchトランジスタQP0のゲート端子に直接与えられるが、他のPchトランジスタQP1~QP3には切換スイッチSP1~SP3をそれぞれ介して与えられる。これらの切換スイッチSP1~SP3は後述のPch制御信号SPonによって切り換えられ、これにより、各PchトランジスタQP1~QP3のゲート端子には、Pch制御信号SPonがハイレベル(Hレベル)のときにバイアス電圧 V_{a1} が与えられ、Pch制御信号SPonがローレベル(Lレベル)のときに電源ラインVCCの電圧(Hレベル)が与えられる。したがって、Pch制御信号SPonがHレベルのときには、PchトランジスタQP0~QP3の全てがバイアス電圧 V_{a1} に基づいて動作(線形動作)するが、Pch制御信号SPonがLレベルのときには、PchトランジスタQP0のみがバイアス電圧 V_{a1} に基づいて動作し、他のPchトランジスタQP1~QP3はオフ状態(非動作状態)となる。

20

30

【0030】

また、上記CMOS回路のNchトランジスタのゲート端子に供給すべき電圧としてバイアス回路310から出力されるバイアス電圧 V_{a2} は、NchトランジスタQN0のゲート端子に直接与えられるが、他のNchトランジスタQN1~QN3には切換スイッチSN1~SN3をそれぞれ介して与えられる。これらの切換スイッチSN1~SN3は後述のNch制御信号SNonによって切り換えられ、これにより、各NchトランジスタQN1~QN3のゲート端子には、Nch制御信号SNonがHレベルのときにバイアス電圧 V_{a2} が与えられ、Nch制御信号SNonがLレベルのときに接地レベル(Lレベル)が与えられる。したがって、Nch制御信号SNonがHレベルのときには、NchトランジスタQN0~QN3の全てがバイアス電圧 V_{a2} に基づいて動作(線形動作)するが、Nch制御信号SNonがLレベルのときには、NchトランジスタQN0のみがバイアス電圧 V_{a2} に基づいて動作し、他のPchトランジスタQN1~QN3はオフ状態(非動作状態)となる。

40

【0031】

上記のように構成された出力バッファ303は、電圧フォロアを用いて図9に示すように表現することができる。この出力バッファ303には、入力電圧 V_{in} としてのアナログ

50

ビデオ信号 A V R の他に、出力バッファ 3 0 3 における P c h トランジスタ Q P 1 ~ Q P 3 を既述のように制御する P c h 制御信号 S P o n、および、N c h トランジスタ Q N 1 ~ Q N 3 を既述のように制御する N c h 制御信号 S N o n が入力される。これら P c h 制御信号 S P o n および N c h 制御信号 S N o n は、各駆動期間（1 画素についての画素値書き込みのための充電期間又は放電期間）において駆動能力を低減するのに適切な時点として予め設定された時点を示す信号として、タイミングジェネレータ 2 0 1 によって生成される。すなわち、表示領域 1 0 4（対象画素容量）に印加すべき電圧が、現時点で対象画素容量に加わっている電圧よりも高ければ充電期間であると見なされ、充電期間ではタイミングジェネレータ 2 0 1 により、図 1 0（a）に示すように P c h 制御信号 S P o n は、充電開始時には H レベルとなり、その充電開始後の所定時点 t_{1a} で L レベルへと変化し、その後、その充電期間中は L レベルに維持される。一方、N c h 制御信号 S N o n は、充電期間中、L レベルに維持される。ここで、時刻 $t = 0$ から $t = t_{2a}$ まだが充電期間であり、時刻 $t = t_{1a}$ は駆動能力を低減するのに適切な時点として上記のように予め設定された時点である。また、表示領域 1 0 4（対象画素容量）に印加すべき電圧が、現時点で対象画素容量に加わっている電圧よりも低ければ放電期間であると見なされ、放電期間ではタイミングジェネレータ 2 0 1 により、図 1 0（b）に示すように N c h 制御信号 S N o n は、放電開始時には H レベルとなり、その放電開始後の所定時点 t_{1b} で L レベルへと変化し、その後、その放電期間中は L レベルに維持される。一方、P c h 制御信号 S P o n は、放電期間中、L レベルに維持される。ここで、時刻 $t = 0$ から $t = t_{2b}$ まだが放電期間であり、時刻 $t = t_{1b}$ は駆動能力を低減するのに適切な時点として上記のように予め設定された時点である。なお、本実施形態では、上記のような P c h 制御信号 S P o n および N c h 制御信号 S N o n がタイミングジェネレータ 2 0 1 によって生成され、後述のようにこれら P c h 制御信号 S P o n および N c h 制御信号 S N o n によって出力バッファ 3 0 3 のバイアス電流が変化するので、タイミングジェネレータ 2 0 1 はバイアス電流制御手段として機能する。

10

20

30

40

50

【0032】

本実施形態では、図 1 0（a）（b）に示すように、充電期間か放電期間かに応じて P c h 制御信号 S P o n または N c h 制御信号 S N o n のいずれかのレベルが制御され、充電期間か放電期間かは、上述のように、表示領域 1 0 4（対象画素容量）に印加すべき電圧が現時点で対象画素容量に加わっている電圧よりも高いか否かにより判断される。この判断のためには、例えば液晶コントローラ 1 0 1 内にメモリを内蔵し、前フレーム期間で各画素容量に印加された電圧をそのメモリに記憶させておけばよい。また、液晶表示装置では、液晶層への印加電圧の極性を 1 ソースバスライン毎に反転させる方式（ソース反転方式）、または、1 ゲートバスライン毎に反転させつつ 1 ソースバスライン毎にも反転させる方式（ドット反転方式）が採用されている場合が多いが、この場合には P c h 制御信号 S P o n のレベルと N c h 制御信号 S N o n のレベルとを交互に制御すればよい。

【0033】

< 1.4 出力バッファの動作 >

C R 負荷としての表示領域 1 0 4 を定電圧で駆動すると、既述のように、放電時には対象画素電位 V が図 7（a）に示すように変化し、時間の経過に従って充電電流が減少するので、必要とされる駆動能力も時間の経過に従って小さくなっていく。このため、充電期間中の全てで同一の駆動能力を持つと、その駆動能力に応じたバイアス電流が流れるので、出力バッファにおいて無駄に電力を消費することになる。

【0034】

これに対し本実施形態によれば、充電対象画素の電位 V が充電開始後しばらく急峻に上昇する期間である $t = 0 \sim t_{1a}$ の期間（図 7（a）参照）では、図 1 0（a）に示すように P c h 制御信号 S P o n が H レベルとなって、切換スイッチ S P 1 ~ S P 3 により出力バッファ 3 0 3 における 4 個の P c h トランジスタ Q P 0 ~ Q P 3 がバイアス電圧 V_{a1} に基づき線形動作を行う。これにより、P c h トランジスタ Q P 0 のみが動作する場合に比べ、出力コンダクタンスが 4 倍となるので（P c h トランジスタ Q P 0 ~ Q P 3 の特性

(サイズ)は同一であるものとする)、4倍のバイアス電流が流れ、高い駆動能力で表示領域104の対象画素容量および配線容量が充電される。ただし本実施形態では、このように4個のPchトランジスタQP0~QP3が全てアクティブとなった場合の駆動能力(バイアス電流)は、既述のように従来例における駆動能力(バイアス電流)と同じである。その後、充電が相当程度に進行した時刻 $t = t_{1a}$ において、Pch制御信号SPonがLレベルへと変化して、切換スイッチSP1~SP3により出力バッファ303における3個のPchトランジスタQP1~QP3がオフ状態となり、PchトランジスタQP0のみがバイアス電圧Va1によって線形動作を行う(図8参照)。その結果、バイアス電流が充電開始時の1/4となり、出力バッファ303自体の消費電力が格段に低減される。このとき出力バッファ303の駆動能力も低下するが、この時点では、表示領域104に供給すべき充電電流は小さくなっているため駆動能力低下は問題とならず、実質的に表示領域104での表示に影響を与えない。なお、NchトランジスタQN0~QN3は充電電流には関与しないので、図10(a)に示すように充電期間中の全てにおいて、Nch制御信号SNonはLレベルであって4個のNchトランジスタQN0~QN3のうちQN1~QN3はオフ状態であり、QN0のみが動作している。この点も、出力バッファ303の消費電力の削減に寄与する。

10

【0035】

また本実施形態によれば、放電対象画素の電位Vが放電開始後しばらく急峻に下降する期間である $t = 0 \sim t_{1b}$ の期間(図7(b)参照)では、図10(b)に示すようにNch制御信号SNonがHレベルとなって、切換スイッチSN1~SN3により出力バッファ303における4個のNchトランジスタQN0~QN3がバイアス電圧Va2に基づき線形動作を行う(図8参照)。これにより、NchトランジスタQN0のみが動作する場合に比べて出力コンダクタンスが4倍となるので(NchトランジスタQN0~QN3の特性(サイズ)は同一であるものとする)、4倍のバイアス電流が流れ、表示領域104の対象画素容量および配線容量に蓄積されていた電荷が高い駆動能力で放電される。ただし本実施形態では、このように4個のNchトランジスタQN0~QN3が全てアクティブとなった場合の駆動能力(バイアス電流)は、既述のように従来例における駆動能力(バイアス電流)と同じである。その後、その放電が相当程度に進行した時刻 $t = t_{1b}$ において、Nch制御信号SNonがLレベルへと変化し、切換スイッチSN1~SN3により出力バッファ303における3個のNchトランジスタQN1~QN3がオフ状態となり、NchトランジスタQP0のみがバイアス電圧Va2に基づき線形動作を行う。その結果、バイアス電流が充電開始時の1/4となり、出力バッファ303自体の消費電力が格段に低減される。このとき出力バッファ303の駆動能力も低下するが、この時点では、表示領域104からの放電電流は小さくなっているため駆動能力低下は問題とはならず、実質的に表示領域104の表示に影響を与えない。なお、PchトランジスタQP0~QP3は放電電流には関与しないので、図10(b)に示すように放電期間中の全てにおいて、Pch制御信号SPonはLレベルであって4個のPchトランジスタQP0~QP3のうちQP1~QP3はオフ状態であり、QP0のみが動作している。この点も、出力バッファ303の消費電力の削減に寄与する。

20

30

【0036】

このようにして本実施形態によれば、充電時における対象画素電位Vは図11(a)において点線で示すように変化すると共に、放電時における対象画素電位Vは図11(b)において点線で示すように変化し、表示領域104の表示への影響を抑えつつバイアス電流(駆動能力)を変化させることで消費電力を削減することができる。なお、図11(a)において、実線の曲線は従来出力バッファ302を使用した場合の電位変化を示しており、1点鎖線の曲線は、4個のPchトランジスタQP0~QP3を同時に動作させたときの駆動能力が従来例(図5)におけるPchトランジスタQPの駆動能力よりも若干大きい場合の電位変化を示している。図11(b)における実線の曲線、点線の曲線、1点鎖線の曲線についても、PchトランジスタとNchトランジスタとの違いを除けば同様である。1点鎖線の曲線のような電位変化が得られる構成の場合においても、出力バッ

40

50

ァ 3 0 3 の消費電力が従来例よりも削減されるように 4 個の P c h トランジスタ Q P 0 ~ Q P 3 および 4 個の N c h トランジスタ Q N 0 ~ Q N 3 のサイズ (駆動能力) を設定することは可能である。

【 0 0 3 7 】

< 1 . 5 第 1 の実施形態の効果 >

上記実施形態によれば、各画素に対する駆動期間である各画素容量の充電期間または放電期間において充電または放電が相当程度に進行した時点 t_{1a} または t_{1b} で D / A 変換器 2 0 3 における出力バッファ 3 0 3 の出力コンダクタンスを変化させることにより、大きな駆動能力を必要としない期間でバイアス電流が低減される。これにより、表示領域 1 0 4 の表示への影響を抑えつつ、D / A 変換器 2 0 3 における出力バッファ 3 0 3 の消費電力を削減することができる。したがって、本実施形態は、駆動回路の消費電力における出力バッファの消費電力の占める割合の大きい液晶表示装置において省電力化を図る上で有効である。

【 0 0 3 8 】

< 1 . 6 第 1 の実施形態の変形例 >

< 1 . 6 . 1 第 1 の変形例 >

次に、上記第 1 の実施形態の第 1 の変形例について説明する。

表示領域に表示する画像を静止画に限定した場合、以下の方法で、駆動能力を落す時点すなわちバイアス電流を低減する時点を自動的に決定することができる。液晶表示装置では液晶の劣化を防ぐため、ソースバスラインには、対向電極の電圧に対し、フレーム毎に逆極性の電圧が印加される。すなわち、図 1 2 に示すように、静止画の場合、第 n フレームに対して第 $n + 1$ フレームは、極性反転の中心に対して上下反転した電圧が印加される。ここで、表示領域 1 0 4 は極性反転の中心に近いほど明るく表示するノーマリホワイトの表示領域であるものとする、第 $n + 1$ で印加すべき電圧、すなわち第 n フレームと第 $n + 1$ フレームとの電位差は、明るく表示する画素ほど小さくなる ($V_{Sn} < V_{Sn+1} < V_{Sn+2}$)。よって、明るく表示する画素ほど駆動能力を落す時点を早めに設定すれば、更に出力バッファの消費電力を削減することができる。なお、この点は、図 1 2 に示すように共通電極の電位が固定の場合のみならず、駆動に必要な電圧を低くするために共通電極の電位を正極性用電位と負極性用電位との 2 種類の電位の間で切り換える構成の場合においても同様である。

【 0 0 3 9 】

このような本変形例では、駆動しようとする画素をどの程度明るく表示すべきかを示す情報に基づき P c h 制御信号 S P o n および N c h 制御信号 S N o n が生成されることになる (図 1 0 参照)。このため、P c h 制御信号 S P o n および N c h 制御信号 S N o n を生成するタイミングジェネレータ 2 0 1 にその情報を伝える必要がある。これには、例えば、液晶コントローラ 1 0 1 においてホストインタフェース 2 0 2 と D / A 変換器 2 0 3 との間に図 1 3 に示すようなデータ分岐回路 2 1 0 を設け、デジタルビデオ信号 D V 2 の上位 2 ビットである D V 2 m s b 2 (3 b i t 以上でもよい) をタイミングジェネレータ 2 0 1 に送る構成とすればよい。この場合、タイミングジェネレータ 2 0 1 は、この D V 2 m s b 2 の値によって、駆動能力 (バイアス電流) を落とす時点として 4 つの異なる時点を設定することができる。したがって、表示領域 1 0 4 の駆動対象画素への印加電圧に応じて、駆動能力を落とす時点を 4 つの時点から選択することができるので、表示領域 1 0 4 の表示への影響を抑えつつ、より効果的に消費電力を削減することができる。

【 0 0 4 0 】

< 1 . 6 . 2 第 2 の変形例 >

次に、上記第 1 の実施形態の第 2 の変形例について説明する。

本変形例では、図 8 の出力バッファに代えて図 1 4 に示す構成の出力バッファが使用される。第 1 の実施形態における出力バッファ 3 0 3 では、出力段の C M O S 回路において並列に接続されるトランジスタの数を変えて出力コンダクタンスを変更することによりバイアス電流 (駆動能力) を制御していたが、この変形例における出力バッファでは、P c h

トランジスタQPおよびNchトランジスタQNのゲート端子に与えられるバイアス電圧（QP，NPの動作点）を変えることによりバイアス電流（駆動能力）を制御している。すなわち、バイアス回路310および出力段のCMOS回路は従来例（図5）と同様であるが、PchトランジスタQPのゲート端子は第1の可変抵抗VR1を介して電源ラインVCCに接続されると共に第2の可変抵抗VR2を介して接地されており、NchトランジスタQNのゲート端子は第3の可変抵抗VR3を介して電源ラインVCCに接続されると共に第4の可変抵抗VR4を介して接地されている。このような出力バッファにおいて、例えば、第1の実施形態におけるPch制御信号SPonで可変抵抗VR1およびVR2を制御することにより、充電期間における既述の時点t1aでバイアス電流を低減し、第1の実施形態におけるNch制御信号SNonで可変抵抗VR3およびVR4を制御することにより、放電期間における既述の時点t1bでバイアス電流を低減する構成とすることが可能であり、このような構成によれば、第1の実施形態と同様の効果を得ることができる。

10

【0041】

< 1.6.3 その他の変形例 >

上記第1の実施形態では、図8に示すように、出力バッファ303において、動作/非動作を制御できる3個のPchトランジスタQP1～QP3が互いに並列に接続されると共に、動作/非動作を制御できる3個のNchトランジスタQN1～QN3が互いに並列に接続されているが、動作/非動作を制御できるPchトランジスタおよびNchトランジスタの個数は3個に限定されるものではなく、2個以下であってもよいし、4個以上であってもよい。また、上記第1の実施形態では、1画素に対する駆動期間（充電期間または放電期間）において出力コンダクタンスを2段階（1個のPchまたはNchトランジスタが動作している状態と、4個のPchまたはNchトランジスタが動作している状態との2段階）に変化させているが、Pch制御信号SPonおよびNch制御信号SNonの種類を増やして切換スイッチSP1～SP3，SN1～SN3を異なるタイミングで制御することにより、3段階以上に出力コンダクタンスを変化させる構成としてもよい。このようにすれば、出力バッファ303の消費電力削減のためのバイアス電流すなわち駆動能力の制御をよりきめ細かく行うことができる。

20

【0042】

また、上記実施形態では、出力バッファ303は、Pch制御信号SPonおよびNch制御信号SNonがLレベルとなってもPchトランジスタQP0とNchトランジスタQN0とは常に動作するように構成されているが、全てのPchトランジスタおよびNchトランジスタにつき動作/非動作を制御できるように、PchトランジスタQP0とNchトランジスタQN0についても切換スイッチを設ける構成としてもよい。この場合、駆動対象となる画素容量の充電または放電が十分に進んだ時点（t1aまたはt1bに相当する時点）で全てのPchトランジスタおよびNchトランジスタを非動作状態（オフ状態）とすることにより、上記時点以降においてバイアス電流が流れない状態となり、消費電力を上記第1の実施形態よりも削減することができる。

30

【0043】

さらに、上記第1の実施形態では、点順次駆動を前提としているが、線順次駆動の場合においても、データ線としてのソースバスラインにアナログ電圧を印加するための出力バッファが使用されるので、この出力バッファを上記第1の実施形態や変形例と同様の構成とすることができる。そして、そのような構成により、表示領域での表示への影響を抑えつつ、出力バッファにおけるバイアス電流もしくは駆動能力を変えることにより、出力バッファの消費電力を低減することができる。

40

【0044】

< 2. 第2の実施形態 >

上記第1の実施形態では、出力バッファ303のバイアス電流を低下させる時点（t1a，t1b）は予め決められているが、各駆動期間（充電期間または放電期間）において充電電流または放電電流の値が所定値よりも小さくなる時点を検出し、その検出結果に基づ

50

きバイアス電流を低下させるようにしてもよい。以下、このような出力バッファを使用する液晶表示装置を第2の実施形態として説明する。なお、本実施形態では、出力バッファの構成が異なり、Pch制御信号SPonおよびNch制御信号SNonを必要としない点を除けば、他の構成は上記第1の実施形態と同様であるので、同一部分には同一の参照符号を付して詳しい説明を省略する。

【0045】

図15は、このように電流値に基づきバイアス電流切替時点を検出する出力バッファの構成例を示す回路図である。図15では、充電期間においてバイアス電流切替時点を検出するための構成のみが示されているが、放電期間においてバイアス電流切替時点を検出するための構成は、図15と下記の説明から明らかであるので、当該構成についての図示や説明を省略する。

10

【0046】

図15に示した出力バッファは、コレクタが電源ラインVDD1に接続されたバイポーラトランジスタQ1と、エミッタが接地ラインVSS1に接続されたバイポーラトランジスタQ2とからなる出力段を備え、トランジスタQ1のエミッタとトランジスタQ2のコレクタとが接続され、その接続点(以下「出力接続点」という)の電圧が出力電圧Voutとなっている。この出力電圧Voutは、電流検出抵抗Rdetを介して出力バッファから出力され、アナログビデオ信号AVとしてソースドライバ102を経て表示領域104(ソースバスライン)に供給される。

【0047】

また、この出力バッファは、トランジスタQ1, Q2を動作させるためのベース電流をスイッチSB1, SB2をそれぞれ介して供給するバイアス回路410と、出力電圧Voutであるアナログビデオ信号AVで表示領域104の画素容量および配線容量を充電するための充電電流I1が所定値よりも低下したか否かを検出するコンパレータ412とを備えている。電流検出抵抗Rdetの一端は、上記出力接続点に接続され、他端はコンパレータ412の非反転入力端子に接続されている。また、上記出力接続点は抵抗R1を介してコンパレータ412の反転入力端子に接続され、この反転入力端子は抵抗R2を介して接地されている。抵抗R1とR2とで出力電圧Voutが分圧されることにより閾値としての電圧Vthが生成され、充電電流I1に対応する電圧である電流検出抵抗Rdetの上記他端の電圧Vdetが、コンパレータ412により閾値電圧Vthと比較される。

20

30

【0048】

さらに、この出力バッファは、排他的NORゲート(EX-NORゲート)414とインバータ413とからなる回路であってコンパレータ412の出力信号Sdetの変化(LレベルからHレベルへの変化およびその逆の変化)を検出する回路と、その回路の出力信号がクロック端子に入力されるDフリップフロップ416とを備えている。このDフリップフロップ416のD入力端子は接地され、Q出力信号は、トランジスタQ1およびQ2へのベース電流の供給を制御するスイッチSB1およびSB2を制御する。Q出力信号がHレベルのときスイッチSB1およびSB2はオンされてトランジスタQ1およびQ2は動作状態となり、Q出力信号がLレベルのときスイッチSB1およびSB2はオフされてトランジスタQ1およびQ2は非動作(オフ状態)となる。このDフリップフロップ416のPR(プリセット)端子には、1つの画素容量の充電開始毎(駆動開始毎)に上記スイッチSB1およびSB2を初期状態であるオンされている状態に戻すために、ドットクロックとしてのソースドライバ用クロック信号SCLKまたはこのクロック信号SCLKから派生したパルス信号が入力される。上記スイッチSB1およびSB2をオンする期間すなわち出力バッファから充電電流を供給する期間がクロック信号SCLKのパルス幅(Hレベルの期間)よりも短くなる可能性がある場合には、そのクロック信号SCLK自身よりも、それから派生した信号であってHレベルの期間のより短い信号をPR端子に与えるのが好ましい。

40

【0049】

上記のような本実施形態による出力バッファによれば、図16に示すように充電開始後、

50

時間の経過に従って充電電流 I_1 が減少し、その充電電流 I_1 に対応する電流検出抵抗 R_{det} の上記他端の電圧 V_{det} が閾値電圧 V_{th} よりも高くなるか又は閾値電圧 V_{th} よりも低くなれば（すなわち閾値電圧 V_{th} を横切れれば）、1個のパルスがDフリップフロップ416のクロック端子に入力される。これにより、図16において t_{s1} で示されるような時点でDフリップフロップ416のQ出力端子はLレベルへと変化し、上記スイッチSB1およびSB2がオフされ、トランジスタQ1およびQ2は非動作状態（オフ状態）となる。その結果、1画素に対する充電期間において上記時点 t_{s1} 以降では出力バッファから表示領域104へは充電電流が供給されない。しかし、上記時点 t_{s1} では当該画素容量が十分に充電されているように上記閾値電圧 V_{th} （抵抗 R_1 と R_2 とによる分圧比）を設定することにより、上記時点 t_{s1} 以降で充電電流の供給が停止されても表示上問題が生じないようにすることができる。

10

【0050】

このような本実施形態によれば、電源ライン V_{DD1} からトランジスタQ1およびQ2を介して接地ライン V_{SS1} へと流れるバイアス電流は、1画素に対する充電期間において上記時点 t_{s1} 以降すなわち当該画素容量が十分に充電された時点以降では流れなくなる。したがって、上記実施形態と同様、表示領域104の表示への影響を抑えつつ、D/A変換器203における出力バッファの消費電力を低減することができる。

【0051】

なお、本実施形態では、1画素に対する充電期間において出力バッファから充電電流を供給する期間と供給を停止する期間とが分離されるが、その充電電流の供給停止期間（上記時点 t_{s1} 以降の期間）において、トランジスタQ1、Q2を完全に非動作状態（オフ状態）とせず上記バイアス電流を低減するようにしてもよい。

20

【0052】

< 3. その他の実施形態 >

上記では本発明の実施形態やその変形例として液晶表示装置について説明したが、本発明は、これに限定されるものではなく、容量性負荷にアナログ電圧を印加することにより画像を表示する表示装置であれば、他の表示装置にも適用可能である。例えば、有機EL（Electroluminescence）パネルを用いた表示装置では、有機EL素子に流れる電流により輝度を制御することで画像が表示されるが、有機ELパネルにおける各画素形成部が図17に示すような構成である場合には、データ信号線としてのソースバスラインに画像信号に応じたアナログ電圧を印加することにより画像が表示される。

30

【0053】

すなわち、この有機ELパネルは、アクティブマトリクス型の表示装置であって、走査信号線とデータ信号線との交差点に対応して設けられる各画素形成部は、スイッチング用TFT510と、有機EL駆動用TFT512と、有機EL素子514と、コンデンサ511とによって構成される。そして、対応交差点を通過する走査信号線によってスイッチング用TFT510がオンされると、データ信号線の電圧がそのTFT510を介して有機EL駆動用TFT512のゲート端子に印加され、そのTFT512のゲート端子とソース端子との間に接続されたコンデンサ511がデータ信号によって充電される。この後、走査信号によってスイッチング用TFT510がオフされても、データ信号の電圧はコンデンサ511により保持される。コンデンサ511により保持された電圧は、有機EL駆動用TFT512によって電流に変換される。すなわち、データ信号として容量性負荷に印加されたアナログ電圧が電流に変換される。この電流によって有機EL素子514の輝度が制御されることにより、画像が表示される。したがって、有機EL素子を用いた表示装置であっても、図17に示すような電圧制御型の構成とすることにより、本発明を適用することができる。

40

【0054】

なお、表示パネルの実際の駆動状態において、隣接する充電期間または放電期間における駆動電圧に大きな差がない場合には、表示に対する影響を抑えつつ出力バッファのバイアス電流を低減させた状態すなわち駆動能力を低下させた状態を長く維持することが可能と

50

なる。このため、そのような場合には、本発明による出力バッファの消費電力の削減効果はより大きなものとなる。

【0055】

【発明の効果】

第1の発明によれば、表示部の容量性負荷の充電期間または放電期間中に出力バッファのバイアス電流を変化させることができるので、出力バッファに必要とされる駆動能力に応じてバイアス電流を変えることにより、バイアス電流が固定されていた従来に比べ出力バッファの消費電力を削減することができる。

【0056】

第2の発明によれば、互いに並列に接続された複数個のトランジスタのうち動作状態のトランジスタの個数を変えて出力コンダクタンスを変化させることにより、出力バッファに必要とされる駆動能力に応じてバイアス電流を変えることができるので、出力バッファの消費電力の削減が可能となる。

10

【0057】

第3の発明によれば、トランジスタの動作点を変えることにより、出力バッファに必要とされる駆動能力に応じてバイアス電流を変えることができるので、出力バッファの消費電力の削減が可能となる。

【0058】

第4の発明によれば、充電期間または放電期間において予め決められた時点以降で出力バッファのバイアス電流が充電期間または放電期間の開始時の値よりも小さい値となるので、表示部の容量性負荷の充放電電流が少なくなって必要とされる駆動能力が低下した時点以降でバイアス電流を低減することができる。このため、表示部における表示に対する影響を抑えつつ出力バッファの消費電力を削減することが可能となる。

20

【0059】

第5の発明によれば、充電期間または放電期間において入力画像信号に基づき決定される時点以降で出力バッファのバイアス電流が充電期間または放電期間の開始時の値よりも小さい値となるので、表示部の容量性負荷の充放電電流が少なくなって必要とされる駆動能力が低下した時点以降でバイアス電流を低減することができる。このため、表示部における表示に対する影響を抑えつつ出力バッファの消費電力を削減することが可能となる。

【0060】

第6の発明によれば、充電期間または放電期間において出力バッファと容量性負荷との間に流れる充放電電流に基づき決定される時点以降でバイアス電流が充電期間または放電期間の開始時の値よりも小さい値となるので、表示部の容量性負荷の充放電電流が少なくなって必要とされる駆動能力が低下した時点以降でバイアス電流を低減することができる。このため、表示部における表示に対する影響を抑えつつ出力バッファの消費電力を削減することが可能となる。

30

【0061】

第7の発明によれば、充電期間または放電期間においてバイアス電流を低減すべき時点として決定された時点以降でバイアス電流が全く流れなくなるので、出力バッファの消費電力をより削減することができる。

40

【0062】

第8の発明によれば、上記第1の発明と同様の効果を奏する。

【0063】

第9の発明によれば、上記第1の発明と同様の効果を奏する。

【図面の簡単な説明】

【図1】本発明の第1の実施形態に係る液晶表示装置の構成を示すブロック図である。

【図2】第1の実施形態における表示領域を構成する画素形成部の構成を示す回路図である。

【図3】第1の実施形態における液晶コントローラの構成を示すブロック図である。

【図4】液晶コントローラで使用されるD/A変換器の従来例の構成を示す回路図である

50

。

【図 5】上記 D / A 変換器の従来例における出力バッファの構成を示す回路図である。

【図 6】液晶表示装置における駆動回路から見た負荷としての表示領域のモデルを示す回路図である。

【図 7】C R 負荷としての表示領域を定電圧駆動する場合の駆動対象の画素電極電位の変化を示す図である。

【図 8】第 1 の実施形態における D / A 変換器の出力バッファの構成を示す回路図である。

。

【図 9】第 1 の実施形態における D / A 変換器の出力バッファを電圧フォロアを用いて表現した図である。

10

【図 10】第 1 の実施形態における出力バッファの動作を説明するためのタイミングチャートである。

【図 11】第 1 の実施形態における出力バッファの動作を説明するための波形図である。

【図 12】第 1 の実施形態の第 1 の変形例の原理を説明するための信号波形図である。

【図 13】上記第 1 の変形例において使用されるデータ分岐回路を示す図である。

【図 14】第 1 の実施形態の第 2 の変形例における出力バッファの構成を示す回路図である。

【図 15】本発明の第 2 の実施形態における出力バッファの構成を示す回路図である。

【図 16】第 2 の実施形態における出力バッファの動作を説明するための波形図である。

【図 17】有機 E L パネルを用いた表示装置への本発明の適用を説明するための回路図である。

20

【符号の説明】

1 0 1 ... 液晶コントローラ

1 0 2 ... ソースドライバ

1 0 4 ... 表示領域

1 0 6 ... 薄膜トランジスタ (T F T)

1 0 7 ... 画素電極

1 0 8 ... 電荷保持容量

2 0 1 ... タイミングジェネレータ

2 0 3 ... D / A 変換器

3 0 3 ... 出力バッファ

3 1 0 ... バイアス回路

A V ... アナログビデオ信号

S 1 ~ S n ... ソースバスライン

Q P 0 ~ Q P 3 ... P チャンネルトランジスタ

Q N 0 ~ Q N 3 ... N チャンネルトランジスタ

S P 1 ~ S P 3 ... 切換スイッチ (P チャンネル側)

S N 1 ~ S N 3 ... 切換スイッチ (N チャンネル側)

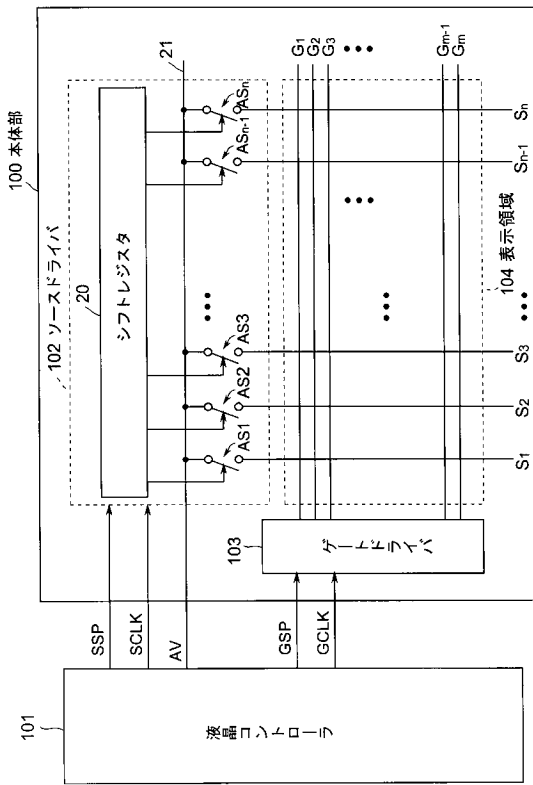
S P o n ... P c h 制御信号

S N o n ... N c h 制御信号

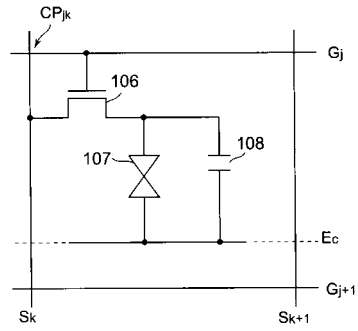
30

40

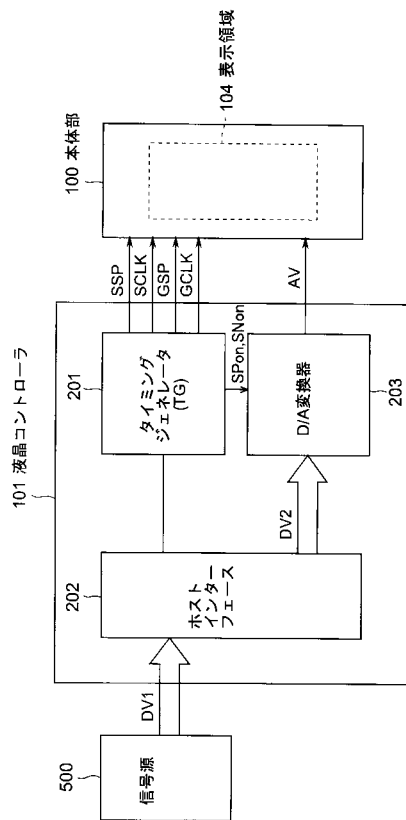
【 図 1 】



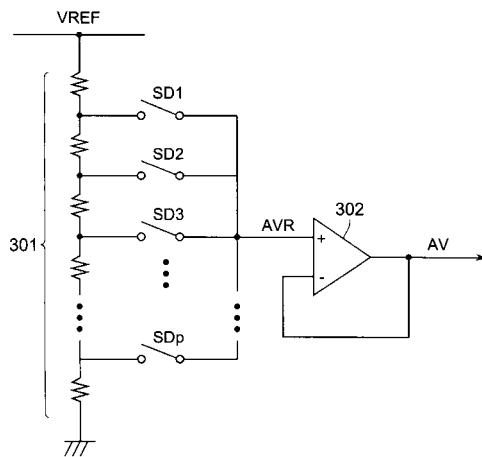
【 図 2 】



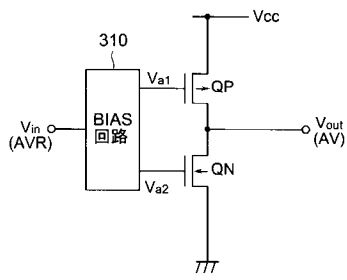
【 図 3 】



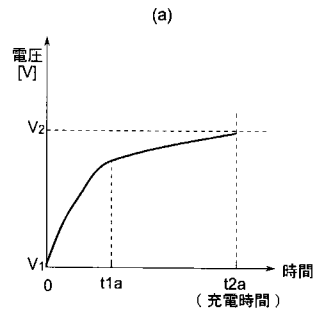
【 図 4 】



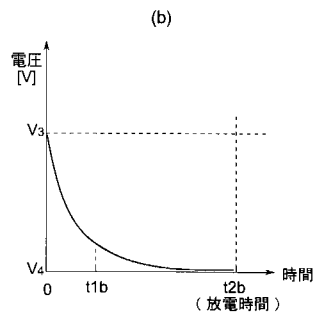
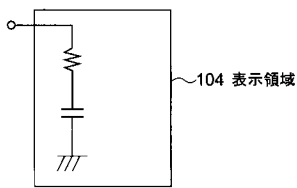
【 図 5 】



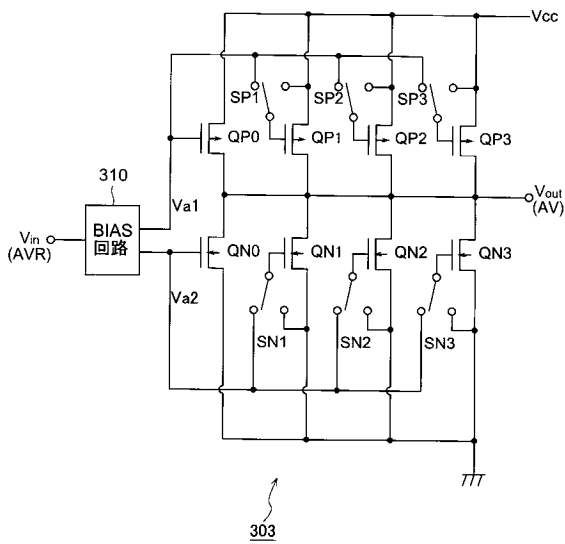
【 図 7 】



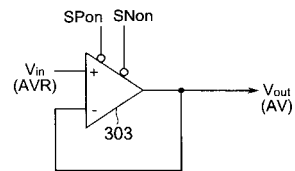
【 図 6 】



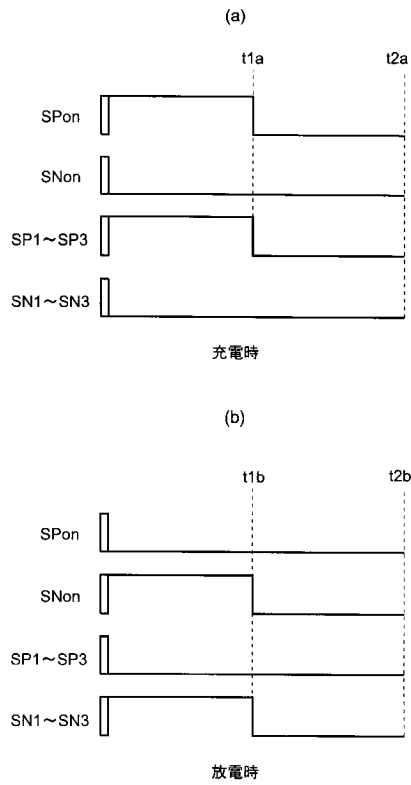
【 図 8 】



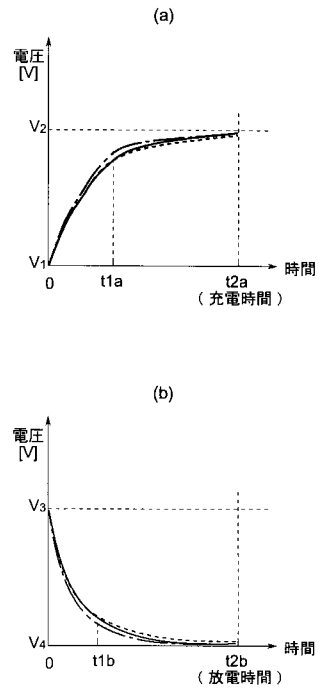
【 図 9 】



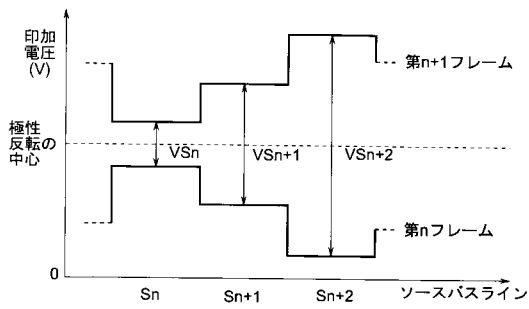
【 図 1 0 】



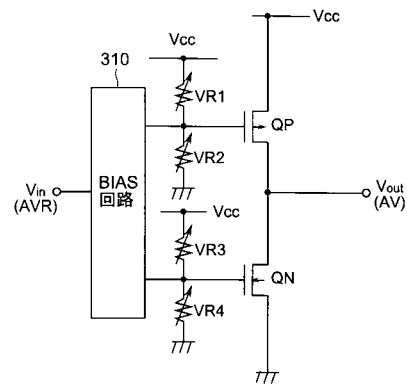
【 図 1 1 】



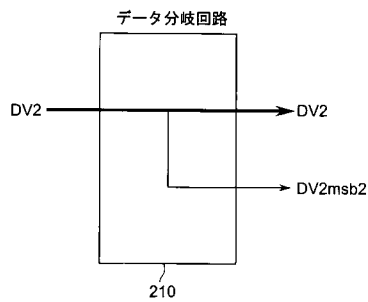
【 図 1 2 】



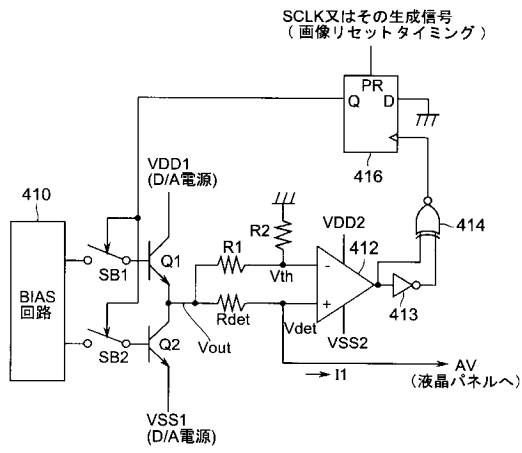
【 図 1 4 】



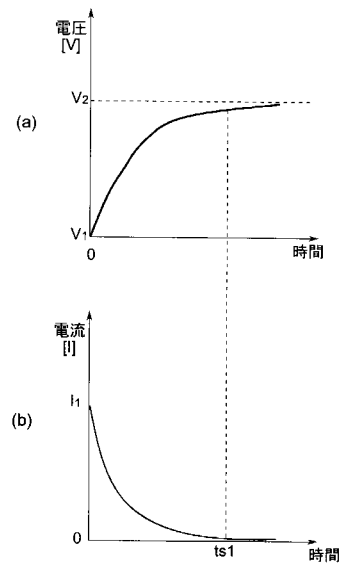
【 図 1 3 】



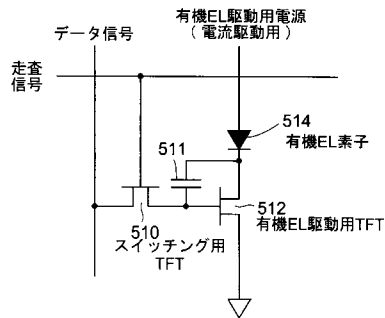
【 図 1 5 】



【 図 1 6 】



【 図 1 7 】



フロントページの続き

(51) Int.Cl.⁷

F I

テーマコード(参考)

G 0 9 G 3/20 6 2 3 B

G 0 9 G 3/20 6 8 0 G

F ターム(参考) 5C006 AC09 AC21 AF50 AF69 AF75 AF82 BC13 BF25 BF33 FA14
FA47
5C080 AA06 AA10 BB05 DD26 FF01 FF11 JJ02 JJ03 JJ04 KK07
KK47

专利名称(译)	显示装置，驱动电路及其驱动方法		
公开(公告)号	JP2004117742A	公开(公告)日	2004-04-15
申请号	JP2002279937	申请日	2002-09-25
[标]申请(专利权)人(译)	夏普株式会社		
申请(专利权)人(译)	夏普公司		
[标]发明人	北川大二 青木俊也		
发明人	北川 大二 青木 俊也		
IPC分类号	G02F1/133 G09G3/20 G09G3/32 G09G3/36		
CPC分类号	G09G3/3688 G09G3/2011 G09G3/3233 G09G3/3275 G09G2300/0842 G09G2310/027 G09G2310/0297 G09G2320/02 G09G2330/021		
FI分类号	G09G3/36 G02F1/133.505 G02F1/133.550 G09G3/20.611.A G09G3/20.621.M G09G3/20.623.B G09G3/20.680.G G09G3/30.J G09G3/3233 G09G3/3266 G09G3/3275 G09G3/3291		
F-TERM分类号	2H093/NA42 2H093/NA43 2H093/NC04 2H093/NC15 2H093/NC34 2H093/ND39 5C006/AC09 5C006/AC21 5C006/AF50 5C006/AF69 5C006/AF75 5C006/AF82 5C006/BC13 5C006/BF25 5C006/BF33 5C006/FA14 5C006/FA47 5C080/AA06 5C080/AA10 5C080/BB05 5C080/DD26 5C080/FF01 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ04 5C080/KK07 5C080/KK47 2H193/ZA04 2H193/ZC22 2H193/ZF03 5C380/AA01 5C380/AA10 5C380/AB06 5C380/AB23 5C380/AB24 5C380/AC08 5C380/AC11 5C380/AC12 5C380/BA01 5C380/BA19 5C380/BA20 5C380/BA47 5C380/BC02 5C380/BC13 5C380/BC18 5C380/CA02 5C380/CA08 5C380/CA09 5C380/CA12 5C380/CA51 5C380/CA57 5C380/CB01 5C380/CB37 5C380/CC02 5C380/CC26 5C380/CC33 5C380/CC62 5C380/CC77 5C380/CD012 5C380/CE02 5C380/CE19 5C380/CF07 5C380/CF10 5C380/CF22 5C380/CF23 5C380/CF41 5C380/CF48 5C380/CF51 5C380/CF61 5C380/DA02 5C380/DA06 5C380/FA03		
代理人(译)	岛田彰		
外部链接	Espacenet		

摘要(译)

为了减少用于向显示面板中的用于显示图像的电容性负载施加模拟电压的输出缓冲器的功耗。在将模拟电压 V_{out} 作为驱动信号施加到有源矩阵液晶显示装置的显示区域中的像素电容的缓冲器中，产生模拟电压的四个CMOS电路彼此并联连接。Pch晶体管QP0至QP3和四个Nch晶体管QN0至QN3彼此并联连接。通过在像素电容充电期间控制转换开关SP1至SP3，当在充电开始之后不再需要大的驱动能力时，通过减小偏置电流来减小偏置电流，并且减小了在像素电容中累积的电荷。通过在放电时控制转换开关SN1至SN3，当在放电开始之后不再需要大的驱动能力时，偏置电流减小并且驱动能力降低。[选择图]图8

