

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2003 - 108098

(P2003 - 108098A)

(43)公開日 平成15年4月11日(2003.4.11)

(51) Int.Cl. ⁷	識別記号	F I	テ-マ-コ-ト [*] (参考)
G 0 9 G 3/36		G 0 9 G 3/36	2 H 0 9 2
G 0 2 F 1/133	575	G 0 2 F 1/133	2 H 0 9 3
1/1343		1/1343	5 C 0 0 6
G 0 9 G 3/20	641	G 0 9 G 3/20	641 A 5 C 0 5 8
		641 G	5 C 0 8 0

審査請求 未請求 請求項の数 9書面 (全 6 数) 最終頁に続く

(21)出願番号 特願2001 - 375004(P2001 - 375004)

(22)出願日 平成13年9月29日(2001.9.29)

(71)出願人 000003078

株式会社東芝

東京都港区芝浦一丁目1番1号

(72)発明者 ▲もたい▼ 友信

埼玉県深谷市幡羅町一丁目9番地2 株式会
社東芝深谷工場内

(72)発明者 青木 良朗

埼玉県深谷市幡羅町一丁目9番地2 株式会
社東芝深谷工場内

(74)代理人 100058479

弁理士 鈴江 武彦 (外 6 名)

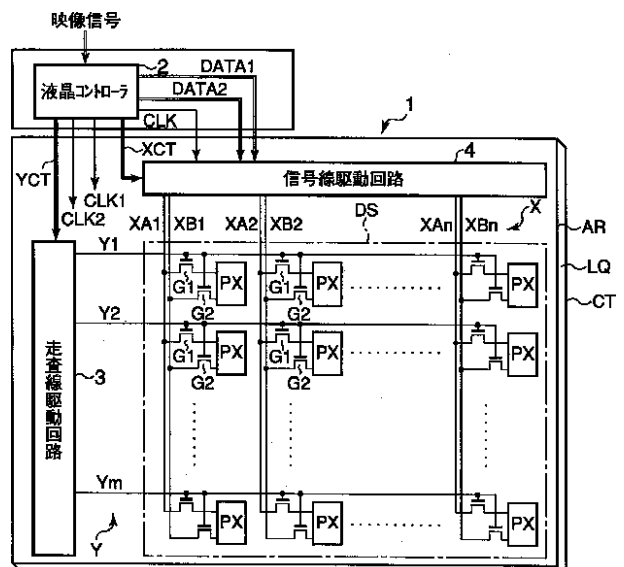
最終頁に続く

(54)【発明の名称】 平面表示装置

(57)【要約】

【課題】電力消費およびコストを著しく増大させることなく画素電極と隣接配線との間の寄生結合による影響を低減する。

【解決手段】液晶表示装置は各々所定の面積比率で重み付けされた複数の副画素 P E 1 ~ P E 3 に分割される複数の表示画素 P X と、複数の表示画素 P X をそれぞれ駆動する駆動回路 2 , 3 , 4 , G 1 , G 2 とを備える。特に、この駆動回路は各表示画素 P X の階調を複数の副画素 P E 1 ~ P E 3 と所定の時間比率で重み付けされた複数の駆動期間とを組み合わせることで決定するように構成される。



【特許請求の範囲】

【請求項 1】 各々所定の面積比率で重み付けされた複数の副画素に分割される複数の表示画素と、前記複数の表示画素をそれぞれ駆動する駆動回路とを備え、前記駆動回路は各表示画素の階調を前記複数の副画素と所定の時間比率で重み付けされた複数の駆動期間とを組み合わせることで決定するように構成されることを特徴とする平面表示装置。

【請求項 2】 前記駆動回路は各表示画素に組み込まれる映像データ転送回路と、この映像データ転送回路に保持された映像データを一定でない転送信号により読み出して前記複数の副画素に印加する制御回路を含むことを特徴とする請求項 1 に記載の平面表示装置。

【請求項 3】 前記転送信号は映像データの送られる信号時間よりも長いことを特徴とする請求項 2 に記載の平面表示装置。

【請求項 4】 前記転送信号は映像データの送られる信号時間の定倍であることを特徴とする請求項 2 に記載の平面表示装置。

【請求項 5】 前記制御回路は前記複数の表示画素を所定数単位に順次選択する走査信号を発生する走査信号発生部を含み、映像データ転送回路はこの走査信号が供給されない間に映像データを順次読み出すように構成されることを特徴とする請求項 2 に記載の平面表示装置。

【請求項 6】 前記駆動回路は各表示画素の階調は前記複数の副画素の面積比率およびこの面積比率に同一な比率に設定される転送信号のパルス幅とを組み合わせることで映像信号を変換する変換回路を含むことを特徴とする請求項 1 に記載の平面表示装置。

【請求項 7】 前記複数の副画素の面積比率で得られる階調比率は前記転送信号のパルス幅の比率の定倍であることを特徴とする請求項 6 に記載の平面表示装置。

【請求項 8】 前記転送信号のパルス幅の比率は表示階調のガンマ補正のために可変されることを特徴とする請求項 6 に記載の平面表示装置。

【請求項 9】 前記複数の表示画素は所定方向において複数のブロックに分割され、前記転送信号がこれらブロック毎に供給されることを特徴とする請求項 1 に記載の平面表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、複数の表示画素により表示画面を構成する平面表示装置に関し、特に各表示画素が多階調表示のために複数の副画素に分割される平面表示装置に関する。

【0002】

【従来の技術】液晶表示装置に代表される平面表示装置は、薄型、軽量かつ低消費電力という特性からパソコン、TV、ゲーム機等の機器で幅広く使用されている。

【0003】典型的な液晶表示装置は、例えばマトリク

ス状に配置される複数の表示画素、複数の表示画素の行に沿って形成される複数の走査線、複数の表示画素の列に沿って形成される複数の信号線、これら信号線および走査線の交差位置近傍に配置され各々対応走査線を介して駆動されたときに対応信号線から対応表示画素に映像信号を供給する複数の画素スイッチを有する。各表示画素は画素電極、対向電極、およびこれら電極間に挟持される液晶層を表示素子として含み、映像信号に依存した画素電極および対向電極間の電位差により液晶層の光透過率を設定する。

【0004】最近では、低消費電力化のために各表示画素に 1 ビットのスタティックメモリを内蔵させた液晶表示装置が実用化されているが、このような構成では白または黒のような単階調画像を表示するのみで、多階調画像を表示することができない。

【0005】そこで、所定の面積比率で重み付けされた複数の副画素に各表示画素を分割すると共に、この副画素内にメモリを設けることで多階調画像の表示を実現することが検討されている。

【0006】例えば 5 ビット、32 階調の表示を実現するのであれば、面積が 1 : 2 : 4 : 8 : 16 の比率で重み付けされた副画素に表示画素を分割する必要があるが、この場合の最小副画素は数ミクロン角となり、そのレイアウトが加工精度等を考慮して極めて困難である。

【0007】

【発明が解決しようとする課題】本発明の目的は上述した技術課題に鑑み成されたものであって、少ない副画素数で所望の階調数を得ることが可能な平面表示装置を提供することにある。

【0008】

【課題を解決するための手段】本発明によれば、各々所定の面積比率で重み付けされた複数の副画素に分割される複数の表示画素と、複数の表示画素をそれぞれ駆動する駆動回路とを備え、駆動回路は各表示画素の階調を複数の副画素と所定の時間比率で重み付けされた駆動期間とを組み合わせることで決定するように構成される平面表示装置が提供される。

【0009】この平面表示装置では、各表示画素の階調が所定の面積比率で重み付けされた複数の副画素と所定の時間比率で重み付けされた駆動期間とを組み合わせることで決定される。この場合、各表示画素は副画素数と駆動期間数との積に依存した階調数を持つため、所望の階調数を得るために必要な副画素数を低減できる。これにより、最小となる副画素の面積を大きくして加工精度等による制約を解消することができる。

【0010】

【発明の実施の形態】以下、本発明の一実施形態に係る液晶表示装置について図面を参照して説明する。

【0011】図 1 はこの液晶表示装置の概略的な構造を示す。この液晶表示装置は、液晶表示パネル 1 およびこ

の液晶表示パネル1を制御する液晶コントローラ2を備える。液晶表示パネル1は、例えば液晶層LQがアレイ基板ARおよび対向基板CT間に保持される構造を有し、液晶コントローラ2は液晶表示パネル1から独立した駆動回路基板上に配置される。液晶表示パネル1は、マトリクス状に配置され表示画面DSを構成する複数の表示画素PX、複数の表示画素PXの行に沿って形成される複数の走査線Y(Y1~Ym)、複数の表示画素PXの列に沿って形成される複数の信号線対X(XA1, XB1~XAn, XBn)、これら信号線対および走査線の交差位置近傍に配置され各々対応走査線Yを介して駆動されたときに対応信号線対Xを対応表示画素PXに電氣的に接続する1対の画素スイッチG1, G2で構成される複数の画素スイッチ部、および走査線Y1~Ymを駆動する走査線駆動回路3、並びに信号線対XA1, XB1~XAn, XBnを駆動する信号線駆動回路4を含む。各表示画素はアレイ基板AR上に形成される画素電極、対向基板CT上に形成される対向電極、およびこれら電極間に挟持される液晶層LQを表示素子として含み、画素電極および対向電極間の電位差により液晶層の光透過率を設定する。ここで、各表示画素PX、具体的には画素電極が例えば図4に示すように1:2:4という面積比率で重み付けされた3個の副画素PE1, PE2, PE3に分割される。この場合、1:4:16の階調比率が得られる。

【0012】液晶コントローラ2は、例えば外部から供給される例えば5ビットのデジタル映像信号および同期信号を受取り、デジタル映像信号を3ビットのPWM(Pulse Width Modulation)データDATA1および3ビットの面積階調データDATA2に変換すると共に、同期信号に同期したクロック信号CLK, CL1, CL2、垂直走査制御信号YCTおよび水平走査制御信号XCTを発生する。

【0013】走査線駆動回路3は走査信号を1垂直走査(フレーム)期間毎に走査線Y1~Ymに順次供給するよう垂直走査制御信号YCTによって制御される。信号線駆動回路4は各走査線Yが走査信号により駆動される1水平走査期間(1H)においてPWMデータDATA1を直並列変換して信号線XA1~XAnに供給し、面積階調データDATA2を直並列変換して信号線XB1~XBnに供給するように水平走査制御信号XCTによって制御される。

【0014】図2は液晶コントローラ2に設けられるグラフィック制御部の構成を示す。このグラフィック制御部は1フレーム分の5ビット映像信号を格納するフレームメモリ10、このフレームメモリ10に格納された映像信号を順次読み出し、この映像信号を3ビットのPWMデータDATA1および3ビットの面積階調データDATA2に変換するデータ変換部11、データ変換部11から得られたPWMデータDATA1をラッチするラ

ッチ回路12、およびデータ変換部11から得られた面積階調データDATA1をラッチするラッチ回路13を含む。3ビットのPWMデータDATA1は副画素PE1, PE2, PE3用の駆動パルスについて例えば1:2:4という時間比率で重み付けされたパルス幅を選択するデータであり、面積階調データDATA2は副画素PE1, PE2, PE3を選択するデータである。PWMデータDATA1および面積階調データDATA2は合計で6ビットであり、5ビット映像信号で表される32階調よりも多い64階調を表すことができる。データ変換部11は映像信号をPWMデータDATA1および面積階調データDATA2の組み合わせに割り当てるマッピング用テーブルを持ち、このテーブルを用いて映像信号をPWMデータDATA1および面積階調データDATA2に変換する。これらPWMデータDATA1および面積階調データDATA2は信号線駆動回路4に供給される。

【0015】図3は信号線駆動回路4の構成を概略的に示す。信号線駆動回路4はPWMデータDATA1をラッチするラッチ回路15、面積階調データDATA2をラッチするラッチ回路16、ラッチ回路15からのPWMデータDATA1をクロック信号CLKに同期してシフトして信号線XA1, XA2, XA3...に割り当てるシフトレジスタ17、およびラッチ回路16からの面積階調データDATA2をクロック信号CLKに同期してシフトして信号線XB1, XB2, XB3...に割り当てるシフトレジスタ18を含む。信号線XA1, XA2, XA3...はシフトレジスタ17から1ビットずつ順次3ビットのPWMデータDATA1を受け取り、信号線XB1, XB2, XB3...はシフトレジスタ18から1ビットずつ順次3ビットの面積階調データDATA2を受け取る。

【0016】図4は各表示画素PX内の回路構成を示す。表示画素PXはPWMデータ用シフトレジスタ20、面積階调用シフトレジスタ21、インバータ22, 23、スイッチ素子24から31を有する。シフトレジスタ21は画素スイッチG1を介してシリアルに供給されるPWMデータDATA1を受け取るように接続され、クロック信号CLK1またはCLK2に同期してPWMデータDATA1をシフトする。シフトレジスタ21は画素スイッチG1を介してPWMデータDATA1を受け取るように接続され、シフトレジスタ21は画素スイッチG2を介して面積階調データDATA2を受け取るように接続される。スイッチ素子24, 25は走査線Yから走査信号を受け取るように接続され、この走査信号が走査線Yに供給される間においてクロック信号CLK1をシフトレジスタ21, 20にそれぞれ供給する。スイッチ素子26は走査線Yからの走査信号をインバータ23で反転した信号を受け取るように接続され、走査信号が走査線Yに供給されない期間においてクロ

ク信号 CLK 2 をシフトレジスタ 20 に供給する。スイッチ素子 27, 28 は走査線 Y からの走査信号をインバータ 22 で反転した信号を受け取るように接続される。スイッチ素子 27 は走査信号が走査線 Y に供給されない期間においてシフトレジスタ 20 から PWM データ DATA 1 を出力し、スイッチ素子 28 はスイッチ素子 27 を介して出力される PWM データ DATA 1 をシフトレジスタ 20 の入力にフィードバックさせる。副画素 PE 1, PE 2, PE 3 はスイッチ素子 29, 30, 31 をそれぞれ介してスイッチ素子 27 に接続される。これら 10 スwitch素子 29, 30, 31 はシフトレジスタ 21 によって制御される。

【0017】ここで、上述の表示画素 PX の回路動作について説明する。走査信号が走査線 Y に供給される 1 水平走査期間は PWM データ DATA 1 および面積階調データ DATA 2 をシフトレジスタ 20, 21 に書き込むデータ書込期間として用いられ、1 フレーム期間うちの残り期間はこれら PWM データ DATA 1 および面積階調データ DATA 2 により副画素 PE 1, PE 2, PE 3 を駆動するデータ保持期間として用いられる。データ 20 書込期間では、PWM データ DATA 1 および面積階調データ DATA 2 がシリアルにシフトレジスタ 20, 21 に供給される。シフトレジスタ 20 はスイッチ素子 25 を介して図 5 に示すように供給されるクロック信号 CLK 1 に同期して PWM データ DATA 1 を順次シフトして保持し、シフトレジスタ 21 はスイッチ素子 24 を介して同様に供給されるクロック信号 CLK 1 に同期して面積階調データ DATA 2 を順次シフトして保持する。スイッチ素子 27, 28 はこのデータ書込期間において非導通状態に維持されるため、副画素 PE 1, PE 30 2, PE 3 は駆動されない。

【0018】データ書込期間に続くデータ保持期間では、スイッチ素子 24, 25 が非導通状態とされ、スイッチ素子 26, 27, 28 が導通状態となる。スイッチ素子 26 は図 5 に示す 1:2:4 というパルス幅比率のクロック信号 CLK 2 をシフトレジスタ 20 に供給する。シフトレジスタ 20 はこのクロック信号 CLK 2 に同期して PWM データ DATA 1 をシフトする。これにより、PWM データ DATA 1 の各ビットはクロック信号 CLK 2 のパルス幅に対応する時間だけ持続的にスイッチ素子 27 を介して出力され、シフトレジスタ 21 の制御により選択されるスイッチ素子 29, 30, 31 を介して副画素 PE 1, PE 2, PE 3 に印加される。また、クロック信号 CLK 2 のパルスが周期的に供給される一方で、スイッチ素子 28 が PWM データ DATA 1 をシフトレジスタ 20 の入力にフィードバックするため、副画素 PE 1, PE 2, PE 3 の駆動が継続されることになる。

【0019】図 6 は PWM パルス幅と面積階調との組み合わせと透過率との関係を概略的に示す。各表示画素 P*50

*X の透過率はこれら PWM パルス幅と面積階調との積により決まる。図 6 では、最大透過率を 1 として換算している。PWM パルス幅と面積階調の組み合わせは 64 種類あるが、図 6 に黒丸で示すように重複する値が存在するため実際の階調数は 45 個程度となる。ここで、重複値の階調については、PWM パルス幅を優先的に使用することが好ましい。また、最大および最小階調付近は液晶材料の特性から利用できない。こうして残った階調が 5 ビットの映像信号で表される 32 個の階調として選定される。上述のマッピング用テーブルは選定された階調に割り当てられる PWM パルス幅および面積階調にそれぞれ対応する PWM データ DATA 1 および面積階調データ DATA 2 を保持することになる。

【0020】上述の液晶表示装置では、各表示画素 PX の階調が所定の面積比率で重み付けされた副画素 PE 1, PE 2, PE 3 と所定のパルス幅比率で重み付けされた駆動期間とを組み合わせで決定される。この場合、各表示画素 PX は副画素数と駆動期間数との積に依存した階調数を持つため、所望の階調数を得るために必要な副画素数を低減できる。これにより、最小となる副画素の面積を大きくして加工精度等による制約を解消することができる。

【0021】尚、本発明は上述の実施形態に限定されず、要旨を逸脱しない範囲で様々に変形可能である。

【0022】例えば、表示階調のガンマ値の調整を行う場合には、パルス幅の比率が可変される。

【0023】また、パルス幅変調の駆動パルスの供給配線は走査線方向または信号線方向にブロック分割され、適当な時間において供給されることが好ましい。この場合、供給間隔は 20 Hz から 10 kHz の間になる。

【0024】

【発明の効果】以上のように本発明によれば、少ない副画素数で所望の階調数を得ることが可能な平面表示装置を提供することができる。

【図面の簡単な説明】

【図 1】本発明の第 1 実施形態に係る液晶表示装置の概略的な構造を示す図である。

【図 2】図 1 に示す液晶コントローラに設けられるグラフィック制御部の構成を示す図である。

【図 3】図 1 に示す信号線駆動回路の構成を概略的に示す図である。

【図 4】図 1 に示す各表示画素内の回路構成を示す図である。

【図 5】図 4 に示す表示画素の動作を説明するための波形図である。

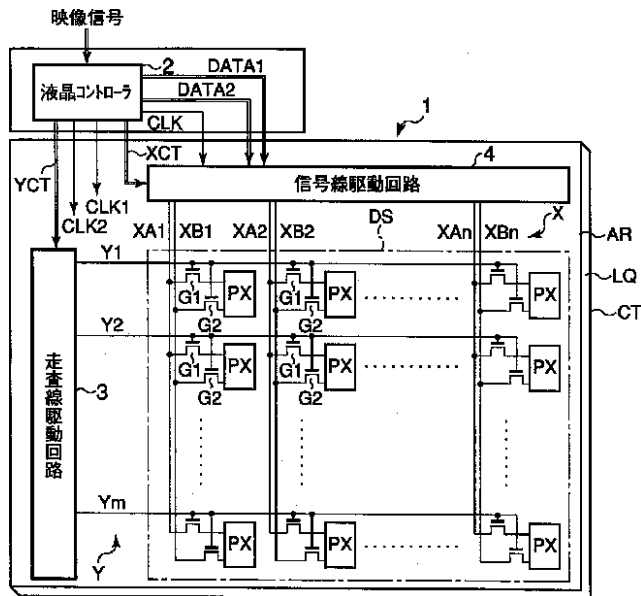
【図 6】図 4 に示す表示画素における PWM パルス幅と面積階調との組み合わせと透過率との関係を概略的に示す図である。

【符号の説明】

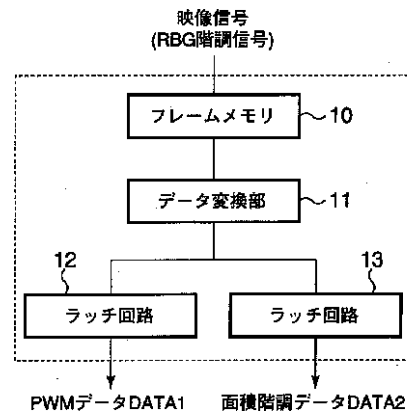
- 2...液晶コントローラ
- 3...走査線駆動回路
- 4...信号線駆動回路
- G1, G2...画素スイッチ

* P X...表示画素
P E 1 ~ P E 3 ...副画素
Y...走査線
X...信号線

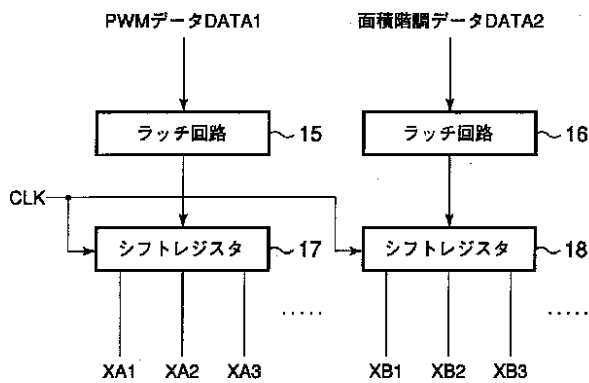
【圖 1】



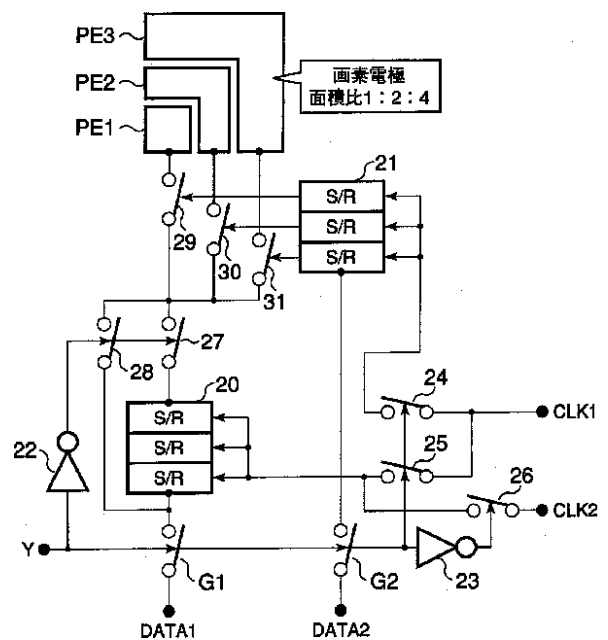
【圖 2】



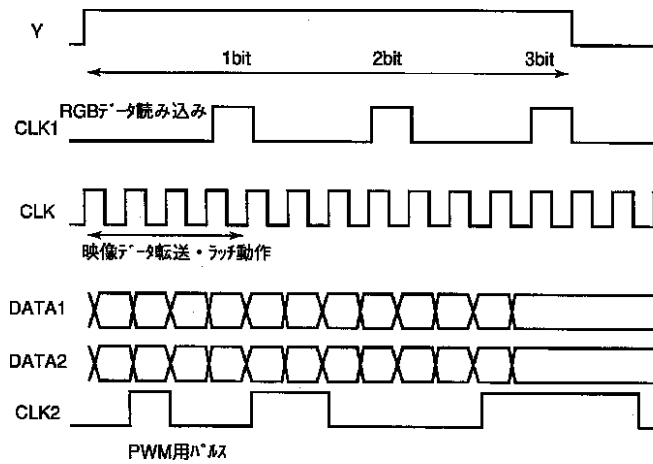
【図 3】



【図4】



【図5】



【図6】

		PWMパルス幅						
		1	2	3	4	5	6	7
面積階調	1	0.007	0.014	0.020	● 0.027	● 0.034	0.041	0.048
	4	● 0.027	0.054	0.082	● 0.109	● 0.136	0.163	0.190
	5	● 0.034	0.068	0.102	● 0.136	0.170	0.204	0.238
	16	● 0.109	0.218	0.327	0.435	● 0.544	0.653	0.762
	17	0.116	0.231	0.347	0.463	0.578	0.694	0.810
	20	● 0.136	0.272	0.408	● 0.544	0.680	0.816	0.952
	21	0.143	0.286	0.429	0.571	0.714	0.857	1.000

フロントページの続き

(51)Int.Cl.⁷ 識別記号 F I テーラート^{*}(参考)

G 0 9 G 3/20 G 0 9 G 3/20 6 4 1 K

H 0 4 N 5/66 1 0 2 H 0 4 N 5/66 6 4 1 Q

1 0 2 B

(72)発明者 中村 和夫 F ターム(参考) 2H092 GA13 GA15 JB04 JB05 JB06

埼玉県深谷市幡羅町一丁目9番地2 株式 NA01 NA26

会社東芝深谷工場内 2H093 NA54 NA58 ND06 ND39 ND54

5C006 AA01 AA12 AA15 AA17 AA22

AC21 AF04 AF46 BB16 BC03

BC06 BC12 BC16 BC20 BC22

BC23 BF01 BF03 BF04 FA56

5C058 BA01 BA07 BA26 BB25

5C080 AA10 BB05 CC03 DD03 EE29

FF11 JJ02 JJ04

专利名称(译)	平面表示装置		
公开(公告)号	JP2003108098A	公开(公告)日	2003-04-11
申请号	JP2001375004	申请日	2001-09-29
[标]申请(专利权)人(译)	株式会社东芝		
申请(专利权)人(译)	东芝公司		
[标]发明人	もたい友信 青木良朗 中村和夫		
发明人	▲もたい▼ 友信 青木 良朗 中村 和夫		
IPC分类号	G02F1/1343 G02F1/133 G09G3/20 G09G3/36 H04N5/66		
CPC分类号	G09G3/3659 G09G3/2018 G09G3/2074 G09G3/3688 G09G2300/0809		
FI分类号	G09G3/36 G02F1/133.575 G02F1/1343 G09G3/20.641.A G09G3/20.641.G G09G3/20.641.K G09G3/20.641.Q H04N5/66.102.B		
F-TERM分类号	2H092/GA13 2H092/GA15 2H092/JB04 2H092/JB05 2H092/JB06 2H092/NA01 2H092/NA26 2H093/NA54 2H093/NA58 2H093/ND06 2H093/ND39 2H093/ND54 5C006/AA01 5C006/AA12 5C006/AA15 5C006/AA17 5C006/AA22 5C006/AC21 5C006/AF04 5C006/AF46 5C006/BB16 5C006/BC03 5C006/BC06 5C006/BC12 5C006/BC16 5C006/BC20 5C006/BC22 5C006/BC23 5C006/BF01 5C006/BF03 5C006/BF04 5C006/FA56 5C058/BA01 5C058/BA07 5C058/BA26 5C058/BB25 5C080/AA10 5C080/BB05 5C080/CC03 5C080/DD03 5C080/EE29 5C080/FF11 5C080/JJ02 5C080/JJ04 2H193/ZA04 2H193/ZA19 2H193/ZD24 2H193/ZD29		
外部链接	Espacenet		

摘要(译)

要解决的问题：在不显著增加功耗和成本的情况下，减少像素电极与相邻布线之间的寄生耦合的影响。液晶显示装置包括：多个显示像素PX，其被划分为分别以预定面积比加权的多个子像素PE1至PE3；以及驱动电路2、3，分别用于驱动多个显示像素PX。它有4个，G1，G2。特别地，该驱动电路被配置为通过组合多个子像素PE1至PE3和以预定时间比率加权的多个驱动时段来确定每个显示像素PX的灰度。

