

(19)日本国特許庁 ( J P )

# (12) 公開特許公報 ( A )

(11)特許出願公開番号

特開2003 - 45889

( P2003 - 45889A )

(43)公開日 平成15年2月14日 (2003.2.14)

(51) Int. Cl <sup>7</sup>	識別記号	F I	テ-マ-コ-ド* ( 参考 )
H 0 1 L 21/336		G 0 2 F 1/1368	2 H 0 9 2
G 0 2 F 1/1368		H 0 1 L 29/78	5 F 1 1 0
H 0 1 L 29/78			5 F 1 4 0
29/786			301 L

審査請求 未請求 請求項の数 18 O L ( 全 14数 )

(21)出願番号 特願2001 - 233256(P2001 - 233256)

(22)出願日 平成13年8月1日 (2001.8.1)

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 世良 賢二

東京都港区芝五丁目7番1号 日本電気株式会社内

(74)代理人 100114672

弁理士 宮本 恵司

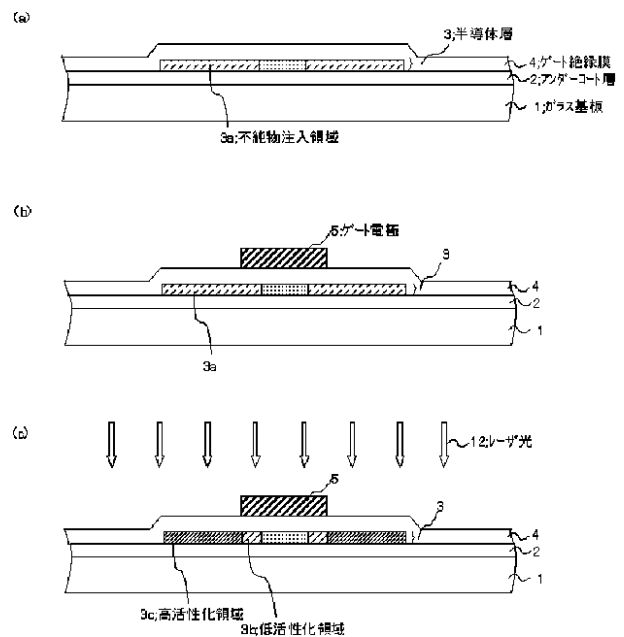
最終頁に続く

(54)【発明の名称】 電界効果型トランジスタ及びその製造方法並びに該トランジスタを使った液晶表示装置及びその製造方法

### (57)【要約】

【課題】少ない工数でゲートオーバーラップドレイン ( G O L D ) と同等の構造を実現することができ、かつ、ドレイン近傍の高電界を緩和することができる電界効果型トランジスタ及びその製造方法の提供。

【解決手段】ガラス基板 1 上に半導体層 3 を形成する工程と、半導体層 3 上にゲート電極よりもチャネル方向の距離が短いレジストパターン 1 0 を形成して不純物を注入する工程と、半導体層 3 上にゲート絶縁膜 4 を介してゲート電極 5 を形成する工程と、ゲート電極 5 をマスクとしてレーザ光を照射し、ソース/ドレイン領域を活性化して高活性化領域 3 c を形成すると共に、レーザ光の熱拡散により内側領域を低い活性化率で活性化して低活性化領域 3 b を形成する工程とを少なくとも有し、低活性化領域を L D D 領域と同様に機能させることにより、1 回の不純物注入で G O L D 構造の薄膜電界効果型トランジスタを形成する。



## 【特許請求の範囲】

【請求項1】不純物注入層上にゲート絶縁膜を介してゲート電極が形成されてなる電界効果型トランジスタにおいて、

前記不純物注入層が、前記ゲート電極の両側に位置する第1の領域と、該第1の領域内側の第2の領域とからなり、

注入された不純物濃度は、前記第1の領域と前記第2の領域とで略等しく、前記注入された不純物のうちレーザーアニールにより活性化された不純物の濃度が、前記第1の領域よりも前記第2の領域の方が低いことを特徴とする電界効果型トランジスタ。

【請求項2】前記第2の領域が前記ゲート電極下層に配置され、ゲートオーバーラップドレイン構造が形成されていることを特徴とする請求項1記載の電界効果型トランジスタ。

【請求項3】前記第2の領域における活性化された不純物の濃度が、前記第1の領域との境界から内側に向かってなだらかに減少する勾配を有することを特徴とする請求項1又は2に記載の電界効果型トランジスタ。

【請求項4】絶縁性基板上に配設された半導体層上にゲート絶縁膜を介してゲート電極が形成されてなる薄膜電界効果型トランジスタにおいて、前記半導体層の、前記ゲート電極に対して自己整合的に形成されたソース/ドレイン領域と、該ソース/ドレイン領域の各々の内側に隣接する領域とが、略等しい不純物濃度で形成され、かつ、前記隣接領域の方が前記ソース/ドレイン領域よりも低い活性化率で不純物が活性化されていることを特徴とする薄膜電界効果型トランジスタ。

【請求項5】各々の前記隣接領域のチャンネル方向の幅が、ソース側の領域よりもドレイン側の領域で長く設定されていることを特徴とする請求項4記載の薄膜電界効果型トランジスタ。

【請求項6】前記ソース/ドレイン領域は、レーザー光の直接照射により活性化され、前記隣接領域は、前記ソース/ドレイン領域で吸収した前記レーザー光の熱の拡散により活性化されていることを特徴とする請求項4又は5に記載の薄膜電界効果型トランジスタ。

【請求項7】前記隣接領域における活性化された不純物の濃度が、前記ソース/ドレイン領域との境界から内側に向かってなだらかに減少する勾配を有することを特徴とする請求項4乃至6のいずれか一に記載の薄膜電界効果型トランジスタ。

【請求項8】前記薄膜電界効果型トランジスタが、前記半導体層下層にソース/ドレイン電極を有するスタガ型であることを特徴とする請求項4乃至7のいずれか一に記載の薄膜電界効果型トランジスタ。

【請求項9】請求項4乃至8のいずれか一に記載の薄膜電界効果型トランジスタをスイッチング素子として備え

ることを特徴とする液晶表示装置。

【請求項10】シリコン基板に不純物を注入して不純物注入層を形成した後、該不純物注入層の一部にレーザー光を照射して高活性化領域を形成すると共に、該高活性化領域に隣接する領域をレーザー光の熱拡散により活性化して低活性化領域を形成し、前記高活性化領域と前記低活性化領域とを用いてLDD構造と同等の構造を形成することを特徴とする電界効果型トランジスタの製造方法。

【請求項11】シリコン基板に、ゲート電極よりもチャンネル方向の長さが短いレジストパターンを形成する工程と、前記レジストパターンをマスクとして不純物を注入する工程と、前記レジストパターンを除去した後、ゲート絶縁膜を介してゲート電極を形成する工程と、前記ゲート電極をマスクとしてレーザー光を照射して、該ゲート電極両端のソース/ドレイン領域を活性化して高活性化領域を形成すると共に、該ソース/ドレイン領域内側の不純物注入領域を、前記ソース/ドレイン領域で吸収したレーザー光の熱の拡散によって活性化して低活性化領域を形成する工程とを少なくとも有することを特徴とする電界効果型トランジスタの製造方法。

【請求項12】絶縁性基板上にポリシリコン又はアモルファスシリコンからなる半導体層を形成する工程と、前記半導体層上にゲート電極よりもチャンネル方向の長さが短いレジストパターンを形成し、該レジストパターンをマスクとして不純物を注入する工程と、前記レジストパターンを除去した後、ゲート絶縁膜を介してゲート電極を形成する工程と、該ゲート電極をマスクとしてレーザー光を照射し、前記ゲート電極外側のソース/ドレイン領域を活性化して高活性化領域を形成すると共に、該ソース/ドレイン領域内側の不純物注入領域を、前記ソース/ドレイン領域で吸収したレーザー光の熱の拡散によって活性化して低活性化領域を形成する工程と、を少なくとも有することを特徴とする薄膜電界効果型トランジスタの製造方法。

【請求項13】絶縁性基板上にポリシリコン又はアモルファスシリコンからなる半導体層を形成する工程と、前記半導体層上にゲート絶縁膜を形成する工程と、該ゲート絶縁膜上にゲート電極よりもチャンネル方向の長さが短いレジストパターンを形成し、該レジストパターンをマスクとして不純物を注入する工程と、前記レジストパターンを除去した後、前記ゲート絶縁膜上にゲート電極を形成する工程と、該ゲート電極をマスクとしてレーザー光を照射し、前記ゲート電極外側のソース/ドレイン領域を活性化して高活性化領域を形成すると共に、該ソース/ドレイン領域内側の不純物注入領域を、前記ソース/ドレイン領域で吸収したレーザー光の熱の拡散によって活性化して低活性化領域を形成する工程と、を少なくとも有することを特徴とする薄膜電界効果型トランジスタの製造方法。

【請求項14】前記不純物の注入に際し、前記半導体層

上に一旦犠牲酸化膜を形成し、該犠牲酸化膜を介して不純物の注入を行うことを特徴とする請求項12記載の薄膜電界効果型トランジスタ。

【請求項15】前記不純物の注入後、前記犠牲酸化膜を除去して前記ゲート絶縁膜を形成することを特徴とする請求項14記載の薄膜電界効果型トランジスタの製造方法。

【請求項16】前記不純物の注入後、前記犠牲酸化膜上に前記ゲート絶縁膜を形成することを特徴とする請求項14記載の薄膜電界効果型トランジスタの製造方法。

【請求項17】前記半導体層形成前にソース/ドレイン電極を形成し、スタガ型のトランジスタを形成することを特徴とする請求項12乃至16のいずれか一に記載の薄膜電界効果型トランジスタの製造方法。

【請求項18】請求項12乃至17のいずれか一に記載の方法を用いて、スイッチング素子として機能する薄膜電界効果型トランジスタを形成することを特徴とする液晶表示装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、ゲートオーバーラップドレインに相当する構造を有する電界効果型トランジスタ及びレーザ照射により該構造を製造する方法並びにその電界効果型トランジスタを使った液晶表示装置及びその製造方法に関する。

【0002】

【従来の技術】近年、半導体装置の微細化に伴って電界効果型トランジスタのゲート長が短くなり、ホットキャリアの注入やショートチャネル効果によりトランジスタの信頼性が低下するという問題が生じている。そこで、ドレイン近傍の高電界領域におけるデバイスの信頼性の低下を防止するために、不純物濃度に勾配を設けたLDD (Lightly Doped Drain) 構造が広く用いられている。このLDD構造は、ゲートとソース/ドレイン間の基板表面に不純物濃度の低いオフセットゲート層を形成することによって、パンチスルー電圧やホットキャリア耐圧を高めるものである。

【0003】ここで、Si基板上に形成される一般的なLDD構造のMOSFETの製造方法について、図11を参照して説明する。まず、図11(a)に示すように、Si基板13上にLOCOS法により分離酸化膜14を形成し、この分離酸化膜14で挟まれたフィールド領域に、熱酸化法によりシリコン酸化膜からなるゲート絶縁膜4を形成した後、減圧CVD法を用いてポリシリコンを成長させ、フォトリソグラフィ技術及びドライエッチング技術を用いてゲート電極5を形成する。その後、ゲート電極5をマスクとしてイオン注入法により基板全面に低濃度のイオンを注入し、所定の条件でアニールを行い、低濃度注入領域16を形成する。

【0004】次に、図11(b)に示すように、減圧C

VD法により基板全面にシリコン酸化膜を堆積し、異方性ドライエッチングによりシリコン酸化膜をエッチバックして、ゲート電極5の側壁にサイドウォール酸化膜17を形成する。

【0005】そして、図11(c)に示すように、ゲート電極5及びサイドウォール酸化膜17をマスクとして高濃度のイオン注入を行い、高濃度注入領域18を形成する。すると、サイドウォール酸化膜17直下ではオフセットゲート層となる低濃度注入領域16が、その外側には高濃度注入領域18が自己整合的に形成される。

【0006】上記LDD構造によって、ドレイン領域の高電界をある程度緩和することができるが、電界効果型トランジスタの更なる短チャネル化に伴い、ドレイン領域近傍で発生したホットキャリアがLDD領域上のゲート絶縁膜にトラップされる現象が生じ、このホットキャリアによってLDDの導電型が反転してしまい、閾値電圧の変動やパンチスルー耐圧の低下等の問題が生じている。

【0007】また、液晶表示装置のスイッチング素子として薄膜電界効果型トランジスタ(TFT: thin film transistor)が用いられているが、多結晶シリコン薄膜トランジスタでは基本的な構造においてはリーク電流(この場合、暗での電流)が高く、これを抑えるためにLDD構造が必要である。このため画素スイッチトランジスタは通常LDD構造を採用している。しかし、LDD及びチャネル部分は光が入射するとリーク電流が増加するという問題がある。

【0008】そこで、TFTのチャネル部に入射する光によるオフリーク電流を低減するために、TFTの上層及び下層に遮光層を設けているが、LDD構造では低濃度不純物領域がゲート電極で覆われていないため、アクティブマトリクス基板の各層で複雑に反射した光が低濃度不純物領域に入射してしまい、光リークを有効に防止することができないという問題がある。この問題は、液晶プロジェクション用途のライトバルブ用アクティブマトリクス液晶表示装置で特に顕著に現れる。

【0009】そこで、上記ホットキャリアのトラップや光リークの問題を解決するために、特開平8-153875号公報、特開平8-222736号公報等に、LDD領域上にゲート絶縁膜を介してゲート電極を重ねるゲートオーバーラップドレイン構造(GOLD構造という)が記載されている。上記ゲートオーバーラップドレイン構造について図12及び図13を参照して説明する。図12は、レジストパターンを用いてゲートオーバーラップドレイン構造を形成する方法を示す工程断面図であり、図13は、特開平8-153875号公報に記載されているゲートオーバーラップドレイン構造の製造方法を示す工程断面図である。

【0010】まず、図12(a)に示すように、Si基板13上にLOCOS法により分離酸化膜14を形成

し、この分離酸化膜 14 で挟まれたフィールド領域にゲート絶縁膜 4 としてシリコン酸化膜を形成した後、ゲート電極 5 を形成する部分に、ゲート電極 5 よりも小さいサイズのレジストパターン 10 を形成する。そして、このレジストパターン 10 をマスクとしてイオン注入法により基板全面に低濃度のイオンを注入し、所定の条件でアニールを行って低濃度注入領域 16 を形成する。

【0011】次に、図 12 (b) に示すように、レジストパターン 10 を除去した後、減圧 CVD 法を用いてポリシリコンを堆積し、所定の形状にエッチングしてゲート電極 5 を形成する。その際、ゲート電極 5 をレジストパターン 10 よりも大きいサイズにエッチングすることにより、ゲート電極 5 下層に低濃度不純物領域 16 が配置される。

【0012】次に、図 12 (c) に示すように、ゲート電極 5 をマスクとして高濃度のイオン注入を行い、高濃度注入領域 18 を形成することにより、ゲート電極 5 直下ではオフセットゲート層となる低濃度注入領域 16 が、その外側には高濃度注入領域 18 が形成される。

【0013】その後、図 12 (d) に示すように、ゲート電極 5 上に層間絶縁膜 6 を堆積した後、ソース/ドレイン領域上にコンタクトホールを形成し、その上に A1、タングステン等の導電部材を配設してソース/ドレイン電極 7 を形成し、ゲートオーバーラップドレイン構造の電界効果型トランジスタが製作される。

【0014】また、レジストパターン 10 を用いずにゲートオーバーラップドレイン構造を形成する方法が、特開平 8 - 153875 号公報に記載されている。この方法について図 13 を参照して説明する。

【0015】まず、図 13 (a) に示すように、Si 基板 13 上に LOCOS 法により分離酸化膜 14 を形成し、この分離酸化膜 14 で挟まれたフィールド領域に、ゲート絶縁膜 4 としてシリコン酸化膜を形成した後、減圧 CVD 法を用いてポリシリコンを堆積し、所定の形状にエッチングしてゲート電極 5 を形成する。そして、このゲート電極 5 をマスクとしてイオン注入法により基板全面に低濃度のイオンを注入し、所定の条件でアニールを行って低濃度注入領域 16 を形成する。

【0016】ここで、従来の LDD 構造の形成方法では、ゲート電極 5 側壁にシリコン酸化膜やシリコン窒化膜からなるサイドウォールを形成するが、ここでは、図 13 (b) に示すように、シリコンを主成分とする皮膜を全面に形成し、異方性エッチングによりゲート電極 5 側壁にシリコンを主成分とする導電性のサイドウォール 19 を形成することを特徴としている。

【0017】次に、図 13 (c) に示すように、ゲート電極 5 及びシリコンを主成分とするサイドウォール導電膜 19 をマスクとして高濃度のイオン注入を行い、高濃度注入領域 18 を形成することにより、ゲート電極 5 直下ではオフセットゲート層となる低濃度注入領域 16

が、その外側には高濃度注入領域 18 が自己整合的に形成される。

【0018】その後、図 13 (d) に示すように、ゲート電極 5 上に層間絶縁膜 6 を堆積した後、ソース/ドレイン領域上にコンタクトホールを形成し、その上に A1、タングステン等の導電部材を配設してソース/ドレイン電極 7 を形成し、ゲートオーバーラップドレイン構造の電界効果型トランジスタが製作される。

【0019】

【発明が解決しようとする課題】上述したゲートオーバーラップドレイン構造によれば、LDD 領域がゲート電極 5 下部に配置されるため、ドレイン近傍領域で発生したホットキャリアの影響を抑制することができ、また、LDD 領域がゲート電極に覆われるために遮光性が向上し、ライトバルブの TFT における光リークを低減することができるが、上記ゲートオーバーラップドレイン構造を得るためには、LDD 構造と同様に少なくとも 2 回の不純物注入工程が必要であると共に、ゲート電極 5 直下に LDD 領域を配置するための処理を行わなければならないため、工程が複雑になってしまうという問題がある。

【0020】また、不純物イオン注入後のアニールによって不純物濃度分布はややなだらかになるものの、基本的に 2 回の不純物注入によって高濃度注入領域 18 と低濃度注入領域 16 とを形成するために、不純物濃度分布は図 14 に示すようにステップ状となってしまうと共に、不純物濃度の変化が大きい領域で大きな電界が生じてしまい電界緩和が不十分になってしまうという問題もある。

【0021】更に、低濃度注入領域 16 と高濃度注入領域 18 との境界部分において不純物濃度が急激に変化するため、エネルギー準位が大きく変化してキャリアがトラップされ、キャリアの再結合によりキャリア寿命が低下してしまうという問題もある。

【0022】本発明は、上記問題点を鑑みてなされたものであって、その主たる目的は、少ない工数でゲートオーバーラップドレイン構造と同等の構造を実現することができ、かつ、実効的な不純物濃度分布をなだらかな形状にして高電界を緩和しキャリア寿命の低下を防止することができる薄膜電界効果型トランジスタ及びその製造方法、並びにその電界効果型トランジスタを使った液晶表示装置及びその製造方法を提供することにある。

【0023】

【問題を解決するための手段】上記目的を達成するため、本発明の電界効果型トランジスタは、不純物注入層上にゲート絶縁膜を介してゲート電極が形成されてなる電界効果型トランジスタにおいて、前記不純物注入層が、前記ゲート電極の両側に位置する第 1 の領域と、該第 1 の領域内側の第 2 の領域とからなり、注入された不純物濃度は、前記第 1 の領域と前記第 2 の領域とで略等

しく、前記注入された不純物のうちレーザアニールにより活性化された不純物の濃度が、前記第1の領域よりも前記第2の領域の方が低いものである。

【0024】本発明においては、前記第2の領域が前記ゲート電極下層に配置され、ゲートオーバーラップドレイン構造が形成されている構成とすることができる。

【0025】また、本発明においては、前記第2の領域における活性化された不純物の濃度が、前記第1の領域との境界から内側に向かってなだらかに減少する勾配を有することが好ましい。

【0026】本発明の薄膜電界効果型トランジスタは、絶縁性基板上に配設された半導体層上にゲート絶縁膜を介してゲート電極が形成されてなる薄膜電界効果型トランジスタにおいて、前記半導体層の、前記ゲート電極に対して自己整合的に形成されたソース/ドレイン領域と、該ソース/ドレイン領域の各々の内側に隣接する領域とが、略等しい不純物濃度で形成され、かつ、前記隣接領域の方が前記ソース/ドレイン領域よりも低い活性化率で不純物が活性化されているものである。

【0027】本発明においては、各々の前記隣接領域のチャンネル方向の幅が、ソース側の領域よりもドレイン側の領域で長く設定されている構成とすることができる。

【0028】また、本発明においては、前記ソース/ドレイン領域は、レーザ光の直接照射により活性化され、前記隣接領域は、前記ソース/ドレイン領域で吸収した前記レーザ光の熱の拡散により活性化されていることが好ましい。

【0029】また、本発明においては、前記薄膜電界効果型トランジスタが、前記半導体層下層にソース/ドレイン電極を有するスタガ型である構成とすることができる。

【0030】本発明の液晶表示装置は、上記薄膜電界効果型トランジスタをスイッチング素子として備えるものである。

【0031】本発明の電界効果型トランジスタの製造方法は、シリコン基板に不純物を注入して不純物注入層を形成した後、該不純物注入層の一部にレーザ光を照射して高活性化領域を形成すると共に、該高活性化領域に隣接する領域をレーザ光の熱拡散により活性化して低活性化領域を形成し、前記高活性化領域と前記低活性化領域とを用いてLDD構造と同等の構造を形成するものである。

【0032】また、本発明の電界効果型トランジスタの製造方法は、シリコン基板に、ゲート電極よりもチャンネル方向の長さが短いレジストパターンを形成する工程と、前記レジストパターンをマスクとして不純物を注入する工程と、前記レジストパターンを除去した後、ゲート絶縁膜を介してゲート電極を形成する工程と、前記ゲート電極をマスクとしてレーザ光を照射して、該ゲート電極両端のソース/ドレイン領域を活性化して高活性化

領域を形成すると共に、該ソース/ドレイン領域内側の不純物注入領域を、前記ソース/ドレイン領域で吸収したレーザ光の熱の拡散によって活性化して低活性化領域を形成する工程とを少なくとも有するものである。

【0033】本発明の薄膜電界効果型トランジスタの製造方法は、絶縁性基板上にポリシリコン又はアモルファスシリコンからなる半導体層を形成する工程と、前記半導体層上にゲート電極よりもチャンネル方向の長さが短いレジストパターンを形成し、該レジストパターンをマスクとして不純物を注入する工程と、前記レジストパターンを除去した後、ゲート絶縁膜を介してゲート電極を形成する工程と、該ゲート電極をマスクとしてレーザ光を照射し、前記ゲート電極外側のソース/ドレイン領域を活性化して高活性化領域を形成すると共に、該ソース/ドレイン領域内側の不純物注入領域を、前記ソース/ドレイン領域で吸収したレーザ光の熱の拡散によって活性化して低活性化領域を形成する工程と、を少なくとも有するものである。

【0034】また、本発明の薄膜電界効果型トランジスタの製造方法は、絶縁性基板上にポリシリコン又はアモルファスシリコンからなる半導体層を形成する工程と、前記半導体層上にゲート絶縁膜を形成する工程と、該ゲート絶縁膜上にゲート電極よりもチャンネル方向の長さが短いレジストパターンを形成し、該レジストパターンをマスクとして不純物を注入する工程と、前記レジストパターンを除去した後、前記ゲート絶縁膜上にゲート電極を形成する工程と、該ゲート電極をマスクとしてレーザ光を照射し、前記ゲート電極外側のソース/ドレイン領域を活性化して高活性化領域を形成すると共に、該ソース/ドレイン領域内側の不純物注入領域を、前記ソース/ドレイン領域で吸収したレーザ光の熱の拡散によって活性化して低活性化領域を形成する工程と、を少なくとも有するものである。

【0035】本発明においては、前記不純物の注入に際し、前記半導体層上に一旦犠牲酸化膜を形成し、該犠牲酸化膜を介して不純物の注入を行う構成とすることができ、前記不純物の注入後、前記犠牲酸化膜を除去して前記ゲート絶縁膜を形成するか、又は、前記不純物の注入後、前記犠牲酸化膜上に前記ゲート絶縁膜を形成する構成とすることもできる。

【0036】このように、本発明は上記構成により、1回の不純物注入と1回のレーザアニールによって、ゲート電極の下にLDDと同様の効果を奏する低活性化領域と、ゲート電極の外側のソース/ドレイン領域に高活性化領域とを形成することができ、少ない工数でゲートオーバーラップ構造と同等の構造を実現することができる。

【0037】

【発明の実施の形態】本発明に係る薄膜電界効果型トランジスタの製造方法は、その好ましい一実施の形態にお

いて、ガラス基板上に多結晶シリコン又はアモルファスシリコンを堆積して半導体層を形成する工程と、半導体層上に後の工程で形成されるゲート電極よりもチャンネル方向の距離が短いレジストパターンを形成し、このレジストパターンをマスクとして所定の不純物を注入する工程と、不純物が注入された半導体層上にゲート絶縁膜を介してゲート電極を形成する工程と、ゲート電極をマスクとしてレーザー光を照射し、ゲート電極両外側のソース/ドレイン領域の不純物を活性化して高活性化領域を形成すると共に、ソース/ドレイン領域で吸収されたレーザー光の熱拡散によりソース/ドレイン領域の内側の領域の不純物を低い活性化率で活性化して低活性化領域を形成する工程とを少なくとも有し、低活性化領域をLDD領域と同様に機能させることにより、1回の不純物注入でLDD領域がゲート電極下層に配置されたゲートオーバーラップドレイン構造の薄膜電界効果型トランジスタを形成するものである。

【0038】上述したように、従来のゲートオーバーラップドレイン構造では、ゲート電極下部にLDD領域を配置することにより、ドレイン近傍領域のホットキャリアのトラップを抑制することができ、ライトバルブのTFEにおける光リークを低減することができるが、工程が複雑になってしまうという問題がある。

【0039】一方、半導体装置の製造工程では、注入した不純物を活性化するための活性化アニールやソース/ドレイン表層をシリサイド化するためのシリサイド化アニール等の熱処理が行われる。このアニールの方法としては、電気炉を用いる炉アニールや赤外線ランプを用いるラピッドサーマルアニール(RTA)やレーザー光を用いるレーザーアニール等がある。

【0040】例えば、エキシマレーザー光を用いた活性化アニールでは、レーザーパルスの1ショットが短く、レーザーエネルギーが浅い領域で吸収されるため、活性化領域の制御が容易であることから、特に、LDD構造における低濃度注入領域の活性化に適している。一般に、この活性化レーザーアニールは、レーザー光を照射した領域において注入した不純物を完全に活性化させることを目的として行われるものであるが、本願発明者はレーザー光を照射する領域とレーザーの熱が拡散する領域とで不純物の活性化の程度が異なることを利用して、少ない工程で上記ゲートオーバーラップ構造を形成する方法を案出した。

【0041】すなわち、炉アニールやRTAの場合には、基板全面を均一に加熱するために、不純物の活性化の程度を領域毎に制御することはできないが、レーザーアニールでは、レーザーエネルギーが吸収される領域が浅く、熱拡散の領域が狭いために活性化の程度を領域毎に制御することができる。そこで、高濃度不純物を注入した後、レーザー光を照射して高濃度注入領域を形成すると共に、高濃度注入領域近傍に熱拡散により活性化が不十分に行われる領域を形成し、この低活性化領域をLDD領

域として利用する。

【0042】この低活性化領域は、不純物は高濃度に注入されているが、活性化は不十分であるため導電に寄与する不純物の濃度は低く、実質的にLDD領域と同等の働きをする。そこで、この低活性化領域を用いて少ない工数でゲートオーバーラップドレイン構造を実現することが可能となる。以下に、具体的な薄膜電界効果型トランジスタの製造方法について説明する。

【0043】

【実施例】上記した本発明の実施の形態についてさらに詳細に説明すべく、本発明の実施例について図面を参照して説明する。

【0044】[実施例1]まず、本発明の第1の実施例に係る薄膜電界効果型トランジスタ及びその製造方法について、図1乃至図6を参照して説明する。図1は、本発明の第1の実施例に係る薄膜電界効果型トランジスタの構成を示す断面図である。また、図2乃至図4は、その一連の製造方法を示す工程断面図であり、作図の都合上分図したものである。また、図5は、本構造の効果を説明するための図であり、図6は、本実施例の他の構造を示す断面図である。

【0045】図1に示すように、本実施例の薄膜電界効果型トランジスタは、ガラス基板1上にアンダーコート層2を介してポリシリコンからなる半導体層3が形成され、半導体層3は、ゲート電極5に対して自己整合的に形成される高活性化層3cとその内側の低活性化層3bとにより構成される。また、半導体層3の上層には、ゲート絶縁膜4を介してゲート電極5が配設され、その上層には層間絶縁膜6が形成されている。そして、層間絶縁膜6とゲート絶縁膜4に設けたコンタクトホール8にソース/ドレイン電極7が形成されている。また、薄膜電界効果型トランジスタの上下には、半導体層3に入射する光を遮断するための遮光層9a、9bが設けられている。

【0046】ここで、半導体層3を構成する低活性化領域3bと高活性化領域3cとは共に同一の濃度の不純物が注入されているが、高活性化領域3cはレーザー光により十分に活性化されているのに対し、低活性化領域3bは活性化を意図的に不十分としており、これにより導電性に寄与する実効的な不純物の濃度は小さくなり、LDD領域と同様な機能を有することになる。更に、後述するようにこの低活性化領域3bはレーザー光の熱拡散により形成されるため、活性化率は内側に向かって緩やかに減少しており、従来のLDD構造やゲートオーバーラップドレイン構造のようにステップ状に不純物濃度が変化することはない。

【0047】上記構成の薄膜電界効果型トランジスタの製造方法について、図2乃至図4を参照して説明する。

【0048】まず、図2(a)に示すように、透明絶縁性基板(例えば、ガラス基板1)上にアンダーコート層

2としてシリコン酸化膜( $\text{SiO}_2$ )を100~500 nm程度、より好ましくは300 nm程度形成する。このアンダーコート層2は、ガラス基板1から半導体層3に不純物が拡散するのを防止するために設けるものであり、不純物の影響が問題とならない場合には必ずしも設ける必要はない。なお、アンダーコート層2はLPCVD、PCVD、スパッタ法、ディップ方式等を用いて形成することができ、シリコン酸化膜に代えてシリコン窒化膜( $\text{SiN}_x$ )又はこれらの積層膜を用いることもできる。

【0049】次に、図2(b)に示すように、アンダーコート層2の上に半導体層3となる多結晶シリコンを形成する。形成方法としては、プリカーサとなるアモルファスシリコンを形成し、このアモルファスシリコンをエキシマレーザにより結晶化させる方法が一般的である。アモルファスシリコンの形成方法としては、LPCVD、PCVD、スパッタ法等を用いることができ、膜厚は50~100 nm程度が一般的である。また、結晶化の方法としては、レーザを用いる方法の他に、固相成長法を用いることもできる。

【0050】次に、図2(c)に示すように、多結晶シリコン上に公知のリソグラフィ技術を用いてレジストパターンを形成し、このレジストパターンをマスクとして、公知のエッチング技術を用いて多結晶シリコンをアイランド状にパターンニングする。

【0051】次に、図2(d)に示すように、アイランド化した半導体層3上に所望の形状のレジストパターン10を形成した後、半導体層3に不純物(例えば、磷(P))の注入を行い、不純物注入領域3aを形成する。なお、ゲートオーバーラップ構造を実現するためにゲート電極下層にも不純物を注入する必要があり、レジストパターン10の形状は低活性化領域分だけゲート電極よりも小さくする必要がある。また、この時のドーピング条件としては、例えば、加速電圧20 keV程度、ドーズ量 $8 \times 10^{14} / \text{cm}^2$ から $3 \times 10^{15} / \text{cm}^2$ の範囲としているが、加速電圧、ドーズ量は後述するレーザアニールの条件と相関があるため、これらを総合的に勘案して設定することが好ましい。

【0052】次に、図3(a)に示すように、ドーピング終了後、シリコン酸化膜、シリコン窒化膜等からなるゲート絶縁膜4の形成を行う。ゲート絶縁膜4の形成方法としては、LPCVD、PCVD、スパッタ法等が用いられるが、PCVDもしくはLPCVDが一般的である。また、膜厚は、デバイスの駆動条件、駆動電圧により異なるが、30~200 nm、好ましくは50~100 nmの範囲である。

【0053】次に、図3(b)に示すように、ゲート絶縁膜4上にシリサイド、メタル、不純物をドーピングしたシリコン等の導電材料をスパッタ、PCVD等により200~400 nm程度の膜厚で堆積した後、その上に

形成したレジストパターンをマスクとしてドライエッチングを行い、所望の形状のゲート電極5を形成する。このとき、ゲート電極5は、先に不純物をドーピングした領域とオーバーラップする様に形成する。なお、オーバーラップする領域は、ソース/ドレイン側が対称である必要はなく、原則としてドレイン側に形成されていればよい。但し、スイッチトランジスタはソース/ドレインを反転して使用するため、両方に同じオーバーラップ領域を設ける必要がある。

10 【0054】次に、図3(c)に示すように、ゲート電極5の上部よりレーザ照射を行い、半導体層3に注入した不純物の活性化を行う。この時、ゲート電極5の外側(ソース/ドレイン領域)はレーザ光が照射されるため十分に活性化されて高活性化領域3cが形成されるが、ゲート電極5に覆われた部分はレーザが照射されないために直接活性化されない。しかしながら、レーザ照射領域からの熱拡散によって多少アニールされるために、不純物の活性化が不十分な低活性化領域3bが形成される。この低活性化領域3bは、実効的に低濃度の不純物を注入した領域と等価と考えることができ、LDD領域と同様の効果を発揮することになる。

20 【0055】更に、レーザ照射による不純物の活性化率は、レーザ光が直接照射される部分は一様に高いが、レーザ光が照射されない部分では、熱拡散に伴って変化する。従って、低活性化領域3bのうち、ソース/ドレイン領域と接する部分が活性化率は最も高く、内側に行くに従い徐々に低下することになり、キャリア濃度が連続的に変化して理想的なドレイン端の電界緩和効果を実現することができ、結果としてリーク電流の低減を実現することができる。

30 【0056】なお、本実施例では、レーザ照射エネルギーとしては250~300 mJ程度としたが、このエネルギーは半導体層3やゲート酸化膜4の膜厚や表面反射率の変化によりかなりの変動があるため適宜変更する必要があるが、Siが溶融する前後のエネルギーを用いればよい。

【0057】その後、図4(a)、(b)に示すように、ゲート電極5上に有機膜からなる層間絶縁膜6を形成した後、ソース/ドレイン領域にコンタクトホール8を形成する。そして、層間絶縁膜6上にスパッタ法を用いて電極となる金属を300~1000 nm程度の膜厚で堆積して、公知のリソグラフィ技術及びエッチング技術を用いてソース/ドレイン電極7を形成する。なお、電極7の金属としては一般にAlが用いられる。

【0058】このように、上記薄膜電界効果型トランジスタの製造方法によれば、1回の不純物注入と1回のレーザアニールによって、ゲート電極5の下にLDDと同様の効果を奏する低活性化領域3bと、ゲート電極5の外側のソース/ドレイン領域に高活性化領域3cとを形成することができ、少ない工数でゲートオーバーラップ

構造と同等の構造を実現することができる。そして、アクティブマトリクス型液晶表示装置における走査線と信号線とで囲まれる各画素のオン/オフ制御を行うスイッチング素子としてこの薄膜電界効果型トランジスタを用いることにより、液晶表示装置の表示に用いられる透過光、反射光や周囲光のうち、アクティブマトリクス基板の各層で複雑に反射して低活性化領域3bに入射する光をゲート電極5で遮光することができ、光リークを確実に低減することができる。

【0059】また、上記方法で形成した低活性化領域3bは、レーザ光が直接照射されずに熱拡散によって活性化されるため、活性化された不純物の濃度は図5に示すようになだらかな曲線となる。これに対して、2回の不純物注入でLDD構造を形成する従来の方法では、高濃度注入領域18と低濃度注入領域16とは図14に示すようにステップ状に形成される。従って、従来構造では濃度分布の勾配が急峻となる領域では電界強度も大きくなり、ホットキャリアを有効に抑制することはできず、またキャリア寿命が低下するという問題があったが、本実施例の構造では、理想的な電界緩和効果を実現できると共に、キャリア寿命の低下も抑制することができる。

【0060】なお、上記説明では、ガラス基板上に薄膜電界効果型トランジスタを形成する場合について説明したが、本発明は上記実施例に限定されるものではなく、シリコン基板上に電界効果型トランジスタを形成する場合についても同様に適用することができる。その場合は図6に示すような構造となる。また、本実施例の薄膜電界効果型トランジスタや電界効果型トランジスタは、上記アクティブマトリクス型液晶表示装置のスイッチング素子に限らず、MOS構造のトランジスタが利用可能な他の表示装置や半導体装置のドライバーとして用いることができる。

【0061】[実施例2]次に、本発明の第2の実施例に係る薄膜電界効果型トランジスタの製造方法について、図7を参照して説明する。図7は、本発明の第2の実施例に係る薄膜電界効果型トランジスタの製造方法の一部を示す工程断面図である。なお、本実施例は、不純物イオンの注入を犠牲酸化膜を介して行うことを特徴とするものであり、他の部分の構成に関しては前記した第1の実施例と同様である。以下に、図7を参照して本実施例の薄膜電界効果型トランジスタの製造方法について説明する。

【0062】まず、図7(a)に示すように、前記した第1の実施例と同様に、ガラス基板1上に、LPCVD、PCVD、スパッタ法、ディップ方式等を用いて、シリコン酸化膜、シリコン窒化膜又はこれらの積層膜を100~500nm程度、より好ましくは300nm程度堆積し、アンダーコート層2を形成する。次に、その上に、LPCVD、PCVD、スパッタ法等を用いてアモルファスシリコンを50~100nm程度の膜厚で形

成し、レーザ照射法、固相成長法等により結晶化させて多結晶シリコンを形成し、公知のリソグラフィ技術、エッチング技術を用いてアイランド状にパターンニングする。

【0063】ここで、前記した第1の実施例では、半導体層3上に直接レジストパターン10を形成して不純物の注入を行ったが、直接イオンを注入すると多結晶シリコンがダメージを受けて結晶性が劣化する恐れがある。そこで、本実施例では、図7(b)に示すように、ガラス基板1全面にシリコン酸化膜からなる犠牲酸化膜15を形成し、その上にゲート電極よりも小さいサイズのレジストパターン10を形成した後、不純物の注入を行い、半導体層3に不純物注入領域3aを形成する。なお、本構造では注入する不純物は犠牲酸化膜15によって減速されるため、加速電圧、ドーズ量等の注入条件は犠牲酸化膜15の膜厚に応じて適宜調整する必要がある。

【0064】次に、図7(c)に示すように、ドーピング終了後、ウェットエッチングにより犠牲酸化膜15を除去した後、図7(d)に示すように、LPCVD、PCVD、スパッタ法等を用い、30~200nm、好ましくは50~100nm程度の膜厚でシリコン酸化膜、シリコン窒化膜等からなるゲート絶縁膜4を形成し、その上にシリサイド、メタル、不純物をドーピングしたシリコン等の導電材料をスパッタ、PCVD等により200~400nm程度の膜厚で堆積、パターンニングしてゲート電極5を形成する。

【0065】その後、ゲート電極5の上部よりレーザ光12を照射し、半導体層3に注入した不純物の活性化を行い、ゲート電極5の外側に高活性化領域3c、ゲート電極5に覆われた部分に低活性化領域3bを形成する。その後、通常の手法を用いてトランジスタを製作し、その上に有機膜からなる層間絶縁膜6を形成した後、ソース/ドレイン領域にコンタクトホール8を設け、電極7を形成する。

【0066】このように、本実施例の薄膜電界効果型トランジスタの製造方法によれば、前記した第1の実施例と同様に、1回の不純物注入と1回のレーザアニールとでゲートオーバーラップドレイン構造と同等の構造を形成できると共に、活性化不純物の濃度分布をなだらかにすることにより理想的な電界緩和効果を実現することができる。また、不純物注入を犠牲酸化膜15を介して行っているため、半導体層3の特性を良好に保つことができる。

【0067】[実施例3]次に、本発明の第3の実施例に係る薄膜電界効果型トランジスタの製造方法について、図8を参照して説明する。図8は、本発明の第3の実施例に係る薄膜電界効果型トランジスタの製造方法の一部を示す工程断面図である。なお、本実施例は、犠牲酸化膜を多結晶シリコン上にのみ形成することを特徴と

するものである。以下に、図8を参照して本実施例の薄膜電界効果型トランジスタの製造方法について説明する。

【0068】まず、図8(a)に示すように、前記した第1及び第2の実施例と同様に、ガラス基板1上に、LPCVD、PCVD、スパッタ法、ディップ方式等を用いて、シリコン酸化膜、シリコン窒化膜等を堆積し、アンダーコート層2を形成する。次に、その上に、LPCVD、PCVD、スパッタ法等を用いてアモルファスシリコンを50～100nm程度の膜厚で形成し、レーザ照射法、固相成長法等により結晶化させて多結晶シリコン3を形成し、公知のリソグラフィ技術、エッチング技術を用いてアイランド状にパターニングする。

【0069】次に、図8(b)に示すように、ガラス基板1全面にシリコン酸化膜からなる犠牲酸化膜15を堆積した後、半導体層3上以外の犠牲酸化膜15を除去する。そして、その上にゲート電極よりも小さいサイズのレジストパターン10を形成した後、不純物の注入を行い、半導体層3に不純物注入領域3aを形成する。

【0070】次に、図8(c)に示すように、ドーピング終了後、レジストパターン10を除去し、図8(d)に示すように、LPCVD、PCVD、スパッタ法等を用い、シリコン酸化膜、シリコン窒化膜等からなるゲート絶縁膜4を犠牲酸化膜15上に形成し、その上にシリサイド、メタル、不純物をドーピングしたシリコン等の導電材料をスパッタ、PCVD等により堆積、パターニングしてゲート電極5を形成する。

【0071】その後、ゲート電極5の上部よりレーザ光12を照射し、半導体層3に注入した不純物の活性化を行い、ゲート電極5の外側に高活性化領域3c、ゲート電極5に覆われた部分に低活性化領域3bを形成する。その後、通常の手法を用いてトランジスタを製作し、その上に有機膜からなる層間絶縁膜6を形成した後、ソース/ドレイン領域にコンタクトホール8を設け、電極7を形成する。

【0072】このように、本実施例の薄膜電界効果型トランジスタの製造方法によれば、前記した第1及び第2の実施例と同様に、1回の不純物注入と1回のレーザアニールとでゲートオーバーラップドレイン構造と同等の構造を形成することができ、また、不純物注入に用いた犠牲酸化膜15を除去せず、そのままゲート絶縁膜として用いているため、第2の実施例に比べて犠牲酸化膜15の除去工程を省略することができる。

【0073】[実施例4]次に、本発明の第4の実施例に係る薄膜電界効果型トランジスタの製造方法について、図9を参照して説明する。図9は、本発明の第4の実施例に係る薄膜電界効果型トランジスタの製造方法の一部を示す工程断面図である。なお、本実施例は、犠牲酸化膜をゲート絶縁膜として利用することを特徴とするものである。以下に、図9を参照して本実施例の薄膜電

界効果型トランジスタの製造方法について説明する。

【0074】まず、図9(a)に示すように、前記した第1乃至第3の実施例と同様に、ガラス基板1上に、シリコン酸化膜、シリコン窒化膜等からなるアンダーコート層2を形成し、その上に、LPCVD、PCVD、スパッタ法等を用いてアモルファスシリコンを堆積し、レーザ照射法、固相成長法等により結晶化させて多結晶シリコン3を形成し、公知のリソグラフィ技術、エッチング技術を用いてアイランド状にパターニングする。

【0075】次に、図9(b)に示すように、ガラス基板1全面にシリコン酸化膜からなる犠牲酸化膜15を堆積し、その上にゲート電極よりも小さいサイズのレジストパターン10を形成した後、不純物の注入を行い、半導体3に不純物注入領域3aを形成する。

【0076】次に、図9(c)に示すように、犠牲酸化膜15をゲート絶縁膜4として用い、その上にシリサイド、メタル等の導電材料を堆積、パターニングしてゲート電極5を形成する。その後、ゲート電極5の上部よりレーザ光12を照射し、ゲート電極5の外側に高活性化領域3c、ゲート電極5に覆われた部分に低活性化領域3bを形成する。その後、通常の手法を用いてトランジスタを製作する。

【0077】このように、本実施例の薄膜電界効果型トランジスタの製造方法によれば、前記した第1乃至第3の実施例と同様に、1回の不純物注入と1回のレーザアニールとでゲートオーバーラップドレイン構造と同等の構造を形成することができ、また、不純物注入に用いた犠牲酸化膜15をそのままゲート絶縁膜として利用しているため、第3の実施例に比べてゲート絶縁膜4の形成工程を省略することができる。

【0078】[実施例5]次に、本発明の第5の実施例に係る薄膜電界効果型トランジスタについて、図10を参照して説明する。図10は、本発明の第5の実施例に係るスタガ構造の薄膜電界効果型トランジスタの構造を示す断面図である。なお、本実施例は、本発明のゲートオーバーラップドレイン構造をスタガ構造の薄膜電界効果型トランジスタに適用したことを特徴とするものである。

【0079】前記した第1乃至第4の実施例では、半導体層として多結晶シリコンを用い、ゲート電極とソース/ドレイン電極を多結晶シリコンに対して同一側に配置したプレーナ型の構造について記載したが、半導体としてアモルファスシリコン(以下、a-Siと略す。)を用いる場合には、一般的にゲート電極とソース/ドレイン電極とがa-Si層に対して反対側に配置される正スタガ型や逆スタガ型が用いられる。

【0080】このようなa-Siを用いる場合においても、ドレイン近傍の高電界を緩和するため、また、a-Siに入射する光によるリーク電流を抑制するためにLDD構造やゲートオーバーラップドレイン構造を適用す

ることが好ましい。そこで、正スタガ構造の薄膜電界効果型トランジスタに本発明の構造を適用した例について、図10を参照して説明する。

【0081】図10に示すように、本実施例のスタガ型薄膜電界効果型トランジスタは、ガラス基板1上にアンダーコート層2を介してソース/ドレイン電極20が形成され、その上にa-Si21からなる半導体層が形成されている。この半導体層は、ゲート電極下層の低活性化領域3bと、その外側の高活性化領域3cとから構成される。また、a-Si21の上層にはゲート絶縁膜4を介してゲート電極5が配設され、その上層には層間絶縁膜6が形成されている。そして、層間絶縁膜6とゲート絶縁膜4と半導体層を貫通するコンタクトホール8にソース/ドレイン電極7が形成されている。

【0082】このようなスタガ型の薄膜電界効果型トランジスタにおいても、半導体層を構成する低活性化領域3bと高活性化領域3cとは、共に同一の濃度の不純物が注入されているが、高活性化領域3cはレーザ光により十分に活性化されているのに対し、低活性化領域3bはレーザ光がゲート電極5によって遮光されるために活性化が不十分となり、これにより導電性に寄与する活性化された不純物の濃度は低くなり、LDD領域と同様な機能を有することになる。また、この低活性化領域3bはレーザ光の熱拡散により形成されるため、活性化率は緩やかに変化しており、従来のLDD構造やゲートオーバーラップドレイン構造のように急峻に濃度分布が変化する領域はないため、理想的な電界緩和効果を有し、キャリアがトラップされてキャリア寿命が短くなるという問題も回避することができる。

【0083】なお、上記各実施例ではゲートオーバーラップドレイン構造について記載したが、本発明は1回のイオン注入とレーザアニールとにより高活性化領域と低活性化領域を作り、LDDと同様の構成を実現すると共に、なだらかな濃度分布の活性層を形成することにより電界緩和を図ることを特徴とするものであり、通常のLDD構造に対しても、工程数の削減や電界緩和の効果をj得ることができる。

【0084】また、上記各実施例では、基板全面にレーザアニールを施す場合について記載したが、レーザ光の集光性、熱拡散の制御性を利用して、特定の領域のみにレーザアニールを行ったり、レーザアニールの条件を領域毎に変えて活性化の程度を調整することもできる。

【0085】

【発明の効果】以上説明したように、本発明の薄膜電界効果型トランジスタ及びその製造方法、並びにその電界効果型トランジスタを使った液晶表示装置及びその製造方法によれば、下記記載の効果を奏する。

【0086】本発明の第1の効果は、少ない工程数でゲートオーバーラップドレインと同等の構造の薄膜電界効果型トランジスタを形成することができるということである。

\*ある。

【0087】その理由は、ゲート電極よりも狭い幅で不純物イオンの注入を1回行い、ゲート電極形成後、ゲート電極をマスクとして自己整合的にレーザ光を照射してソース/ドレイン領域を活性化するため、レーザが照射されないゲート電極下層の多結晶シリコンが熱拡散によって活性化の程度が低い状態となってLDD領域と同様の働きを有するからである。

【0088】また、本発明の第2の効果は、キャリア濃度を連続的に変化させて理想的なドレイン端の電界緩和効果を実現し、結果としてリーク電流の低減を実現することができるということである。

【0089】その理由は、レーザ照射により注入した不純物を活性化するため、熱拡散により活性化の程度が徐々に変化し、キャリア濃度が連続的になだらかな形状となり、高電界の発生を抑制することができるからである。

【0090】また、本発明の第3の効果は、キャリア寿命の低下を抑制することができるということである。

【0091】その理由は、従来のLDD構造のように不純物濃度がステップ状に変化し、濃度が急激に変化する領域でキャリアがトラップされることがないからである。

【0092】そして、上記薄膜電界効果型トランジスタを液晶表示装置、特に、ライトバルブ用液晶表示装置のスイッチング素子として用いることにより、LDD領域に相当する低活性化領域に入射する光をゲート電極により抑制し、光リークを低減することができる。

【図面の簡単な説明】

【図1】本発明の第1の実施例に係る薄膜電界効果型トランジスタの構造を示す断面図である。

【図2】本発明の第1の実施例に係る薄膜電界効果型トランジスタの製造方法を示す工程断面図である。

【図3】本発明の第1の実施例に係る薄膜電界効果型トランジスタの製造方法を示す工程断面図である。

【図4】本発明の第1の実施例に係る薄膜電界効果型トランジスタの製造方法を示す工程断面図である。

【図5】本発明の効果を説明するための図である。

【図6】本発明の第1の実施例に係る薄膜電界効果型トランジスタの他の構造を示す断面図である。

【図7】本発明の第2の実施例に係る電界効果型トランジスタの構造を示す断面図である。

【図8】本発明の第3の実施例に係る薄膜電界効果型トランジスタの構造を示す断面図である。

【図9】本発明の第4の実施例に係る薄膜電界効果型トランジスタの構造を示す断面図である。

【図10】本発明の第5の実施例に係るスタガ構造の薄膜電界効果型トランジスタの構造を示す断面図である。

【図11】従来のLDD構造電界効果型トランジスタの製造方法を示す工程断面図である。

【図12】従来のゲートオーバーラップドレイン構造電界効果型トランジスタの製造方法を示す工程断面図である。

【図13】従来のゲートオーバーラップドレイン構造電界効果型トランジスタの製造方法を示す工程断面図である。

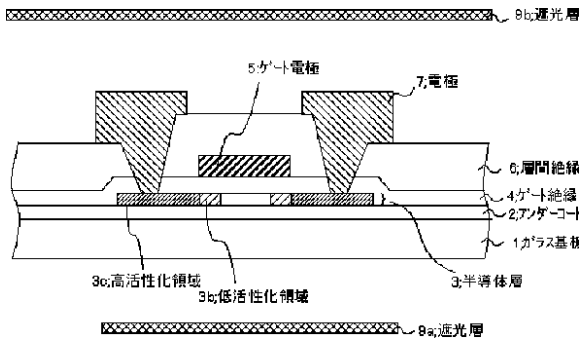
【図14】従来のLDD構造における問題点を説明するための図である。

【符号の説明】

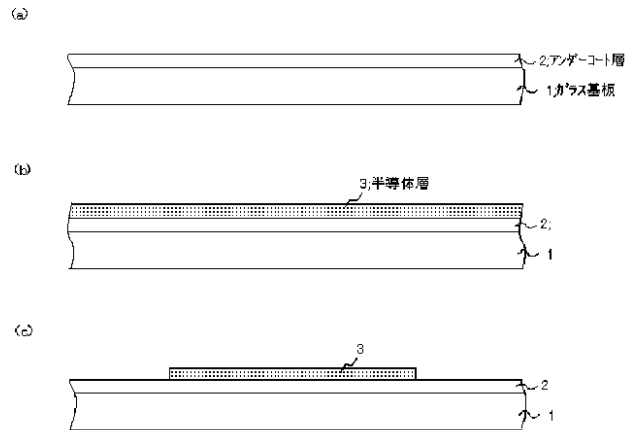
- 1 ガラス基板
- 2 アンダーコート層
- 3 半導体層
- 3 a 不純物注入領域
- 3 b 低活性化領域
- 3 c 高活性化領域
- 4 ゲート絶縁膜
- 5 ゲート電極

- \* 6 層間絶縁膜
- 7 電極
- 8 コンタクトホール
- 9 a、9 b 遮光層
- 10 レジストパターン
- 11 不純物イオン
- 12 レーザ光
- 13 シリコン基板
- 14 分離酸化膜
- 10 15 犠牲酸化膜
- 16 低濃度注入領域
- 17 サイドウォール酸化膜
- 18 高濃度注入領域
- 19 サイドウォール導電膜
- 20 ソース/ドレイン電極
- 21 アモルファスシリコン(a-Si)

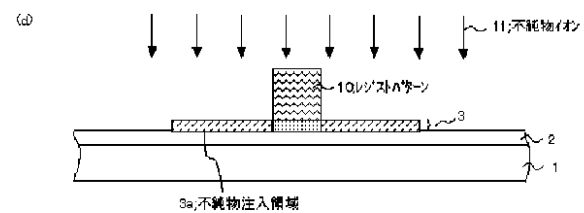
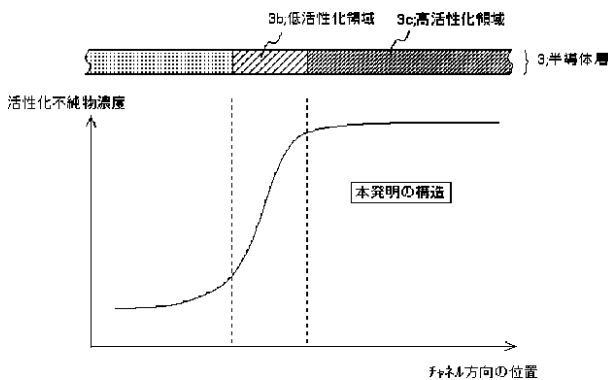
【図1】



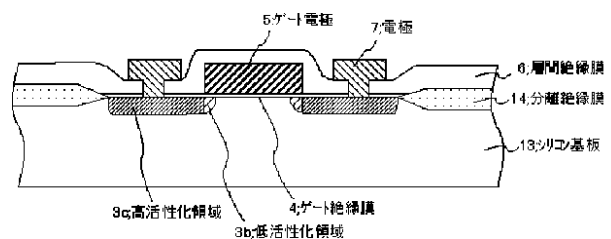
【図2】



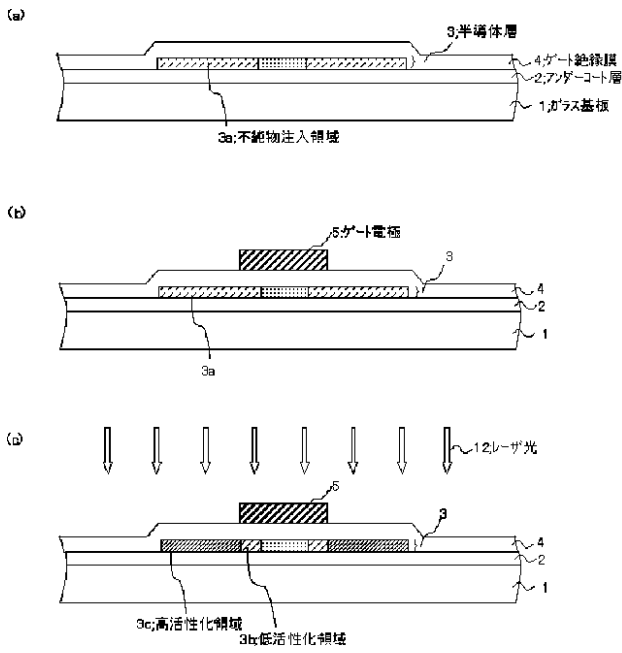
【図5】



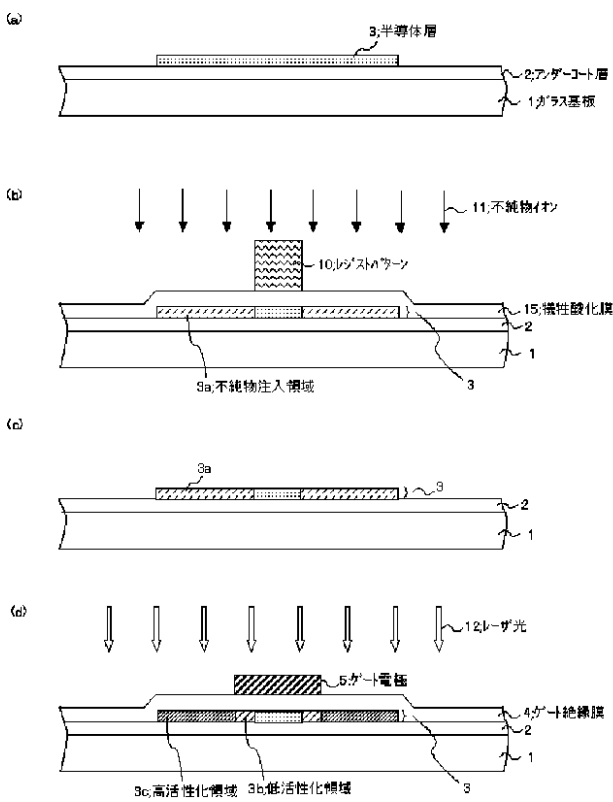
【図6】



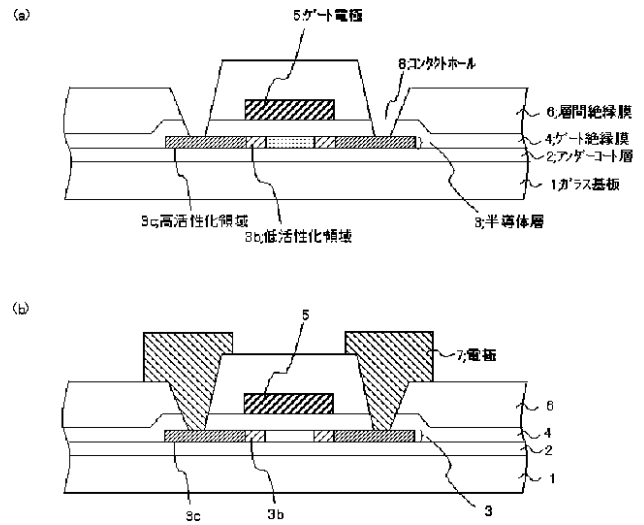
【図3】



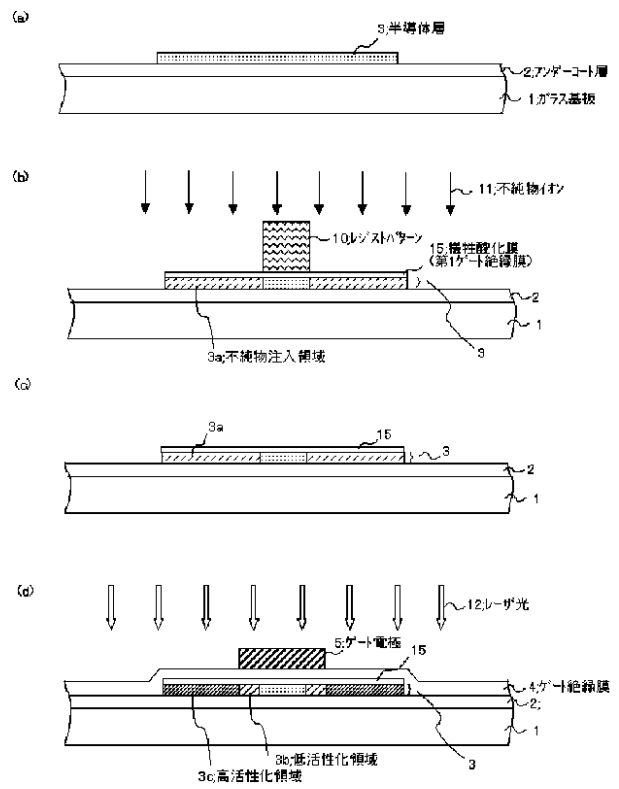
【図7】



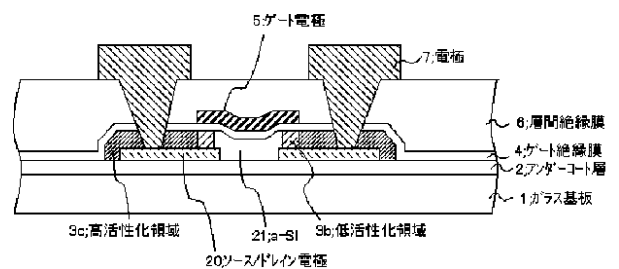
【図4】



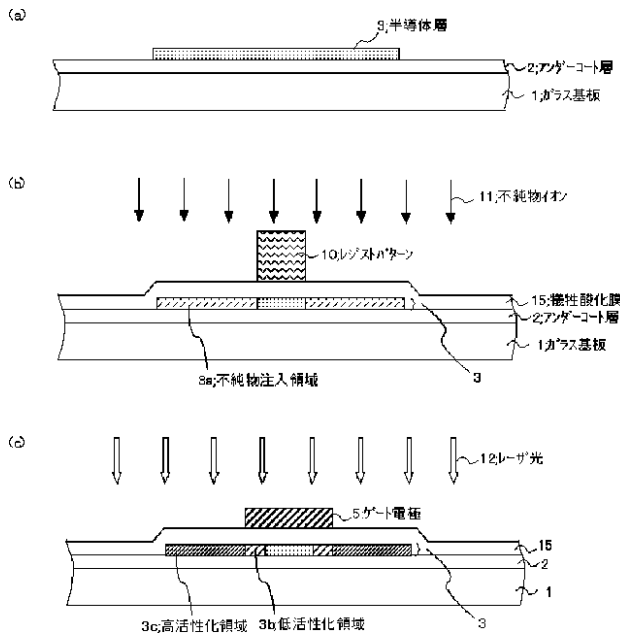
【図8】



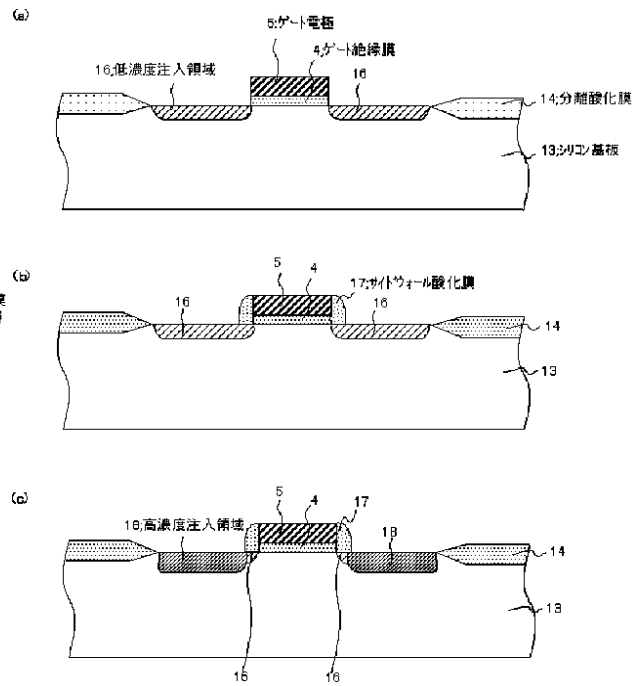
【図10】



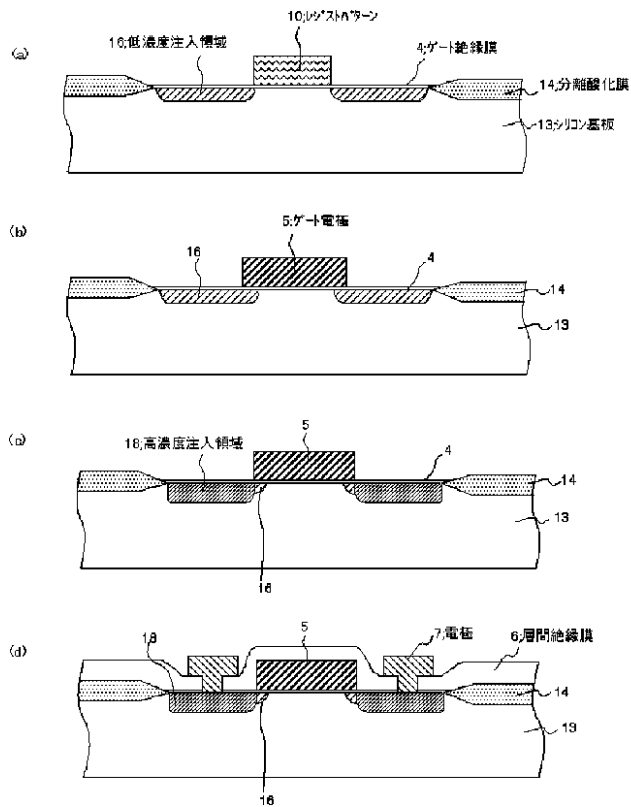
【図9】



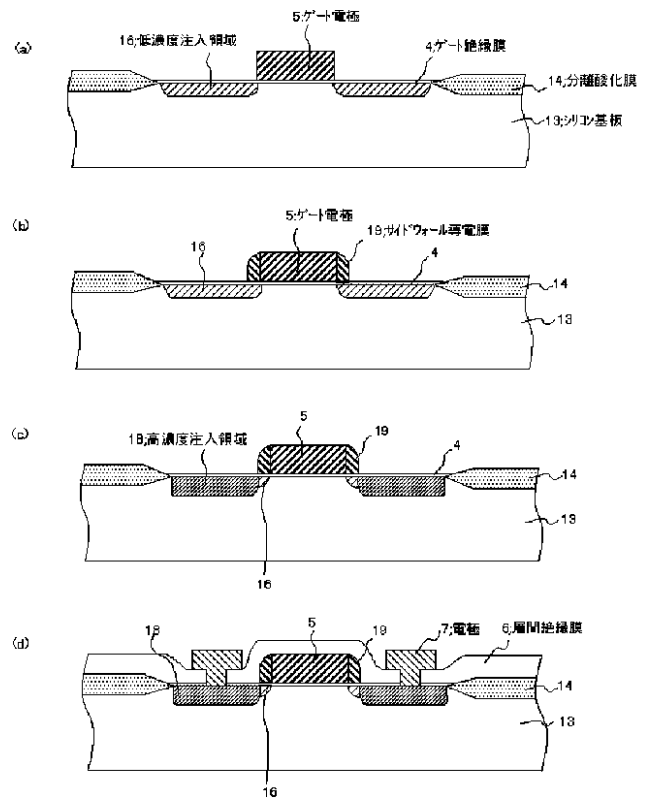
【図11】



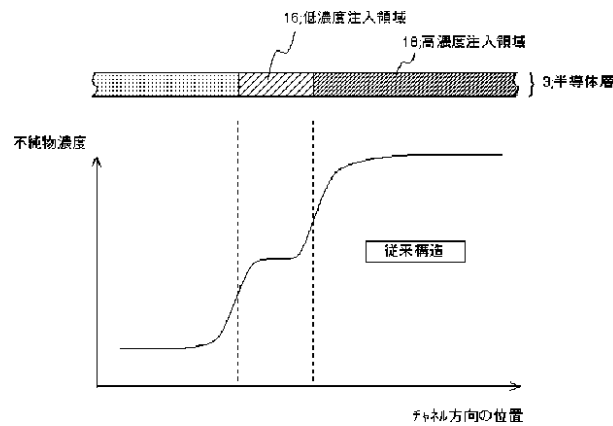
【図12】



【図13】



【図 14】



## 【手続補正書】

【提出日】平成 13 年 8 月 1 日 ( 2 0 0 1 . 8 . 1 )

## 【補正内容】

【発明の名称】 電界効果型トランジスタ及びその製造方法並びに該トランジスタを使った液晶表示装置及びその製造方法

## 【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】発明の名称

【補正方法】変更

フロントページの続き

F ターム(参考) 2H092 JA25 JA37 JA41 KA04 KA05  
 MA07 MA13 MA25 MA27 MA30  
 NA25  
 5F110 AA06 AA14 AA16 BB02 CC02  
 CC06 DD02 DD13 DD14 DD17  
 EE02 EE05 EE08 EE44 EE45  
 FF02 FF03 FF09 FF27 FF28  
 FF30 FF32 GG02 GG13 GG15  
 GG25 GG43 GG45 GG47 HJ01  
 HJ04 HJ13 HJ23 HL03 HL23  
 HM12 HM15 NN02 NN27 NN41  
 PP01 PP03 QQ11  
 5F140 AA20 AA24 AA40 AC36 BA01  
 BD06 BD07 BD10 BE09 BE10  
 BF01 BF04 BF05 BF08 BG02  
 BG28 BG30 BG38 BH13 BH15  
 BH30 BJ01 BJ05 BK01 BK05  
 BK13 BK21 BK29 CC10 CE18

专利名称(译)	场效应晶体管及其制造方法，使用该晶体管的液晶显示装置及其制造方法		
公开(公告)号	<a href="#">JP2003045889A</a>	公开(公告)日	2003-02-14
申请号	JP2001233256	申请日	2001-08-01
申请(专利权)人(译)	NEC公司		
[标]发明人	世良賢二		
发明人	世良 賢二		
IPC分类号	G02F1/1368 H01L21/268 H01L21/336 H01L29/417 H01L29/78 H01L29/786		
CPC分类号	H01L29/66757 H01L21/268 H01L29/41733 H01L29/4908 H01L29/78621 H01L29/78627 H01L29/78666 H01L2029/7863		
FI分类号	G02F1/1368 H01L29/78.616.A H01L29/78.616.L H01L29/78.301.L		
F-TERM分类号	2H092/JA25 2H092/JA37 2H092/JA41 2H092/KA04 2H092/KA05 2H092/MA07 2H092/MA13 2H092/MA25 2H092/MA27 2H092/MA30 2H092/NA25 5F110/AA06 5F110/AA14 5F110/AA16 5F110/BB02 5F110/CC02 5F110/CC06 5F110/DD02 5F110/DD13 5F110/DD14 5F110/DD17 5F110/EE02 5F110/EE05 5F110/EE08 5F110/EE44 5F110/EE45 5F110/FF02 5F110/FF03 5F110/FF09 5F110/FF27 5F110/FF28 5F110/FF30 5F110/FF32 5F110/GG02 5F110/GG13 5F110/GG15 5F110/GG25 5F110/GG43 5F110/GG45 5F110/GG47 5F110/HJ01 5F110/HJ04 5F110/HJ13 5F110/HJ23 5F110/HL03 5F110/HL23 5F110/HM12 5F110/HM15 5F110/NN02 5F110/NN27 5F110/NN41 5F110/PP01 5F110/PP03 5F110/QQ11 5F140/AA20 5F140/AA24 5F140/AA40 5F140/AC36 5F140/BA01 5F140/BD06 5F140/BD07 5F140/BD10 5F140/BE09 5F140/BE10 5F140/BF01 5F140/BF04 5F140/BF05 5F140/BF08 5F140/BG02 5F140/BG28 5F140/BG30 5F140/BG38 5F140/BH13 5F140/BH15 5F140/BH30 5F140/BJ01 5F140/BJ05 5F140/BK01 5F140/BK05 5F140/BK13 5F140/BK21 5F140/BK29 5F140/CC10 5F140/CE18 2H192/AA24 2H192/CB02 2H192/CB03 2H192/CB53 2H192/EA04 2H192/EA13 2H192/EA15 2H192/EA76 2H192/HA47 2H192/HA84 2H192/HA90		
代理人(译)	宫本敬		
其他公开文献	JP5038560B2		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

通过减少的步骤数A可以实现相同的结构，所述栅极重叠漏极（GOLD），并提供了一个场效应晶体管及其制造方法，其可以减轻在漏极附近的高电场。形成抗蚀剂图案的步骤，该抗蚀剂图案在沟道方向上的距离比半导体层上的栅电极短，并且在半导体层上注入杂质；通过以栅电极5作为掩模照射激光束并激光照射激光，激活源/漏区，形成高激活区3c热扩散以较低的激活率激活内侧区域具有至少形成低活性区3b，通过作用类似于LDD区的低活化区域的步骤，一个杂质注入形成具有GOLD结构的薄膜场效应晶体管。

