

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A) (11)特許出願公開番号

特開2001 - 343948

(P2001 - 343948A)

(43)公開日 平成13年12月14日(2001.12.14)

(51) Int.Cl ⁷	識別記号	F I	テ-マ-ド [*] (参考)
G 0 9 G 3/36		G 0 9 G 3/36	2 H 0 9 3
G 0 2 F 1/133	550	G 0 2 F 1/133	5 C 0 0 6
G 0 9 G 3/20	641	G 0 9 G 3/20	5 C 0 8 0
	642		642 A

審査請求 未請求 請求項の数 5 O L (全 15数)

(21)出願番号 特願2000 - 164770(P2000 - 164770)

(22)出願日 平成12年5月30日(2000.5.30)

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(71)出願人 000233169

株式会社日立超エル・エス・アイ・システムズ

東京都小平市上水本町5丁目22番1号

(71)出願人 000233088

日立デバイスエンジニアリング株式会社

千葉県茂原市早野3681番地

(74)代理人 100089071

弁理士 玉村 静世

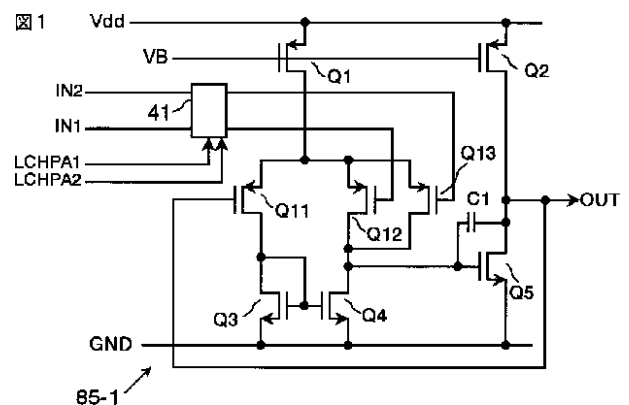
最終頁に続く

(54)【発明の名称】 ドライバ及び液晶ディスプレイ装置

(57)【要約】

【課題】 階調電圧の加算平均を行う場合の画質劣化を防止する。

【解決手段】 第1トランジスタ(Q11)と、上記第1トランジスタに差動結合された第2トランジスタ(Q12)と、上記第2トランジスタに並列接続された第3トランジスタ(Q13)とを設け、さらに第1階調電圧が上記第1トランジスタに伝達され、第2階調電圧が上記第2トランジスタに伝達される第1の状態と、上記第1階調電圧が上記第2トランジスタに伝達され、上記第2階調電圧が上記第1トランジスタに伝達される第2の状態とを所定の周期で切り換えるためのスイッチ回路(41)を設け、第2トランジスタと第3トランジスタとの間でしきい値の差に起因する誤差を平均化することでオフセットをキャンセルする。



【特許請求の範囲】

【請求項 1】 互いに電圧レベルが異なる複数の階調電圧を発生させるための階調電圧作成回路と、
入力データをデコードし、そのデコード結果に基づいて、上記階調電圧作成回路からの複数の階調電圧の中から第 1 階調電圧とそれに対応する第 2 階調電圧とを選択するためのデコーダと、

上記第 1 階調電圧とそれに対応する第 2 階調電圧とに基づいて駆動電圧を得るためのアンプと、を含むドライバであって、

上記アンプは、差動対を形成するための第 1 トランジスタと、

上記第 1 トランジスタに差動結合された第 2 トランジスタと、

上記第 2 トランジスタに並列接続された第 3 トランジスタと、

上記第 1 階調電圧が上記第 1 トランジスタに伝達され、上記第 2 階調電圧が上記第 2 トランジスタに伝達される第 1 の状態と、上記第 1 階調電圧が上記第 2 トランジスタに伝達され、上記第 2 階調電圧が上記第 1 トランジスタに伝達される第 2 の状態とを所定の周期で切り換えるためのスイッチ回路と、を含んで成ることを特徴とするドライバ。

【請求項 2】 液晶の交流駆動のための交流化信号と、内部クロック信号とに基づいて、上記第 1 の状態と上記第 2 の状態との切り換えを制御可能な制御信号を生成する回路を含む請求項 1 記載のドライバ。

【請求項 3】 互いに電圧レベルが異なる複数の階調電圧を発生させるための階調電圧作成回路と、
入力データをデコードし、そのデコード結果に基づいて、上記階調電圧作成回路からの複数の階調電圧の中から第 1 階調電圧とそれに対応する第 2 階調電圧とを選択するためのデコーダと、

上記第 1 階調電圧とそれに対応する第 2 階調電圧とに基づいて駆動電圧を得るためのアンプと、を含むドライバであって、

上記アンプは、差動対を形成するための第 1 トランジスタと、

上記第 1 トランジスタに差動結合された第 2 トランジスタと、

上記第 2 トランジスタに並列接続された第 3 トランジスタと、

上記第 1 トランジスタに並列接続された第 4 トランジスタと、

上記第 1 階調電圧が上記第 2 トランジスタに伝達され、上記第 2 階調電圧が上記第 3 トランジスタに伝達され、上記アンプの出力電圧が上記第 1 トランジスタ及び上記第 4 トランジスタに伝達される第 1 の状態と、上記第 1 階調電圧が上記第 3 トランジスタに伝達され、上記第 2 階調電圧が上記第 2 トランジスタに伝達され、上記アンプ

*の出力電圧が上記第 1 トランジスタ及び上記第 4 トランジスタに伝達される第 2 の状態と、上記第 1 階調電圧が上記第 1 トランジスタに伝達され、上記第 2 階調電圧が上記第 4 トランジスタに伝達され、上記アンプの出力電圧が上記第 2 トランジスタ及び上記第 3 トランジスタに伝達される第 3 の状態と、上記第 1 階調電圧が上記第 4 トランジスタに伝達され、上記第 2 階調電圧が上記第 1 トランジスタに伝達され、上記アンプの出力電圧が上記第 2 トランジスタ及び上記第 3 トランジスタに伝達される第 4 の状態とを所定の周期で切り換えるためのスイッチ回路と、を含んで成ることを特徴とするドライバ。

【請求項 4】 液晶の交流駆動のための交流化信号と、内部クロック信号とに基づいて、上記第 1 の状態と上記第 2 の状態と上記第 3 の状態と上記第 4 の状態の切り換えを制御可能な制御信号を生成する回路を含む請求項 3 記載のドライバ。

【請求項 5】 複数のゲート線とこの複数のゲート線に交差するように配置された複数のソース線とを含む表示パネルと、上記複数のソース線を駆動するためのソースドライバとを含む液晶ディスプレイ装置において、上記ソースドライバとして、請求項 1 乃至 4 の何れか 1 項記載のドライバを用いて成ることを特徴とする液晶ディスプレイ装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、ドライバ、さらには第 1 階調電圧と第 2 階調電圧とに基づいて駆動電圧を得るアンプを含むドライバに関し、例えば TFT 型カラー液晶パネルを駆動するためのソースドライバに適用して有効な技術に関する。

【0002】

【従来技術】液晶パネルは、複数のソース線と、それに交差するように配列されたゲート線とを含み、ソース線とゲート線との交差箇所に液晶セルが配置される。そのような液晶パネルを駆動するための駆動装置には、ソース線を駆動するためのソースドライバ、及びゲート線を駆動するためのゲートドライバが設けられている。ソースドライバは、駆動情報を 1 ライン単位で出力する。このとき、ゲートソースドライバは、複数のソース線を時分割で駆動する。

【0003】尚、液晶ディスプレイについて記載された文献の例としては、昭和 58 年に株式会社オーム社から発行された「電子通信ハンドブック（第 472 頁）」がある。

【0004】

【発明が解決しようとする課題】ソースドライバにおいては、表示データをデコードし、そのデコード結果に対応する階調電圧選択が選択され、選択された階調電圧がバッファリングされてから液晶パネルに出力される。上記階調電圧は、複数の抵抗が結合されて成る階調電圧作

成回路で分圧されることで形成される。例えば64階調の場合、抵抗ラダー回路から64レベルの電圧がそのまま出力される。

【0005】通常、64階調よりは256階調のほうが画質は向上する。しかしながら、256階調の場合、抵抗ラダー回路から256レベルの電圧を出力しなければならず、階調電圧作成回路やその周辺の構成が煩雑になる。それを回避するには、電圧の加算平均により上記アンプ回路において中間レベルの階調電圧を形成すればよい。

【0006】すなわち、上記デコーダの出力に応じて、階調電圧作成回路からの複数の階調電圧の中から2種類の電圧を選択し、選択した2種類の電圧を上記アンプ回路において加算平均することで、上記2種類の電圧の中間レベルの電圧を上記アンプ回路側で形成する。そのようにすれば、上記中間レベルに相当する階調電圧を上記階調電圧作成回路において形成する必要がなくなり、その分、上記階調電圧作成回路やその周辺の簡略化を図ることができる。そのように加算平均を行うため、アンプ回路においては、当該アンプ回路に入力される階調電圧の数に対応して複数の入力端子、及びその入力端子に対応してMOSトランジスタなどの能動素子が設けられる。その場合のアンプ回路について本願発明者が検討したところ、上記加算平均のために複数の入力端子が存在すると、それに対応するMOSトランジスタのしきい値のばらつきによって、ソース線駆動電圧にレベル差を生じ、画質劣化を招くことが見いだされた。

【0007】本発明の目的は、階調電圧の加算平均を行う場合の画質劣化を防止するための技術を提供することにある。

【0008】本発明の前記並びにその他の目的と新規な特徴は本明細書の記述及び添付図面から明らかになるであろう。

【0009】

【課題を解決するための手段】本願において開示される発明のうち代表的なものの概要を簡単に説明すれば下記の通りである。

【0010】すなわち、互いに電圧レベルが異なる複数の階調電圧を発生させるための階調電圧作成回路と、入力データをデコードし、そのデコード結果に基づいて、上記階調電圧作成回路からの複数の階調電圧の中から第1階調電圧とそれに対応する第2階調電圧とを選択するためのデコーダと、上記第1階調電圧とそれに対応する第2階調電圧とに基づいて駆動電圧を得るためのアンプとを含んで液晶ドライバが構成されるとき、上記アンプにおいて、上記アンプの出力信号が帰還される第1トランジスタと、上記第1トランジスタに差動結合された第2トランジスタと、上記第2トランジスタに並列接続された第3トランジスタとを設け、さらに上記第1階調電圧が上記第1トランジスタに伝達され、上記第2階調電

圧が上記第2トランジスタに伝達される第1の状態と、上記第1階調電圧が上記第2トランジスタに伝達され、上記第2階調電圧が上記第1トランジスタに伝達される第2の状態とを所定の周期で切り換えるためのスイッチ回路を設ける。

【0011】上記の手段によれば、スイッチ回路は、上記第1の状態と上記第2の状態とを所定の周期で切り換える。これにより、アンプにおいては、第2トランジスタと、それに並列接続された第3トランジスタとの間でしきい値の差に起因する誤差が平均化され、このことが、階調電圧の加算平均を行う場合の画質劣化の防止を達成する。

【0012】このとき、上記スイッチ回路の動作制御信号を容易に得るには、液晶の交流駆動のための交流化信号と、内部クロック信号とに基づいて、上記第1の状態と上記第2の状態との切り換えを制御可能な制御信号を生成する回路を設けるとよい。

【0013】また、上記アンプにおいて、差動対を形成するための第1トランジスタと、上記第1トランジスタに差動結合された第2トランジスタと、上記第2トランジスタに並列接続された第3トランジスタと、上記第1トランジスタに並列接続された第4トランジスタと、上記第1階調電圧が上記第2トランジスタに伝達され、上記第2階調電圧が上記第3トランジスタに伝達され、上記アンプの出力電圧が上記第1トランジスタ及び上記第4トランジスタに伝達される第1の状態と、上記第1階調電圧が上記第3トランジスタに伝達され、上記第2階調電圧が上記第2トランジスタに伝達され、上記アンプの出力電圧が上記第1トランジスタ及び上記第4トランジスタに伝達される第2の状態と、上記第1階調電圧が上記第1トランジスタに伝達され、上記2階調電圧が上記第4トランジスタに伝達され、上記アンプの出力電圧が上記第2トランジスタ及び上記第3トランジスタに伝達される第3の状態と、上記第1階調電圧が上記第4トランジスタに伝達され、上記第2階調電圧が上記第1トランジスタに伝達され、上記アンプの出力電圧が上記第2トランジスタ及び上記第3トランジスタに伝達される第4の状態とを所定の周期で切り換えるためのスイッチ回路とを設ける。

【0014】上記の手段によれば、スイッチ回路は、上記第1の状態、上記第2の状態、上記第3の状態、上記第4の状態とを所定の周期で切り換える。これにより、上記第1トランジスタ、第2トランジスタ、第3トランジスタ、及び第4トランジスタとの間でしきい値の差が平均化される。このことが、階調電圧の加算平均を行う場合の画質劣化の防止を達成する。

【0015】このとき、上記スイッチ回路の動作制御信号を容易に得るには、液晶の交流駆動のための交流化信号と、内部クロック信号とに基づいて、上記第1の状態と上記第2の状態と上記第3の状態と上記第4の状態の

切り換えを制御可能な制御信号を生成する回路を設けるとよい。

【0016】また、複数のゲート線とこの複数のゲート線に交差するように配置された複数のソース線とを含む表示パネルと、上記複数のソース線を駆動するためのソース線ドライバとを含んで液晶ディスプレイ装置が構成されるとき、上記ソースドライバとして、上記構成のドライバを用いることができる。

【0017】

【発明の実施の形態】図4には、本発明にかかる液晶ディスプレイ装置の構成例が示される。

【0018】液晶ディスプレイ装置36は、特に制限されないが、カラー液晶パネル12と、このカラー液晶パネル12のゲート線を駆動するための複数のゲートドライバ10-1~10-3と、上記カラー液晶パネル12のデータ線を駆動するための複数のソースドライバ11-1~11-nと、この液晶ディスプレイ装置36全体の動作制御を司るコントローラ14と、カラー液晶パネル12を駆動するための電源を供給する液晶駆動電源回路13とを含む。

【0019】カラー液晶パネル12は、特に制限されないが、TFT型であり、そのサイズは1024×768ドットとされ、複数のゲート線と、それに交差するように配置された複数のデータ線と、ゲート線及びデータ線の交差箇所に対応して配置されたnチャンネル型MOSトランジスタ及び液晶素子とを含んで成る。例えば図5に示されるように、複数のnチャンネル型MOSトランジスタ221のゲート電極は、対応するゲート線g1~g4に結合され、当該トランジスタ221のドレイン電極は対応するデータ線d1~d3に結合され、当該トランジスタ221のソース電極とグランドGNDとの間に液晶素子222が結合される。カラー表示を可能とするため、隣接する3本のデータ線d1, d2, d3は、RGB(レッド、グリーン、ブルー)に対応しており、このRGBに対応する3個の素子により1個の画素が形成される。図5に示される構成例に従えば、ゲートドライバ10-1によってゲート線g1~g4が選択的にハイレベルに駆動され、ソースドライバ11-1によって濃度に応じた電圧レベルでデータ線d1, d2, d3が駆動されることにより、対応するnチャンネル型MOSトランジスタ221がオンされて、対応する液晶素子222の容量がチャージアップされる。その後、ゲートドライバ10-1の出力信号がローレベルにされてnチャンネル型MOSトランジスタ221がオフされて、液晶素子222の電圧が保持される。

【0020】次に、ソースドライバ11-1~11-nについて詳述する。尚、上記複数個のソースドライバ11-1~11-nは互いに同一構成とされる。そのため、以下の説明ではソースドライバ11-1についてのみ詳細に説明する。

【0021】図6にはソースドライバの構成例が示される。

【0022】図6に示されるようにソースドライバ11-1は、クロック制御回路80、ラッチ回路92, 93, 94、デコーダ84、アンプ回路85、データ反転回路86、及び階調電圧作成回路87を含み、公知の半導体集積回路製造技術により、単結晶シリコン基板などの一つの半導体基板に形成される。

【0023】上記クロック制御回路80には、コントローラ14からの水平方向拡大信号LCHPA1, LCHPA20~2、データ出力水平クロック信号CL1、データ転送クロックCL2、データ転送クロックCL4が入力される。イネーブル信号EIO0~2R*(*はローアクティブ又は信号反転を示す)、EIO0~2L*は、ソースドライバのイネーブル信号とされ、このイネーブル信号がローレベルにアサートされることによって当該ソースドライバ内へのデータ取り込みが行われる。Mは交流化信号である。液晶の破損防止のため、この交流化信号Mによって液晶の交流駆動が制御される。この交流化信号Mは、データ出力水平クロック信号CL1の立ち上がりエッジのタイミングで取り込まれ、交流化信号Mの極性に応じて、正極性側(V0~V4)と負極性(V5~V9)側との出力電圧が選択的に発生される。特に制限されないが、交流化信号Mが論理値“0”の場合、奇数出力端子(Y1, Y3, ..., Y383)からは正極性の液晶印加電圧が出力され、偶数出力端子(Y2, Y4, ..., Y384)からは負極性の液晶印加電圧が出力される。また、交流化信号Mが論理値“1”の場合、奇数出力端子(Y1, Y3, ..., Y383)からは負極性の液晶印加電圧が出力され、偶数出力端子(Y2, Y4, ..., Y384)からは正極性の液晶印加電圧が出力される。SHLは表示データのシフト方向を指示する信号とされ、ラッチアドレスセクタ81を介して、第1ラッチ回路に書き込まれる表示データのシフト方向が制御される。

【0024】コントローラ14から伝達されるデータD57~D50, D47~D40, D37~D30, D27~D20, D17~D10, D07~D00は、データ反転回路86を介して第1ラッチ回路92へ伝達される。反転回路86は、コントローラ14から伝達されるデータ反転信号POLに応じて、上記データの論理を反転する。

【0025】第1ラッチ回路92は、データ反転回路86からのデータをラッチアドレスセクタ81の制御により保持する。水平方向の拡大やセンタリング表示は、ラッチアドレスセクタ81の制御により、データ反転回路86の出力データを第1ラッチ回路92へ書き込む際のアドレス制御により行われる。この第1ラッチ回路92の後段には、当該第1ラッチ回路92の出力データを保持可能な第2ラッチ回路93が設けられ、この第2

ラッチ回路93の後段には当該ラッチ回路93の出力データを保持可能な第3ラッチ回路94が設けられる。第1ラッチ回路92、第2ラッチ回路93、第3ラッチ回路94は、それぞれ384本のデータ線に対応する数のデータラッチを8プレーン備える。8プレーン備えるのは、各ソース線駆動端子から、例えば256階調の電圧を出力するために端子当たり8ビットのデジタルデータが必要となるからである。

【0026】また、ラッチ回路94の後段には、ラッチ回路出力データをデコードするためのデコーダ84が設けられる。上記デコーダ84の出力信号は、ソース線の駆動のため、後段のアンプ回路85でバッファリングされてから外部出力される。

【0027】上記デコーダ84でのデコードに必要とされる各種レベルの電圧は、階調電圧生成回路87において各種レベルの入力電圧V0～V9を抵抗分圧することで生成される。例えば図7に示されるように、各種レベルの入力電圧V0～V9を取り込んで、代表的に示されるラダー抵抗R1～R8の組み合わせによって、正極性256階調及び負極性256階調を示すための複数レベルの電圧を得る。上記アンプ回路85において、2種類の階調電圧の加算平均を行うことでその中間レベルが形成されるため、階調電圧作成回路87における電圧出力端子数は、160個とされ、上記デコーダ84において、そのうちの2個が選択され、対応する階調電圧が上記アンプ回路85へ伝達される。例えば256階調の出力電圧レベルは、5～10Vの範囲において、20mV刻みとされる。

【0028】アンプ回路85は、デコーダ84の出力端子数に対応する384個のアンプ85-1～85-384を含んで成る。アンプ85-1～85-384は互いに同一構成とされる。

【0029】図8～図10には、カラー液晶パネル12の駆動例が示される。尚、「+」、「-」は、ドットの論理が反転していることを示している。

【0030】図8にはドット反転駆動の様子が示される。

【0031】上記のようにソースドライバ11-1～11-nは、交流化信号Mの論理を切り換えることにより液晶の交流駆動が可能とされる。例えば交流化信号Mをデータ出力水平クロック信号CL1毎に切り換えることで、互いに隣接するドット毎に極性の異なる階調電圧を印加するドット反転駆動が可能とされる。

【0032】図9にはnライン反転駆動の様子が示される。

【0033】交流化信号Mの論理をデータ出力水平クロック信号CL1のn回毎に切り換えた場合、図9に示されるように水平方向1ドット毎、垂直方向nライン毎のnライン反転駆動となる。

【0034】図10にはフレーム反転駆動の様子が示さ

れる。

【0035】交流化信号Mの論理をフレーム毎に切り換えることにより、図10に示されるように水平方向1ドット毎、垂直方向1フレーム毎のフレーム反転駆動を行うことができる。

【0036】図11には、フレーム反転時のデータ入力と交流化信号M及び出力レベルとの関係が示される。

【0037】データ出力水平クロック信号CL1の立ち上がり時点での交流化信号Mの論理レベルに応じて正極性、負極性それぞれの階調電圧選択を行うことで、次のデータ出力水平クロック信号CL1からそれぞれの階調電圧が出力される。HVは正極側256階調の電圧を示し、LVは負極側256階調の電圧を示す。交流化信号Mが論理値“0”の場合、奇数出力端子からは正極性の液晶印加電圧HVが出力され、偶数出力端子からは負極性の液晶印加電圧LVが出力される。また、交流化信号Mが論理値“1”の場合、奇数出力端子からは負極性の液晶印加電圧が出力され、偶数出力端子からは正極性の液晶印加電圧が出力される。

【0038】次に、アンプ回路85について詳述する。アンプ回路85に含まれる384個のアンプ85-1～85-384は、互いに同一構成であるため、そのうちのひとつについて詳述する。

【0039】図1には、上記アンプ回路85における複数のアンプのうちの一つであるアンプ85-1の構成例が代表的に示される。

【0040】pチャンネル型MOSトランジスタQ11と、pチャンネル型MOSトランジスタQ12とが差動結合され、上記pチャンネル型MOSトランジスタQ12にpチャンネル型MOSトランジスタQ13が差動結合される。pチャンネル型MOSトランジスタQ11～Q13のソース電極は、pチャンネル型MOSトランジスタQ1を介して高電位側電源Vddに結合される。pチャンネル型MOSトランジスタQ12、Q13のゲート電極には、スイッチ回路41を介して入力端子IN1又はIN2からの入力信号が与えられる。スイッチ回路41は、オフセットキャンセル信号LCHPA1、LCHPA2に基づいて、入力端子IN1から入力された階調電圧をpチャンネル型MOSトランジスタQ12のゲート電極に伝達し、入力端子IN2から入力された階調電圧をpチャンネル型MOSトランジスタQ13のゲート電極に伝達する第1の状態と、入力端子IN1から入力された階調電圧をpチャンネル型MOSトランジスタQ13のゲート電極に伝達し、入力端子IN2から入力された階調電圧をpチャンネル型MOSトランジスタQ12のゲート電極に伝達する第2の状態とを所定の周期で切り換える。これにより、入力端子IN1、IN2を介してデコーダ84から入力される2系統の階調電圧がpチャンネル型MOSトランジスタQ12、Q13に交互に伝達される。

【0041】上記pチャンネル型MOSトランジスタQ11～Q13のゲート電極は、カレントミラー型負荷を形成するnチャンネル型MOSトランジスタQ3, Q4を介してグランドGNDに結合される。pチャンネル型MOSトランジスタQ12, Q13と、pチャンネル型MOSトランジスタQ4との直列接続ノードは、後段のnチャンネル型MOSトランジスタQ5のゲート電極に結合される。このpチャンネル型MOSトランジスタQ5は、pチャンネル型MOSトランジスタQ2に直列接続さえ、この直列接続ノードから、このアンプ85-1

10の出力端子OUTが引き出される。上記pチャンネル型MOSトランジスタQ5のドレイン電極とゲート電極との間に位相補償用のキャパシタC1が設けられる。

【0042】また、上記pチャンネル型MOSトランジスタQ1, Q2のゲート電極には所定のバイアス電圧VBが供給され、それによって、上記pチャンネル型MOSトランジスタQ1, Q2は定電流源として機能する。

【0043】図2には、上記スイッチ回路41の構成例が示される。

【0044】図2に示されるようにスイッチ回路41 20は、pチャンネル型MOSトランジスタQ21, Q22, Q23, Q24を含んで成る。pチャンネル型MOSトランジスタQ21は、入力端子IN2とpチャンネル型MOSトランジスタQ13との間の信号経路を断続可能に配置され、オフセットキャンセル信号LCHPA1によって動作制御される。pチャンネル型MOSトランジスタQ22は、入力端子IN1とpチャンネル型MOSトランジスタQ13との間の信号経路を断続可能に配置され、オフセットキャンセル信号LCH 30PA1, LCHPA2は相補レベルの信号とされ、そのために、上記pチャンネル型MOSトランジスタQ21, Q22は何れか一方が選択的に導通される。pチャンネル型MOSトランジスタQ23は、入力端子IN2とpチャンネル型MOSトランジスタQ12との間の信号経路を断続可能に配置され、オフセットキャンセル信号LCHPA2によって動作制御される。pチャンネル型MOSトランジスタQ24は、入力端子IN1とpチャンネル型MOSトランジスタQ12との間の信号経路を断続可能に配置され、オフセットキャンセル信号LC 40HPA1によって動作制御される。オフセットキャンセル信号LCHPA1, LCHPA2は相補レベルの信号とされ、そのために、上記pチャンネル型MOSトランジスタQ23, Q24は何れか一方が選択的に導通される。

【0045】図12には、上記スイッチ回路41の動作制御のためのオフセットキャンセル信号LCHPA1, LCHPA2を生成するオフセットキャンセル信号生成回路が示される。

【0046】図12に示されるオフセットキャンセル信 50

号生成回路121は、特に制限されないが、上記交流化信号Mをデータ出力水平クロック信号CL1に同期させるためのフリップフロップ回路FF1と、このフリップフロップ回路FF1の出力信号を1/2分周するフリップフロップ回路FF2とを含んで成り、それは、図6に示されるクロック制御回路80内に配置される。フリップフロップ回路FF1, FF2は、データ端子D、クロックパルス端子CP、非反転出力端子Q、反転出力端子QNを含む。フリップフロップ回路FF1の非反転出力端子Dからの出力信号が後段のフリップフロップ回路FF2のクロックパルス端子CPに伝達される。フリップフロップ回路FF2では、反転出力端子QNからデータ端子Dへ帰還される。フリップフロップ回路FF2の非反転出力端子Qからオフセットキャンセル信号LCHPA1, LCHPA2が得られ、それが上記スイッチ回路41に伝達される。

【0047】図13には、上記オフセットキャンセル信号生成回路121における主要部の動作タイミングが示される。図13に示されるように、オフセットキャンセル信号LCHPA1, LCHPA2は相補レベルとされる。交流化信号Mは、液晶パネルの焼け付きを防止するために、フレーム単位など一定の周期で反転されるから、これを利用することにより、例えば4フレーム毎にオフセット動作を行うための上記オフセットキャンセル信号LCHPA1, LCHPA2を容易に生成することができる。

【0048】図3には、上記スイッチ回路41によるオフセットキャンセル動作例が示される。

【0049】1フレーム目において、入力端子IN1とpチャンネル型MOSトランジスタQ12のゲート電極とが結合され、入力端子IN2とpチャンネル型MOSトランジスタQ13のゲート電極とが結合される。

【0050】2フレーム目においては、上記交流化信号Mに基づいて上記1フレーム目のドット反転が行われる。このとき、上記オフセットキャンセル制御信号LCHPA1, LCHPA2の論理変化が無いため、スイッチ回路41による接続状態は上記1フレーム目と同じである。

【0051】3フレーム目においては、上記交流化信号Mの論理が既に反転されており、上記オフセットキャンセル制御信号LCHPA1, LCHPA2の論理変化が変化されるため、スイッチ回路41の状態変化により、入力端子IN1とpチャンネル型MOSトランジスタQ13のゲート電極とが結合され、入力端子IN2とpチャンネル型MOSトランジスタQ12のゲート電極とが結合される。

【0052】4フレーム目においては、上記交流化信号Mに基づいて上記3フレーム目のドット反転が行われる。このとき、上記オフセットキャンセル制御信号LCHPA1, LCHPA2の論理変化が無いため、スイッ

チ回路41による接続状態は上記3フレーム目と同じである。

【0053】上記1フレーム目から4フレーム目で1サイクルが終了し、この1サイクルにおいて、上記スイッチ回路41による接続状態の切り換えが1回だけ行われる。このようにして上記スイッチ回路41による接続状態の切り換えが行われることにより、上記入力端子IN1、IN2を介して取り込まれる2種類の階調電圧が、pチャンネル型MOSトランジスタQ12、Q13に交互に取り込まれることになるので、上記スイッチ回路41による接続状態の切り換え毎に、上記入力端子IN1、IN2から見たMOSトランジスタのしきい値の高低関係が逆となり、しきい値のばらつきに起因するオフセットがキャンセルされる。

【0054】図14には、本発明にかかる液晶ディスプレイ装置が適用されるコンピュータシステムが示される。

【0055】このコンピュータシステムは、システムバスBUSを介して、マイクロコンピュータ31、DRAM(ダイナミック・ランダム・アクセス・メモリ)32、SRAM33(スタティック・ランダム・アクセス・メモリ)、ROM(リード・オンリ・メモリ)34、周辺装置制御部35、液晶表示装置などが、互いに信号のやり取り可能に結合され、予め定められたプログラムに従って所定のデータ処理を行う。上記マイクロコンピュータ31は、本システムの論理的中核とされ、主として、アドレス指定、情報の読み出しと書き込み、データの演算、命令のシーケンス、割り込の受付、記憶装置と入出力装置との情報交換の起動等の機能を有し、演算制御部や、バス制御部、メモリアクセス制御部などから構成される。上記DRAM32や、SRAM33、及びROM34は内部記憶装置として位置付けられている。DRAM32は、メインメモリとされ、マイクロコンピュータ31での計算や制御における作業領域として利用される。SRAM33は、二次キャッシュメモリとされ、メインメモリであるDRAM32の記憶内容の一部が記憶されることにより、マイクロコンピュータ31が必要とする情報を速やかに取り込むことができるようになっている。また、ROM34には読み出し専用のプログラムが格納される。周辺装置制御部35によって、ハードディスクなどの外部記憶装置38の動作制御や、キーボード39などからの情報入力制御が行われる。また、上記液晶ディスプレイ装置36によって画像表示が行われる。

【0056】上記した例によれば、以下の作用効果を得ることができる。

【0057】(1)液晶パネルにおける1フレーム目から4フレーム目で1サイクルが終了し、この1サイクルにおいて、スイッチ回路41による接続状態の切り換えが1回だけ行われる。このようにして上記スイッチ回路

41による接続状態の切り換えが行われることにより、上記入力端子IN1、IN2を介して取り込まれる2種類の階調電圧が、pチャンネル型MOSトランジスタQ12、Q13に交互に取り込まれることになるので、スイッチ回路41による接続状態の切り換え毎に、入力端子IN1、IN2から見たMOSトランジスタのしきい値の高低関係が逆となり、しきい値のばらつきに起因するオフセットがキャンセルされる。

【0058】(2)上記(1)の作用効果を有するソースドライバを含むカラー液晶パネル12や液晶ディスプレイ装置36においては、アンプにおけるMOSトランジスタのしきい値ばらつきに起因するオフセットがキャンセルされるため画質が向上する。

【0059】図15には、上記アンプ85-1の別の構成例が示される。

【0060】図15に示されるアンプ85-1が、図1に示されるのと大きく相違するのは、pチャンネル型MOSトランジスタQ11に並列接続されたpチャンネル型MOSトランジスタQ14が設けられた点、及びスイッチ回路41に代えてスイッチ回路42が設けられた点である。このスイッチ回路42は、上記第1階調電圧がpチャンネル型MOSトランジスタQ12に伝達され、上記第2階調電圧が上記pチャンネル型MOSトランジスタQ13に伝達され、上記アンプ85-1の出力電圧がpチャンネル型MOSトランジスタQ11及び上記pチャンネル型MOSトランジスタQ14に伝達される第1の状態と、上記第1階調電圧が上記pチャンネル型MOSトランジスタQ13に伝達され、上記第2階調電圧が上記pチャンネル型MOSトランジスタQ12に伝達され、上記アンプ85-1の出力電圧がpチャンネル型MOSトランジスタQ11及び上記pチャンネル型MOSトランジスタQ14に伝達される第2の状態と、上記第1階調電圧が上記pチャンネル型MOSトランジスタQ11に伝達され、上記2階調電圧が上記pチャンネル型MOSトランジスタQ14に伝達され、上記アンプ85-1の出力電圧が上記pチャンネル型MOSトランジスタQ12及びQ13に伝達される第3の状態と、上記第1階調電圧が上記pチャンネル型MOSトランジスタQ14に伝達され、上記第2階調電圧が上記pチャンネル型MOSトランジスタQ11に伝達され、上記アンプの出力電圧が上記pチャンネル型MOSトランジスタQ12及び上記pチャンネル型MOSトランジスタQ13に伝達される第4の状態とを所定の周期で切り換えるために設けられる。

【0061】図16には上記スイッチ回路42の構成例が示される。

【0062】図16に示されるように、上記スイッチ回路42は、pチャンネル型MOSトランジスタQ31～Q42を含んで成る。

【0063】pチャンネル型MOSトランジスタQ31

は、入力端子IN1とpチャンネル型MOSトランジスタQ11との間の信号経路を断続可能に配置され、オフセットキャンセル信号LCHPB1によって動作制御される。pチャンネル型MOSトランジスタQ32は、入力端子IN2とpチャンネル型MOSトランジスタQ11との間の信号経路を断続可能に配置され、オフセットキャンセル信号LCHPB2によって動作制御される。pチャンネル型MOSトランジスタQ33は、アンプ85-1の出力端子OUTとpチャンネル型MOSトランジスタQ11との間の信号経路を断続可能に配置され、オフセットキャンセル信号CHOPAによって動作制御される。pチャンネル型MOSトランジスタQ34は、入力端子IN1とpチャンネル型MOSトランジスタQ14との間の信号経路を断続可能に配置され、オフセットキャンセル信号LCHPB2によって動作制御される。pチャンネル型MOSトランジスタQ35は、入力端子IN2とpチャンネル型MOSトランジスタQ14との間の信号経路を断続可能に配置され、オフセットキャンセル信号LCHPB1によって動作制御される。pチャンネル型MOSトランジスタQ36は、アンプ85-1の出力端子OUTとpチャンネル型MOSトランジスタQ14との間の信号経路を断続可能に配置され、オフセットキャンセル信号CHOPAによって動作制御される。pチャンネル型MOSトランジスタQ42は、入力端子IN1とpチャンネル型MOSトランジスタQ12との間の信号経路を断続可能に配置され、オフセットキャンセル信号LCHPA1によって動作制御される。pチャンネル型MOSトランジスタQ41は、入力端子IN2とpチャンネル型MOSトランジスタQ12との間の信号経路を断続可能に配置され、オフセットキャンセル信号LCHPA2によって動作制御される。

【0064】pチャンネル型MOSトランジスタQ40は、アンプ85-1の出力端子OUTとpチャンネル型MOSトランジスタQ12との間の信号経路を断続可能に配置され、オフセットキャンセル信号CHOPBによって動作制御される。pチャンネル型MOSトランジスタQ39は、入力端子IN1とpチャンネル型MOSトランジスタQ13との間の信号経路を断続可能に配置され、オフセットキャンセル信号LCHPA2によって動作制御される。pチャンネル型MOSトランジスタQ38は、入力端子IN2とpチャンネル型MOSトランジスタQ13との間の信号経路を断続可能に配置され、オフセットキャンセル信号LCHPA1によって動作制御される。pチャンネル型MOSトランジスタQ37は、アンプ85-1の出力端子OUTとpチャンネル型MOSトランジスタQ13との間の信号経路を断続可能に配置され、オフセットキャンセル信号CHOPBによって動作制御される。

【0065】図17には、上記スイッチ回路42の動作制御のためのオフセットキャンセル信号LCHPA1、

LCHPA2, CHOPB, LCHPB1, LCHPB2, CHOPAを生成するオフセットキャンセル信号生成回路122が示される。

【0066】図17に示されるオフセットキャンセル信号生成回路122は、特に制限されないが、上記交流化信号Mをデータ出力水平クロック信号CL1に同期させるためのフリップフロップ回路FF3と、このフリップフロップ回路FF3の出力信号を1/2分周するフリップフロップ回路FF4と、このフリップフロップ回路FF5の出力信号をさらに1/2分周するためフリップフロップ回路FF5と、インバータG1~G5, G10~G14、及びナンドゲートG6~G9を含んで成る。フリップフロップ回路FF4の非反転出力端子Qからの出力信号がインバータG1で反転されることで、オフセットキャンセル信号CHOPBが得られる。そして、この信号をさらにインバータG10で反転されることで、オフセットキャンセル信号CHOPAが得られる。フリップフロップ回路FF4の非反転出力端子Qからの出力信号がインバータG2で反転され、フリップフロップ回路FF4の反転出力端子QNからの出力信号がインバータG3で反転される。フリップフロップ回路FF5の非反転出力端子Qからの出力信号がインバータG4で反転され、フリップフロップ回路FF5の反転出力端子QNからの出力信号がインバータG5で反転される。上記インバータG2, G4の出力信号のナンド論理がナンドゲートG6で得られ、その出力信号が後段のインバータG11で反転されることによってオフセットキャンセル信号LCHPB1が得られる。上記インバータG3, G5の出力信号のナンド論理がナンドゲートG7で得られ、その出力信号が後段のインバータG12で反転されることによってオフセットキャンセル信号LCHPA1が得られる。上記インバータG3, G4の出力信号のナンド論理がナンドゲートG8で得られ、その出力信号が後段のインバータG13で反転されることによってオフセットキャンセル信号LCHPA2が得られる。上記インバータG2, G5の出力信号のナンド論理がナンドゲートG9で得られ、その出力信号が後段のインバータG14で反転されることによってオフセットキャンセル信号LCHPB2が得られる。

【0067】図18には上記オフセットキャンセル信号生成回路122における主要部の動作波形が示される。図18に示されるように、上記交流化信号Mとデータ出力水平クロック信号CL1とに基づいて、オフセットキャンセル信号LCHPA1, LCHPA2, CHOPB, LCHPB1, LCHPB2, CHOPAが容易に生成される。上記のように交流化信号Mは、フレーム単位など一定の周期で反転するため、それを利用することにより、例えば8フレーム毎にオフセットキャンセル動作を行うようなタイミングで上記オフセットキャンセル信号を容易に生成することができる。

【0068】図19には、上記スイッチ回路41によるオフセットキャンセル動作例が示される。

【0069】1フレーム目において、入力端子IN1とpチャンネル型MOSトランジスタQ12のゲート電極とが結合され、入力端子IN2とpチャンネル型MOSトランジスタQ13のゲート電極とが結合され、アンプ85-1の出力端子pチャンネル型MOSトランジスタQ11、Q14のゲート電極が結合される。

【0070】2フレーム目においては、上記交流化信号Mに基づいて上記1フレーム目のドット反転が行われ、このとき、上記オフセットキャンセル信号LCHPA1、LCHPA2、CHOPB、LCHPB1、LCHPB2、CHOPAの論理変化が無いため、スイッチ回路42による接続状態は上記1フレーム目と同じである。

【0071】3フレーム目においては、上記交流化信号Mの論理が既に反転されており、オフセットキャンセル信号LCHPA2がローレベルにされることで、入力端子IN1がpチャンネル型MOSトランジスタQ13のゲート電極へ接続され、入力端子IN2がpチャンネル型MOSトランジスタQ12のゲート電極に結合される。

【0072】4フレーム目においては、上記交流化信号Mに基づいて上記3フレーム目のドット反転が行われる。このとき、上記オフセットキャンセル信号LCHPA1、LCHPA2、CHOPB、LCHPB1、LCHPB2、CHOPAの論理変化が無いため、スイッチ回路42による接続状態は上記3フレーム目と同じである。

【0073】5フレーム目においては、オフセットキャンセル信号LCHPB1がローレベルに変化されることで、信号入力端子IN1がpチャンネル型MOSトランジスタQ11のゲート電極に結合され、入力端子IN2がpチャンネル型MOSトランジスタQ14のゲート電極に結合される。また、このとき、オフセットキャンセル信号CHOPBがローレベルにされることで、アンプ85-1の出力端子OUTがpチャンネル型MOSトランジスタQ12、Q13のゲート電極に結合される。

【0074】6フレーム目においては上記交流化信号Mに基づいて上記5フレーム目のドット反転が行われる。このとき、上記オフセットキャンセル信号LCHPA1、LCHPA2、CHOPB、LCHPB1、LCHPB2、CHOPAの論理変化が無いため、スイッチ回路42による接続状態は上記5フレーム目と同じである。

【0075】7フレーム目においては、オフセットキャンセル信号LCHPB2がローレベルに変化されることで、入力端子IN1がpチャンネル型MOSトランジスタQ14のゲート電極に結合され、入力信号IN2がpチャンネル型MOSトランジスタQ12のゲート電極に

結合される。

【0076】8フレーム目においては、上記交流化信号Mに基づいて上記7フレーム目のドット反転が行われる。このとき、上記オフセットキャンセル信号LCHPA1、LCHPA2、CHOPB、LCHPB1、LCHPB2、CHOPAの論理変化が無いため、スイッチ回路42による接続状態は上記7フレーム目と同じである。

【0077】このように図16に示される構成においては、上記第1階調電圧がpチャンネル型MOSトランジスタQ12に伝達され、上記第2階調電圧が上記pチャンネル型MOSトランジスタQ13に伝達され、上記アンプ85-1の出力電圧がpチャンネル型MOSトランジスタQ11及び上記pチャンネル型MOSトランジスタQ14に伝達される第1の状態と、上記第1階調電圧が上記pチャンネル型MOSトランジスタQ13に伝達され、上記第2階調電圧が上記pチャンネル型MOSトランジスタQ12に伝達され、上記アンプ85-1の出力電圧がpチャンネル型MOSトランジスタQ11及び上記pチャンネル型MOSトランジスタQ14に伝達される第2の状態と、上記第1階調電圧が上記pチャンネル型MOSトランジスタQ11に伝達され、上記2階調電圧が上記pチャンネル型MOSトランジスタQ14に伝達され、上記アンプ85-1の出力電圧が上記pチャンネル型MOSトランジスタQ12及びQ13に伝達される第3の状態と、上記第1階調電圧が上記pチャンネル型MOSトランジスタQ14に伝達され、上記第2階調電圧が上記pチャンネル型MOSトランジスタQ11に伝達され、上記アンプの出力電圧が上記pチャンネル型MOSトランジスタQ12及び上記pチャンネル型MOSトランジスタQ13に伝達される第4の状態とが所定の周期で切り換えられるので、pチャンネル型MOSトランジスタQ11～Q14のしきい値のばらつきに起因するオフセットキャンセルすることができる。

【0078】以上本発明者によってなされた発明を具体的に説明したが、本発明はそれに限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0079】以上の説明では主として本発明者によってなされた発明をその背景となった利用分野であるTF型カラー液晶パネルに適用した場合について説明したが、本発明はそれに限定されるものではなく、各種表示パネルに広く適用することができる。

【0080】本発明は、少なくとも上記第1階調電圧とそれに対応する第2階調電圧とに基づいて液晶印加電圧を出力するためのアンプ回路を備えることを条件に適用することができる。

【0081】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記

の通りである。

【0082】すなわち、スイッチ回路により、第1の状態と第2の状態とが所定の周期で切り換えられることにより、第2トランジスタと、それに並列接続された第3トランジスタとの間でしきい値の差に起因するオフセットをキャンセルすることができ、それによって、階調電圧の加算平均を行う場合の画質劣化の防止を図ることができる。

【0083】また、スイッチ回路により、第1の状態、第2の状態、第3の状態、及び第4の状態が所定の周期で切り換えられることにより、第1トランジスタ、第2トランジスタ、第3トランジスタ、及び第4トランジスタとの間でしきい値の差が平均化され、それにより、階調電圧の加算平均を行う場合の画質劣化の防止を図ることができる。

【図面の簡単な説明】

【図1】本発明にかかる液晶ドライバにおけるアンプの構成例回路図である。

【図2】上記アンプに含まれるスイッチ回路の構成例回路図である。

【図3】上記スイッチ回路によるオフセットキャンセル動作例の説明図である。

【図4】上記液晶ドライバを含む液晶ディスプレイ装置の構成例ブロック図である。

【図5】上記液晶ディスプレイ装置に含まれるカラー液晶パネルの構成例回路図である。

【図6】上記液晶ドライバであるソースドライバの構成例ブロック図である。

【図7】上記ソースドライバに含まれる階調電圧生成回路の出力電圧の説明図である。

【図8】上記カラー液晶パネルの駆動例説明図である。

【図9】上記カラー液晶パネルの駆動例説明図である。

【図10】上記カラー液晶パネルの駆動例説明図である。

【図11】上記カラー液晶パネルのフレーム反転時のデータ入力と交流化信号及び出力レベルとの関係説明図で*

*ある。

【図12】上記ソースドライバに含まれるオフセットキャンセル信号生成回路の構成例ブロック図である。

【図13】上記オフセットキャンセル信号生成回路における主要部の動作タイミング図である。

【図14】上記液晶ディスプレイ装置の適用例であるコンピュータシステムの構成例ブロック図である。

【図15】上記アンプの別の構成例回路図である。

【図16】上記スイッチ回路の別の構成例回路図である。

【図17】上記オフセットキャンセル信号生成回路の別の構成例回路図である。

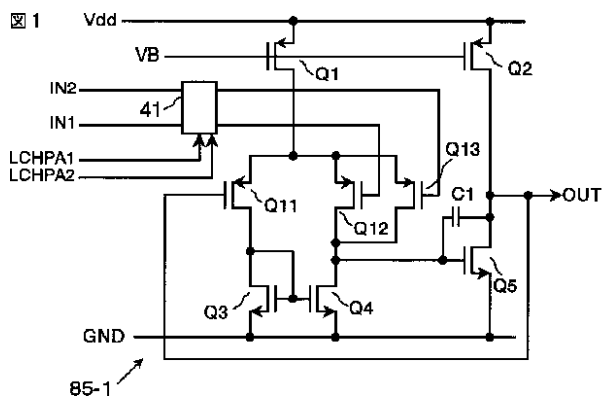
【図18】図17に示されるオフセットキャンセル信号生成回路における主要部の動作タイミング図である。

【図19】上記スイッチ回路によるオフセットキャンセル動作例説明図である。

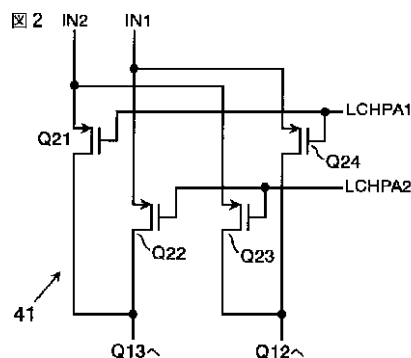
【符号の説明】

- 12 液晶パネル
- 11-1 ~ 11-n ソースドライバ
- 10-1 ~ 10-3 ゲートドライバ
- 36 液晶ディスプレイ装置
- 41, 42 スイッチ回路
- 80 クロック制御回路
- 81 ラッチアドレスセクタ
- 84 デコーダ
- 85 アンプ回路
- 85-1 ~ 85-384 アンプ
- 86 データ反転回路
- 87 階調電圧作成回路
- 92 第1ラッチ回路
- 93 第2ラッチ回路
- 94 第3ラッチ回路
- 121, 122 オフセットキャンセル信号生成回路
- Q11, Q12, Q13, Q14 pチャンネル型MOSトランジスタ

【図1】



【図2】



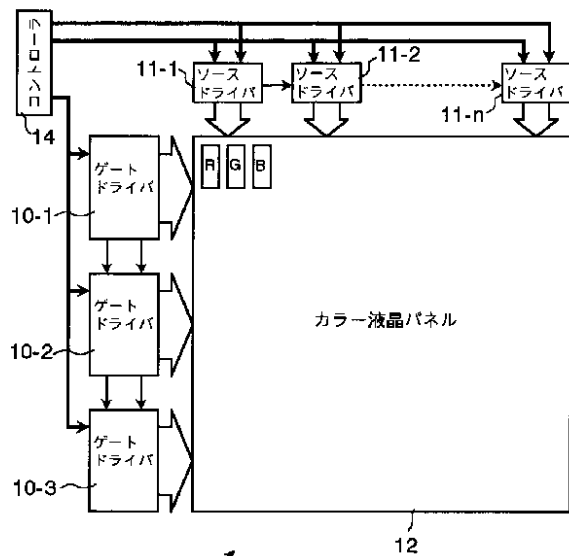
【図3】

図3

フレーム	入出力	接続MOS	フレーム	入出力	接続MOS
1フレーム目	IN1	Q12	3フレーム目	IN1	Q13
	IN2	Q13		IN2	Q12
	OUT	Q11		OUT	Q11
2フレーム目	(1フレーム目のドット反転)		4フレーム目	(3フレーム目のドット反転)	

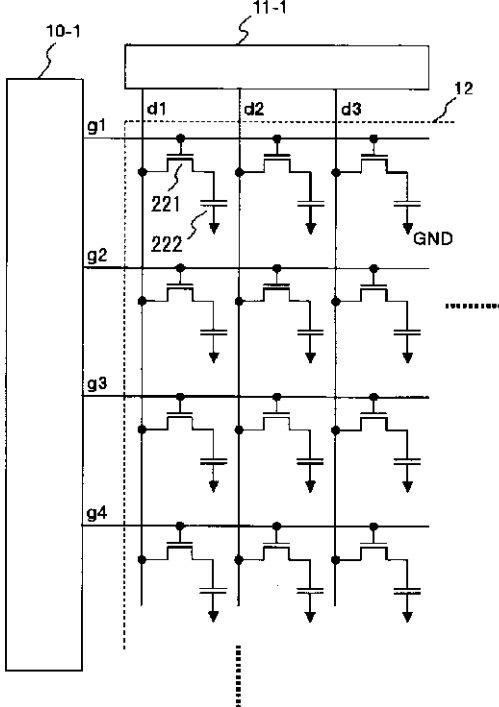
【図4】

図4



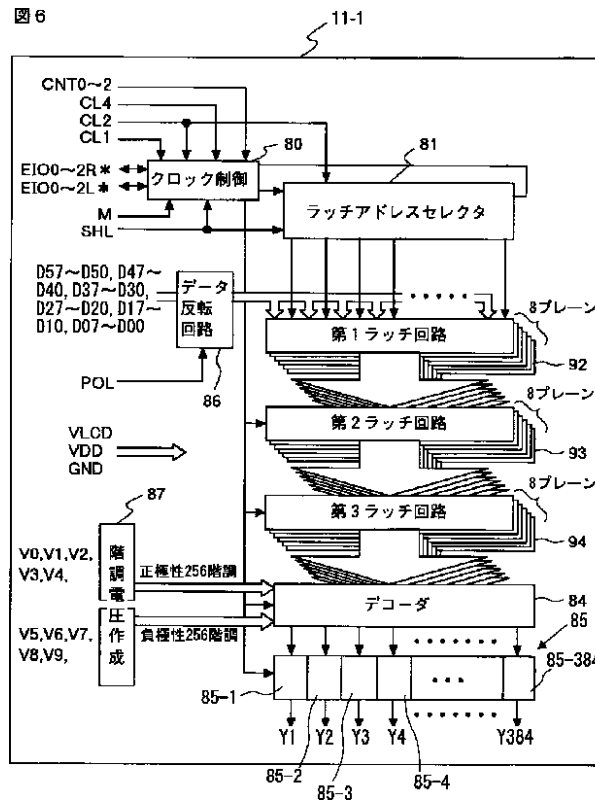
【図5】

図5



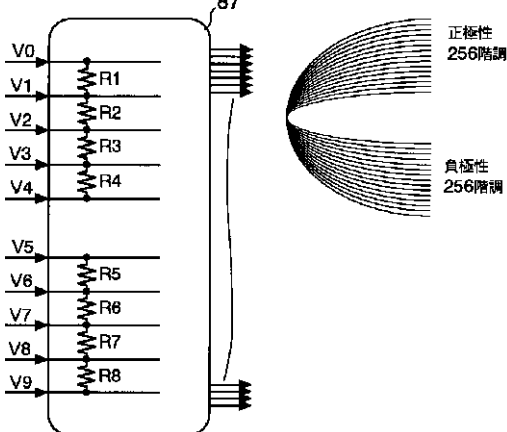
【図6】

図6

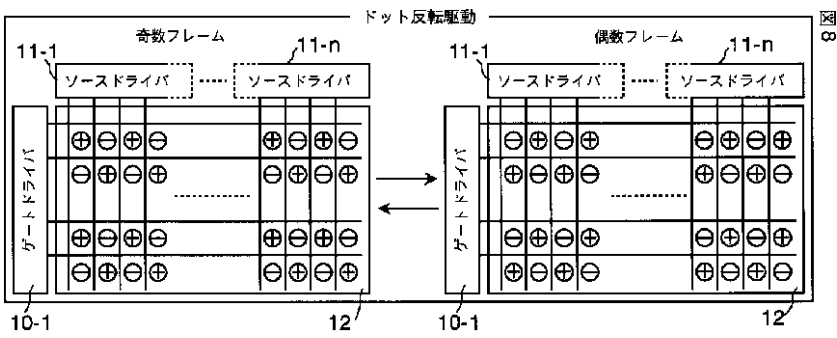


【図7】

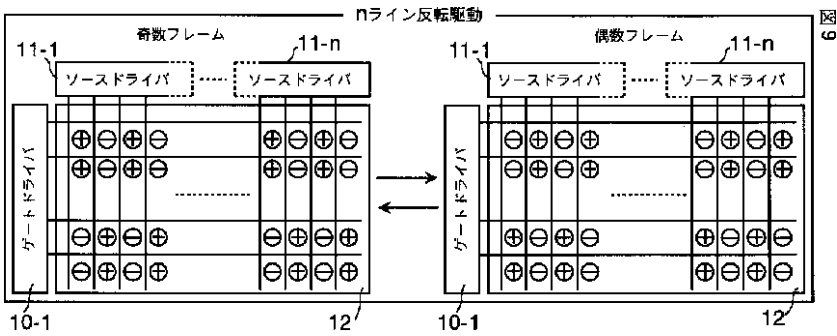
図7



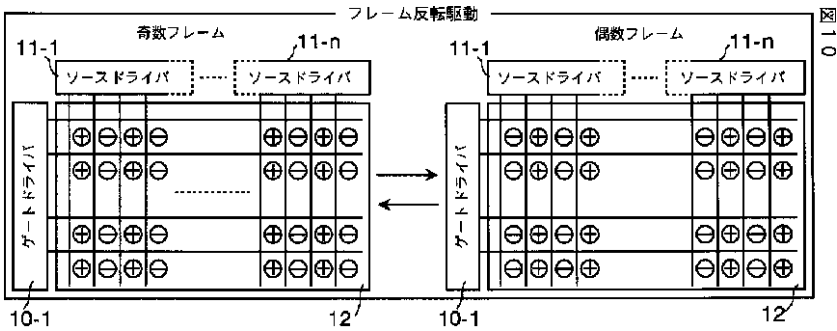
【図8】



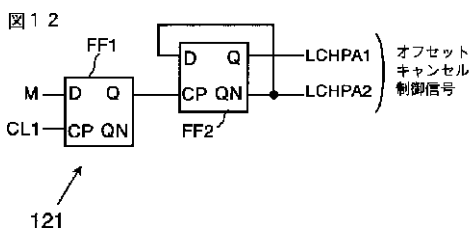
【図9】



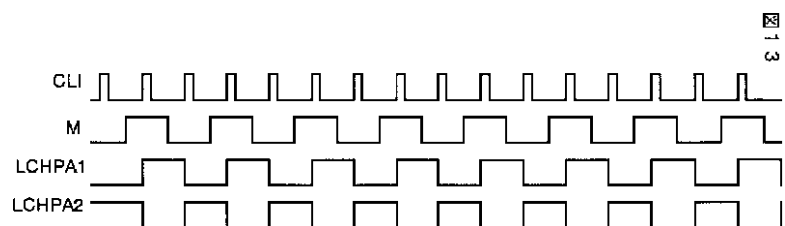
【図10】



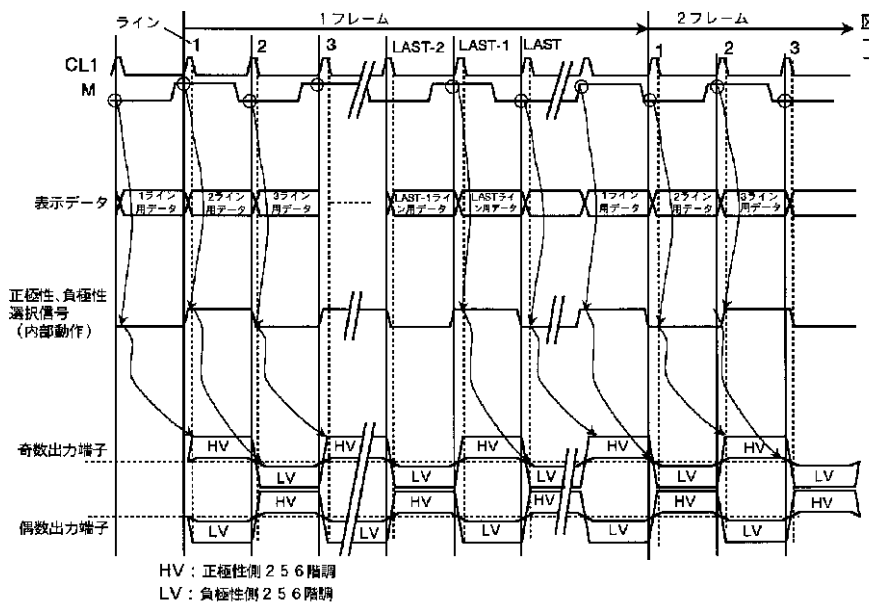
【図12】



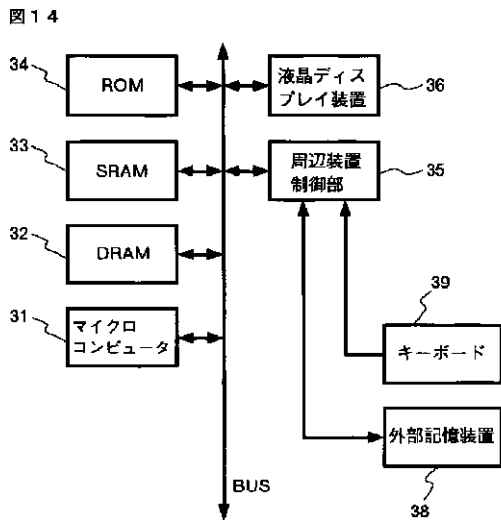
【図13】



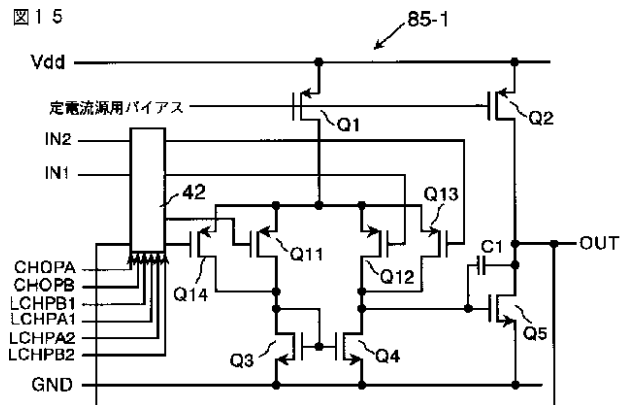
【図11】



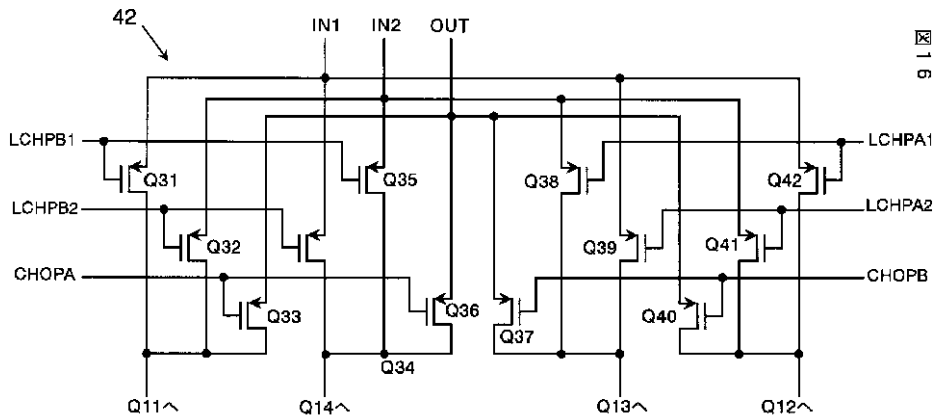
【図14】



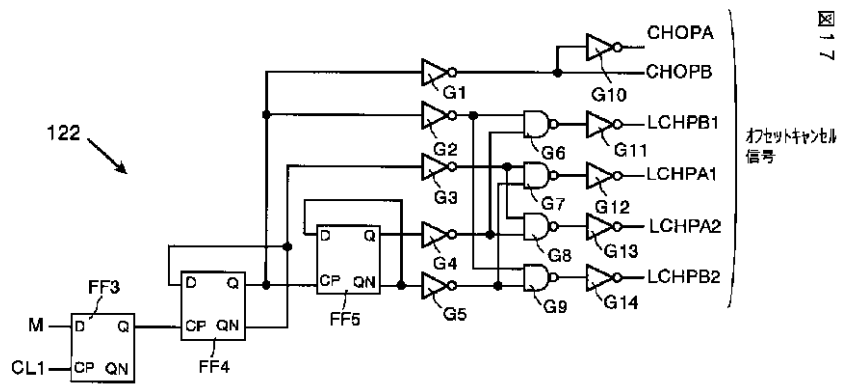
【図15】



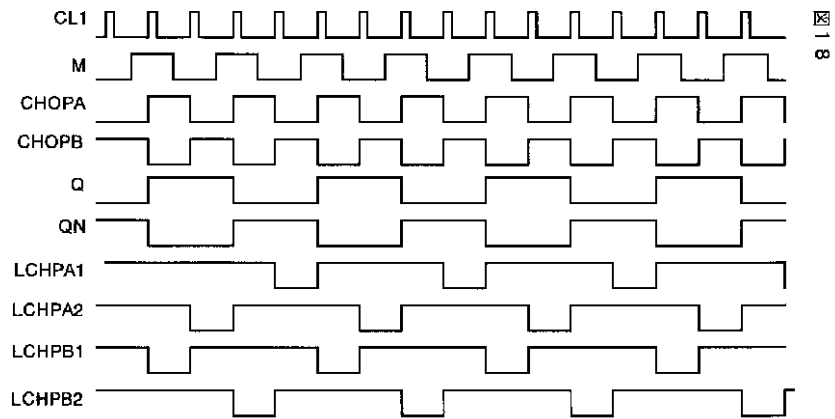
【図16】



【図17】



【図18】



【図19】

図19

フレーム	入出力	接続	フレーム	入出力	接続
1フレーム目	IN1	Q12	5フレーム目	IN1	Q11
		Q13			IN2
	OUT	Q11		OUT	
		Q14			Q13
2フレーム目	(1フレーム目のドット反転)		6フレーム目	(5フレーム目のドット反転)	
3フレーム目	IN1	Q13	7フレーム目	IN1	Q14
		Q12			IN2
	OUT	Q11		OUT	
		Q14			Q13
4フレーム目	(3フレーム目のドット反転)		8フレーム目	(7フレーム目のドット反転)	

フロントページの続き

(72)発明者 岡村 和浩
東京都小平市上水本町五丁目20番1号 株式会社日立製作所半導体グループ内

(72)発明者 小寺 浩一
東京都小平市上水本町5丁目22番1号 株式会社日立超エル・エス・アイ・システムズ内

(72)発明者 山口 聡
千葉県茂原市早野3681番地 日立デバイスエンジニアリング株式会社内

(72)発明者 川田 賢治
千葉県茂原市早野3681番地 日立デバイスエンジニアリング株式会社内

(72)発明者 鈴木 進也
千葉県茂原市早野3681番地 日立デバイスエンジニアリング株式会社内

Fターム(参考) 2H093 NA16 NA31 NA53 NC34 ND06
5C006 AA14 AA16 AA17 AA22 AC26
BB16 BC12 BF24 BF25 BF26
BF43 FA22 FA38
5C080 AA10 BB05 CC03 DD05 EE29
EE30 JJ01 JJ02 JJ03 JJ04
JJ05

