

(19) 日本国特許庁(JP)

再公表特許(A1)

(11) 国際公開番号
WO2008/035476

発行日 平成22年1月28日 (2010.1.28)

(43) 国際公開日 平成20年3月27日 (2008.3.27)

(51) Int. Cl.			F I			テーマコード (参考)		
G O 9 G	3/36	(2006.01)	G O 9 G	3/36		2 H 1 9 3		
G O 9 G	3/20	(2006.01)	G O 9 G	3/20	6 2 3 A	5 C 0 0 6		
G O 2 F	1/133	(2006.01)	G O 9 G	3/20	6 4 2 A	5 C 0 8 0		
			G O 2 F	1/133	5 5 0			
			G O 2 F	1/133	5 2 5			
審査請求 有 予備審査請求 未請求						(全 20 頁)		最終頁に続く

出願番号	特願2008-535269 (P2008-535269)	(71) 出願人	000005049
(21) 国際出願番号	PCT/JP2007/058044		シャープ株式会社
(22) 国際出願日	平成19年4月12日 (2007. 4. 12)		大阪府大阪市阿倍野区長池町 2 2 番 2 2 号
(31) 優先権主張番号	特願2006-252099 (P2006-252099)	(74) 代理人	100104695
(32) 優先日	平成18年9月19日 (2006. 9. 19)		弁理士 島田 明宏
(33) 優先権主張国	日本国 (JP)	(72) 発明者	北山 雅江
			大阪府大阪市阿倍野区長池町 2 2 番 2 2 号
			シャープ株式会社内
		(72) 発明者	下敷領 文一
			大阪府大阪市阿倍野区長池町 2 2 番 2 2 号
			シャープ株式会社内
		(72) 発明者	入江 健太郎
			大阪府大阪市阿倍野区長池町 2 2 番 2 2 号
			シャープ株式会社内

最終頁に続く

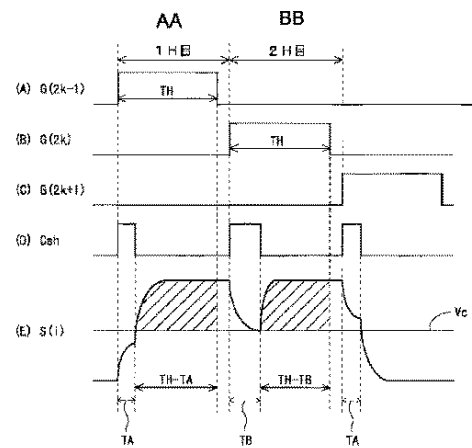
(54) 【発明の名称】 表示装置ならびにその駆動回路および駆動方法

(57) 【要約】

本発明は、表示装置に関する。

本発明は、装置の発熱や消費電力の増加を抑制しつつライン毎の充電率の差に起因する表示ムラを解消することのできる表示装置ならびにその駆動回路および駆動方法を提供することを目的とする。

2 ラインドット反転駆動方式かつチャージシェアリング方式を採用する液晶表示装置において、各データ信号の極性が1 水平走査期間前と同じ極性になる水平走査期間（2 H 目）におけるチャージシェア期間である第2のチャージシェア期間（T B）は、各データ信号の極性が1 水平走査期間前と異なる極性になる水平走査期間（1 H 目）におけるチャージシェア期間である第1のチャージシェア期間（T A）よりも長い期間に設定される。これにより、2 H 目の充電期間を1 H 目の充電期間よりも短くする。



AA FIRST HORIZONTAL PERIOD
BB SECOND HORIZONTAL PERIOD

【特許請求の範囲】**【請求項 1】**

アクティブマトリクス型の表示装置であって、
表示すべき画像を表す複数の映像信号をそれぞれ伝達するための複数の映像信号線と、
前記複数の映像信号線と交差する複数の走査信号線と、
前記複数の映像信号線と前記複数の走査信号線との交差部にそれぞれ対応してマトリクス状に配置された複数の画素形成部と、

互いに隣接する映像信号線にそれぞれ印加される映像信号の極性が互いに異なるように、かつ、各フレーム期間内で各映像信号の極性が複数の水平走査期間毎に反転するように、前記複数の映像信号線に前記複数の映像信号を供給する映像信号線駆動回路と、

10

各フレーム期間内で前記複数の走査信号線を所定の水平走査期間毎に順次に選択する走査信号線駆動回路と、

前記映像信号線駆動回路の内部または外部に設けられ、各水平走査期間の開始時点から予め設定されたチャージシェア期間だけ前記互いに隣接する映像信号線を短絡させる隣接映像信号線短絡部とを備え、

各映像信号の極性が1水平走査期間前と同じ極性になる水平走査期間における前記チャージシェア期間である第2のチャージシェア期間は、各映像信号の極性が1水平走査期間前と異なる極性になる水平走査期間における前記チャージシェア期間である第1のチャージシェア期間よりも長い期間に設定されていることを特徴とする、表示装置。

20

【請求項 2】

前記第2のチャージシェア期間は、前記第1のチャージシェア期間の2倍以下の長さの期間に設定されていることを特徴とする、請求項1に記載の表示装置。

【請求項 3】

前記映像信号線駆動回路は、各フレーム期間内で各映像信号の極性が2水平走査期間毎に反転するように前記複数の映像信号線に前記複数の映像信号を供給することを特徴とする、請求項1に記載の表示装置。

【請求項 4】

各映像信号の極性が1水平走査期間前と同じ極性になる水平走査期間における各画素形成部の充電率と各映像信号の極性が1水平走査期間前と異なる極性になる水平走査期間における当該各画素形成部の充電率とが等しくなるように、前記第1のチャージシェア期間と前記第2のチャージシェア期間とが設定されていることを特徴とする、請求項1に記載の表示装置。

30

【請求項 5】

表示すべき画像を表す複数の映像信号をそれぞれ伝達するための複数の映像信号線と、前記複数の映像信号線と交差する複数の走査信号線と、前記複数の映像信号線と前記複数の走査信号線との交差部にそれぞれ対応してマトリクス状に配置された複数の画素形成部とを備えたアクティブマトリクス型の表示装置の駆動回路であって、

互いに隣接する映像信号線にそれぞれ印加される映像信号の極性が互いに異なるように、かつ、各フレーム期間内で各映像信号の極性が複数の水平走査期間毎に反転するように、前記複数の映像信号線に前記複数の映像信号を供給する映像信号線駆動回路と、

40

各フレーム期間内で前記複数の走査信号線を所定の水平走査期間毎に順次に選択する走査信号線駆動回路と、

各水平走査期間の開始時点から予め設定されたチャージシェア期間だけ前記互いに隣接する映像信号線を短絡させる隣接映像信号線短絡部とを備え、

各映像信号の極性が1水平走査期間前と同じ極性になる水平走査期間における前記チャージシェア期間である第2のチャージシェア期間は、各映像信号の極性が1水平走査期間前と異なる極性になる水平走査期間における前記チャージシェア期間である第1のチャージシェア期間よりも長い期間に設定されていることを特徴とする、駆動回路。

50

【請求項 6】

前記第 2 のチャージシェア期間は、前記第 1 のチャージシェア期間の 2 倍以下の長さの期間に設定されていることを特徴とする、請求項 5 に記載の駆動回路。

【請求項 7】

前記映像信号線駆動回路は、各フレーム期間内で各映像信号の極性が 2 水平走査期間毎に反転するように前記複数の映像信号線に前記複数の映像信号を供給することを特徴とする、請求項 5 に記載の駆動回路。

【請求項 8】

各映像信号の極性が 1 水平走査期間前と同じ極性になる水平走査期間における各画素形成部の充電率と各映像信号の極性が 1 水平走査期間前と異なる極性になる水平走査期間における当該各画素形成部の充電率とが等しくなるように、前記第 1 のチャージシェア期間と前記第 2 のチャージシェア期間とが設定されていることを特徴とする、請求項 5 に記載の駆動回路。 10

【請求項 9】

表示すべき画像を表す複数の映像信号をそれぞれ伝達するための複数の映像信号線と、前記複数の映像信号線と交差する複数の走査信号線と、前記複数の映像信号線と前記複数の走査信号線との交差部にそれぞれ対応してマトリクス状に配置された複数の画素形成部とを備えたアクティブマトリクス型の表示装置の駆動方法であって、

互いに隣接する映像信号線にそれぞれ印加される映像信号の極性が互いに異なるように、かつ、各フレーム期間内で各映像信号の極性が複数の水平走査期間毎に反転するように、前記複数の映像信号線に前記複数の映像信号を供給する映像信号線駆動ステップと、 20

各フレーム期間内で前記複数の走査信号線を所定の水平走査期間毎に順次を選択する走査信号線駆動ステップと、

各水平走査期間の開始時点から予め設定されたチャージシェア期間だけ前記互いに隣接する映像信号線を短絡させる隣接映像信号線短絡ステップとを備え、

各映像信号の極性が 1 水平走査期間前と同じ極性になる水平走査期間における前記チャージシェア期間である第 2 のチャージシェア期間は、各映像信号の極性が 1 水平走査期間前と異なる極性になる水平走査期間における前記チャージシェア期間である第 1 のチャージシェア期間よりも長い期間に設定されていることを特徴とする、駆動方法。 30

【請求項 10】

前記第 2 のチャージシェア期間は、前記第 1 のチャージシェア期間の 2 倍以下の長さの期間に設定されていることを特徴とする、請求項 9 に記載の駆動方法。

【請求項 11】

前記映像信号線駆動ステップでは、各フレーム期間内で各映像信号の極性が 2 水平走査期間毎に反転するように前記複数の映像信号線に前記複数の映像信号が供給されることを特徴とする、請求項 9 に記載の駆動方法。

【請求項 12】

各映像信号の極性が 1 水平走査期間前と同じ極性になる水平走査期間における各画素形成部の充電率と各映像信号の極性が 1 水平走査期間前と異なる極性になる水平走査期間における当該各画素形成部の充電率とが等しくなるように、前記第 1 のチャージシェア期間と前記第 2 のチャージシェア期間とが設定されていることを特徴とする、請求項 9 に記載の駆動方法。 40

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、表示装置に関し、特に、駆動方式に複数ラインドット反転駆動方式かつチャージシェアリング方式を採用するアクティブマトリクス型の表示装置に関する。

【背景技術】**【0002】**

近年、スイッチング素子としてTFT (Thin Film Transistor: 薄膜トランジスタ) を備えるアクティブマトリクス型液晶表示装置が知られている。この液晶表示装置は、互いに対向する2枚の絶縁性の基板から構成される液晶パネルを備えている。液晶パネルの一方の基板には、ゲートバスライン (走査信号線) とソースバスライン (映像信号線) とが格子状に設けられ、ゲートバスラインとソースバスラインとの交差点近傍にTFTが設けられている。TFTは、ゲートバスラインから分岐しているゲート電極、ソースバスラインから分岐しているソース電極、およびドレイン電極を有している。ドレイン電極は、画像を形成するために基板上にマトリクス状に配置された画素電極と接続されている。液晶パネルの他方の基板には、液晶層を介して画素電極との間に電圧を印加するための電極 (以下「対向電極」という) が設けられており、画素電極と対向電極と液晶層とによって個々の画素が形成される。なお、このようにひとつの画素が形成される領域のことを便宜上「画素形成部」という。そして、各TFTのゲート電極がゲートバスラインからアクティブな走査信号 (ゲート信号) を受けたときに当該TFTのソース電極がソースバスラインから受ける映像信号 (データ信号) に基づいて、画素形成部に電圧が印加される。画素形成部には画素容量が形成されており、画素容量には画素値を示す電圧が保持される。

10

【0003】

ところで、液晶には、直流電圧が加わり続けると劣化するという性質がある。このため、液晶表示装置では、液晶層には交流電圧が印加される。この液晶層への交流電圧の印加は、各画素形成部に印加する電圧の極性を1フレーム期間毎に反転させること、すなわち、1フレーム期間毎に対向電極の電位を基準とするソース電極の電圧の極性を反転させることによって実現されている。なお、以下において、画素形成部に印加する電圧を「画素電圧」という。液晶層への交流電圧の印加を具現化する技術として、画素電圧の極性を1フレーム期間毎に反転させ、かつ、1フレーム期間内においてゲートバスラインの延びる方向に隣接する画素間の極性およびソースバスラインの伸びる方向に隣接する画素間の極性をも反転させる駆動方式が知られている。このような駆動方式は「ドット反転駆動」と呼ばれている。図7は、ドット反転駆動方式を採用した液晶表示装置において、或る1フレーム期間に表示画面上の各画素形成部に印加される画素電圧の極性を示す極性図である。図7に示すように、全ての隣接する画素間において画素電圧の極性が反転している。

20

【0004】

30

ところが、従来のドット反転駆動では、画素電圧の極性が1ゲートバスライン毎に反転するため、消費電力が大きくなる、発熱量が大きくなる等の問題が生じていた。そこで、画素電圧の極性を2ゲートバスライン毎に反転させ、かつ、ゲートバスラインの延びる方向に隣接する画素間の極性をも反転させる駆動方式が提案されている。このような駆動方式は「2ラインドット反転駆動 (2Hドット反転駆動)」と呼ばれている。図8は、2ラインドット反転駆動を採用した液晶表示装置において、或る1フレーム期間に表示画面上の各画素形成部に印加される画素電圧の極性を示す極性図である。この液晶表示装置では、画素電圧の極性は2ゲートバスライン毎に反転するので、1ゲートバスライン毎に画素電圧の極性が反転する駆動方式と比べて消費電力や発熱量が低減される。

【0005】

40

また、消費電力を更に低減するために、各水平走査期間の開始時点から所定の期間だけ隣接ソースバスライン間を短絡させるチャージシェアリング方式を採用する液晶表示装置が提案されている。ドット反転駆動方式 (2ラインドット反転駆動方式も含む) を採用する液晶表示装置では、隣接ソースバスラインの電圧は互いに逆極性であって、しかも、全面白、全面グレーの表示パターンではその絶対値はほぼ等しい。従って、隣接ソースバスライン間が短絡することにより、各ソースバスラインの電圧は、ノーマリブラック型の場合には黒表示に相当する電圧となる。なお、以下において、黒表示に相当する電圧を「黒電圧」という。

【0006】

ところが、2ラインドット反転駆動方式の液晶表示装置にチャージシェアリング方式を

50

採用した場合、表示画面上、1ライン毎の縞模様が視認されることがある。これについて図9を参照しつつ説明する。図9(A)～(E)は、2ラインドット反転駆動方式かつチャージシェアリング方式を採用するノーマリブラック型の液晶表示装置において白表示が行われるときの信号波形図である。図9(A)～(C)はゲート信号の波形、図9(D)は隣接ソースバスライン間を短絡させるための短絡制御信号の波形、図9(E)はデータ信号の波形を示している。なお、以下、データ信号S(i)の極性が1水平走査期間前とは反転している水平走査期間のことを「1H目」といい、その次の水平走査期間のことを「2H目」という。また、参照符号V_cは、データ信号S(i)の中間電位を示している。

【0007】

10

1H目において、短絡制御信号C_{sh}の論理レベルがハイレベルになっている期間(以下、「チャージシェア期間」という。)中には隣接ソースバスライン間は短絡している。その結果、データ信号S(i)の電圧は、白表示に相当する電圧から黒電圧へと近づく。なお、以下において、白表示に相当する電圧を「白電圧」という。チャージシェア期間終了後、データ信号S(i)の電圧は、白電圧へと上昇する。その後、2H目のチャージシェア期間になると、データ信号S(i)の電圧は、白電圧から黒電圧へと近づく。

【0008】

ここで、1H目と2H目のチャージシェア期間終了時点におけるデータ信号S(i)の電圧に着目すると、1H目には負の電圧となっており、2H目には正の電圧となっている。これは、チャージシェア期間として、データ信号S(i)の電圧を白電圧から完全な黒電圧にするだけの時間を確保することができないからである。このため、2H目よりも1H目の方が、チャージシェア期間終了後、データ信号S(i)の電圧が白電圧に到達するまでに要する時間が長くなっている。これにより、2H目に充電される画素形成部の画素容量の充電率(以下、単に「2H目の充電率」という。)は、1H目に充電される画素形成部の画素容量の充電率(以下、単に「1H目の充電率」という。)よりも高くなる。その結果、充電率が相対的に高いライン(行)と充電率が相対的に低いライン(行)とが交互に現れることとなり、表示画面全体では縞模様のように視認される。なお、充電率は、ソースバスラインに印加された電圧に対する(画素形成部の画素電極に接続されている)ドレイン電極に実際に生じる電圧の割合で表される。

20

【0009】

30

上述のような1H目の充電率と2H目の充電率との差に起因する表示不良を解消するため、例えば日本の特開2003-337577号公報および日本の特開2005-156661号公報には、ゲート信号のパルス幅を調整することにより充電率の調整を行う液晶表示装置の発明が開示されている。また、日本の特開2004-61590号公報には、1水平走査期間毎のブランキング期間にソースドライバの出力をリセットすることにより各水平走査期間におけるドレイン波形の立ち上がり条件を均一にする液晶表示装置の発明が開示されている。

【特許文献1】日本の特開2003-337577号公報

【特許文献2】日本の特開2005-156661号公報

【特許文献3】日本の特開2004-61590号公報

40

【発明の開示】

【発明が解決しようとする課題】

【0010】

ところが、上記日本の特開2003-337577号公報および上記日本の特開2005-156661号公報に開示された発明は、チャージシェアリング方式を採用する表示装置についての発明ではない。また、上記日本の特開2004-61590号公報によると、ブランキング期間中にドレイン電位は中間電位に到達しているが、実際には、ブランキング期間の長さによってはドレイン電圧は中間電位まで到達せず、ドレイン電位が中間電位に到達するような長さのブランキング期間を確保することは困難であると考えられる。

50

【0011】

そこで本発明は、装置の発熱や消費電力の増加を抑制しつつライン毎の充電率の差に起因する表示ムラを解消することのできる表示装置ならびにその駆動回路および駆動方法を提供することを目的とする。

【課題を解決するための手段】

【0012】

本発明の第1の局面は、アクティブマトリクス型の表示装置であって、

表示すべき画像を表す複数の映像信号をそれぞれ伝達するための複数の映像信号線と、前記複数の映像信号線と交差する複数の走査信号線と、

前記複数の映像信号線と前記複数の走査信号線との交差部にそれぞれ対応してマトリクス状に配置された複数の画素形成部と、

互いに隣接する映像信号線にそれぞれ印加される映像信号の極性が互いに異なるように、かつ、各フレーム期間内で各映像信号の極性が複数の水平走査期間毎に反転するように、前記複数の映像信号線に前記複数の映像信号を供給する映像信号線駆動回路と、

各フレーム期間内で前記複数の走査信号線を所定の水平走査期間毎に順次を選択する走査信号線駆動回路と、

前記映像信号線駆動回路の内部または外部に設けられ、各水平走査期間の開始時点から予め設定されたチャージシエア期間だけ前記互いに隣接する映像信号線を短絡させる隣接映像信号線短絡部と

を備え、

20

各映像信号の極性が1水平走査期間前と同じ極性になる水平走査期間における前記チャージシエア期間である第2のチャージシエア期間は、各映像信号の極性が1水平走査期間前と異なる極性になる水平走査期間における前記チャージシエア期間である第1のチャージシエア期間よりも長い期間に設定されていることを特徴とする。

【0013】

本発明の第2の局面は、本発明の第1の局面において、

前記第2のチャージシエア期間は、前記第1のチャージシエア期間の2倍以下の長さの期間に設定されていることを特徴とする。

【0014】

本発明の第3の局面は、本発明の第1の局面において、

前記映像信号線駆動回路は、各フレーム期間内で各映像信号の極性が2水平走査期間毎に反転するように前記複数の映像信号線に前記複数の映像信号を供給することを特徴とする。

30

【0015】

本発明の第4の局面は、本発明の第1の局面において、

各映像信号の極性が1水平走査期間前と同じ極性になる水平走査期間における各画素形成部の充電率と各映像信号の極性が1水平走査期間前と異なる極性になる水平走査期間における当該各画素形成部の充電率とが等しくなるように、前記第1のチャージシエア期間と前記第2のチャージシエア期間とが設定されていることを特徴とする。

【0016】

40

本発明の第5の局面は、表示すべき画像を表す複数の映像信号をそれぞれ伝達するための複数の映像信号線と、前記複数の映像信号線と交差する複数の走査信号線と、前記複数の映像信号線と前記複数の走査信号線との交差部にそれぞれ対応してマトリクス状に配置された複数の画素形成部とを備えたアクティブマトリクス型の表示装置の駆動回路であって、

互いに隣接する映像信号線にそれぞれ印加される映像信号の極性が互いに異なるように、かつ、各フレーム期間内で各映像信号の極性が複数の水平走査期間毎に反転するように、前記複数の映像信号線に前記複数の映像信号を供給する映像信号線駆動回路と、

各フレーム期間内で前記複数の走査信号線を所定の水平走査期間毎に順次を選択する走査信号線駆動回路と、

50

各水平走査期間の開始時点から予め設定されたチャージシユア期間だけ前記互いに隣接する映像信号線を短絡させる隣接映像信号線短絡部とを備え、

各映像信号の極性が1水平走査期間前と同じ極性になる水平走査期間における前記チャージシユア期間である第2のチャージシユア期間は、各映像信号の極性が1水平走査期間前と異なる極性になる水平走査期間における前記チャージシユア期間である第1のチャージシユア期間よりも長い期間に設定されていることを特徴とする。

【0017】

本発明の第6の局面は、本発明の第5の局面において、

前記第2のチャージシユア期間は、前記第1のチャージシユア期間の2倍以下の長さの期間に設定されていることを特徴とする。 10

【0018】

本発明の第7の局面は、本発明の第5の局面において、

前記映像信号線駆動回路は、各フレーム期間内で各映像信号の極性が2水平走査期間毎に反転するように前記複数の映像信号線に前記複数の映像信号を供給することを特徴とする。

【0019】

本発明の第8の局面は、本発明の第5の局面において、

各映像信号の極性が1水平走査期間前と同じ極性になる水平走査期間における各画素形成部の充電率と各映像信号の極性が1水平走査期間前と異なる極性になる水平走査期間における当該各画素形成部の充電率とが等しくなるように、前記第1のチャージシユア期間と前記第2のチャージシユア期間とが設定されていることを特徴とする。 20

【0020】

本発明の第9の局面は、表示すべき画像を表す複数の映像信号をそれぞれ伝達するための複数の映像信号線と、前記複数の映像信号線と交差する複数の走査信号線と、前記複数の映像信号線と前記複数の走査信号線との交差部にそれぞれ対応してマトリクス状に配置された複数の画素形成部とを備えたアクティブマトリクス型の表示装置の駆動方法であって、

互いに隣接する映像信号線にそれぞれ印加される映像信号の極性が互いに異なるように、かつ、各フレーム期間内で各映像信号の極性が複数の水平走査期間毎に反転するように、前記複数の映像信号線に前記複数の映像信号を供給する映像信号線駆動ステップと、 30

各フレーム期間内で前記複数の走査信号線を所定の水平走査期間毎に順次に選択する走査信号線駆動ステップと、

各水平走査期間の開始時点から予め設定されたチャージシユア期間だけ前記互いに隣接する映像信号線を短絡させる隣接映像信号線短絡ステップとを備え、

各映像信号の極性が1水平走査期間前と同じ極性になる水平走査期間における前記チャージシユア期間である第2のチャージシユア期間は、各映像信号の極性が1水平走査期間前と異なる極性になる水平走査期間における前記チャージシユア期間である第1のチャージシユア期間よりも長い期間に設定されていることを特徴とする。 40

【0021】

本発明の第10の局面は、本発明の第9の局面において、

前記第2のチャージシユア期間は、前記第1のチャージシユア期間の2倍以下の長さの期間に設定されていることを特徴とする。

【0022】

本発明の第11の局面は、本発明の第9の局面において、

前記映像信号線駆動ステップでは、各フレーム期間内で各映像信号の極性が2水平走査期間毎に反転するように前記複数の映像信号線に前記複数の映像信号が供給されることを特徴とする。

【0023】

本発明の第12の局面は、本発明の第9の局面において、

各映像信号の極性が1水平走査期間前と同じ極性になる水平走査期間における各画素形成部の充電率と各映像信号の極性が1水平走査期間前と異なる極性になる水平走査期間における当該各画素形成部の充電率とが等しくなるように、前記第1のチャージシエア期間と前記第2のチャージシエア期間とが設定されていることを特徴とする。

【発明の効果】

【0024】

本発明の第1の局面によれば、複数ラインドット反転駆動方式かつチャージシエアリング方式を採用しているアクティブマトリクス型の表示装置において、2H目（各映像信号の極性が1水平走査期間前と同じ極性になる水平走査期間）以降のチャージシエア期間は、1H目（各映像信号の極性が1水平走査期間前と異なる極性になる水平走査期間）のチャージシエア期間よりも長い期間に設定されている。このため、2H目以降に充電される画素形成部の充電期間は、1H目に充電される画素形成部の充電期間よりも短くなる。また、2H目の充電開始時の映像信号の電圧が従来よりも低くなる。これにより、2H目以降の充電率が従来よりも低くなり、1H目の充電率よりも2H目以降の充電率の方が高くなることに起因して生じていた表示ムラが解消される。

10

【0025】

本発明の第2の局面によれば、複数ラインドット反転駆動方式かつチャージシエアリング方式を採用しているアクティブマトリクス型の表示装置において、2H目以降に充電される画素形成部の充電期間が十分に確保される。このため、2H目以降の充電率が低くなりすぎることのないように、1H目の充電率と2H目の充電率との調整が行われる。

20

【0026】

本発明の第3の局面によれば、2ラインドット反転駆動方式かつチャージシエアリング方式を採用しているアクティブマトリクス型の表示装置において、2H目のチャージシエア期間は1H目のチャージシエア期間よりも長い期間に設定されている。このため、本発明の第1の局面と同様、1H目の充電率よりも2H目の充電率の方が高くなることに起因して生じていた表示ムラが解消される。

【0027】

本発明の第4の局面によれば、1H目の充電率と2H目以降の充電率とが等しくなるようにチャージシエア期間が設定されている。このため、1H目の充電率よりも2H目以降の充電率の方が高くなることに起因して生じていた表示ムラが確実に解消される。

30

【図面の簡単な説明】

【0028】

【図1】 A-Eは、本発明の一実施形態に係る液晶表示装置において白表示が行われているときの信号波形図である。

【図2】 上記実施形態に係る液晶表示装置の構成をその表示部の等価回路と共に示すブロック図である。

【図3】 上記実施形態におけるソースドライバの出力部の一構成例を示す回路図である。

【図4】 A-Cは、上記実施形態において、短絡制御信号の生成について説明するための信号波形図である。

40

【図5】 A-Cは、上記実施形態の変形例において、短絡制御信号の生成について説明するための信号波形図である。

【図6】 A-Fは、上記実施形態の変形例に係る液晶表示装置において白表示が行われているときの信号波形図である。

【図7】 ドット反転駆動方式を採用した液晶表示装置において、各画素形成部に印加される画素電圧の極性を示す極性図である。

【図8】 2ラインドット反転駆動方式を採用した液晶表示装置において、各画素形成部に印加される画素電圧の極性を示す極性図である。

【図9】 A-Eは、従来例において白表示が行われているときの信号波形図である。

【符号の説明】

50

【0029】

10 …TFT（スイッチング素子）
 31 …バッファ（電圧ホロワ）
 100 …表示部
 200 …表示制御回路
 300 …ソースドライバ（映像信号線駆動回路）
 400 …ゲートドライバ（走査信号線駆動回路）
 Cp …画素容量
 SLi …ソースバスライン（データ信号線）（ $i = 1, 2, \dots, n$ ）
 GLj …ゲートバスライン（走査信号線）（ $j = 1, 2, \dots, m$ ）
 Csh …短絡制御信号
 Csh1 …第1の短絡制御信号
 Csh2 …第2の短絡制御信号
 S(i) …データ信号（ $i = 1, 2, \dots, n$ ）
 G(j) …ゲート信号（ $j = 1, 2, \dots, m$ ）

10

【発明を実施するための最良の形態】

【0030】

以下、添付図面を参照して本発明の一実施形態について説明する。

【0031】

<1. 全体構成および動作>

20

図2は、本実施形態に係る液晶表示装置の構成をその表示部の等価回路と共に示すブロック図である。この液晶表示装置は、ソースドライバ（映像信号線駆動回路）300と、ゲートドライバ（走査信号線駆動回路）400と、アクティブマトリクス形の表示部100と、ソースドライバ300およびゲートドライバ400を制御するための表示制御回路200とを備えている。なお、この液晶表示装置はノーマリブラック型であるものとして説明する。

【0032】

本実施形態における表示部100は、複数本（ m 本）のゲートバスライン（走査信号線）GL1～GL m と、それらのゲートバスラインGL1～GL m のそれぞれと交差する複数本（ n 本）のソースバスライン（映像信号線）SL1～SL n と、それらのゲートバスラインGL1～GL m とソースバスラインSL1～SL n との交差点にそれぞれ対応して設けられた複数個（ $n \times m$ 個）の画素形成部とを含んでいる。これらの画素形成部はマトリクス状に配置されて画素アレイを構成している。各画素形成部は、対応する交差点を通過するゲートバスラインGL j にゲート端子が接続されると共に当該交差点を通過するソースバスラインSL i にソース端子が接続されたスイッチング素子であるTFT10と、そのTFT10のドレイン端子に接続された画素電極と、上記複数の画素形成部に共通的に設けられた対向電極である共通電極Ecと、上記複数の画素形成部に共通的に設けられ画素電極と共通電極Ecとの間に挟持された液晶層とからなる。そして、画素電極と共通電極Ecとにより形成される液晶容量により、画素容量Cpが構成される。

30

【0033】

40

各画素形成部における画素電極には、後述のように動作するソースドライバ300およびゲートドライバ400により、表示すべき画像に応じた電位が与えられる。共通電極Ecには、図示しない電源回路から所定電位（共通電極電位）Vcomが与えられる。これにより、画素電極と共通電極Ecとの間の電位差に応じた電圧が液晶に印加される。この電圧印加によって液晶層に対する光の透過量が制御されることで画像表示が行われる。

【0034】

表示制御回路200は、外部の信号源から、表示すべき画像を表すデジタルビデオ信号Dvと、当該デジタルビデオ信号Dvに対応する水平同期信号HSYおよび垂直同期信号VSYと、表示動作を制御するための制御信号Dcとを受け取る。そして、表示制御回路200は、それらの信号Dv、HSY、VSY、Dcに基づき、そのデジタルビデオ信号

50

D_vの表す画像を表示部100に表示させるための信号として、データスタートパルス信号SSPと、データクロック信号SCKと、短絡制御信号Cshと、表示すべき画像を表すデジタル画像信号DA（ビデオ信号D_vに相当する信号）と、ゲートスタートパルス信号GSPと、ゲートクロック信号GCKと、ゲートドライバ出力制御信号GOEとを生成し出力する。より詳しくは、表示制御回路200は、ビデオ信号D_vを内部メモリで必要に応じてタイミング調整等を行った後にデジタル画像信号DAとして出力し、そのデジタル画像信号DAの表す画像の各画素に対応するパルスからなる信号としてデータクロック信号SCKを生成し、水平同期信号HSYに基づき1水平走査期間毎に所定期間だけHレベル（Hレベル）となる信号としてデータスタートパルス信号SSPを生成し、垂直同期信号VSYに基づき1フレーム期間（1垂直走査期間）のうち所定期間だけHレベルとなる信号としてゲートスタートパルス信号GSPを生成し、水平同期信号HSYに基づきゲートクロック信号GCKを生成し、水平同期信号HSYおよび制御信号Dcに基づき短絡制御信号Cshおよびゲートドライバ出力制御信号GOEを生成する。

10

【0035】

上記のようにして表示制御回路200において生成された信号のうち、デジタル画像信号DAと短絡制御信号Cshとデータスタートパルス信号SSPとデータクロック信号SCKとは、ソースドライバ300に入力され、ゲートスタートパルス信号GSPとゲートクロック信号GCKとゲートドライバ出力制御信号GOEとは、ゲートドライバ400に入力される。

【0036】

20

ソースドライバ300は、デジタル画像信号DAとデータスタートパルス信号SSPとデータクロック信号SCKとに基づき、1ライン分の画素値に相当するアナログ電圧であるデータ信号S(1)～S(n)を1水平走査期間毎に順次生成し、これらのデータ信号S(1)～S(n)をソースバスラインSL1～SLnにそれぞれ印加する。本実施形態におけるソースドライバ300は、液晶層への印加電圧の極性が1フレーム期間毎に反転されるとともに各フレーム期間において2ゲートバスライン毎に反転され、かつ、ゲートバスラインの延びる方向に隣接する画素間の極性をも反転されるようにデータ信号S(1)～S(n)が出力される駆動方式すなわち2ラインドット反転駆動方式が採用されている。したがって、ソースドライバ300は、各ソースバスラインSLiに印加されるデータ信号S(i)の電圧極性を2水平走査期間毎に反転させる。

30

【0037】

ここで、ソースバスラインSL1～SLnへの印加電圧の極性反転の基準となる電位（中間電位）Vcは、データ信号S(1)～S(n)の直流レベル（直流成分に相当する電位）であり、この直流レベルは、一般的には共通電極Ecの直流レベルとは一致せず、各画素形成部におけるTFTのゲート・ドレイン間の寄生容量Cgdによるレベルシフト（フィールドスルー電圧）ΔVdだけ共通電極Ecの直流レベルと異なる。なお、寄生容量CgdによるレベルシフトΔVdが液晶の光学的しきい値電圧Vthに対して十分に小さい場合に限り、データ信号S(1)～S(n)の直流レベルは共通電極Ecの直流レベルに等しいとみなせるので、データ信号S(1)～S(n)の極性すなわちソースバスラインSL1～SLnへの印加電圧の極性は共通電極Ecの電位Vcomを基準として1水平走査期間毎に反転すると考えてもよい。

40

【0038】

この液晶表示装置では、消費電力の低減のために、1水平走査期間毎に隣接ソースバスライン間を短絡させるチャージシェアリング方式が採用されている。このため、ソースドライバ300においてデータ信号S(1)～S(n)を出力する部分である出力部は、図3に示すように構成されている。すなわち、この出力部は、デジタル画像信号DAに基づき生成されたアナログ電圧信号d(1)～d(n)を受け取り、これらのアナログ電圧信号d(1)～d(n)をインピーダンス変換することによって、ソースバスラインSL1～SLnで伝達すべき映像信号としてデータ信号S(1)～S(n)を生成するものであり、このインピーダンス変換のための電圧ホロワとしてn個のバッファ31を有している

50

。各バッファ31の出力端子にはスイッチング素子としての第1のMOSトランジスタSWaが接続され、各バッファ31からのデータ信号S(i)は第1のMOSトランジスタSWaを介してソースドライバ300の出力端子から出力される($i = 1, 2, \dots, n$)。また、ソースドライバ300の隣接する出力端子間は、スイッチング素子としての第2のMOSトランジスタSWbによって接続されている。そして、これらの出力端子間の第2のMOSトランジスタSWbのゲート端子には、短絡制御信号Cshが与えられ、各バッファ31の出力端子に接続された第1のMOSトランジスタSWaのゲート端子には、インバータ33の出力信号すなわち短絡制御信号Cshの論理反転信号が与えられる。したがって、短絡制御信号Cshが非アクティブ(ローレベル)のときには、第1のMOSトランジスタSWaがオンし、第2のMOSトランジスタSWbがオフするので、各バッファ31からのデータ信号は、第1のMOSトランジスタSWaを介してソースドライバ300から出力される。一方、短絡制御信号Cshがアクティブ(ハイレベル)のときには、第1のMOSトランジスタSWaがオフし、第2のMOSトランジスタSWbがオンするので、各バッファ31からのデータ信号は出力されず、表示部100における隣接ソースバスライン間が、第2のMOSトランジスタSWbを介して短絡される。本実施形態では、以上のような構成によって隣接映像信号線短絡部が実現されている。なお、上述のようにデータ信号の極性反転時に隣接ソースバスライン間を短絡させることで各ソースバスラインの電圧を黒電圧に近づけるという構成は、消費電力を低減するための手段として従来より提案されており、図3に示した構成に限定されるものではない。

【0039】

ゲートドライバ400は、ゲートスタートパルス信号GSPとゲートクロック信号GCKとゲートドライバ出力制御信号GOEとに基づき、各データ信号S(1)~S(n)を各画素形成部(の画素容量)に書き込むために、各フレーム期間においてゲートバスラインGL1~GLmをほぼ1水平走査期間ずつ順次を選択する。

【0040】

<2. 駆動方法>

次に、本実施形態における駆動方法について説明する。図4(A)~(C)は、表示制御回路200からソースドライバ300に送られる短絡制御信号Cshの生成について説明するための信号波形図である。本実施形態では、図4(A)に示すように1水平走査期間毎に期間TAだけハイレベルとなる第1の短絡制御信号Csh1と図4(B)に示すように1水平走査期間毎に期間TBだけハイレベルとなる第2の短絡制御信号Csh2とが表示制御回路200で生成される。そして、第1の短絡制御信号Csh1と第2の短絡制御信号Csh2とが1水平走査期間毎に交互に選択され、当該選択された信号が短絡制御信号Cshとして表示制御回路200から出力される。その結果、表示制御回路200からソースドライバ300に送られる短絡制御信号Cshの波形は図4(C)に示すようなものとなる。

【0041】

図1(A)~(E)は、本実施形態において白表示が行われているときの信号波形図である。まず、1H目について説明する。ゲート信号G(2k-1)が立ち上がると、その論理レベルがハイレベルの状態が期間THだけ継続する。また、ゲート信号G(2k-1)の立ち上がり時点から期間TA(以下、「第1のチャージシェア期間」という。)だけ短絡制御信号Cshの論理レベルはハイレベルとなる。ここで、短絡制御信号Cshがハイレベルとなっている第1のチャージシェア期間中、図3に示したソースドライバ300の出力部に設けられた各バッファ31は対応する各ソースバスラインから切り離され、隣接ソースバスライン間は互いに短絡される。また、本実施形態では、2ラインドット反転駆動方式が採用されていることから隣接ソースバスラインの電圧は互いに逆極性であって、しかも、その絶対値はほぼ等しい。したがって、データ信号S(i)の電圧は、第1のチャージシェア期間中に(負の)白電圧から黒電圧へと近づく。但し、第1のチャージシェア期間TAの長さは充分ではないので、データ信号S(i)の電圧は完全な黒電圧とはならない。第1のチャージシェア期間終了後は、表示制御回路200からソースドライバ

300に送られたデジタル画像信号DAに基づいて生成された信号がソースバスラインに印加される。従って、データ信号S(i)の電圧は(正の)白電圧へと上昇する。これにより、期間TH-TAの時間をかけて、(2k-1)行目についての画素形成部の画素容量の充電が行われる。

【0042】

次に、2H目について説明する。ゲート信号G(2k)が立ち上がると、その論理レベルがハイレベルの状態が期間THだけ継続する。また、ゲート信号G(2k)の立ち上がり時点から期間TB(以下、「第2のチャージシエア期間」という。)だけ短絡制御信号Cshの論理レベルはハイレベルとなる。第2のチャージシエア期間TBは第1のチャージシエア期間TAよりも長いので、第2のチャージシエア期間中には、データ信号S(i)の電圧は黒電圧あるいは黒電圧近傍の電圧となる。第2のチャージシエア期間終了後は、データ信号S(i)の電圧は(正の)白電圧へと上昇する。これにより、期間TH-TBの時間をかけて、2k行目についての画素形成部の画素容量の充電が行われる。

【0043】

なお、ゲート信号のオン期間(論理レベルがハイレベルの状態の期間)TH、第1のチャージシエア期間TA、および第2のチャージシエア期間TBに関し、各期間相互の関係は装置の仕様に依拠して決定される。一例を挙げると、第1のチャージシエア期間TAはゲート信号のオン期間THの8分の1の長さに設定される。また、第2のチャージシエア期間TBは典型的には第1のチャージシエア期間TAの2倍以下の長さの期間に設定されることが好ましい。一例を挙げると、第2のチャージシエア期間TBは第1のチャージシエア期間TAの1.6倍の長さに設定される。

【0044】

<3. 効果>

本実施形態に係る液晶表示装置は2ラインドット反転駆動方式かつチャージシエアリング方式を採用しているところ、当該方式を採用する従来の液晶表示装置においては1H目の充電率よりも2H目の充電率の方が大きくなることに起因して1ライン毎の表示ムラが生じていた。一方、本実施形態によれば、第2のチャージシエア期間TBは第1のチャージシエア期間TAよりも長い期間に設定されている。このため、2H目に充電される画素形成部についての充電期間TH-TBは、1H目に充電される画素形成部についての充電期間TH-TAよりも短くなる。また、2H目の充電開始時のデータ信号S(i)の電圧が従来よりも低くなる。その結果、2H目の充電率が従来よりも低くなり、1H目の充電率と2H目の充電率とが近い値となる。これにより、従来生じていた1ライン毎の表示ムラが解消される。また、2ラインドット反転駆動方式かつチャージシエアリング方式が採用されているので、発熱量や消費電力の増加も抑制される。

【0045】

また、上述のように、第1のチャージシエア期間TAおよび第2のチャージシエア期間TBは装置の仕様に依拠して決定される。換言すれば、第1のチャージシエア期間TAおよび第2のチャージシエア期間TBの長さを調整することによって、1H目の充電率と2H目の充電率とを等しくし、表示ムラを解消することができる。

【0046】

<4. 変形例>

上記実施形態においては2ラインドット反転駆動方式を採用する液晶表示装置を例に挙げて説明したが、本発明はこれに限定されず、反転の単位が3以上の複数ラインドット反転駆動方式を採用する液晶表示装置にも適用することができる。その一例として、3ラインドット反転駆動方式を採用する液晶表示装置の駆動方法について説明する。

【0047】

図5(A)~(C)は、本変形例における短絡制御信号Cshの生成について説明するための信号波形図である。本変形例では、上記実施形態と同様、図5(A)に示すように1水平走査期間毎に第1のチャージシエア期間TAだけハイレベルとなる第1の短絡制御信号Csh1と図5(B)に示すように1水平走査期間毎に第2のチャージシエア期間T

Bだけハイレベルとなる第2の短絡制御信号Csh2とが表示制御回路200で生成される。ところが本変形例では、上記実施形態と異なり、1水平走査期間毎に、Csh1、Csh2、Csh2、Csh1、Csh2、Csh2、・・・というように第1の制御信号Csh1と第2の短絡制御信号Csh2とが選択される。その結果、表示制御回路200からソースドライバ300に送られる短絡制御信号Cshの波形は図5(C)に示すようなものとなる。

【0048】

図6(A)～(F)は、本変形例において白表示が行われているときの信号波形図である。1H目においては、チャージシエア期間終了時点では、データ信号S(i)の電圧は完全な黒電圧とはなっていない。そして、チャージシエア期間終了後、期間TH-TAの時間をかけて、(3k-2)行目についての画素形成部の画素容量の充電が行われる。2H目においては、チャージシエア期間終了時点では、データ信号S(i)の電圧は黒電圧あるいは黒電圧近傍の電圧となっている。そして、チャージシエア期間終了後、期間TH-TBの時間をかけて、(3k-1)行目についての画素形成部の画素容量の充電が行われる。同様に、3H目のチャージシエア期間終了後、期間TH-TBの時間をかけて、3k行目についての画素形成部の画素容量の充電が行われる。

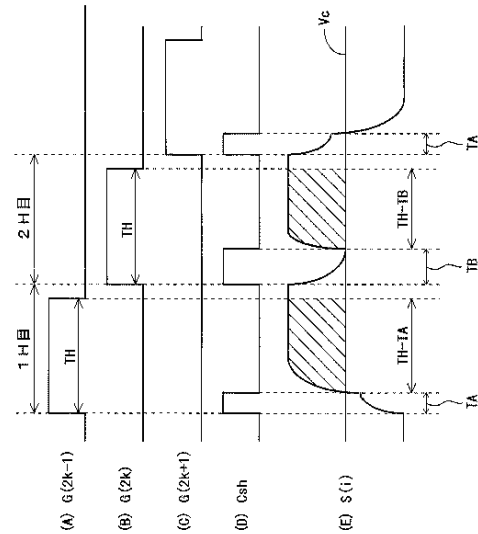
【0049】

本変形例によれば、2H目および3H目のチャージシエア期間は、1H目のチャージシエア期間よりも長い期間に設定されている。このため、2H目および3H目の充電期間TH-TBは、1H目の充電期間TH-TAよりも短くなる。また、2H目および3H目の充電開始時のデータ信号S(i)の電圧が従来よりも低くなる。その結果、2H目および3H目の充電率が従来よりも小さくなり、1H目の充電率と2H目および3H目の充電率とが近い値となる。これにより、3ラインドット反転駆動方式を採用する液晶表示装置においても、従来生じていたライン毎の充電率の差に起因する表示ムラが解消される。

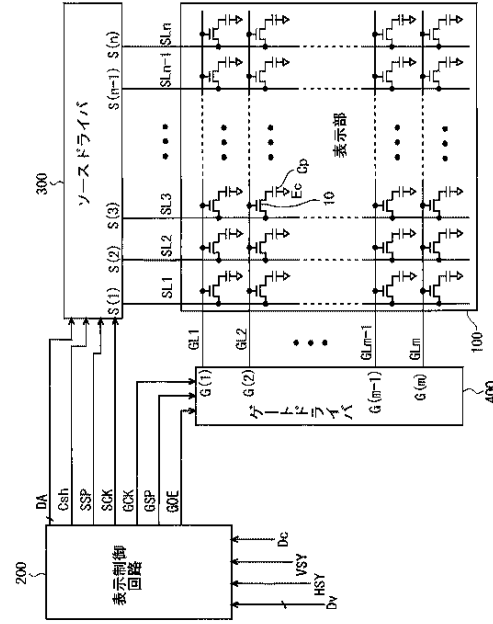
【0050】

以上のように、データ信号S(i)の極性が1水平走査期間前とは反転している水平走査期間のチャージシエア期間よりもデータ信号S(i)の極性が1水平走査期間前と同じ極性になる水平走査期間のチャージシエア期間を長くすることによって、複数ラインドット反転駆動方式かつチャージシエアリング方式を採用する液晶表示装置において、ライン毎の充電率の差に起因する表示ムラを解消することができる。

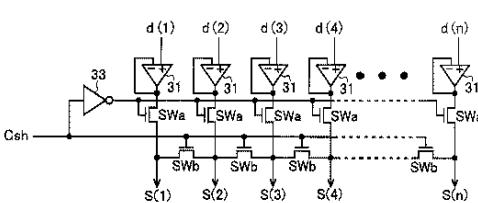
【図 1】



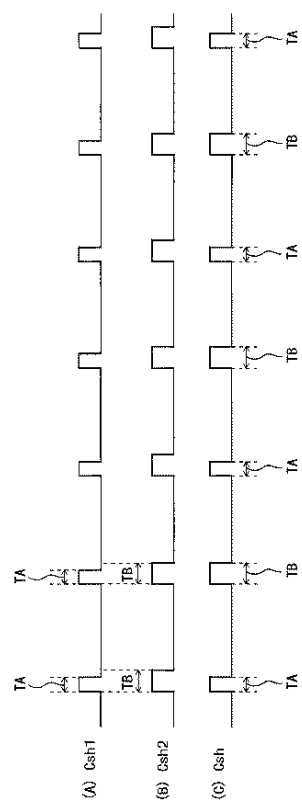
【図 2】



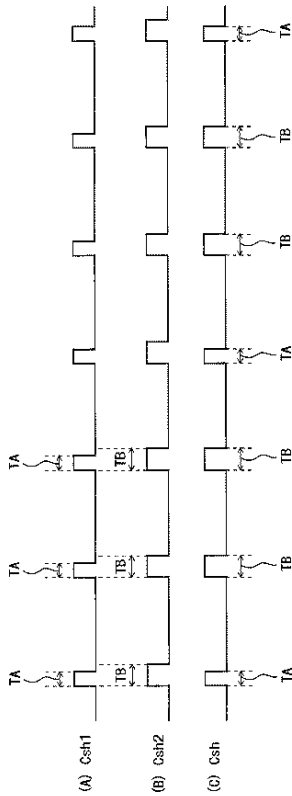
【図 3】



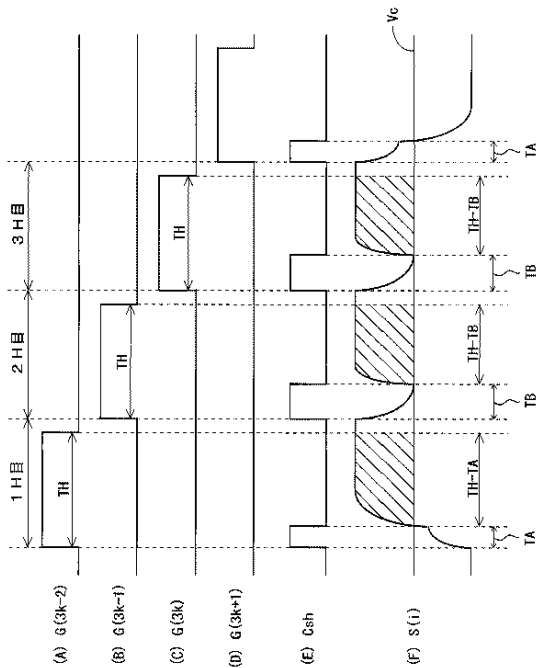
【図 4】



【図 5】



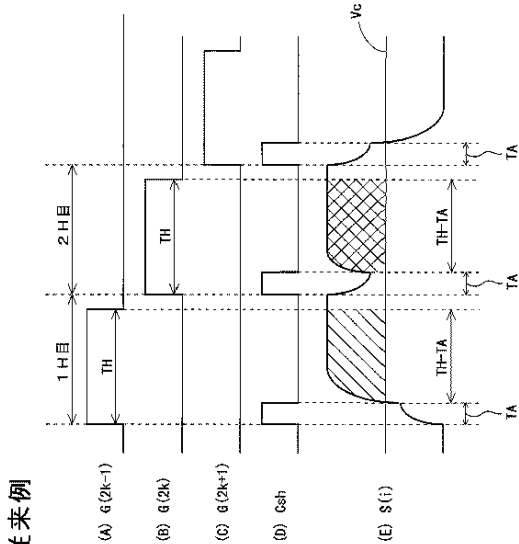
【図 6】



【図 7】

+	+	+	+	+	+	+	+
-	-	-	-	-	-	-	-
+	+	+	+	+	+	+	+
-	-	-	-	-	-	-	-
+	+	+	+	+	+	+	+
-	-	-	-	-	-	-	-
+	+	+	+	+	+	+	+
-	-	-	-	-	-	-	-

【図 9】



【図 8】

+	+	+	+	+	+	+	+
-	-	-	-	-	-	-	-
+	+	+	+	+	+	+	+
-	-	-	-	-	-	-	-
+	+	+	+	+	+	+	+
-	-	-	-	-	-	-	-
+	+	+	+	+	+	+	+
-	-	-	-	-	-	-	-

従来例

【国際調査報告】

INTERNATIONAL SEARCH REPORT		International application No. PCT/JP2007/058044												
A. CLASSIFICATION OF SUBJECT MATTER G09G3/36(2006.01)i, G02F1/133(2006.01)i, G09G3/20(2006.01)i According to International Patent Classification (IPC) or to both national classification and IPC														
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) G09G3/36, G02F1/133, G09G3/20 Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2007 Kokai Jitsuyo Shinan Koho 1971-2007 Toroku Jitsuyo Shinan Koho 1994-2007 Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)														
C. DOCUMENTS CONSIDERED TO BE RELEVANT <table border="1"> <thead> <tr> <th>Category*</th> <th>Citation of document, with indication, where appropriate, of the relevant passages</th> <th>Relevant to claim No.</th> </tr> </thead> <tbody> <tr> <td>Y</td> <td>JP 2002-287701 A (Hitachi, Ltd.), 04 October, 2002 (04.10.02), Par. Nos. [0019] to [0030]; Figs. 9, 10 (Family: none)</td> <td>1-12</td> </tr> <tr> <td>Y</td> <td>JP 11-095729 A (Texas Instruments Japan Ltd.), 09 April, 1999 (09.04.99), Par. Nos. [0700] to [0720]; Fig. 3 (Family: none)</td> <td>1-12</td> </tr> <tr> <td>A</td> <td>JP 2001-215469 A (NEC Corp.), 10 August, 2001 (10.08.01), Full text; all drawings & US 2001/0043178 A1 & TW 000574516 B</td> <td>1-12</td> </tr> </tbody> </table>			Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.	Y	JP 2002-287701 A (Hitachi, Ltd.), 04 October, 2002 (04.10.02), Par. Nos. [0019] to [0030]; Figs. 9, 10 (Family: none)	1-12	Y	JP 11-095729 A (Texas Instruments Japan Ltd.), 09 April, 1999 (09.04.99), Par. Nos. [0700] to [0720]; Fig. 3 (Family: none)	1-12	A	JP 2001-215469 A (NEC Corp.), 10 August, 2001 (10.08.01), Full text; all drawings & US 2001/0043178 A1 & TW 000574516 B	1-12
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.												
Y	JP 2002-287701 A (Hitachi, Ltd.), 04 October, 2002 (04.10.02), Par. Nos. [0019] to [0030]; Figs. 9, 10 (Family: none)	1-12												
Y	JP 11-095729 A (Texas Instruments Japan Ltd.), 09 April, 1999 (09.04.99), Par. Nos. [0700] to [0720]; Fig. 3 (Family: none)	1-12												
A	JP 2001-215469 A (NEC Corp.), 10 August, 2001 (10.08.01), Full text; all drawings & US 2001/0043178 A1 & TW 000574516 B	1-12												
☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.														
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family														
Date of the actual completion of the international search 28 June, 2007 (28.06.07)		Date of mailing of the international search report 10 July, 2007 (10.07.07)												
Name and mailing address of the ISA/ Japanese Patent Office		Authorized officer Telephone No.												

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2007/058044

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2005-195986 A (NEC Electronics Corp.), 21 July, 2005 (21.07.05), Full text; all drawings & US 2005/0162372 A1	1-12

国際調査報告		国際出願番号 PCT/J P 2007/058044	
A. 発明の属する分野の分類（国際特許分類（IPC）） Int.Cl. G09G3/36(2006.01)i, G02F1/133(2006.01)i, G09G3/20(2006.01)i			
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） Int.Cl. G09G3/36, G02F1/133, G09G3/20			
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2007年 日本国実用新案登録公報 1996-2007年 日本国登録実用新案公報 1994-2007年			
国際調査で利用した電子データベース（データベースの名称、調査に使用した用語）			
C. 関連すると認められる文献			
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号	
Y	J P 2002-287701 A（株式会社日立製作所）2002.10.04 段落0019-0030, 図9, 10（ファミリーなし）	1-12	
Y	J P 11-095729 A（日本テキサス・インスツルメンツ株式会社）1999.04.09 段落0700-0720, 図3（ファミリーなし）	1-12	
☒ C欄の続きにも文献が列挙されている。 ☐ パテントファミリーに関する別紙を参照。			
* 引用文献のカテゴリー 「A」特に関連のある文献ではなく、一般的技術水準を示すもの 「E」国際出願日前の出願または特許であるが、国際出願日後に公表されたもの 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） 「O」口頭による開示、使用、展示等に言及する文献 「P」国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」同一パテントファミリー文献			
国際調査を完了した日 28.06.2007		国際調査報告の発送日 10.07.2007	
国際調査機関の名称及びあて先 日本国特許庁（ISA/J P） 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号		特許庁審査官（権限のある職員） 福村 拓 電話番号 03-3581-1101 内線 3226	2G 3308

国際調査報告		国際出願番号 PCT/J P 2 0 0 7 / 0 5 8 0 4 4
C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	J P 2 0 0 1 - 2 1 5 4 6 9 A (日本電気株式会社) 2 0 0 1 . 0 8 . 1 0 全文、全図 & US 2 0 0 1 / 0 0 4 3 1 7 8 A 1 & TW 0 0 0 5 7 4 5 1 6 B	1 - 1 2
A	J P 2 0 0 5 - 1 9 5 9 8 6 A (NECエレクトロニクス株式 会社) 2 0 0 5 . 0 7 . 2 1 全文、全図 & US 2 0 0 5 / 0 1 6 2 3 7 2 A 1	1 - 1 2

フロントページの続き

(51)Int.Cl.	F I	テーマコード (参考)
	G 0 9 G 3/20 6 2 1 B	
	G 0 9 G 3/20 6 2 1 G	
	G 0 9 G 3/20 6 1 1 A	

(81)指定国 AP(BW,GH,GM,KE,LS,MW,MZ,NA,SD,SL,SZ,TZ,UG,ZM,ZW),EA(AM,AZ,BY,KG,KZ,MD,RU,TJ,TM), EP(AT,BE,BG,CH,CY,CZ,DE,DK,EE,ES,FI,FR,GB,GR,HU,IE,IS,IT,LT,LU,LV,MC,MT,NL,PL,PT,RO,SE,SI,SK,TR),OA(BF,BJ,CF,CG,CI,CM,GA,GN,GQ,GW,ML,MR,NE,SN,TD,TG),AE,AG,AL,AM,AT,AU,AZ,BA,BB,BG,BH,BR,BW,BY,BZ,CA,CH,CN,CO,CR,CU,CZ,DE,DK,DM,DZ,EC,EE,EG,ES,FI,GB,GD,GE,GH,GM,GT,HN,HR,HU,ID,IL,IN,IS,JP,KE,KG,KM,KN,KP,KR,KZ,LA,LC,LK,LR,LS,LT,LU,LY,MA,MD,MG,MK,MN,MW,MX,MY,MZ,NA,NG,NI,NO,NZ,OM,PG,PH,PL,PT,RO,RS,RU,SC,SD,SE,SG,SK,SL,SM,SV,SY,TJ,TM,TN,TR,TT,TZ,UA,UG,US,UZ,VC,VN,ZA,ZM,ZW

F ターム (参考) 2H193 ZA04 ZB03 ZB06 ZC05 ZC07 ZC25 ZD32 ZF35 ZF36
 5C006 AC09 AC21 AC27 AF42 BB16 BC11 FA22
 5C080 AA10 BB05 DD05 DD26 FF11 FF12 JJ02 JJ03 JJ04

(注) この公表は、国際事務局 (W I P O) により国際公開された公報を基に作成したものである。なおこの公表に係る日本語特許出願 (日本語実用新案登録出願) の国際公開の効果は、特許法第 1 8 4 条の 1 0 第 1 項 (実用新案法第 4 8 条の 1 3 第 2 項) により生ずるものであり、本掲載とは関係ありません。

专利名称(译)	显示装置，驱动电路及其驱动方法		
公开(公告)号	JPWO2008035476A1	公开(公告)日	2010-01-28
申请号	JP2008535269	申请日	2007-04-12
[标]申请(专利权)人(译)	夏普株式会社		
申请(专利权)人(译)	夏普公司		
[标]发明人	北山雅江 下敷領文一 入江健太郎		
发明人	北山 雅江 下敷領 文一 入江 健太郎		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
CPC分类号	G09G3/3614 G09G3/3648 G09G2310/0248 G09G2310/027 G09G2310/061 G09G2320/0204 G09G2320/0223 G09G2320/0247 G09G2330/023		
FI分类号	G09G3/36 G09G3/20.623.A G09G3/20.642.A G02F1/133.550 G02F1/133.525 G09G3/20.621.B G09G3/20.621.G G09G3/20.611.A		
F-TERM分类号	2H193/ZA04 2H193/ZB03 2H193/ZB06 2H193/ZC05 2H193/ZC07 2H193/ZC25 2H193/ZD32 2H193/ZF35 2H193/ZF36 5C006/AC09 5C006/AC21 5C006/AC27 5C006/AF42 5C006/BB16 5C006/BC11 5C006/FA22 5C080/AA10 5C080/BB05 5C080/DD05 5C080/DD26 5C080/FF11 5C080/FF12 5C080/JJ02 5C080/JJ03 5C080/JJ04		
代理人(译)	岛田彰		
优先权	2006252099 2006-09-19 JP		
外部链接	Espacenet		

摘要(译)

显示装置技术领域本发明涉及显示装置。本发明的目的是提供一种显示装置及其驱动电路和驱动方法，该显示装置能够消除由每条线的充电率的差异引起的显示不均匀，同时抑制该装置的发热和功耗的增加。要做。在采用两线点反转驱动系统和电荷共享系统的液晶显示装置中，水平扫描周期（2H）中的电荷共享周期，其中每个数据信号的极性变得与先前的水平扫描周期相同。电荷共享时段（TB）长于第一电荷共享时段（TA），第一电荷共享时段（TA）是水平扫描时段（1H）中的电荷共享时段，其中每个数据信号的极性不同于先前的水平扫描时段中的极性。设置为期间。结果，2H的充电周期短于1H的充电周期。

