

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5571893号
(P5571893)

(45) 発行日 平成26年8月13日 (2014. 8. 13)

(24) 登録日 平成26年7月4日 (2014. 7. 4)

(51) Int. Cl.

F I

G09G 3/36 (2006.01)

G09G 3/20 (2006.01)

H04N 5/66 (2006.01)

G09G 3/36

G09G 3/20 621F

G09G 3/20 641C

G09G 3/20 632B

H04N 5/66 102B

請求項の数 28 (全 28 頁)

(21) 出願番号 特願2008-275449 (P2008-275449)
 (22) 出願日 平成20年10月27日 (2008.10.27)
 (65) 公開番号 特開2009-110001 (P2009-110001A)
 (43) 公開日 平成21年5月21日 (2009.5.21)
 審査請求日 平成23年10月3日 (2011.10.3)
 (31) 優先権主張番号 10-2007-0108747
 (32) 優先日 平成19年10月29日 (2007.10.29)
 (33) 優先権主張国 韓国 (KR)

(73) 特許権者 512187343
 三星ディスプレイ株式会社
 Samsung Display Co.,
 Ltd.
 大韓民国京畿道龍仁市器興区三星二路95
 95, Samsung 2 Ro, Giheung-Gu, Yongin-City
 , Gyeonggi-Do, Korea
 (74) 代理人 110000051
 特許業務法人共生国際特許事務所
 (72) 発明者 朴 鍾 賢
 大韓民国 忠清南道 天安市 斗井洞 1
 596番地 ウナムアパート 104棟
 1506号

最終頁に続く

(54) 【発明の名称】 表示装置の駆動装置及びその駆動方法

(57) 【特許請求の範囲】

【請求項 1】

少なくとも2つの画素行と少なくとも2つの画素列とを備える複数の画素ブロックで配列される複数の画素を備える表示装置の駆動装置であって、

前記複数の画素ブロックのうちの一つに対する入力画像信号を受信し、圧縮基準画像信号に基づいて前記入力画像信号を圧縮して圧縮画像信号を生成する第1変換部と、

前記圧縮画像信号を記憶するフレームメモリと、

前記フレームメモリから前記圧縮画像信号を読み取り、前記圧縮基準画像信号に基づいて前記圧縮画像信号を復元して復元画像信号を生成する第2変換部とを有し、

前記圧縮画像信号は、各画素ブロック単位で生成され、

前記画素ブロックに属する画素のうちの一つの画素（以下、第1画素と記す）に対する前記圧縮基準画像信号は、隣接する前記画素ブロックに属する一つの画素（以下、第2画素と記す）に対する前記復元画像信号であり、前記画素ブロックに属する残りの画素に対する前記圧縮基準画像信号は、前記画素ブロック内の他の画素に対する前記復元画像信号であることを特徴とする表示装置の駆動装置。

【請求項 2】

前記画素ブロックは、正方形の画素行列であることを特徴とする請求項1に記載の表示装置の駆動装置。

【請求項 3】

前記第1画素と前記第2画素とは、互いに隣接していることを特徴とする請求項2に記載

10

20

載の表示装置の駆動装置。

【請求項 4】

前記圧縮画像信号は、前記入力画像信号から前記圧縮基準画像信号を減算 (s u b t r a c t) することにより生成される信号であることを特徴とする請求項 1 に記載の表示装置の駆動装置。

【請求項 5】

前記隣接した画素ブロックは、行方向に隣接した画素ブロックであることを特徴とする請求項 4 に記載の表示装置の駆動装置。

【請求項 6】

前記隣接した画素ブロックは、列方向に隣接した画素ブロックであることを特徴とする請求項 4 に記載の表示装置の駆動装置。

【請求項 7】

クロック信号に従って 1 つずつ順次に伝送される入力画像信号を受信し、少なくとも 4 つの画素行に対する前記入力画像信号を記憶し、少なくとも 2 つの画素行に対する前記入力画像信号を同時に出力する第 1 記憶部と、

第 1 圧縮基準画像信号に基づいて前記第 1 記憶部から受信した前記入力画像信号を圧縮して圧縮画像信号を生成し、該圧縮画像信号を復元して第 1 復元画像信号を生成する第 1 変換部と、

前記圧縮画像信号を記憶するフレームメモリと、

前記フレームメモリから前記圧縮画像信号を読み取り、第 2 圧縮基準画像信号に基づいて前記圧縮画像信号を復元して第 2 復元画像信号を生成する第 2 変換部と、を有し、

前記圧縮画像信号は、画素ブロック単位で生成され、

前記画素ブロックは、少なくとも 2 つの画素行と、少なくとも 2 つの画素列からなる画素行列として定義され、

前記画素ブロックに属する画素のうちの 1 つの画素 (以下、第 1 画素と記す) に対する前記第 1 圧縮基準画像信号は、行方向に隣接する前記画素ブロックに属する 1 つの画素 (以下、第 2 画素と記す) に対する第 1 復元画像信号であり、残りの画素に対する前記第 1 圧縮基準画像信号は、該当する前記画素ブロック内の他の画素に対する前記第 1 復元画像信号、又はこれら第 1 復元画像信号を演算した信号であることを特徴とする表示装置の駆動装置。

【請求項 8】

前記第 1 変換部が 1 つの入力画像信号の圧縮にかかる時間は、前記クロック信号の 1 周期以上であることを特徴とする請求項 7 に記載の表示装置の駆動装置。

【請求項 9】

前記第 1 記憶部は、外部から順次に入力される前記入力画像信号を一行ずつグループ化して、複数の出力端に順次に出力する第 1 入力部と、

前記第 1 入力部の出力端にそれぞれ接続されており、1 行の前記入力画像信号をそれぞれ記憶する第 1、第 2、第 3、及び第 4 行メモリと、

前記第 1 及び第 2 行メモリに記憶されている前記入力画像信号を同時に出力し、前記第 3 及び第 4 行メモリに記憶されている前記入力画像信号を同時に出力する第 1 出力部とを含むことを特徴とする請求項 8 に記載の表示装置の駆動装置。

【請求項 10】

前記第 1 記憶部は、前記第 1 ~ 第 4 行メモリに記憶されている前記入力画像信号を順次に出力する第 2 出力部をさらに含み、

前記駆動装置は、前記第 1 復元画像信号と前記第 2 復元画像信号との差を演算して差信号を生成する第 1 演算部と、

前記差信号と前記第 2 出力部から受信した前記入力画像信号とに基づいて 2 次復元画像信号を生成する第 2 演算部と、

前記 2 次復元画像信号に基づいて前記第 2 出力部から受信した前記入力画像信号を補正する信号補正部とをさらに含むことを特徴とする請求項 9 に記載の表示装置の駆動装置。

【請求項 1 1】

前記第 1 演算部から前記差信号を受けて記憶した後、前記第 2 演算部に出力し、4つの行メモリを有する第 2 記憶部をさらに有することを特徴とする請求項 1 0 に記載の表示装置の駆動装置。

【請求項 1 2】

クロック信号に従って外部から入力されて受信した入力画像信号を記憶する第 1 記憶部と、

第 1 圧縮基準画像信号を記憶する第 2 記憶部と、

前記第 1 記憶部及び外部から受信した入力画像信号を前記第 2 記憶部から受信した第 1 圧縮基準画像信号に基づいて圧縮した圧縮画像信号、及び前記圧縮画像信号を復元した第 1 復元画像信号を生成し、前記第 1 復元画像信号のうちの一部を第 1 圧縮基準画像信号として前記第 2 記憶部に格納する第 1 変換部と、

前記圧縮画像信号を記憶するフレームメモリと、

前記フレームメモリから前記圧縮画像信号を読み取り、第 2 圧縮基準画像信号に基づいて前記圧縮画像信号を復元して第 2 復元画像信号を生成する第 2 変換部と、を有し、

前記圧縮画像信号は、画素ブロック単位で生成され、

前記画素ブロックは、少なくとも 2 つの画素行と、少なくとも 2 つの画素列からなる画素行列として定義され、

前記画素ブロックに属する画素のうちの 1 つの画素（以下、第 1 画素と記す）に対する前記第 1 圧縮基準画像信号は、行方向に隣接する前記画素ブロックに属する 1 つの画素（以下、第 2 画素と記す）に対する第 1 復元画像信号であり、残りの画素に対する前記第 1 圧縮基準画像信号は、該当する前記画素ブロック内の他の画素に対する前記第 1 復元画像信号、又はこれら第 1 復元画像信号を演算した信号であることを特徴とする表示装置の駆動装置。

【請求項 1 3】

前記第 1 変換部が前記第 2 記憶部に格納した前記第 1 圧縮基準画像信号は、次行の前記入力画像信号を圧縮する際に使用されることを特徴とする請求項 1 2 に記載の表示装置の駆動装置。

【請求項 1 4】

前記第 2 記憶部の記憶容量は、前記第 1 記憶部の記憶容量の $1/2$ であることを特徴とする請求項 1 3 に記載の表示装置の駆動装置。

【請求項 1 5】

前記第 2 圧縮基準画像信号を記憶する第 3 記憶部をさらに有し、

前記第 2 変換部は、前記第 3 記憶部に記憶されている前記第 2 圧縮基準画像信号に基づいて前記第 2 復元画像信号を生成し、前記第 2 復元画像信号の一部を前記第 2 圧縮基準画像信号として前記第 3 記憶部に格納することを特徴とする請求項 1 3 に記載の表示装置の駆動装置。

【請求項 1 6】

前記第 1 復元画像信号と前記第 2 復元画像信号との差を演算して差信号を生成する第 1 演算部と、

前記差信号と前記第 1 記憶部から受信した前記入力画像信号とに基づいて 2 次復元画像信号を生成する第 2 演算部と、

前記 2 次復元画像信号に基づいて前記第 1 記憶部から受信した前記入力画像信号を補正する信号補正部とをさらに有することを特徴とする請求項 1 5 に記載の表示装置の駆動装置。

【請求項 1 7】

前記フレームメモリから前記復元画像信号を受信して行単位で記憶し、遅延させた後前記第 2 変換部に前記復元画像信号を出力するバッファメモリをさらに有することを特徴とする請求項 1 6 に記載の表示装置の駆動装置。

【請求項 1 8】

前記第 2 変換部から前記復元画像信号を受信し記憶した後、前記第 2 演算部に前記復元画像信号を出力する行メモリをさらに有することを特徴とする請求項 1 6 に記載の表示装置の駆動装置。

【請求項 1 9】

行列状に配列された複数の画素に対する入力画像信号を受信する段階と、

第 1 圧縮基準画像信号に基づいて前記入力画像信号を圧縮して圧縮画像信号を生成し、該前記圧縮画像信号を復元して第 1 復元画像信号を生成する段階と、

前記圧縮画像信号を格納する段階と、

第 2 圧縮基準画像信号に基づいて格納されている前記圧縮画像信号を復元して第 2 復元画像信号を生成する段階とを有し、

前記圧縮画像信号は、画素ブロック単位で生成され、

前記画素ブロックは、少なくとも 2 つの画素行と少なくとも 2 つの画素列とを含む画素行列として定義され、

前記画素ブロックに属する画素のうちの 1 つの画素（以下、第 1 画素と記す）に対する前記第 1 圧縮基準画像信号は、隣接する前記画素ブロックに属する 1 つの画素（以下、第 2 画素と記す）に対する前記第 1 復元画像信号であり、残りの画素に対する前記第 1 圧縮基準画像信号は、該当する前記画素ブロック内の他の画素に対する前記第 1 復元画像信号、又はこれら第 1 復元画像信号を演算した信号であることを特徴とする表示装置の駆動方法。

【請求項 2 0】

前記各画素ブロックは、正方形形状の画素行列であることを特徴とする請求項 1 9 に記載の表示装置の駆動方法。

【請求項 2 1】

前記第 1 画素と前記第 2 画素とは、互いに隣接していることを特徴とする請求項 2 0 に記載の表示装置の駆動方法。

【請求項 2 2】

前記圧縮画像信号は、前記入力画像信号から前記第 1 圧縮基準信号を減算（*subtract*）することにより生成される信号であることを特徴とする請求項 1 9 に記載の表示装置の駆動方法。

【請求項 2 3】

前記隣接した画素ブロックは、行方向に隣接した画素ブロックであることを特徴とする請求項 2 2 に記載の表示装置の駆動方法。

【請求項 2 4】

前記圧縮画像信号及び前記第 1 復元画像信号を生成する段階は、第 1 周波数で伝送される前記入力画像信号を複数の行メモリに順次に格納する段階と、

前記複数の行メモリから 2 行の前記入力画像信号を前記第 1 周波数の半分である第 2 周波数で同時に読み取り、前記 2 行の入力画像信号に対する圧縮画像信号及び第 1 復元画像信号を生成する段階とを含むことを特徴とする請求項 2 3 に記載の表示装置の駆動方法。

【請求項 2 5】

予め格納されている圧縮基準画像信号に基づいて第 1 フレームの入力画像信号に対する圧縮画像信号及び先行復元画像信号を生成する段階と、

前記先行復元画像信号のうちの一部を他の入力画像信号に対する圧縮基準画像信号として格納する段階と、

前記圧縮画像信号をフレームメモリに格納する段階と、

前記フレームメモリから前記圧縮画像信号を読み取り、これを復元して後続（*following*）復元画像信号を生成する段階とを有し、

前記圧縮画像信号及び先行復元画像信号を生成する段階は、第 1 行入力画像信号を行メモリに記憶する段階と、

前記行メモリに記憶されている第 1 行入力画像信号と外部から入力される第 2 行入力画像信号を圧縮及び復元する段階とを含み、

10

20

30

40

50

前記格納された先行復元画像信号のうちの一部は、第3行入力画像信号に対する圧縮基準画像信号として使用され、

前記入力画像信号は、第1及び第2入力画像信号を含み、

前記圧縮画像信号は、前記第1及び第2入力画像信号にそれぞれ対応する第1及び第2圧縮画像信号を含み、

前記先行復元画像信号は、前記第1及び第2入力画像信号にそれぞれ対応する第1及び第2先行復元画像信号を含み、

前記圧縮画像信号及び先行復元画像信号を生成する段階は、格納されている前記圧縮基準画像信号を読み取る段階と、

前記第1入力画像信号と前記読み取った圧縮基準画像信号との差を演算して、前記第1圧縮画像信号を生成する段階と、

前記第1圧縮画像信号を復元して前記第1先行復元画像信号を生成する段階と、

前記第1先行復元画像信号に基づいて前記第2入力画像信号を圧縮して前記第2圧縮画像信号を生成する段階と、

前記第2圧縮画像信号を復元して前記第2先行復元画像信号を生成する段階とを含み、

前記第2先行復元画像信号の一部は、前記第3行入力画像信号に対する前記圧縮基準画像信号として格納されることを特徴とする表示装置の駆動方法。

【請求項26】

第2フレームの入力画像信号を受信する段階と、

前記後続復元画像信号に基づいて前記第2フレームの入力画像信号を補正する段階とをさらに有することを特徴とする請求項25に記載の表示装置の駆動方法。

【請求項27】

前記第2フレームの入力画像信号を補正する段階は、前記第2フレームの入力画像信号から第2フレームの先行復元画像信号を生成する段階と、

前記第1フレームの後続復元画像信号と前記第2フレームの先行復元画像信号との差を演算して差信号を生成する段階と、

前記差信号と前記第2フレームの入力画像信号から前記第1フレームの2次復元画像信号を生成する段階と、

前記2次復元画像信号に従って前記第2フレームの入力画像信号を補正して、補正画像信号を生成する段階とを含むことを特徴とする請求項26に記載の表示装置の駆動方法。

【請求項28】

前記第1フレームの2次復元画像信号は、前記差信号と前記第2フレームの入力画像信号との和より得られることを特徴とする請求項27に記載の表示装置の駆動方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は表示装置の駆動装置及びその駆動方法に関し、特に、液晶の応答速度を高めると同時に時間の制約なしに画像信号を圧縮することができる表示装置の駆動装置及びその駆動方法に関するものである。

【背景技術】

【0002】

一般的に表示装置では、行列状に配列された複数の画素が行列状に配列され、受信した画像情報に従って各画素の輝度を制御することにより画像を表示する。

このような表示装置は、外部から画像信号を受信してフレームメモリに格納し、これを利用して表示装置の表示板に合わせて加工して使用する場合が多い。

【0003】

このとき、表示板の大きさが大きくなるか、保存すべき画像信号が多くなればなるほど、フレームメモリの大きさが大きくなったり、その数が多くなり、その結果、フレームメモリとの伝送に必要なデータ伝送線の数が多くなる。また、フレームメモリに画像信号を書き込むと同時に、記憶されている画像信号を読み取るためには、より多くの数のデータ

10

20

30

40

50

伝送線が必要である。

【0004】

よって、限定された数のデータ伝送線を利用して、多くの画像情報をフレームメモリに
入力および出力するため、画像信号のビット数を減らして格納する圧縮及び復元技術が開
発された。

画像信号を良好に圧縮するためには十分な時間が必要であり、圧縮に与えられた時間が
短い場合、圧縮された圧縮信号が本来の画像情報を正確に表現できない。

【0005】

一方、このような表示装置としての液晶表示装置は、コンピュータの表示装置だけでな
く、テレビなどの表示画面として幅広く使用されるようになってきた。しかし、液晶表示
装置は液晶の応答速度が遅く、動画表示に不適當である。また、液晶表示装置はホールド
タイプの表示装置であるため、動画を表示するとき画像がぼけてしまうブラーリング (b
l u r r i n g) 現象が発生するという問題がある。

【発明の開示】

【発明が解決しようとする課題】

【0006】

そこで、本発明は上記従来の液晶表示装置における問題点に鑑みてなされたものであっ
て、本発明の目的は、液晶の応答速度を高めると同時に時間の制約なしに画像信号を圧縮
することのできる表示装置の駆動装置及びその駆動方法を提供することにある。

【課題を解決するための手段】

【0007】

上記目的を達成するためになされた本発明による表示装置の駆動装置は、少なくとも2
つの画素行と少なくとも2つの画素列とを備える複数の画素ブロックで配列される複数の
画素を備える表示装置の駆動装置であって、前記複数の画素ブロックのうちの一つに対す
る入力画像信号を受信し、圧縮基準画像信号に基づいて前記入力画像信号を圧縮して圧縮
画像信号を生成する第1変換部と、前記圧縮画像信号を記憶するフレームメモリと、前記
フレームメモリから前記圧縮画像信号を読み取り、前記圧縮基準画像信号に基づいて前記
圧縮画像信号を復元して復元画像信号を生成する第2変換部とを有し、前記圧縮画像信号
は、各画素ブロック単位で生成され、前記画素ブロックに属する画素のうちの一つの画素
(以下、第1画素と記す)に対する前記圧縮基準画像信号は、隣接する前記画素ブロック
に属する一つの画素(以下、第2画素と記す)に対する前記復元画像信号であり、前記画
素ブロックに属する残りの画素に対する前記圧縮基準画像信号は、前記画素ブロック内の
他の画素に対する前記復元画像信号であることを特徴とする。

【0008】

前記画素ブロックは正方形の画素行列であることが好ましい。

前記第1画素と前記第2画素とは互いに隣接していることが好ましい。

前記圧縮画像信号は、前記入力画像信号から前記圧縮基準画像信号を減算 (s u b t r
a c t) することにより生成される信号であることが好ましい。

前記隣接した画素ブロックは、行方向に隣接した画素ブロックであることが好ましい。

前記隣接した画素ブロックは、列方向に隣接した画素ブロックであることが好ましい。

前記復元画像信号を補正する信号補正部をさらに有することが好ましい。

【0009】

また、上記目的を達成するためになされた本発明による表示装置の駆動装置は、クロッ
ク信号に従って1つずつ順次に伝送される入力画像信号を受信し、少なくとも4つの画素
行に対する前記入力画像信号を記憶し、少なくとも2つの画素行に対する前記入力画像信
号を同時に出力する第1記憶部と、第1圧縮基準画像信号に基づいて前記第1記憶部から
受信した前記入力画像信号を圧縮して圧縮画像信号を生成し、該圧縮画像信号を復元して
第1復元画像信号を生成する第1変換部と、前記圧縮画像信号を記憶するフレームメモリ
と、前記フレームメモリから前記圧縮画像信号を読み取り、第2圧縮基準画像信号に基づ
いて前記圧縮画像信号を復元して第2復元画像信号を生成する第2変換部と、を有し、

前記圧縮画像信号は、画素ブロック単位で生成され、前記画素ブロックは、少なくとも2つの画素行と、少なくとも2つの画素列からなる画素行列として定義され、前記画素ブロックに属する画素のうちの1つの画素（以下、第1画素と記す）に対する前記第1圧縮基準画像信号は、行方向に隣接する前記画素ブロックに属する1つの画素（以下、第2画素と記す）に対する第1復元画像信号であり、残りの画素に対する前記第1圧縮基準画像信号は、該当する前記画素ブロック内の他の画素に対する前記第1復元画像信号、又はこれら第1復元画像信号を演算した信号であることを特徴とする。

【0010】

前記第1変換部が1つの入力画像信号の圧縮にかかる時間は、前記クロック信号の1周期以上であることが好ましい。

10

前記第1記憶部は、外部から順次に入力される前記入力画像信号を一行ずつグループ化して、複数の出力端に順次に出し出す第1入力部と、前記第1入力部の出力端にそれぞれ接続されており、1行の前記入力画像信号をそれぞれ記憶する第1、第2、第3、及び第4行メモリと、前記第1及び第2行メモリに記憶されている前記入力画像信号を同時に出力し、前記第3及び第4行メモリに記憶されている前記入力画像信号を同時に出力する第1出力部とを含むことが好ましい。

前記第1記憶部は、前記第1～第4行メモリに記憶されている前記入力画像信号を順次に出し出す第2出力部をさらに含み、前記駆動装置は、前記第1復元画像信号と前記第2復元画像信号との差を演算して差信号を生成する第1演算部と、前記差信号と前記第2出力部から受信した前記入力画像信号とに基づいて2次復元画像信号を生成する第2演算部と、前記2次復元画像信号に基づいて前記第2出力部から受信した前記入力画像信号を補正する信号補正部とをさらに含むことが好ましい。

20

前記第1演算部から前記差信号を受信して記憶し、前記第2演算部に出力し、4つの行メモリを有する第2記憶部をさらに有することが好ましい。

前記圧縮画像信号は、画素ブロック単位で生成され、前記画素ブロックは、少なくとも2つの画素行と少なくとも2つの画素列からなる画素行列として定義され、前記画素ブロックに属する画素のうちの1つの画素に対する前記第1圧縮基準画像信号は、行方向に隣接した前記画素ブロックに属する1つの画素に対する第1復元画像信号であり、残りの画素に対する前記第1圧縮基準画像信号は、該当する前記画素ブロック内の他の画素に対する前記第1復元画像信号、又はこれら第1復元画像信号を演算した信号であることが好ましい。

30

【0011】

また、上記目的を達成するためになされた本発明による表示装置の駆動装置は、クロック信号に従って外部から入力されて受信した入力画像信号を記憶する第1記憶部と、第1圧縮基準画像信号を記憶する第2記憶部と、前記第1記憶部及び外部から受信した入力画像信号を前記第2記憶部から受信した第1圧縮基準画像信号に基づいて圧縮した圧縮画像信号、及び前記圧縮画像信号を復元した第1復元画像信号を生成し、前記第1復元画像信号のうちの一部を第1圧縮基準画像信号として前記第2記憶部に格納する第1変換部と、前記圧縮画像信号を記憶するフレームメモリと、前記フレームメモリから前記圧縮画像信号を読み取り、第2圧縮基準画像信号に基づいて前記圧縮画像信号を復元して第2復元画像信号を生成する第2変換部とを有し、前記圧縮画像信号は、画素ブロック単位で生成され、前記画素ブロックは、少なくとも2つの画素行と、少なくとも2つの画素列からなる画素行列として定義され、前記画素ブロックに属する画素のうちの1つの画素（以下、第1画素と記す）に対する前記第1圧縮基準画像信号は、行方向に隣接する前記画素ブロックに属する1つの画素（以下、第2画素と記す）に対する第1復元画像信号であり、残りの画素に対する前記第1圧縮基準画像信号は、該当する前記画素ブロック内の他の画素に対する前記第1復元画像信号、又はこれら第1復元画像信号を演算した信号であることを特徴とする。

40

【0012】

前記第1変換部が前記第2記憶部に格納した前記第1圧縮基準画像信号は、次行の前記

50

入力画像信号を圧縮する際に使用されることが好ましい。

前記第2記憶部の記憶容量は、前記第1記憶部の記憶容量の1/2であることが好ましい。

前記第2圧縮基準画像信号を記憶する第3記憶部をさらに有し、前記第2変換部は、前記第3記憶部に記憶されている前記第2圧縮基準画像信号に基づいて前記第2復元画像信号を生成し、前記第2復元画像信号の一部を前記第2圧縮基準画像信号として前記第3記憶部に格納することが好ましい。

前記第1復元画像信号と前記第2復元画像信号との差を演算して差信号を生成する第1演算部と、前記差信号と前記第1記憶部から受信した前記入力画像信号とに基づいて2次復元画像信号を生成する第2演算部と、前記2次復元画像信号に基づいて前記第1記憶部から受信した前記入力画像信号を補正する信号補正部をさらに有することが好ましい。

前記フレームメモリから前記復元画像信号を受信して行単位で記憶し、遅延させた後前記第2変換部に前記復元画像信号を出力するバッファメモリをさらに有することが好ましい。

前記第2変換部から前記復元画像信号を受信し記憶した後、前記第2演算部に前記復元画像信号を出力する行メモリをさらに有することが好ましい。

【0013】

上記目的を達成するためになされた本発明による表示装置の駆動方法は、行列状に配列された複数の画素に対する入力画像信号を受信する段階と、第1圧縮基準画像信号に基づいて前記入力画像信号を圧縮して圧縮画像信号を生成し、該圧縮画像信号を復元して第1復元画像信号を生成する段階と、前記圧縮画像信号を格納する段階と、第2圧縮基準画像信号に基づいて格納されている前記圧縮画像信号を復元して第2復元画像信号を生成する段階とを有し、前記圧縮画像信号は、画素ブロック単位で生成され、前記画素ブロックは、少なくとも2つの画素行と少なくとも2つの画素列とを含む画素行列として定義され、前記画素ブロックに属する画素のうちの1つの画素（以下、第1画素と記す）に対する前記第1圧縮基準画像信号は、隣接する前記画素ブロックに属する1つの画素（以下、第2画素と記す）に対する前記第1復元画像信号であり、残りの画素に対する前記第1圧縮基準画像信号は、該当する前記画素ブロック内の他の画素に対する前記第1復元画像信号、又はこれら第1復元画像信号を演算した信号であることを特徴とする。

【0014】

前記各画素ブロックは正方形形状の画素行列であることが好ましい。

前記第1画素と前記第2画素とは互いに隣接していることが好ましい。

前記圧縮画像信号は、前記入力画像信号から前記第1圧縮基準信号を減算（subtract）することにより生成される信号であることが好ましい。

前記隣接した画素ブロックは、行方向に隣接した画素ブロックであることが好ましい。

前記圧縮画像信号及び前記第1復元画像信号を生成する段階は、第1周波数で伝送される前記入力画像信号を複数の行メモリに順次に格納する段階と、前記複数の行メモリから2行の前記入力画像信号を前記第1周波数の半分である第2周波数で同時に読み取り、前記2行の入力画像信号に対する圧縮画像信号及び第1復元画像信号を生成する段階とを含むことが好ましい。

【0015】

また、上記目的を達成するためになされた本発明による表示装置の駆動方法は、予め格納されている圧縮基準画像信号に基づいて第1フレームの入力画像信号に対する圧縮画像信号及び先行復元画像信号を生成する段階と、前記先行復元画像信号のうちの一部を他の入力画像信号に対する圧縮基準画像信号として格納する段階と、前記圧縮画像信号をフレームメモリに格納する段階と、前記フレームメモリから前記圧縮画像信号を読み取り、これを復元して後続（following）復元画像信号を生成する段階とを有し、前記圧縮画像信号及び先行復元画像信号を生成する段階は、第1行入力画像信号を行メモリに記憶する段階と、前記行メモリに記憶されている第1行入力画像信号と外部から入力される第2行入力画像信号を圧縮及び復元する段階とを含み、前記格納された先行復元画像信号

のうちの一部は、第3行入力画像信号に対する圧縮基準画像信号として使用され、前記入力画像信号は、第1及び第2入力画像信号を含み、前記圧縮画像信号は、前記第1及び第2入力画像信号にそれぞれ対応する第1及び第2圧縮画像信号を含み、前記先行復元画像信号は、前記第1及び第2入力画像信号にそれぞれ対応する第1及び第2先行復元画像信号を含み、前記圧縮画像信号及び先行復元画像信号を生成する段階は、格納されている前記圧縮基準画像信号を読み取る段階と、前記第1入力画像信号と前記読み取った圧縮基準画像信号との差を演算して、前記第1圧縮画像信号を生成する段階と、前記第1圧縮画像信号を復元して前記第1先行復元画像信号を生成する段階と、前記第1先行復元画像信号に基づいて前記第2入力画像信号を圧縮して前記第2圧縮画像信号を生成する段階と、前記第2圧縮画像信号を復元して前記第2先行復元画像信号を生成する段階とを含み、前記第2先行復元画像信号の一部は、前記第3行入力画像信号に対する前記圧縮基準画像信号として格納されることを特徴とする。

10

【0016】

前記入力画像信号は、第1及び第2入力画像信号を含み、前記圧縮画像信号は、前記第1及び第2入力画像信号にそれぞれ対応する第1及び第2圧縮画像信号を含み、前記先行復元画像信号は、前記第1及び第2入力画像信号にそれぞれ対応する第1及び第2先行復元画像信号を含み、前記圧縮画像信号及び先行復元画像信号を生成する段階は、格納されている前記圧縮基準画像信号を読み取る段階と、前記第1入力画像信号と前記読み取った圧縮基準画像信号との差を演算して、前記第1圧縮画像信号を生成する段階と、前記第1圧縮画像信号を復元して、前記第1先行復元画像信号を生成する段階と、前記第1先行復元画像信号に基づいて前記第2入力画像信号を圧縮して、前記第2圧縮画像信号を生成する段階と、前記第2圧縮画像信号を復元して、前記第2先行復元画像信号を生成する段階とを含み、前記第2先行復元画像信号の一部は、前記第3行入力画像信号に対する前記圧縮基準画像信号として格納されることが好ましい。

20

第2フレームの入力画像信号を受信する段階と、前記後続復元画像信号に基づいて前記第2フレームの入力画像信号を補正する段階とをさらに有することが好ましい。

前記第2フレームの入力画像信号を補正する段階は、前記第2フレームの入力画像信号から第2フレームの先行復元画像信号を生成する段階と、前記第1フレームの後続復元画像信号と前記第2フレームの先行復元画像信号との差を演算して差信号を生成する段階と、前記差信号と前記第2フレームの入力画像信号から前記第1フレームの2次復元画像信号を生成する段階と、前記2次復元画像信号に従って前記第2フレームの入力画像信号を補正して、補正画像信号を生成する段階とを含むことが好ましい。

30

前記第1フレームの2次復元画像信号は、前記差信号と前記第2フレームの入力画像信号との和より得られることが好ましい。

【発明の効果】

【0018】

本発明に係る表示装置の駆動装置及びその駆動方法によれば、DPCM方式で圧縮を行いながら行メモリを利用したり、圧縮基準画像信号を以前行の復元画像信号として設定することで、圧縮及び復元に要する時間を確保できるという効果がある。

それにより、液晶の応答速度を高めると同時に時間の制約なしに画像信号を圧縮できる液晶表示装置を提供することができる。

40

【発明を実施するための最良の形態】

【0019】

次に、本発明に係る表示装置の駆動装置及びその駆動方法を実施するための最良の形態の具体例を図面を参照しながら説明する。

【0020】

図面は、各種層及び領域を明確に表現するために、厚さを拡大して示している。明細書全体を通じて類似した部分については同一の参照符号を付けている。層、膜、領域、板などの部分が、他の部分の「上に」とあるとき、これは他の部分の「すぐ上に」とある場合に限らず、その中間に更に他の部分がある場合も含む。逆に、ある部分が他の部分の「

50

すぐ上に」あるとすると、これは中間に他の部分がない場合を意味する。

【0021】

以下、表示装置の一例として本発明の第1の実施形態による液晶表示装置について図1及び図2を参照して詳細に説明する。

【0022】

図1は本発明の第1の実施形態による液晶表示装置のブロック図であり、図2は本発明の第1の実施形態による液晶表示装置の1つの画素の等価回路図である。

【0023】

図1に示すように、本発明の第1の実施形態による液晶表示装置は、液晶表示板組立体 (liquid crystal panel assembly) 300、ゲート駆動部400、データ駆動部500、階調電圧生成部550及び信号制御部600を有する。

液晶表示板組立体300は、等価回路によれば、複数の信号線 ($G_1 \sim G_n$ 、 $D_1 \sim D_m$) と、これに接続されほぼ行列状に配列された複数の画素 (pixel) (PX) とを含む。これに対し、図2に示す構造によれば、液晶表示板組立体300は、互いに対向する下部及び上部表示板100、200と、その間に挟持された液晶層3とを有する。

【0024】

信号線 ($G_1 \sim G_n$ 、 $D_1 \sim D_m$) は、ゲート信号 (走査信号ともいう) を伝達する複数のゲート線 ($G_1 \sim G_n$) と、データ電圧を伝達する複数のデータ線 ($D_1 \sim D_m$) とを含む。ゲート線 ($G_1 \sim G_n$) はほぼ行方向に延びて互いにほぼ平行であり、データ線 ($D_1 \sim D_m$) はほぼ列方向に延びて互いにほぼ平行である。

【0025】

各画素 (PX)、例えば、 i 番目 ($i = 1, 2, \dots, n$) ゲート線 (G_i) と j 番目 ($j = 1, 2, \dots, m$) データ線 (D_j) に接続された画素 (PX) は、信号線 (G_i 、 D_j) に接続されたスイッチング素子 (Q) と、これに接続された液晶キャパシタ (Clc) 及びストレージキャパシタ (Cst) を含む。ストレージキャパシタ (Cst) は必要に応じて省略できる。

【0026】

スイッチング素子 (Q) は下部表示板100に備えられている薄膜トランジスタなどの三端子素子であって、その制御端子はゲート線 (G_i) に接続されており、入力端子はデータ線 (D_j) に接続されており、出力端子は液晶キャパシタ (Clc) 及びストレージキャパシタ (Cst) に接続されている。薄膜トランジスタは、多結晶シリコンや非晶質シリコンを含んでもよい。

【0027】

液晶キャパシタ (Clc) は、下部表示板100の画素電極191と上部表示板200の共通電極270を2つの端子とし、2つの電極 (191、270) の間の液晶層3は誘電体として機能する。画素電極191は、スイッチング素子 (Q) に接続され、共通電極270は、上部表示板200の全面に形成されており、共通電圧 (V_{com}) の印加を受ける。図2とは異なり、共通電極270が下部表示板100に備えられる場合もあり、このときには、2つの電極 (191、270) のうちの少なくとも1つが線状又は棒状に形成することができる。

【0028】

液晶キャパシタ (Clc) の補助的役割をするストレージキャパシタ (Cst) は、下部表示板100に備えられた別の信号線 (図示せず) と画素電極191が絶縁体を介して重なってなり、この別の信号線には共通電圧 (V_{com}) などの定められた電圧が印加される。しかし、ストレージキャパシタ (Cst) は、画素電極191が絶縁体を媒介にしてすぐ上の前段ゲート線と重なってなることもできる。

【0029】

一方、色表示を実現するためには各画素 (PX) が基本色のうちの1つを固有に表示したり (空間分割)、各画素 (PX) が時間によって交互に基本色を表示するように (時間分割) して、これら基本色の空間的、時間的作用で所望の色相が認識されるようにする。

10

20

30

40

50

基本色の例としては赤色、緑色、青色など三原色がある。図2は空間分割の一例であり、各画素(PX)が画素電極191に対応する上部(共通電極)表示板200の領域に基本色のうちの1つを示すカラーフィルタ230を備えている。図2とは異なり、カラーフィルタ230は、下部(薄膜トランジスタ)表示板100の画素電極191の上または下に形成することもできる。

液晶表示板組立体300の外側面には光を偏光させる少なくとも1つの偏光子(図示せず)が付着されている。

【0030】

再び図1を参照すると、階調電圧生成部550は、画素(PX)の透過率に関連する二組の階調電圧群を生成する。そのうちの一组は共通電圧(Vcom)に対して正の値を有し、もう一组は負の値を有する。

10

階調電圧生成部550が生成する一组の階調電圧群内に含まれた階調電圧の数は、液晶表示装置が表示できる階調の数と同じであってもよい。

【0031】

データ駆動部500は、液晶表示板組立体300のデータ線(D₁~D_m)に接続されており、階調電圧生成部550からの階調電圧を選択し、これをデータ電圧としてデータ線(D₁~D_m)に印加する。

ゲート駆動部400は、ゲートオン電圧(Von)とゲートオフ電圧(Voff)との組み合わせからなるゲート信号をゲート線(G₁~G_n)に印加する。

信号制御部600は、ゲート駆動部400、データ駆動部500等を制御し、入力画像信号(Din)を処理する信号処理部700を含む。このような信号処理部700は後に詳細に説明する。

20

【0032】

このような駆動装置(ゲート駆動部400、データ駆動部500、階調電圧生成部550、信号制御部600)のそれぞれは信号線(G₁~G_n、D₁~D_m)及びスイッチング素子(Q)などとともに液晶表示板組立体300に集積されてもよい。これとは異なり、これら駆動装置(400、500、550、600)が少なくとも1つの集積回路チップの形態で液晶表示板組立体300上に直接装着することができ、フレキシブル印刷回路フィルム(flexible printed circuit film)(図示せず)上に装着してTCP(tape carrier package)の形態で液晶表示板組立体300に付着することもでき、別の印刷回路基板(printed circuit board)(図示せず)上に装着することもできる。また、駆動装置(400、500、550、800)は単一チップで集積することもでき、このとき、これらの少なくとも1つまたはこれらを構成する少なくとも1つの回路素子を当該単一チップの外側に位置して設けることもできる。

30

【0033】

以下、このような液晶表示装置の動作について詳細に説明する。

信号制御部600は、外部のグラフィック制御部(図示せず)から入力画像信号(Din)及びその表示を制御する入力制御信号を受信する。入力画像信号(Din)は、各画素(PX)の輝度(luminance)情報を含み、輝度は決められた数、例えば、1024(=2¹⁰)、256(=2⁸)または64(=2⁶)個の階調(gray)を有している。入力制御信号の例としては、垂直同期信号(Vsync)と水平同期信号(Hsync)、メインクロック(MCLK)、デタイネーブル信号(DE)などがある。

40

【0034】

信号制御部600は、入力画像信号(Din)と入力制御信号に基づいて適切に処理してデジタル出力画像信号(DAT)を生成し、ゲート制御信号(CONT1)、データ制御信号(CONT2)及び照明制御信号(CONT3)等を生成する。その後、信号制御部600は、ゲート制御信号(CONT1)をゲート駆動部400に送出し、データ制御信号(CONT2)と処理したデジタル出力画像信号(DAT)をデータ駆動部500に送出する。

50

【0035】

ゲート制御信号 (CONT1) は、走査開始を指示する走査開始信号 (STV) とゲートオン電圧 (Von) の出力周期を制御する少なくとも1つのクロック信号を含む。ゲート制御信号 (CONT1) はまた、ゲートオン電圧 (Von) の持続時間を限定する出力イネーブル信号 (OE) をさらに含んでもよい。

データ制御信号 (CONT2) は、一群の画素 (PX) に対するデジタル出力画像信号 (DAT) の伝送開始を知らせる水平同期開始信号 (STH) と、液晶表示板組立体300へのデータ電圧印加を指示するロード信号 (LOAD) 及びデータクロック信号 (CLK) を含む。データ制御信号 (CONT2) はまた、共通電圧 (Vcom) に対するデータ電圧の電圧極性 (以下、共通電圧に対するデータ信号の電圧極性を略して「データ信号の極性」という) を反転させる反転信号 (RVS) をさらに含んでもよい。

10

【0036】

信号制御部600からのデータ制御信号 (CONT2) に従って、データ駆動部500は一群の画素 (PX) に対するデジタル出力画像信号 (DAT) を受信し、各デジタル出力画像信号 (DAT) に対応する階調電圧を選択することによってデジタル出力画像信号 (DAT) をアナログデータ電圧で変換した後、これを該当データ線 ($D_1 \sim D_m$) に印加する。

【0037】

ゲート駆動部400は、信号制御部600からのゲート制御信号 (CONT1) に従ってゲートオン電圧 (Von) をゲート線 ($G_1 \sim G_n$) に印加して、このゲート線 ($G_1 \sim G_n$) に接続されたスイッチング素子 (Q) をターンオンする。するとデータ線 ($D_1 \sim D_m$) に印加されたデータ電圧がターンオンしたスイッチング素子 (Q) を介して該当画素 (PX) に印加される。

20

画素 (PX) に印加されたデータ電圧と共通電圧 (Vcom) との差は液晶キャパシタ (C1c) の充電電圧、すなわち画素電圧として現れる。液晶分子は、画素電圧の大きさに応じてその配列を変化させ、このため液晶層3を通過する光の偏光が変化する。このような偏光の変化は、表示板組立体300に付着された偏光子により光透過率の変化として現れ、これによって画素 (PX) は、デジタル出力画像信号 (DAT) の階調が示す輝度を表示する。

【0038】

30

1水平周期 (1Hともいい、水平同期信号Hsync及びデータイネーブル信号DEの一周期と同一である) を単位としてこのような過程を繰り返すことにより、全てのゲート線 ($G_1 \sim G_n$) に対して順次にゲートオン電圧 (Von) を印加し、全ての画素 (PX) にデータ信号を印加して1フレーム (frame) の画像を表示する。

1フレームが終了すれば次のフレームが開始され、各画素 (PX) に印加されるデータ電圧の極性が直前フレームでの極性と逆になるように、データ駆動部500に印加される反転信号 (RVS) の状態が制御される (フレーム反転)。このとき、1フレーム期間内でも反転信号 (RVS) の特性によって1つのデータ線を介して流れる複数のデータ信号電圧の極性を変えたり (行反転、ドット反転)、1つの画素行に印加される複数のデータ信号電圧の極性も互いに異なるようにしてもよい (列反転、ドット反転)。

40

【0039】

次に、図3及び図4を参照して、本発明の第1の実施形態による信号処理部について詳細に説明する。

図3は本発明の第1の実施形態による液晶表示装置で信号処理部のブロック図であり、図4は図3の信号処理部の信号圧縮原理を説明するための図である。

【0040】

図3を参照すると、本発明の第1の実施形態による信号処理部は、第1変換部920、フレームメモリ940、第2変換部960および信号補正部980を含む。

第1変換部920は、複数行の画素に対する入力画像信号 (Din) を受信し、これを圧縮した圧縮画像信号 (Dcomp) と圧縮画像信号 (Dcomp) を再び復元した復元

50

画像信号 (D r e s t) を生成する。

【 0 0 4 1 】

第 1 変換部 9 2 0 の圧縮方式は D P C M (d i f f e r e n t i a l p u l s e c o d e m o d u l a t i o n) であってもよく、これについて詳しく説明する。

D P C M 方式は、まず行列に配列された画素を図 4 に示すように複数の画素ブロック (B L 1 ~ B L 6) にグループ化する。各ブロック (B L 1 ~ B L 6) は、少なくとも 2 つの画素行と、少なくとも 2 つの複数列にわたって存在するが、行列、好ましくは正方行列であってもよく、画素ブロック (B L 1 ~ B L 6) もまた、行列状に配列されてもよい。

各画素に対する圧縮画像信号 (D c o m p) は、入力画像信号 (D i n) を圧縮基準画像信号 (D r e f) に基づいて圧縮して生成する。例えば、下記のように、圧縮画像信号 (D c o m p) は入力画像信号 (D i n) から圧縮基準画像信号 (D r e f) を減算 (s u b t r a c t) した値として以下の数式 1 として定義される。

10

【 0 0 4 2 】

(数 1)

$$D c o m p = D i n - D r e f$$

【 0 0 4 3 】

このような圧縮画像信号 (D c o m p) は、隣接した画素間の画像信号の差に対する情報のみを有するので、入力画像信号 (D i n) より小さいビットで示すことができる。例えば、圧縮画像信号 (D c o m p) のビット数は入力画像信号 (D i n) のビット数の半分であり得る。

20

復元画像信号 (D r e s t) は圧縮の逆過程で得られた信号であって、数式 1 で得られた圧縮画像信号 (D c o m p) に対する復元画像信号 (D r e s t) は以下の数式 2 として定義される。

【 0 0 4 4 】

(数 2)

$$D r e s t = D c o m p + D r e f$$

【 0 0 4 5 】

数式 2 と数式 1 とを比較すれば $D r e s t = D i n$ であるが、圧縮と復元の処理過程で画像信号のビット数が変わる場合があるので、復元画像信号 (D r e s t) が圧縮画像信号 (D c o m p) と異なってもよい。ある画素に対する復元画像信号は、他の画素に対する圧縮画像信号 (D c o m p) の形成に使用することができる。

30

【 0 0 4 6 】

各画素ブロック (B L 1 ~ B L 6) における 1 つの画素に対する圧縮基準画像信号 (D r e f) は、隣接した画素ブロック (B L 1 ~ B L 6) に属する 1 つの画素に対する復元画像信号であり、残りの画素に対する圧縮基準画像信号 (D r e f) は、そのブロック (B L 1 ~ B L 6) 内の他の画素に対する復元画像信号またはこれらを演算した信号である。

【 0 0 4 7 】

例えば、図 4 の画素ブロック (B L 5) の画素 (P X 1) に対する圧縮基準画像信号 (D r e f) は、行方向に隣接した画素ブロック (B L 4) の 1 つの画素 (P X 3) に対する復元画像信号であるか、列方向に隣接した画素ブロック (B L 2) の 1 つの画素 (P X 4) に対する復元画像信号であってもよい。また、画素 (P X 2) に対する圧縮基準画像信号 (D r e f) は、同じ画素ブロック (B L 5) 内の隣接した画素 (P X 1) に対する復元画像信号であってもよい。

40

【 0 0 4 8 】

このような圧縮過程は、図 4 に示すように、画素ブロックの一行ずつ順次に行われ、 1 つの画素ブロック行においては画素ブロックごとに順序に行われる。よって、圧縮基準画像信号 (D r e f) が列方向に隣接した画素ブロックに対する復元画像信号の場合が、行方向に隣接した画素ブロックに対する復元画像信号の場合より時間的に余裕がある。

【 0 0 4 9 】

50

例えば、図4の画素ブロック(BL2)に対する圧縮を行った後、画素ブロック(BL5)に対する圧縮を行うまでの間に、他の画素ブロック(BL3、BL4)に対する圧縮を行う時間が含まれているが、画素ブロック(BL4)に対する圧縮と画素ブロック(BL5)に対する圧縮は連続して行われるので、画素ブロック(BL2)に対する復元画像信号を画素ブロック(BL5)に対する圧縮基準画像信号(Dref)として使用することが時間的な面で有利である。

【0050】

フレームメモリ940は、第1変換部920よりデータ伝送線を介して圧縮画像信号(Dcomp)を受信して記憶する。圧縮画像信号(Dcomp)のビット数が入力画像信号(Din)のビット数より小さいので、圧縮をしないときに比べて、フレームメモリ940の記憶空間およびデータ伝送線の数が増加する。

10

【0051】

第2変換部960は、フレームメモリ940に記憶されている圧縮画像信号(Dcomp)を復元して復元画像信号(Drest)を生成する。復元画像信号(Drest)は、第1変換部920が圧縮画像信号(Dcomp)を生成するために形成される復元画像信号と実質的に同じ方式で作られる。

【0052】

信号補正部980は、第2変換部960より復元画像信号(Drest)を受信し、これを適切に補正した補正画像信号(Dmod)を生成し出力する。

【0053】

20

以下、図5及び図6を参照して、本発明の第2の実施形態による信号処理部について詳細に説明する。

図5は本発明の第2の実施形態による液晶表示装置の信号処理部のブロック図であり、図6は図5の信号処理部の動作を説明するための信号波形図である。

【0054】

図5を参照すると、本発明の第2の実施形態による信号処理部700は、第1記憶部710、第1変換部720、フレームメモリ740、フレームメモリ制御部730、第2変換部750、第1演算部760、第2記憶部770、第2演算部780、DCC(Dynamic Capacitance Compensation)処理部790及びバッファメモリ(721、751)を含む。

30

【0055】

第1記憶部710は、第1入力部711、複数の行メモリ(712、713、714、715)、第1出力部716、第2出力部717を含む。

第1入力部711は1つの入力端と複数の出力端を有し、外部のグラフィック制御部(図示せず)から順次に連続して入力される入力画像信号(Din)を変換し、並列に出力する。並列に出力するとは、各入力画像信号(Din)の各ビットを互いに異なるデータ伝送線(図示せず)を介して出力することを意味する。

【0056】

例えば、入力画像信号(Din)が8ビットの場合、8個のデータ伝送線が必要であり、これに加えて、画素色ごとに異なるデータ伝送線を使用する場合は、赤色、緑色、青色に対して互いに異なるデータ伝送線が必要であり、全部で24個のデータ伝送線が必要である。

40

【0057】

以下、入力画像信号をはじめとする全ての画像信号を画素と直接対応させて表示する。

例えば、画素が行列状に配列されている場合、これに対する画像信号も行列状に配列されたものとして表示する。また、1つの行の画素に対する入力画像信号を「1つの行の入力画像信号」という。

【0058】

ここで、第1入力部711は、1つの行の入力画像信号(Din)をグループ化して1つの出力端に送出し、複数の出力端を介して一行ずつ順次に送出する。例えば、図5のよ

50

うに出力端が4つの場合、第1の出力端を介してk番目行の入力画像信号(Din)を送出したとすると、(k+1)番目行の入力画像信号(Din)は第2出力端を介して出力し、(k+2)番目、及び(k+3)番目行の入力画像信号(Din)は、それぞれ第3、第4の出力端を介して出力する。第1入力部711に入力される入力画像信号(Din)は、データイネーブル信号(DE)によって行が区分される。

【0059】

それぞれの行メモリ(712、713、714、715)は、第1入力部711の1つの出力端に接続されており、1つの行の入力画像信号(Din)を記憶できる格納空間を有する。行メモリ(712、713、714、715)は、データクロック信号(図示せず)に従って第1入力部711より入力画像信号(Din)を受信して記憶する。

10

【0060】

行メモリ(712、713、714、715)は、デュアルポートメモリ(dual port memory)であってもよく、HD(high-definition)液晶表示装置の場合、図5に示すように、その数が4つであってもよい。しかし、1つの行の奇数列と偶数列の入力画像信号(Din)を互いに異なるインターフェースを介して受信し、互いに異なるデータ伝送線を介して伝送するFULL HD液晶表示装置の場合、全部で48個のデータ伝送線と8個の行メモリが必要である。

【0061】

第1及び第2出力部(716、717)は、行メモリ(712、713、714、715)と接続されている。

20

第1出力部716は、連続した2つの行メモリから同時に入力画像信号(Din)を読み取り出力する。2つの行メモリを読み終わると、残り2つの行メモリを読み取り出力する。

第2出力部717は、行メモリ(712、713、714、715)を1つずつ順次に読み取り、記憶されている入力画像信号(Din)を出力する。

【0062】

第1変換部720は、第1出力部716より2行の入力画像信号(Din)を受信し、データイネーブル信号(DE)の2周期の間にこれを圧縮して、圧縮画像信号(Dcomp)を生成する。一方、この期間に次の2行の入力画像信号(Din)が2つの行メモリに記録される。

30

【0063】

次に、第1変換部720の圧縮方式の一例について詳細に説明する。

2行にわたって存在する2×2行列の画素(PX)に対する入力画像信号(Din)を1つのブロックとして定義し、各ブロックを1単位として圧縮画像信号(Dcomp)と、これを復元した復元画像信号(Drest)を生成する。

各ブロックにおけるp行q列の圧縮画像信号[Dcomp(p, q)]は、以下の数式3のように定義される。

【0064】

(数3)

$$D_{comp}(p, q) = D_{in}(p, q) - D_{ref}(p, q) \quad (p, q = 1, 2)$$

40

ここで、Din(p, q)はp行q列の入力画像信号であり、Dref(p, q)はp行q列の圧縮基準画像信号である。

【0065】

圧縮基準画像信号(Dref)は、該当するブロックの位置と、各ブロック内の該当する画素の位置によって異なってもよい。

各ブロック行の第1のブロック(BLc1)における1行1列の圧縮画像信号(Dcomp)に対する圧縮基準画像信号(Dref)は、予め定められた値であってもよく、例えば、8ビットの画像信号の場合、0～255の中間値である128と定められる。すなわち、第1のブロック(BLc1)における1行1列の圧縮画像信号{[Dcomp(1, 1)]BLc1}は、以下の数式4のように定義される。

50

【0066】

(数4)

$[Dcomp(1, 1)]_{BLc1} = [Din(1, 1)]_{BLc1} - C$ (Cは固定値)

このとき、 $C = 128$ であってもよい。

【0067】

第1のブロック(BLc1)における1行1列を除いた残り画素に対する圧縮基準画像信号(Dref)は、ブロック内の他の画素の復元画像信号(Drest)またはこれらを演算した信号であってもよい。例えば、1行2列の圧縮基準画像信号(Dref)は、1行1列の復元画像信号(Drest)であってもよく、2行1列の圧縮基準画像信号(Dref)も1行1列の復元画像信号(Drest)であってもよい。また、2行2列の圧縮基準画像信号(Dref)は、1行2列の復元画像信号(Drest)と2行1列の復元画像信号(Drest)との平均として定義される。これを数式で表すと以下の数式5のようになる。

10

【0068】

(数5)

$[Dcomp(1, 2)]_{BLc1} = [Din(1, 2)]_{BLc1} - [Drest(1, 1)]_{BLc1}$

$[Dcomp(2, 1)]_{BLc1} = [Din(2, 1)]_{BLc1} - [Drest(1, 1)]_{BLc1}$

20

$[Dcomp(2, 2)]_{BLc1} = [Din(2, 2)]_{BLc1} - \{[Drest(1, 2)]_{BLc1} + [Drest(2, 1)]_{BLc1}\} / 2$

【0069】

第1のブロック(BLc1)を除いた残りブロック(BL)における1行1列の圧縮基準画像信号(Dref)は、同じブロック行における以前ブロックの復元画像信号(Drest)のうちの1つであってもよい。例えば、以下の数式6のように、

【0070】

(数6)

$Dcomp(1, 1) = Din(1, 1) - [Drest(1, 2)]_{cpre}$
として定められるが、ここで添字“cpre”は同じブロック行の以前(previous)ブロックを示す。

30

【0071】

第1のブロック(BLc1)を除いた残りブロック(BL)における1行1列を除いた残り画素に対する圧縮基準画像信号(Dref)は、第1のブロック(BLc1)で定めたものと同じ形態に定められる。

以上を整理すれば、各ブロック(BL)における圧縮画像信号(Dcomp)は、以下の数式7のように表される。

【0072】

(数7)

$Dcomp(1, 1) = Din(1, 1) - Dref(1, 1)$

40

$Dcomp(1, 2) = Din(1, 2) - Drest(1, 1)$

$Dcomp(2, 1) = Din(2, 1) - Drest(1, 1)$

$Dcomp(2, 2) = Din(2, 2) - [Drest(1, 2) + Drest(2, 1)] / 2$

{ただし、各ブロック行における第1のブロック(BLc1)の場合、 $Dref(1, 1) = C$ 、残りブロック(BL)の場合、 $Dref(1, 1) = [Drest(1, 2)]_{cpre}$ }

【0073】

第1変換部720は、2行(k、k+1)の入力画像信号Dinをデータネーブル信号(DE)の2周期の間に圧縮して、圧縮画像信号(Dcomp)を生成するので、1つ

50

の圧縮ブロックの圧縮にデータクロック信号4周期の時間が割り当てられる。

すなわち、第1変換部720は、行メモリ(712、713、714、715)を利用して各ブロックに対する圧縮時間を2倍に増やし、十分な時間をかけて圧縮画像信号(Dcomp)を生成することができる。

【0074】

このような第1変換部720の出力端にはバッファメモリ721が接続されており、圧縮画像信号(Dcomp)はバッファメモリ721を経てフレームメモリ740に記憶される。しかしバッファメモリ721は省略することもできる。

フレームメモリ制御部730は、バッファメモリ721から受信された圧縮画像信号(Dcomp)の周波数を調節してフレームメモリ740に入力し、フレームメモリ740に記憶されている直前(previous)フレームの圧縮画像信号(Dcomp_pre)の周波数を調節して出力する。

フレームメモリ740はデュアルポートメモリであってもよい。

【0075】

直前フレームの圧縮画像信号(Dcomp_pre)は、バッファメモリ751を介してフレームメモリ740から第2変換部750に伝達され、バッファメモリ751は省略することもできる。バッファメモリ(721、751)はデュアルポートメモリであってもよい。

第2変換部750は、バッファメモリ751から受信した直前フレームの圧縮画像信号(Dcomp_pre)を復元して、直前フレームの復元画像信号(Drest_pre)を生成する。第2変換部750の復元は、同じ画素行に対する現在フレームの圧縮画像信号(Dcomp)及び復元画像信号(Drest)を第1変換部720が生成する間に行われる。

【0076】

復元画像信号(Drest_pre)は、入力画像信号(Din)と同じビット数を有する。

第1演算部760は、第1変換部720から現在フレームに対する復元画像信号(Drest)を受信し、第2変換部750から直前フレームに対する復元画像信号(Drest_pre)を受信して、直前フレームに対する復元画像信号(Drest_pre)と現在フレームに対する復元画像信号(Drest)との差を演算し、これを差信号(Δ Drest)として順次に出力する。

【0077】

第2記憶部770は、第2入力部771、複数の行メモリ(772、773、774、775)及び第3出力部776を含む。

第2入力部771は、1つの入力端と複数の出力端を有し、第1演算部760から差信号(Δ Drest)を受信し一行ずつグループ化して、それぞれの出力端に送出し、複数の出力端を介して順次に送出する。

【0078】

それぞれの行メモリ(772、773、774、775)は、第2入力部771の1つの出力端に接続されており、1つの行の差信号(Δ Drest)を記憶する。行メモリ(772、773、774、775)の数は、第1記憶部710にある行メモリ(712、713、714、715)の数と同一であり、行メモリ(772、773、774、775)はシングルポートメモリ(single port memory)である。

第3出力部776は、行メモリ(772、773、774、775)に接続されており、行メモリ(772、773、774、775)を1つずつ順次に読み取り、記憶されている差信号(Δ Drest)を出力する。

【0079】

第2演算部780は、第3出力部776から受信した差信号(Δ Drest)と、第2出力部717から受信した入力画像信号(Din)を合算して、直前フレームの2次復元画像信号(Drest2)を生成する。

これにより、直前フレームの２次復元画像信号（ $Drest2$ ）は下記に示す数式８を満たす。

【００８０】

（数８）

$$Drest2 = (Drest_pre - Drest) + Din$$

【００８１】

DCC処理部７９０は、第２出力部７１７から受信した現在フレームの入力画像信号（ Din ）を第２演算部７８０から受信した直前フレームの２次復元画像信号（ $Drest2$ ）に基づいて補正し、現在フレームの補正画像信号（ $Dmod$ ）を生成する。

【００８２】

以下、DCC処理部７９０の補正について詳細に説明する。

液晶キャパシタ（ $C1c$ ）の両端に電圧を印加すると、液晶層３の液晶分子は、該電圧に対応して安定状態に再配列しようとするが、液晶分子の応答速度が遅く、安定状態に達するまで所定の時間がかかる。液晶キャパシタ（ $C1c$ ）に印加される電圧を継続して維持させると、液晶分子は安定状態に達するまで継続して動き、その間光透過率も変化する。液晶分子が安定状態に達しそれ以上動かなければ、光透過率も一定になる。

このように安定状態の画素電圧を目標画素電圧、このときの光透過率を目標光透過率とする場合、目標画素電圧と目標光透過率とが一对一の対応関係となる。

【００８３】

しかし、各画素（ PX ）のスイッチング素子（ Q ）をターンオンしてデータ電圧を印加する時間が制限されているため、データ電圧を印加する間に液晶分子が安定状態に達することは難しい。ところが、スイッチング素子（ Q ）がターンオフしても液晶キャパシタ（ $C1c$ ）両端の電圧差は依然として存在し、このため液晶分子が安定状態のために継続して動く。このように液晶分子の配列状態が変われば、液晶層３の誘電率が変わり、その結果、液晶キャパシタ（ $C1c$ ）の静電容量が変化する。スイッチング素子（ Q ）がターンオフ状態では液晶キャパシタ（ $C1c$ ）の一方端子が浮遊（ $floating$ ）状態にあるので、漏洩電流を考慮しない場合、液晶キャパシタ（ $C1c$ ）に保存された総電荷は変化せず一定である。よって、液晶キャパシタ（ $C1c$ ）の静電容量の変化は、液晶キャパシタ（ $C1c$ ）両端の電圧、すなわち、画素電圧の変化をもたらす。

【００８４】

従って、安定状態を基準とする目標画素電圧に対応するデータ電圧（以下「目標データ電圧」と記す）をそのまま画素（ PX ）に印加すると、実際の画素電圧は目標画素電圧と異なるので目標透過率を得られない。特に、目標透過率が、該画素（ PX ）の本来の透過率と比較して差が大きいほど、実際の画素電圧と目標画素電圧との差が大きくなる。

これにより、画素（ PX ）に印加するデータ電圧を目標データ電圧よりも大きくしたり小さくする必要があり、その方法としてDCC（ $Dynamic\ Capacitance\ Compensation$ ）がある。

DCC処理部７９０で生成された現在フレームの補正画像信号（ $Dmod$ ）は、以下に示す数式９のような関数（ $F1$ ）で表される。

【００８５】

（数９）

$$Dmod = F1(Din, Drest2)$$

【００８６】

以下、現在フレームの入力画像信号（ Din ）を「現在画像信号（ $current\ image\ signal$ ）」、直前フレームの２次復元画像信号（ $Drest2$ ）を「直前画像信号（ $previous\ image\ signal$ ）」と記して説明する。

【００８７】

補正画像信号（ $Dmod$ ）は基本的に実験結果によって決定され、補正画像信号（ $Dmod$ ）と直前画像信号（ $Drest2$ ）との差は、補正前の現在画像信号（ Din ）と直前画像信号（ $Drest2$ ）との差に比べて大概大きい。しかし、現在画像信号（ Din

10

20

30

40

50

）と直前画像信号（Drest2）とが同じであるか、両者の差が小さい場合には、補正画像信号（Dmod）と現在画像信号（Din）とを同一にしてもよい（すなわち、補正しなくてもよい）。

【0088】

このようにすれば、画素（PX）に印加されるデータ電圧は、目標データ電圧より高いか、低い電圧となる。

下記に示す表1は、階調数が256個の場合、幾つかの直前画像信号（Drest2）及び現在画像信号（Din）の対に対する現在画像信号（Din）の補正画像信号（Dmod）の例を示したもので、ルックアップテーブルなどに記憶される。

【0089】

【表1】

		Din								
		0	32	64	96	128	160	192	224	255
Drest2	0	0	0	0	0	0	0	0	0	0
	32	115	32	22	20	15	15	15	15	15
	64	169	103	64	50	34	27	22	20	16
	96	192	146	118	96	87	70	54	36	29
	128	213	167	156	143	128	121	105	91	70
	160	230	197	184	179	174	160	157	147	129
	192	238	221	214	211	205	199	192	187	182
	224	250	245	241	240	238	238	224	224	222
	255	255	255	255	255	255	255	255	255	255

【0090】

ところが、直前及び現在画像信号のすべての対（Drest2、Din）に対し、補正画像信号（Dmod）を記憶しておくためには、ルックアップテーブルの大きさが非常に大きくなる必要がある。それゆえ、表1のような数の直前及び現在画像信号対（Drest2、Din）に対してのみ補正画像信号（Dmod）を基準補正画像信号として記憶し、残りの直前及び現在画像信号対（Drest2、Din）に対しては基準補正画像信号に基づいて補間法で演算して、補正画像信号（Dmod）を求めることが好ましい。

【0091】

任意の1つの直前及び現在画像信号対（Drest2、Din）に対する補間は、該当する画像信号対（Drest2、Din）と近い表1の画像信号対（Drest2、Din）に対する基準補正画像信号を取り出し、その値に基づいて該当する画像信号対（Drest2、Din）に対する補正画像信号（Dmod）を求めるものである。

【0092】

例えば、デジタル信号の画像信号を上位ビットと下位ビットに分け、ルックアップテーブルには下位ビットが0である直前画像信号と現在画像信号対（Drest2、Din）に対する基準補正画像信号を記憶しておく。任意の直前及び現在画像信号対（Drest2、Din）に対し、その上位ビットに基づいて関連基準補正画像信号をルックアップテーブルから取り出した後、直前及び現在画像信号（Drest2、Din）の下位ビットとルックアップテーブルから取り出した基準補正画像信号を利用して補正画像信号（Dmod）を算出する。

【0093】

しかし、このような方法によっても目標透過率を得られない場合もあり、そのときは直前フレームにおいて中間大きさの電圧などを予め与えて予め液晶分子を傾斜させた後（これを先傾斜（*pretilt*）という）、現在フレームにおいて再び電圧を印加する方法を使用することもできる。

【0094】

このような画像信号及びデータ電圧の補正は、画像信号が示す階調の最高階調又は最低階調に対しては行っても行わなくてもよい。最高階調又は最低階調に対して補正を行うために、階調電圧生成部550が生成する階調電圧の範囲を、画像信号の階調が示す目標輝度範囲（又は目標透過率範囲）を得るために必要な目標データ電圧の範囲より広くする方法を使用することができる。

10

【0095】

信号制御部600は、DCC処理部790から受信した補正画像信号（*Dmod*）を液晶表示板組立体300の動作条件に合うように適切に処理し、これをデジタル出力画像信号（*DAT*）としてデータ駆動部500に送出する。

【0096】

以下、このような信号処理部700の全体動作について図6を参照して詳しく説明する。

。

図6において、各信号（*Din*、 $\Delta Drest$ ）の括弧内の数字は行番号を示す。

第1区間（*T1*）が開始されると、第1記憶部710の行メモリ（712、713、714、715）に順次に1つの画素行に対する入力画像信号（*Din*）が記録される。

20

1つの行の入力画像信号（*Din*）を行メモリに記録する時間は、データイネーブル信号（*DE*）の1周期であり、4つの行メモリ（712、713、714、715）に入力画像信号（*Din*）を全て記録するにはデータイネーブル信号（*DE*）の4周期がかかる。

。

【0097】

第3行メモリ714に入力画像信号（*Din*）が記録され始めると、第1変換部720は、第1及び第2行メモリ（712、713）の入力画像信号（*Din*）を読み始める。

第1変換部720は、データイネーブル信号（*DE*）の2周期の間（すなわち、第3及び第4行メモリ（714、715）に入力画像信号（*Din*）が記録される間、2行に対する圧縮画像信号（*Dcomp*）及び復元画像信号（*Drest*）を生成し、これを出

30

力する。

【0098】

一方、第1変換部720が2つの画素行に対する圧縮画像信号（*Dcomp*）を生成及び出力する間に、第2変換部750は対応する2つの画素行に対する直前フレームの圧縮画像信号（*Dcomp_pre*）をフレームメモリ740から読み取り、復元画像信号（*Drest_pre*）を生成及び出力する。

【0099】

第1演算部760は、直前フレームの復元画像信号（*Drest_pre*）から現在フレームの復元画像信号（*Drest*）を差し引いて差信号（ $\Delta Drest$ ）を生成し、第2記憶部770の行メモリ（772、773、774、775）の内の2つはこのような差信号（ $\Delta Drest$ ）を行ごとに記録する。

40

【0100】

次に、第2区間（*T2*）が開始されると、第1記憶部710の第1行メモリ712に1つのポートを通じて次行の入力画像信号〔*Din*（5）〕を記録すると同時に、他のポートを通じて記憶されていた入力画像信号〔*Din*（1）〕を読み出す。これと同時に、第2記憶部770の第1行メモリ772に記憶されている差信号〔 $\Delta Drest$ （1）〕を読み出す。

【0101】

最後に、差信号〔 $\Delta Drest$ （1）〕と入力画像信号〔*Din*（1）〕から2次復元

50

画像信号 (D r e s t 2) を求め、これに基づいて入力画像信号 [D i n (1)] を D C C 補正する。

このように4つの行メモリ (7 1 2、7 1 3、7 1 4、7 1 5) を利用すれば、入力画像信号 (D i n) から圧縮画像信号 (D c o m p) 及び復元画像信号 (D r e s t) を生成し出力するにあたってデータインーブル信号 (D E) の4周期程度の十分な時間が与えられる。

【 0 1 0 2 】

一方、F U L L H D 液晶表示装置では、第1及び第2記憶部 (7 1 0、7 7 0) にそれぞれ8つの行メモリを利用することにより、圧縮及び復元のためにデータインーブル信号 (D E) の2周期程度の時間が与えられる。

【 0 1 0 3 】

次に、図7及び図8を参照して、図3の信号処理部で使用される行メモリの数を著しく減らすと同時に、時間的制約なしに圧縮及び復元を行うことができる液晶表示装置について説明する。

図7は本発明の第3の実施形態による液晶表示装置の信号処理部のブロック図であり、図8は図7の信号処理部の動作を説明するための信号波形図である。

【 0 1 0 4 】

図7を参照すると、本発明の第3の実施形態による信号処理部800は、第1行メモリ810、圧縮メモリ821、第1変換部820、フレームメモリ840、フレームメモリ制御部830、第2変換部850、復元メモリ852、第1演算部860、第2行メモリ870、第2演算部880、D C C 処理部890及びバッファメモリ851を有する。

【 0 1 0 5 】

第1行メモリ810は、1つの画素行に対する入力画像信号 (D i n) を記憶できる保存空間を有し、データクロック信号に従って1つの行の入力画像信号 (D i n) を受信し、データインーブル信号 (D E) の1周期の間記憶した後、第1変換部820及びD C C 処理部890に出力する。第1行メモリ810はデュアルポートメモリであってもよい。

【 0 1 0 6 】

圧縮メモリ821は、第1行メモリ810の1/2に相当する保存空間を有し、直前 (k - 1) ブロック行の一部復元画像信号 (D i n) を圧縮基準画像信号 (D r e f) として格納している。圧縮メモリ821は、シングルポートメモリであってもよい。

【 0 1 0 7 】

第1変換部820は、第1行メモリ810から第1の行の入力画像信号 (D i n) を受信し、外部から第2の行の入力画像信号 (D i n) を受信し、圧縮メモリ821から圧縮基準画像信号 (D r e f) を受信する。

第1変換部820は、数式1で定義されたD C P M 圧縮方式を利用して、圧縮画像信号 (D c o m p) 及び復元画像信号 (D r e s t) を生成する。

【 0 1 0 8 】

圧縮基準画像信号 (D r e f) は、図4のように配列されたブロック行列における該当するブロック (B L) の属する行の位置と、各ブロック (B L) 内における該当する画素の位置によって以下に示す数式10のように変わる。

【 0 1 0 9 】

(数 1 0)

$$D c o m p (1, 1) = D i n (1, 1) - D r e f (1, 1)$$

$$D c o m p (1, 2) = D i n (1, 2) - D r e s t (1, 1)$$

$$D c o m p (2, 1) = D i n (2, 1) - D r e s t (1, 1)$$

$$D c o m p (2, 2) = D i n (2, 2) - [D r e s t (1, 2) + D r e s t (2, 1)] / 2$$

【 0 1 1 0 】

第1のブロック行の各ブロック (B L r 1) においてD r e f (1, 1) は予め定義されたある値であってもよく、残りのブロックの場合にはD r e f (1, 1) = [D r e s

10

20

30

40

50

$t(2, 1)]_{rpre}$ (ここで、“ $rpre$ ”は同じブロック列の直前ブロックを示す)であってもよい。しかし、 $Dref(1, 1) = [Drest(p, q)]_{rpre}$ で、 (p, q) は1と2の任意の組み合わせであってもよい。

【0111】

このように各ブロック(BL)における1行1列の圧縮画像信号(Dcomp)は、直前ブロック行の復元画像信号(Drest)を圧縮基準画像信号(Dref)として得られ、圧縮基準画像信号(Dref)が該当するブロック行の入力画像信号(Din)が受信される前に形成され圧縮メモリ821に格納されているので、圧縮基準画像信号(Dref)を生成するための時間を考慮する必要がない。

【0112】

復元画像信号(Drest)の一部は、次のブロック行のための圧縮基準画像信号(Dref)として圧縮メモリ821に出力され記憶され、圧縮画像信号(Dcomp)は、フレームメモリ840に記憶された後、次のフレームに直前画像信号として出力される。

フレームメモリ840は、直前フレームに対する圧縮画像信号(Dcomp_pre)を記憶している。

【0113】

フレームメモリ制御部830は、第1変換部820から受信された圧縮画像信号(Dcomp)をその周波数を調節してフレームメモリ840に伝送し、フレームメモリ840に記憶されている直前フレームの圧縮画像信号(Dcomp_pre)をその周波数を調節してバッファメモリ851に伝送する。

バッファメモリ851は、フレームメモリ840から直前フレームの圧縮画像信号(Dcomp_pre)を受信して短時間記憶した後、第2変換部850に出力する。バッファメモリ851は、シングルポートSDRAM(synchronous dynamic random access memory)であってもよい。

【0114】

第2変換部850は、バッファメモリ851から直前フレームの圧縮画像信号(Dcomp_pre)を受信し、復元メモリ852からの圧縮基準画像信号(Dref_pre)に従って復元して、直前フレームの復元画像信号(Drest_pre)を生成する。

復元メモリ852は、直前フレームの圧縮基準画像信号(Dref_pre)を記憶した後、これを第2変換部850に出力し、第2変換部850から直前フレームの復元画像信号(Drest_pre)の一部を受信し、これを次のブロック行に対する圧縮基準画像信号(Dref_pre)として記憶する。復元メモリ852はシングルポートであってもよい。

【0115】

第1演算部860は、第1変換部820から現在フレームに対する復元画像信号(Drest)と第2変換部850から直前フレームに対する復元画像信号(Drest_pre)を同時に受信して、直前フレームに対する復元画像信号(Drest_pre)と現在フレームに対する復元画像信号(Drest)との差を演算し、これを差信号($\Delta Drest$)として順次に出力する。

【0116】

第2行メモリ870は、第1演算部860から差信号($\Delta Drest$)を受信して格納する。第2行メモリ870はシングルポートメモリであってもよい。

第2演算部880は、1つの画素行に対する直前フレームの復元画像信号(Drest_pre)と現在フレームの第1の復元画像信号(Drest)との差信号($\Delta Drest$)と、第1行メモリ810からの入力画像信号(Din)とを合算して、直前フレームの2次復元画像信号(Drest2)を生成する。

【0117】

DCC処理部890は、第1行メモリ810から受信した現在フレームの入力画像信号(Din)を第2演算部880から受信した直前フレームの2次復元画像信号(Drest

10

20

30

40

50

t 2) に基づいて D C C 補正して、現在フレームの補正画像信号 (D m o d) を生成する。

【 0 1 1 8 】

図 8 は、図 7 の信号処理部の動作を説明するための信号波形図である。

以下、図 8 を参照して、図 7 の信号処理部の動作について詳細に説明する。

図 8 において、各信号 (D i n、 Δ D r e s t) の括弧内の数字は行番号を示す。

【 0 1 1 9 】

まず、第 1 の区間 (T 3) における第 1 行に対する入力画像信号 (D i n) が第 1 行メモリ 8 1 0 に記憶される。

第 1 の区間 (T 3) 続く第 2 区間 (T 4) が開始されると、第 2 行に対する入力画像信号 (D i n) が第 1 行メモリ 8 1 0 に記憶されると同時に第 1 変換部 8 2 0 に入力され、第 1 変換部 8 2 0 は、第 1 行メモリ 8 1 0 に記憶されている最初の行に対する入力画像信号 (D i n) を読み取る。

【 0 1 2 0 】

第 1 変換部 8 2 0 は、圧縮メモリ 8 2 1 に記憶されている圧縮基準画像信号 (D r e f) に基づいて 2 つの行に対する圧縮画像信号 (D c o m p) 及び復元画像信号 (D r e s t) を生成する。生成された圧縮画像信号 (D c o m p) は、フレームメモリ 8 4 0 に記憶され、復元画像信号 (D r e s t) は第 1 演算部 8 6 0 に伝送される。また、復元画像信号 (D r e s t) の一部は、次のブロック行のための圧縮基準信号 (D r e f) として圧縮メモリ 8 2 1 に記録される。

【 0 1 2 1 】

圧縮画像信号 (D c o m p) は上述したように、ビット数が入力画像信号 (D i n) のビット数より小さく、これを伝送する際に必要なデータ伝送線の数もまた小さい。例えば、圧縮画像信号 (D c o m p) のビット数が入力画像信号 (D i n) のビット数の 1 / 2 の場合、2 行に対する圧縮画像信号 (D c o m p) を伝送する際に 2 4 個のデータ伝送線が必要である。

【 0 1 2 2 】

一方、第 1 の区間 (T 3) においてフレームメモリ制御部 8 3 0 は、フレームメモリ 8 4 0 から第 1 及び第 2 画素行に対する直前フレームの圧縮画像信号 (D c o m p _ p r e) を読み取り、バッファメモリ 8 5 1 に記録する。

【 0 1 2 3 】

次に、第 2 の区間 (T 4) において第 2 変換部 8 5 0 は、バッファメモリ 8 5 1 から 2 つの画素行に対する直前フレームの圧縮画像信号 (D c o m p _ p r e) を読み取り、復元メモリ 8 5 2 から該当する圧縮ブロックに対する圧縮基準画像信号 (D r e f _ p r e) を読み取って圧縮画像信号 (D c o m p _ p r e) を復元して、復元画像信号 (D r e s t _ p r e) を生成する。

このような復元画像信号 (D r e s t _ p r e) の一部は、次行の復元のための圧縮基準画像信号 (D r e f _ p r e) として復元メモリ 8 5 2 に記憶される。

【 0 1 2 4 】

第 1 演算部 8 6 0 は、第 2 変換部 7 5 0 から受信した直前フレームの復元画像信号 (D r e s t _ p r e) から第 1 変換部 8 2 0 から受信した現在フレームの復元画像信号 (D r e s t) を差し引いて差信号 (Δ D r e s t) を生成し、これを第 2 行メモリ 8 7 0 に記録する。

【 0 1 2 5 】

このような動作が連続して行われる間、圧縮時に圧縮基準画像信号 (D r e f) として直前の行の復元画像信号 (D r e f) が使用されることで、行メモリの数を減らし、それによりコスト及び空間を節減することができる。

すなわち、フレームメモリ及びバッファメモリを除いたメモリの容量を比較すれば、図 5 の信号処理部のメモリ容量は、デュアルポートメモリ 6 個及びシングルポートメモリ 4 つが必要であり、図 7 の信号処理部は、デュアルポートメモリが 1 つと、シングルポ

10

20

30

40

50

トメモリが１つと、圧縮及び復元メモリが１／２のシングルポートメモリをそれぞれ占める。これにより図７の信号処理部の場合、メモリ容量を大きく減らすことができる。

【０１２６】

このように各ブロック（ＢＬ）における１行１列の圧縮画像信号（Ｄｃｏｍｐ）は、直前ブロック行の復元画像信号又は直前ブロック列の復元画像信号を、圧縮基準画像信号として用いることにより得られ、１行１列以外の圧縮画像信号は、該当するブロックの他の画素の復元画像信号を圧縮基準画像信号として用いることにより得られる。

【０１２７】

以上では圧縮及び復元の基本単位を２×２画素行列からなるブロックとしたが、任意の画素行列（好ましくは正方行列）からなるブロックとすることも可能である。この場合は、各ブロックで少なくとも１つの画素（好ましくは１つの画素）に対する圧縮画像信号のみ隣接したブロックの画素に対する復元画像信号に基づいて生成され、残りの画素に対する圧縮画像信号は、該ブロック内の隣接する画素に対する復元画像信号に基づいて生成される。また、第１及び第２行メモリ（８１０、８７０）の数、圧縮メモリ８２１及び復元メモリ８５２の大きさなどは変更できる。

【０１２８】

このような信号処理部８００は、ＤＣＣ処理された補正画像信号を生成するものとして説明したが、これと異なる信号補正を行って補正画像信号を生成することもでき、このような補正としてはＡＣＣautomatic capacitance compensation）、ディザリング（dithering）、ガンマ補正（gamma correction）、インパルス補正（impulsive compensation）などが挙げられる。

【０１２９】

尚、本発明は、上述の実施形態に限られるものではない。本発明の技術的範囲から逸脱しない範囲内で多様に変更実施することが可能である。

【図面の簡単な説明】

【０１３０】

【図１】本発明の第１の実施形態による液晶表示装置のブロック図である。

【図２】本発明の第１の実施形態による液晶表示装置の１つの画素の等価回路図である。

【図３】本発明の第１の実施形態による液晶表示装置の信号処理部のブロック図である。

【図４】図３の信号処理部の信号圧縮原理を説明するための図である。

【図５】本発明の第２の実施形態による液晶表示装置の信号処理部のブロック図である。

【図６】図５の信号処理部の動作を説明するための信号波形図である。

【図７】本発明の第３の実施形態による液晶表示装置の信号処理部のブロック図である。

【図８】図７の信号処理部の動作を説明するための信号波形図である。

【符号の説明】

【０１３１】

- ３ 液晶層
- １００、２００ （下部及び上部）表示板
- １９１ 画素電極
- ２３０ カラーフィルタ
- ２７０ 共通電極
- ３００ 液晶表示板組立体
- ４００ ゲート駆動部
- ５００ データ駆動部
- ５５０ 階調電圧生成部
- ６００ 信号制御部
- ７００ 信号処理部
- ７１０ 第１記憶部
- ７１２、７１３、７１４、７１５ 行メモリ

10

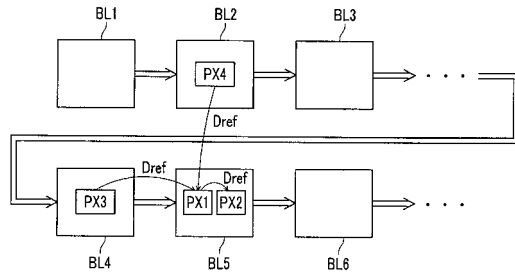
20

30

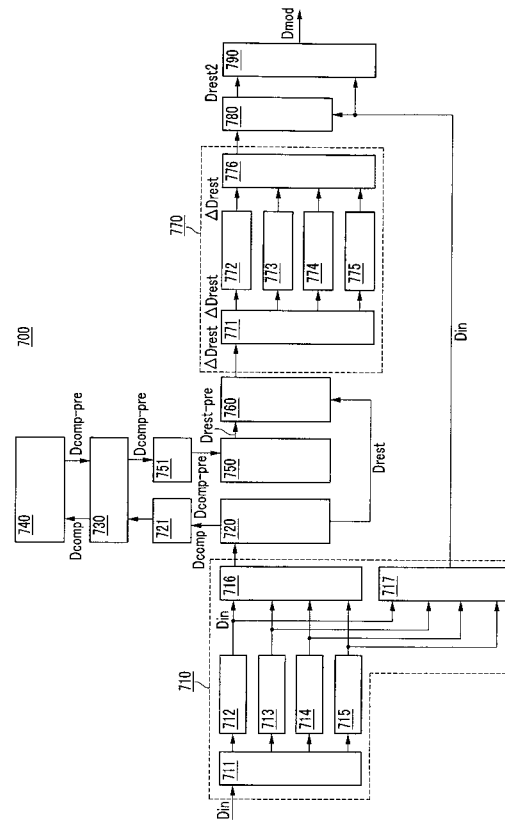
40

50

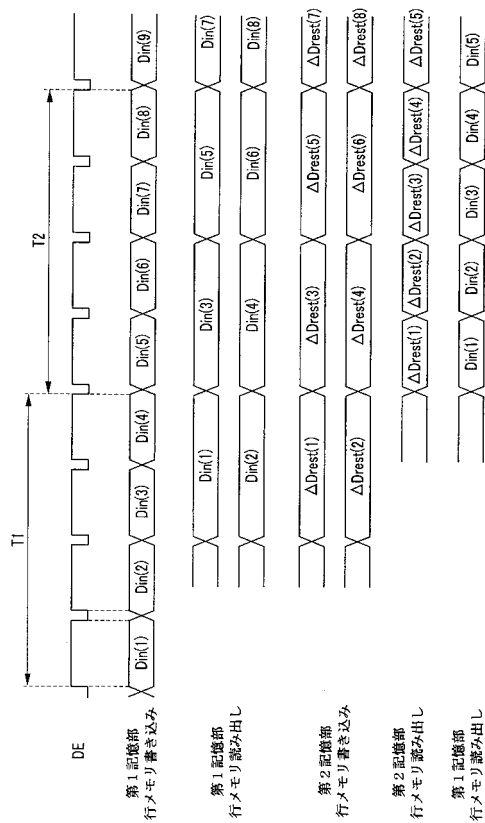
【図4】



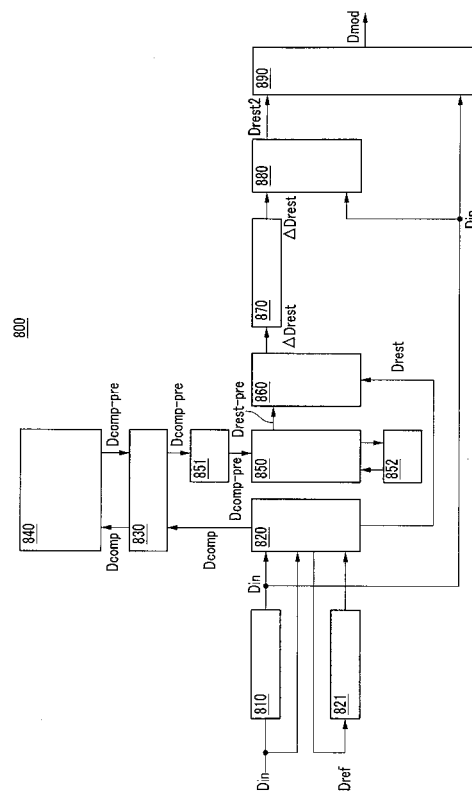
【図5】



【図6】



【図7】



フロントページの続き

審査官 山崎 仁之

(56)参考文献 特開 2 0 0 6 - 2 6 7 1 7 2 (J P , A)
特開平 0 5 - 0 6 4 0 0 0 (J P , A)
特開平 0 1 - 1 1 2 3 7 7 (J P , A)
特開 2 0 0 6 - 0 4 7 9 9 3 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)
G 0 9 G 3 / 3 6
G 0 9 G 3 / 2 0
H 0 4 N 5 / 6 6

专利名称(译)	显示装置的驱动装置及其驱动方法		
公开(公告)号	JP5571893B2	公开(公告)日	2014-08-13
申请号	JP2008275449	申请日	2008-10-27
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子株式会社		
当前申请(专利权)人(译)	三星显示器的股票会社		
[标]发明人	朴鐘賢		
发明人	朴 鐘 賢		
IPC分类号	G09G3/36 G09G3/20 H04N5/66		
CPC分类号	G09G3/3618 G09G3/2011 G09G3/3648 G09G5/393 G09G5/395 G09G2340/02 G09G2340/16 G09G2360/18		
FI分类号	G09G3/36 G09G3/20.621.F G09G3/20.641.C G09G3/20.632.B H04N5/66.102.B		
F-TERM分类号	5C006/AA16 5C006/AF26 5C006/BB16 5C006/BF02 5C006/FA12 5C058/AA06 5C058/BA01 5C058/BA35 5C058/BB13 5C080/AA10 5C080/BB05 5C080/DD08 5C080/EE29 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04		
优先权	1020070108747 2007-10-29 KR		
其他公开文献	JP2009110001A		
外部链接	Espacenet		

摘要(译)

本发明提供一种能够在不增加液晶的响应速度且不受时间限制的情况下压缩图像信号的显示装置的驱动装置及其驱动方法。 本发明涉及一种驱动装置，其包括多个含有两个以上的像素行和像素列中，输入图像信号布置成多个像素块的像素的多个像素块中的一个的显示装置用于产生第一转换器接收通过压缩基于压缩基准图像信号的图像信号的输入图像信号被压缩，一帧存储器，用于存储压缩的图像信号，从帧存储器读出的压缩图像信号，基于压缩标准图像信号的压缩基于像素块生成压缩图像信号，并且在1附近生成用于像素块中的一个像素的压缩参考图像信号并且，用于像素块中的剩余像素的压缩参考图像信号是用于像素块中的其他像素的恢复图像信号。 点域

[illegible]