

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5214613号  
(P5214613)

(45) 発行日 平成25年6月19日 (2013. 6. 19)

(24) 登録日 平成25年3月8日 (2013. 3. 8)

(51) Int. Cl.

F I

G 0 9 G 3/36 (2006. 01)

G 0 9 G 3/20 (2006. 01)

G 0 2 F 1/133 (2006. 01)

G 0 9 G 3/36

G 0 9 G 3/20 6 2 2 C

G 0 9 G 3/20 6 2 2 L

G 0 9 G 3/20 6 1 2 J

G 0 9 G 3/20 6 1 1 H

請求項の数 7 (全 26 頁) 最終頁に続く

(21) 出願番号 特願2009-528050 (P2009-528050)  
 (86) (22) 出願日 平成20年5月26日 (2008. 5. 26)  
 (86) 国際出願番号 PCT/JP2008/059671  
 (87) 国際公開番号 W02009/022486  
 (87) 国際公開日 平成21年2月19日 (2009. 2. 19)  
 審査請求日 平成21年11月19日 (2009. 11. 19)  
 (31) 優先権主張番号 特願2007-210343 (P2007-210343)  
 (32) 優先日 平成19年8月10日 (2007. 8. 10)  
 (33) 優先権主張国 日本国 (JP)

(73) 特許権者 000005049  
 シャープ株式会社  
 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号  
 (74) 代理人 110000338  
 特許業務法人原謙三国際特許事務所  
 (72) 発明者 伊藤 資光  
 日本国大阪府大阪市阿倍野区長池町 2 2 番  
 2 2 号 シャープ株式会社内

審査官 居島 一仁

最終頁に続く

(54) 【発明の名称】 表示装置、表示装置の制御装置、表示装置の駆動方法、液晶表示装置、テレビジョン受像機

(57) 【特許請求の範囲】

【請求項 1】

複数のデータ信号線および複数の走査信号線が形成された表示部を備えるとともに、  
 該表示部に複数の走査信号線を含む第 1 領域と複数の走査信号線を含む第 2 領域とが設け  
 られ、第 1 領域の各走査信号線に第 1 走査信号が出力され、第 2 領域の各走査信号線に第  
 2 走査信号が出力される表示装置であって、

第 1 領域に設けられたデータ信号線と、第 2 領域に設けられたデータ信号線とが分離  
 されており、

上記第 1 走査信号のアクティブ期間の波形と第 2 走査信号のアクティブ期間の波形と  
 を異ならせるための波形調整部と、入力される調整データに基づいて上記波形調整部を制  
 御する波形調整部制御回路と、上記調整データを格納するメモリと、第 1 領域のデータ信  
 号線を駆動する第 1 データ信号線駆動回路と、第 2 領域のデータ信号線を駆動する第 2 デ  
 ータ信号線駆動回路とを備え、

上記波形調整部は、波形調整部制御回路の制御を受けて、第 1 走査信号のアクティブ  
 期間に立ち上がる電圧パルスの幅と、第 2 走査信号のアクティブ期間に立ち上がる電圧パ  
 ルスの幅とを異ならせることを特徴とする表示装置。

【請求項 2】

上記第 1 および第 2 走査信号の波形調整をしないと同一階調表示時に第 1 領域よりも  
 第 2 領域の方が高輝度となる場合に、上記波形調整部は、第 2 走査信号のアクティブ期間  
 に立ち上がる電圧パルスの幅を、第 1 走査信号のアクティブ期間に立ち上がる電圧パルス

10

20

の幅よりも小さくする設定を行うことを特徴とする請求項 1 記載の表示装置。

【請求項 3】

上記波形調整部は、波形調整部制御回路から出力された、調整データに基づいた信号を受けて上記設定を行うことを特徴とする請求項 2 記載の表示装置。

【請求項 4】

走査信号線に直交する方向を上下方向とすれば、

上記表示部が上半分の走査信号線を含む第 1 領域と下半分の走査信号線を含む第 2 領域とに分けられていることを特徴とする請求項 1 に記載の表示装置。

【請求項 5】

走査信号線に沿う方向を左右方向とすれば、

上記表示部が左半分の走査信号線を含む第 1 領域と右半分の走査信号線を含む第 2 領域とに分けられていることを特徴とする請求項 1 に記載の表示装置。

【請求項 6】

請求項 1 ～ 5 のいずれか 1 項に記載の表示装置を備えることを特徴とする液晶表示装置

。

【請求項 7】

請求項 6 記載の液晶表示装置と、テレビジョン放送を受信するチューナ部とを備えることを特徴とするテレビジョン受像機。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、表示装置の走査信号線に供給される走査信号（ゲートオンパルス）に関する

。

【背景技術】

【0002】

表示装置（例えば、液晶表示装置）の高精細化に伴う各画素への書き込み時間の短縮や表示装置の大型化に伴う信号波形の鈍りに対応するため、表示部を複数の領域に分割し、各領域を別々に駆動する構成が提案されている。例えば特許文献 1（図 30 参照）には、表示部を、複数のソースライン（ $HS1 \sim HS_m$ ）および複数のゲートライン（ $G1 \sim G(n/2)$ ）を含む第 1 の領域と、複数のソースライン（ $HS1' \sim HS_m'$ ）および複数のゲートライン（ $G(n/2 + 1) \sim G_n$ ）を含む第 2 の領域とに分割し、第 1 の領域を駆動するソースドライバ 102 およびゲートドライバ 103 を設けるとともに、第 2 の領域を駆動するソースドライバ 102' およびゲートドライバ 103' を設けた表示装置が開示されている。

【特許文献 1】日本国公開特許公報「特開平 11 - 102172 号（1999 年 4 月 13 日公開）」

【発明の開示】

【0003】

上記のように表示部を複数の領域に分割する構成においては、領域ごとの形成条件の相違に起因してゲートラインの線幅等が異なり、同一階調表示をしても領域ごとに輝度が異なってしまう場合がある。ここで本願発明者は、このような場合に各領域を別々に駆動すると、領域間の輝度差が目立ち、各領域の境界が認識されるおそれがあることを見出した

。

【0004】

本発明は上記課題に鑑みてなされたものであり、その目的は、表示部を複数の領域に分割して駆動する表示装置において、領域間の輝度差を抑制しうる構成を提案する点にある

。

【0005】

本表示装置は、複数のデータ信号線および複数の走査信号線が形成された表示部を備え

10

20

30

40

50

るとともに、該表示部に複数の走査信号線を含む第1領域と複数の走査信号線を含む第2領域とが設けられ、第1領域の各走査信号線に第1走査信号が出力され、第2領域の各走査信号線に第2走査信号が出力される表示装置であって、上記第1走査信号のアクティブ期間の波形と第2走査信号のアクティブ期間の波形とを異ならせるための波形調整部を備えることを特徴とする。

【0006】

上記構成よれば、同一階調を表示しても第1および第2領域で輝度差が生じる場合に、波形調整部を用いて上記第1走査信号のアクティブ期間の波形と第2走査信号のアクティブ期間の波形とを異ならせることで、上記輝度差を低減することができる。これにより、各領域の境界が認識されにくくなる。

10

【0007】

本表示装置は、複数のデータ信号線および複数の走査信号線が形成された表示部を備えるとともに、該表示部に複数の走査信号線を含む第1領域と複数の走査信号線を含む第2領域とが設けられ、第1領域に対応して第1走査信号が生成され、第2領域に対応して第2走査信号が生成される表示装置であって、データ信号の出力期間に対する上記第1走査信号のアクティブ期間の開始タイミングと、上記データ信号の出力期間に対する上記第2走査信号のアクティブ期間の開始タイミングとを異ならせるためのタイミング調整部が含まれていることを特徴とする。

【0008】

上記構成よれば、データ信号の出力期間に対する上記第1走査信号のアクティブ期間の開始タイミングと、上記データ信号の出力期間に対する上記第2走査信号のアクティブ期間の開始タイミングとを異ならせることで上記輝度差を低減することができる。これにより、各領域の境界を認識されにくくすることができる。

20

【0009】

本表示装置は、入力される調整データに基づいて波形調整部を制御する波形調整部制御部を備える構成とすることができる。こうすれば、波形調整部を自動制御でき、便利である。また、本表示装置は、入力される調整データに基づいてタイミング調整部を制御するタイミング調整部制御回路を備える構成とすることもできる。こうすれば、タイミング調整部を自動制御でき、便利である。

【0010】

本表示装置は、上記調整データを格納するメモリを備える構成とすることができる。こうすれば、メモリにデータを書き込むことで調整データを設定することができ、便利である。

30

【0011】

本表示装置では、上記波形調整部は、第1走査信号のアクティブ期間の幅と第2走査信号のアクティブ期間の幅とを異ならせる構成とすることもできる。

【0012】

本表示装置では、第1および第2走査信号はそれぞれ、アクティブ期間終了に伴う戻り部分の少なくとも一部が傾斜している構成とすることもできる。

【0013】

本表示装置では、上記波形調整部は、第1走査信号の上記戻り部分の傾斜と第2走査信号の上記戻り部分の傾斜とを異ならせる構成とすることもできる。

40

【0014】

本表示装置では、上記波形調整部は、第1走査信号の上記戻り部分の開始タイミングと第2走査信号の上記戻り部分の開始タイミングとを異ならせる構成とすることもできる。

【0015】

本表示装置では、上記波形調整部は、第1走査信号の立ち上がりの急峻さ（立ち上がり速さ）と第2走査信号の立ち上がりの急峻さ（立ち上がり速さ）とを異ならせる構成とすることもできる。

【0016】

50

本表示装置では、上記波形調整部は、第1走査信号の立ち下がりの急峻さ（立ち下がり速さ）と第2走査信号の立ち下がりの急峻さ（立ち下がり速さ）とを異ならせる構成とすることもできる。

【0017】

本表示装置では、上記波形調整部は、第1走査信号のアクティブ期間の電圧と第2走査信号のアクティブ期間の電圧とを異ならせる構成とすることもできる。

【0018】

本表示装置では、第1クロック信号を用いて第1走査信号が生成され、第2クロック信号を用いて第2走査信号が生成される構成とすることもできる。

【0019】

本表示装置では、上記タイミング調整部は、データ信号の出力開始時における第1クロック信号と第2クロック信号の位相を異ならせる構成とすることもできる。

【0020】

本表示装置では、第1領域に対応する第1走査信号線駆動回路と、第2領域に対応する第2走査信号線駆動回路とが設けられ、第1走査信号線駆動回路は、第1走査電圧を用いて上記第1走査信号を生成し、第2走査信号線駆動回路は、第2走査電圧を用いて上記第2走査信号を生成する構成とすることもできる。

【0021】

本表示装置では、上記第1走査電圧を生成する第1走査電圧生成回路と、第2の走査電圧を生成する第2走査電圧生成回路とを備え、第1および第2走査電圧生成回路の少なくとも一方に、上記波形調整部が含まれている構成とすることもできる。

【0022】

本表示装置では、上記第1走査電圧生成回路は、定電圧に周期的な変化を与えて第1走査電圧を生成し、上記第2走査電圧生成回路は、定電圧に周期的な変化を与えて第2走査電圧を生成する構成とすることもできる。

【0023】

本表示装置では、上記第1走査電圧生成回路は、定電圧を昇圧あるいは降圧して第1走査電圧を生成し、上記第2走査電圧生成回路は、定電圧を昇圧あるいは降圧して第2走査電圧を生成する構成とすることもできる。

【0024】

本表示装置では、各走査電圧生成回路は、第1および第2トランジスタと第1および第2抵抗とダイオードとを含み、第1トランジスタのコレクタ端子が定電圧源に接続されるときにそのエミッタ端子が対応する走査信号線駆動回路に接続され、第2トランジスタの第1導通端子が接地され、第2トランジスタの制御端子に、上記変化のタイミングを制御する信号が入力され、上記第1抵抗の一方の端部が第1トランジスタのコレクタ端子に接続されるときに他方の端部が第1トランジスタのベース端子に接続され、上記第2抵抗の一方の端部が第1トランジスタのベース端子に接続されるときに他方の端部が第2トランジスタの第2導通端子に接続され、上記ダイオードのアノード端子が第1トランジスタのエミッタ端子に接続されるときにカソード端子が第1トランジスタのベース端子に接続されている構成とすることもできる。この場合、少なくとも一方の走査電圧生成回路では、第2抵抗と並列して、可変抵抗として機能する波形調整部が配されている構成とすることもできる。また、少なくとも一方の走査電圧生成回路では、第1抵抗と並列して、可変抵抗として機能する波形調整部が配されている構成とすることもできる。

【0025】

本表示装置では、各走査電圧生成回路は、第1および第2トランジスタと第1および第2抵抗とダイオードとを含み、第1トランジスタのコレクタ端子が定電圧源に接続され、第2トランジスタの第1導通端子が接地され、第2トランジスタの制御端子に、上記変化のタイミングを制御する信号が入力され、上記第1抵抗の一方の端部が第1トランジスタのコレクタ端子に接続されるときに他方の端部が第1トランジスタのベース端子に接続され、上記第2抵抗の一方の端部が第1トランジスタのベース端子に接続されるときに

10

20

30

40

50

他方の端部が第2トランジスタの第2導通端子に接続され、上記ダイオードのアノード端子が第1トランジスタのエミッタ端子に接続されるとともにカソード端子が第1トランジスタのベース端子に接続され、少なくとも一方の走査電圧生成回路では、第1トランジスタのエミッタ端子と、対応する走査信号線駆動回路との間に、可変抵抗として機能する波形調整部が配されている構成とすることもできる。

【0026】

本表示装置では、各走査電圧生成回路は、第3トランジスタと第3抵抗とツェナーダイオードとを含み、上記第3トランジスタのコレクタ端子が定電圧源に接続されるとともにそのエミッタ端子が対応する走査信号線駆動回路に接続され、上記ツェナーダイオードのアノード端子が接地されるとともにカソード端子が第3トランジスタのベース端子に接続され、上記第3抵抗の一方の端部が第3トランジスタのコレクタ端子に接続されるとともに他方の端部が第3トランジスタのベース端子に接続されている構成とすることもできる。この場合、少なくとも一方の走査電圧生成回路では、第3抵抗と並列して、可変抵抗として機能する波形調整部が配されている構成とすることもできる。

10

【0027】

本表示装置では、各走査電圧生成回路は、第3トランジスタと第3抵抗とツェナーダイオードとを含み、第3トランジスタのコレクタ端子が定電圧源に接続され、ツェナーダイオードのアノード端子が接地されるとともにカソード端子が第3トランジスタのベース端子に接続され、上記第3抵抗の一方の端部が第3トランジスタのコレクタ端子に接続されるとともに他方の端部が第3トランジスタのベース端子に接続され、少なくとも一方の走査電圧生成回路では、第3トランジスタのエミッタ端子と、対応する走査信号線駆動回路との間に、可変抵抗として機能する波形調整部が配されている構成とすることもできる。

20

【0028】

本表示装置では、各走査電圧生成回路は、第4・5抵抗とアンプ回路とを含み、アンプ回路の正相端子が定電圧源に接続されるとともにその出力端子が対応する走査信号線駆動回路に接続され、第4抵抗の一方の端部が接地されるとともに他方の端部がアンプ回路の逆相端子に接続され、第5抵抗の一方の端部がアンプ回路の逆相端子に接続されるとともに他方の端部がアンプ回路の出力端子に接続されている構成とすることもできる。この場合、少なくとも一方の走査電圧生成回路では、第5抵抗と並列して、可変抵抗として機能する波形調整部が配されている構成とすることもできる。

30

【0029】

本表示装置では、第1領域に対応する第1走査信号線駆動回路と、第2領域に対応する第2走査信号線駆動回路とが設けられ、第1走査信号線駆動回路は、第1クロック信号を用いて上記第1走査信号を生成し、第2走査信号線駆動回路は、第2クロック信号を用いて上記第2走査信号を生成する構成とすることもできる。

【0030】

本表示装置では、上記第1クロック信号を生成する第1タイミング制御回路と、第2クロック信号を生成する第2タイミング制御回路とを備え、第1および第2タイミング制御回路の少なくとも一方に、上記タイミング調整部が含まれている構成とすることもできる。

40

【0031】

本表示装置では、走査信号線に直交する方向を上下方向とすれば、上記表示パネルは、上半分の走査信号線を含む第1領域と下半分の走査信号線を含む第2領域とに分けられている構成とすることもできる。

【0032】

本表示装置では、走査信号線に沿う方向を左右方向とすれば、上記表示パネルは、左半分の走査信号線を含む第1領域と右半分の走査信号線を含む第2領域とに分けられている構成とすることもできる。

【0033】

本表示装置の制御装置は、複数のデータ信号線および複数の走査信号線が形成された表

50

示部を備えるとともに、該表示部に複数の走査信号線を含む第 1 領域と複数の走査信号線を含む第 2 領域とが設けられ、第 1 領域に対応して第 1 走査信号が生成され、第 2 領域に対応して第 2 走査信号が生成される表示装置に用いられる、表示装置の制御装置（例えば、表示装置内に設けられる制御装置）であって、上記第 1 走査信号のアクティブ期間の波形と第 2 走査信号のアクティブ期間の波形とを異ならせるための波形調整部を備えることを特徴とする。

【0034】

本表示装置の制御装置は、複数のデータ信号線および複数の走査信号線が形成された表示部を備えるとともに、該表示部に複数の走査信号線を含む第 1 領域と複数の走査信号線を含む第 2 領域とが設けられ、第 1 領域に対応して第 1 走査信号が生成され、第 2 領域に対応して第 2 走査信号が生成される表示装置に用いられる、表示装置の制御装置であって、

データ信号の出力期間に対する上記第 1 走査信号のアクティブ期間の開始タイミングと、上記データ信号の出力期間に対する上記第 2 走査信号のアクティブ期間の開始タイミングとを異ならせるためのタイミング調整部を備えることを特徴とする。

【0035】

本表示装置の駆動方法は、複数のデータ信号線および複数の走査信号線が形成された表示部を備えるとともに、該表示部に複数の走査信号線を含む第 1 領域と複数の走査信号線を含む第 2 領域とが設けられ、第 1 領域に対応して第 1 走査信号が生成され、第 2 領域に対応して第 2 走査信号が生成される表示装置を駆動するための、表示装置の駆動方法であって、上記第 1 走査信号のアクティブ期間の波形と第 2 走査信号のアクティブ期間の波形とを異ならせることを特徴とする。

【0036】

本表示装置の駆動方法は、複数のデータ信号線および複数の走査信号線が形成された表示部を備えるとともに、該表示部に複数の走査信号線を含む第 1 領域と複数の走査信号線を含む第 2 領域とが設けられ、第 1 領域に対応して第 1 走査信号が生成され、第 2 領域に対応して第 2 走査信号が生成される表示装置を駆動するための、表示装置の駆動方法であって、データ信号の出力期間に対する上記第 1 走査信号のアクティブ期間の開始タイミングと、上記データ信号の出力期間に対する上記第 2 走査信号のアクティブ期間の開始タイミングとを異ならせることを特徴とする。

【0037】

本液晶表示装置は、上記表示装置を備えることを特徴とする。また、本テレビジョン受像機は、上記液晶表示装置と、テレビジョン放送を受信するチューナ部とを備えることを特徴とする。

【0038】

以上のように、本表示装置によれば、同一階調を表示しても第 1 および第 2 領域で輝度差が生じる場合に、波形調整部を用いて上記第 1 走査信号のアクティブ期間の波形と第 2 走査信号のアクティブ期間の波形とを異ならせることで、上記輝度差を低減することができる。

【図面の簡単な説明】

【0039】

【図 1】本液晶表示装置の構成を示す模式図である。

【図 2】本実施の形態 1 の構成（図 1 のドライバ制御回路の構成例）を示すブロック図である。

【図 3】図 2 に示す構成の一具体例を示す回路図である。

【図 4】図 3 の各部の波形を示すタイミングチャートである。

【図 5】波形調整部の設定例を説明する表である。

【図 6】第 1 走査信号および第 2 走査信号のアクティブ期間の波形を示すグラフである。

【図 7】図 2 に示す構成の他の具体例を示す回路図である。

【図 8】図 2 に示す構成の他の具体例を示す回路図である。

10

20

30

40

50

【図 9】本実施の形態 2 の構成（図 1 のドライバ制御回路の構成例）を示すブロック図である。

【図 10】後段回路の構成を示す回路図である。

【図 11】図 9 に示す構成の他の具体例を示す回路図である。

【図 12】図 11 の各部の波形を示すタイミングチャートである。

【図 13】第 1 走査信号および第 2 走査信号のアクティブ期間の波形を示すグラフである。

【図 14】第 1 走査信号および第 2 走査信号のアクティブ期間の波形を示すグラフである。

【図 15】図 9 に示す構成の他の具体例を示す回路図である。

10

【図 16】図 9 に示す構成の他の具体例を示す回路図である。

【図 17】本実施の形態 3 の構成（図 1 のドライバ制御回路の構成例）を示す回路図である。

【図 18】本実施の形態 3 の他構成を示す回路図である。

【図 19】本実施の形態 3 の他構成を示す回路図である。

【図 20】本実施の形態 4 の構成（図 1 のドライバ制御回路の構成例）を示すブロック図である。

【図 21】本実施の形態 5 の構成（図 1 のドライバ制御回路の構成例）を示すブロック図である。

【図 22】データ信号の出力、第 1 G C K、第 1 走査信号、第 2 G C K、および第 2 走査信号の各波形を示すタイミングチャートである。

20

【図 23】データ信号の出力、第 1 G C K、第 1 走査信号、第 2 G C K、および第 2 走査信号の各波形を示すタイミングチャートである。

【図 24】本実施の形態 4 の他構成（図 1 のドライバ制御回路の構成例）を示すブロック図である。

【図 25】第 1 走査信号および第 2 走査信号のアクティブ期間の波形を示すグラフである。

【図 26】本実施の形態 2 の他構成（図 1 のドライバ制御回路の構成例）を示す回路図である。

【図 27】本実施の形態 4 における、第 1 G O E、第 1 G C K、第 1 走査信号、第 2 G O E、第 2 G C K、第 2 走査信号の各波形を示すタイミングチャートである。

30

【図 28】本液晶表示装置の他の構成を示す模式図である。

【図 29】本テレビジョン受像機の構成を示すブロック図である。

【図 30】従来の液晶表示装置の構成を示す回路図である。

【符号の説明】

【0040】

1 液晶表示装置

2 表示部

3 ドライバ制御回路

5 第 1 タイミングコントローラ

40

5 a 波形調整部

5 b タイミング調整部

6 第 2 タイミングコントローラ

6 a 波形調整部

6 b タイミング調整部

7 第 1 走査電圧生成回路

7 x 波形生成部

7 y 波形調整部

8 第 2 走査電圧生成回路

8 x 波形生成部

50

8 y 波形調整部  
 1 1 定電圧源  
 3 5 L S I  
 4 5 メモリ  
 F A (表示部の)第1の領域  
 S A (表示部の)第2の領域  
 G D F 第1ゲートドライバ  
 G D S 第2ゲートドライバ

【発明を実施するための最良の形態】

【0041】

10

本発明の実施の一形態を図1～図29に基づいて説明すれば以下のとおりである。

【0042】

図1は本液晶表示装置の構成を示すブロック図である。同図に示されるように、本液晶表示装置1は、表示部2と、第1ゲートドライバGDF(第1走査信号線駆動回路)と、第2ゲートドライバGDS(第2走査信号線駆動回路)と、第1ソースドライバSDFと、第2ソースドライバSDSと、ドライバ制御回路3とを備える。表示部2は、データ信号線SF1～SFnおよび走査信号線GF1～GFkを含む第1の領域FAと、データ信号線SS1～SSnおよび走査信号線GSk+1～GSmを含む第2の領域SAとに分割されており、各領域(FA・SA)が別々に駆動される。すなわち、第1の領域FAに含まれるデータ信号線SF1～SFnは第1ソースドライバSDFに駆動され、第1の領域FAに含まれる走査信号線GF1～GFkは第1ゲートドライバGDFに駆動され、第2の領域SAに含まれるデータ信号線SS1～SSnは第2ソースドライバSDSに駆動され、第2の領域SAに含まれる走査信号線GSk+1～GSmは第2ゲートドライバGDSに駆動される。なお、ドライバ制御回路3は、第1ゲートドライバGDF、第2ゲートドライバGDS、第1ソースドライバSDF、および第2ソースドライバSDSを制御する。

20

【0043】

〔実施の形態1〕

図2は、図1のドライバ制御回路3の一部と第1および第2ゲートドライバGDF・GDSとを示すブロック図である。同図に示されるように、ドライバ制御回路3は、定電圧源11と、非選択電圧生成回路25と、メモリ45と、LSI35(波形調整部制御回路)と、タイミングコントローラ21と、第1走査電圧生成回路7と、第2走査電圧生成回路8とを備える。なお、第1走査電圧生成回路7は、波形生成部7xと波形調整部7yとを含み、第2走査電圧生成回路8は、波形生成部8xと波形調整部8yとを含む。

30

【0044】

第1走査電圧生成回路7は、定電圧源11から供給された定電圧を第1の領域FAに対応するように変化させて第1走査電圧とし、これを第1ゲートドライバGDFに出力する。また、第2走査電圧生成回路8は、定電圧源11から供給された定電圧を第2の領域SAに対応するように変化させて第2走査電圧とし、これを第2ゲートドライバGDSに出力する。タイミングコントローラ21は、GCK(ゲートクロックパルス)を第1および第2ゲートドライバGDF・GDSそれぞれに出力するとともに、第1および第2走査電圧を生成するためのパルス信号を波形生成部7x・8xに出力する。LSI35は、メモリ45から読み出したデータに基づいて波形調整部7y・8yを制御する。なお、第1および第2走査電圧を生成するための上記パルス信号は、タイミングコントローラ21からLSI35を介して波形生成部7x・8xに出力されても構わない。

40

【0045】

第1ゲートドライバGDFは、第1走査電圧生成回路7から供給された第1走査電圧と、非選択電圧生成回路25から供給された非選択電圧と、タイミングコントローラ21から供給されたGCKとを用いて第1走査信号を生成し、これを第1の領域FAの各走査信号線(GF1～GFk)に出力する。また、第2ゲートドライバGDSは、第2走査電圧

50

生成回路 8 から供給された第 2 走査電圧と、非選択電圧生成回路 25 から供給された非選択電圧と、タイミングコントローラ 21 から供給された GCK とを用いて第 2 走査信号を生成し、これを第 2 の領域 SA の各走査信号線 (GS<sub>k+1</sub> ~ GS<sub>m</sub>) に出力する。

#### 【0046】

図 3 は図 2 の一具体例を示す回路図である。同図に示されるように、波形生成部 7x は、NPN 型のバイポーラトランジスタであるトランジスタ Tr1 (第 1 トランジスタ) と、抵抗 R1・R2 (第 1・2 抵抗) と、ダイオード d と、N チャンネルの FET であるトランジスタ Tr2 (第 2 トランジスタ) とを備える。ここで、トランジスタ Tr1 は、そのコレクタ端子が定電圧源 11 に接続され、そのエミッタ端子が第 1 ゲートドライバ GDF に接続され、トランジスタ Tr2 は、そのソース端子が接地され、そのゲート端子は LSI 35 に接続され、抵抗 R1 は、その一方の端部がトランジスタ Tr1 のコレクタ端子に接続され、他方の端部がトランジスタ Tr1 のベース端子に接続され、ダイオード d は、そのアノード端子がトランジスタ Tr1 のエミッタ端子に接続され、カソード端子がトランジスタ Tr1 のベース端子に接続されている。また、トランジスタ Tr1 のベース端子がノード X に接続し、トランジスタ Tr2 のドレイン端子がノード Y に接続され、ノード X は抵抗 R2 を介してノード Y に接続されている。また、波形調整部 7y は 3 つの抵抗 r1 ~ r3 と、3 つのトランジスタ S1 ~ S3 とを備える。ここで、抵抗 r1 はその一方の端部がノード X に接続され、他方がトランジスタ S1 を介してノード Y に接続され、抵抗 r2 はその一方の端部がノード X に接続され、他方がトランジスタ S2 を介してノード Y に接続され、抵抗 r3 はその一方の端部がノード X に接続され、他方がトランジスタ S3 を介してノード Y に接続され、トランジスタ S1 ~ S3 それぞれのゲート端子が LSI 35 に接続されている。すなわち、第 1 走査電圧生成回路 7 では、波形生成部 7x のトランジスタ Tr1 のベース端子とトランジスタ Tr2 のドレイン端子との間に接続された抵抗 R2 に並列して波形調整部 7y が挿入された構成となっている。

#### 【0047】

同様に、波形生成部 8x は、NPN 型のバイポーラトランジスタであるトランジスタ Tr1 と、抵抗 R1・R2 と、ダイオード d と、N チャンネルの FET であるトランジスタ Tr2 とを備える。ここで、トランジスタ Tr1 は、そのコレクタ端子が定電圧源 11 に接続され、そのエミッタ端子が第 2 ゲートドライバ GDS に接続され、トランジスタ Tr2 は、そのソース端子が接地され、そのゲート端子は LSI 35 に接続され、抵抗 R1 は、その一方の端部がトランジスタ Tr1 のコレクタ端子に接続され、他方の端部がトランジスタ Tr1 のベース端子に接続され、ダイオード d は、そのアノード端子がトランジスタ Tr1 のエミッタ端子に接続され、カソード端子がトランジスタ Tr1 のベース端子に接続されている。また、トランジスタ Tr1 のベース端子がノード X に接続し、トランジスタ Tr2 のドレイン端子がノード Y に接続され、ノード X は抵抗 R2 を介してノード Y に接続されている。また、波形調整部 8y は 3 つの抵抗 r1 ~ r3 と、3 つのトランジスタ S1 ~ S3 とを備える。ここで、抵抗 r1 はその一方の端部がノード X に接続され、他方がトランジスタ S1 を介してノード Y に接続され、抵抗 r2 はその一方の端部がノード X に接続され、他方がトランジスタ S2 を介してノード Y に接続され、抵抗 r3 はその一方の端部がノード X に接続され、他方がトランジスタ S3 を介してノード Y に接続され、トランジスタ S1 ~ S3 それぞれのゲート端子が LSI 35 に接続されている。すなわち、第 2 走査電圧生成回路 8 では、波形生成部 8x のトランジスタ Tr1 のベース端子とトランジスタ Tr2 のドレイン端子との間に接続された抵抗 R2 に並列して波形調整部 8y が挿入された構成となっている。

#### 【0048】

ここで、定電圧源 11 の出力を A、第 1 ゲートドライバ GDF への入力を B、トランジスタ Tr2 のゲート端子への入力 (パルス信号) を C、非選択電圧生成回路 25 の出力を D、タイミングコントローラ 21 から第 1 ゲートドライバ GDF への入力 (GCK) を E、第 1 ゲートドライバ GDF で生成される電圧パルスを F として、A ~ F の各波形を図 4 に示す。

10

20

30

40

50

## 【 0 0 4 9 】

トランジスタ  $T r 1$  のコレクタ端子には定電圧源 1 1 からの出力 A が供給されており、トランジスタ  $T r 2$  が OFF (トランジスタ  $T r 2$  のゲート端子への入力 C が「L」) となって所定時間が経過すると、トランジスタ  $T r 1$  のベース電流およびコレクタ電流が一定となり、G D F への入力 B は定電圧  $V G H$  となる。この状態でトランジスタ  $T r 2$  が ON する (トランジスタ  $T r 2$  のゲート端子への入力 C が「H」になる) と、ダイオード d に電流が流れてトランジスタ  $T r 1$  は OFF するため、G D F への入力 B は  $V G H$  から下がっていく。そして、この状態でトランジスタ  $T r 2$  が OFF する (トランジスタ  $T r 2$  のゲート端子への入力 C が「L」になる) と、トランジスタ  $T r 1$  のコレクタ電流が流れ出し、G D F への入力 B は  $V G H$  に向けて上がっていく。そして、所定時間が経過すると、トランジスタ  $T r 1$  のベース電流およびコレクタ電流が一定となって、G D F への入力 B は  $V G H$  となる。このように、定電圧源 1 1 から供給された定電圧は、第 1 走査電圧生成回路 7 によってノコギリ刃状の波形とされ、第 1 ゲートドライバ G D F に入力される。また、第 1 ゲートドライバ G D F には、非選択電圧生成回路 2 5 から、D で示す G N D 電圧未満の定電圧が入力される。すなわち、第 1 ゲートドライバ G D F は、タイミングコントローラ 2 1 からの入力 E ( G C K ) が「H」の期間は、非選択電圧生成回路 2 5 から入力された電圧 (非選択電圧) を選択し、上記 G C K が「L」の期間は、第 1 走査電圧生成回路 7 から入力された電圧 (第 1 走査電圧) を選択することで、F に示すような、立ち下がり部分 (戻り部分) が傾斜した電圧パルスを生成し、この電圧パルスがアクティブ期間に立つような第 1 走査信号 (ゲートオンパルス信号) を各走査信号線 ( G F 1 ~ G F k ) に出力する。

10

20

## 【 0 0 5 0 】

また、波形調整部 7 y は第 1 走査電圧生成回路 7 におけるノード X ・ Y 間の抵抗値を設定するものである。具体的には、L S I 3 5 からの信号によって、トランジスタ  $S 1 \sim S 3$  それぞれが ON あるいは OFF される。この組み合わせパターンとしては、図 5 に示すように、パターン 1 が、 $S 1 \rightarrow ON$ 、 $S 2 \rightarrow ON$ 、 $S 3 \rightarrow ON$ 、パターン 2 が、 $S 1 \rightarrow ON$ 、 $S 2 \rightarrow ON$ 、 $S 3 \rightarrow OFF$ 、パターン 3 が、 $S 1 \rightarrow ON$ 、 $S 2 \rightarrow OFF$ 、 $S 3 \rightarrow ON$ 、パターン 4 が、 $S 1 \rightarrow OFF$ 、 $S 2 \rightarrow ON$ 、 $S 3 \rightarrow ON$ 、パターン 5 が、 $S 1 \rightarrow ON$ 、 $S 2 \rightarrow OFF$ 、 $S 3 \rightarrow OFF$ 、パターン 6 が、 $S 1 \rightarrow OFF$ 、 $S 2 \rightarrow ON$ 、 $S 3 \rightarrow OFF$ 、パターン 7 が、 $S 1 \rightarrow OFF$ 、 $S 2 \rightarrow OFF$ 、 $S 3 \rightarrow ON$ 、パターン 8 が、 $S 1 \rightarrow OFF$ 、 $S 2 \rightarrow OFF$ 、 $S 3 \rightarrow OFF$  となっている。例えば、パターン 4 であれば、抵抗  $r 1$  および抵抗  $r 2$  並びに抵抗  $R 2$  の合成抵抗の値が、第 1 走査電圧生成回路 7 のノード X ・ Y 間の抵抗値となる。

30

40

## 【 0 0 5 1 】

ここで、ノード X ・ Y 間の抵抗値を大きくすると、電圧パルスの立ち下がり部分の傾斜が小さくなり、ノード X ・ Y 間の抵抗値を小さくすると、パルス信号の立ち下がり部分の傾斜が大きくなる (図 6 参照)。したがって、例えば、同一階調を表示したときに第 1 の領域 F A よりも第 2 の領域 S A の方が低輝度となる場合には、図 6 に示すように、第 2 ゲートドライバ G D S から出力される第 2 走査信号 G 2 の立ち下がり部分の傾斜を、第 1 ゲートドライバ G D F から出力される第 1 走査信号 G 1 の立ち下がり部分の傾斜よりも小さくすればよいので、第 2 走査電圧生成回路 8 におけるノード X ・ Y 間の抵抗値が第 1 走査電圧生成回路 7 におけるノード X ・ Y 間の抵抗値よりも大きくなるように、波形調整部 7 y および波形調整部 8 y のパターン設定 (  $S 1 \sim S 3$  の ON / OFF 設定 ) が行われる。具体的には、メモリ 4 5 に予め調整データが格納されており、L S I 3 5 が該調整データに基づいた信号を波形調整部 7 y および波形調整部 8 y に出力することで上記パターン設定が行われる。なお、この調整データはパネルごとに設定しておくことが望ましい。

## 【 0 0 5 2 】

図 7 は図 2 の他の具体例を示す回路図である。同図に示されるように、波形生成部 7 x は、N P N 型のバイポーラトランジスタであるトランジスタ  $T r 1$  と、抵抗  $R 1 \cdot R 2$  と、ダイオード d と、N チャンネルの F E T であるトランジスタ  $T r 2$  とを備える。ここで、

50

トランジスタ  $T_{r1}$  は、そのコレクタ端子が定電圧源 11 に接続され、そのエミッタ端子が第 1 ゲートドライバ  $GDF$  に接続され、トランジスタ  $T_{r2}$  は、そのソース端子が接地され、そのゲート端子は  $LSI35$  に接続され、抵抗  $R1$  は、その一方の端部がトランジスタ  $T_{r1}$  のコレクタ端子に接続され、他方の端部がトランジスタ  $T_{r1}$  のベース端子に接続され、ダイオード  $d$  は、そのアノード端子がトランジスタ  $T_{r1}$  のエミッタ端子に接続され、カソード端子がトランジスタ  $T_{r1}$  のベース端子に接続されている。また、トランジスタ  $T_{r1}$  のコレクタ端子がノード  $X$  に接続し、トランジスタ  $T_{r2}$  のドレイン端子が抵抗  $R2$  を介してノード  $Y$  に接続されている。また、波形調整部 7y は 3 つの抵抗  $r1 \sim r3$  と、3 つのトランジスタ  $S1 \sim S3$  とを備える。ここで、抵抗  $r1$  はその一方の端部がノード  $X$  に接続され、他方がトランジスタ  $S1$  を介してノード  $Y$  に接続され、抵抗  $r2$  はその一方の端部がノード  $X$  に接続され、他方がトランジスタ  $S2$  を介してノード  $Y$  に接続され、抵抗  $r3$  はその一方の端部がノード  $X$  に接続され、他方がトランジスタ  $S3$  を介してノード  $Y$  に接続され、トランジスタ  $S1 \sim S3$  それぞれのゲート端子が  $LSI35$  に接続されている。すなわち、第 1 走査電圧生成回路 7 では、抵抗  $R1$  に並列して波形調整部 7y が挿入された構成となっている。また、第 2 走査電圧生成回路 8 における波形生成部 8x および波形調整部 8y はそれぞれ、波形生成部 8x のトランジスタ  $T_{r1}$  のエミッタ端子が第 2 ゲートドライバ  $GDS$  に接続される点を除いて、上記した波形生成部 7x および波形調整部 7y と同一の構成である。

#### 【0053】

図 7 の構成でも、ノード  $X \cdot Y$  間の抵抗値を変えることで、電圧パルスの立ち下がり部分の傾斜が変わる。したがって、例えば、同一階調を表示したときに第 1 の領域  $FA$  よりも第 2 の領域  $SA$  の方が低輝度となる場合には、第 2 ゲートドライバ  $GDS$  から出力される第 2 走査信号の立ち下がり部分の傾斜が、第 1 ゲートドライバ  $GDF$  から出力される第 1 走査信号の立ち下がり部分の傾斜よりも小さくなるように、波形調整部 7y および波形調整部 8y のパターン設定 ( $S1 \sim S3$  の  $ON/OFF$  設定) が行われる。具体的には、メモリ 45 に予め調整データが格納されており、 $LSI35$  が該調整データに基づいた信号を波形調整部 7y および波形調整部 8y に出力することで上記パターン設定が行われる。

#### 【0054】

図 8 は図 2 のさらに他の具体例を示す回路図である。同図に示されるように、波形生成部 7x は、 $NPN$  型のバイポーラトランジスタであるトランジスタ  $T_{r1}$  と、抵抗  $R1 \cdot R2$  と、ダイオード  $d$  と、 $N$  チャネルの  $FET$  であるトランジスタ  $T_{r2}$  とを備える。ここで、トランジスタ  $T_{r1}$  は、そのコレクタ端子が定電圧源 11 に接続され、そのエミッタ端子がノード  $X$  に接続され、トランジスタ  $T_{r2}$  は、そのソース端子が接地され、そのゲート端子が  $LSI35$  に接続され、そのドレイン端子が抵抗  $R2$  を介してトランジスタ  $T_{r1}$  のベース端子に接続されている。抵抗  $R1$  は、その一方の端部がトランジスタ  $T_{r1}$  のコレクタ端子に接続され、他方の端部がトランジスタ  $T_{r1}$  のベース端子に接続され、ダイオード  $d$  は、そのアノード端子がトランジスタ  $T_{r1}$  のエミッタ端子に接続され、カソード端子がトランジスタ  $T_{r1}$  のベース端子に接続されている。また、ノード  $Y$  が第 1 ゲートドライバ  $GDF$  に接続されている。また、波形調整部 7y は 3 つの抵抗  $r1 \sim r3$  と、3 つのトランジスタ  $S1 \sim S3$  とを備える。ここで、抵抗  $r1$  はその一方の端部がノード  $X$  に接続され、他方がトランジスタ  $S1$  を介してノード  $Y$  に接続され、抵抗  $r2$  はその一方の端部がノード  $X$  に接続され、他方がトランジスタ  $S2$  を介してノード  $Y$  に接続され、抵抗  $r3$  はその一方の端部がノード  $X$  に接続され、他方がトランジスタ  $S3$  を介してノード  $Y$  に接続され、トランジスタ  $S1 \sim S3$  それぞれのゲート端子が  $LSI35$  に接続されている。すなわち、第 1 走査電圧生成回路 7 では、トランジスタ  $T_{r1}$  のエミッタ端子に接続するノード  $X$  と第 1 ゲートドライバ  $GDF$  に接続するノード  $Y$  と間に波形調整部 7y が挿入された構成となっている。また、第 2 走査電圧生成回路 8 における波形生成部 8x および波形調整部 8y はそれぞれ、波形生成部 8x のトランジスタ  $T_{r1}$  のエミッタ端子が第 2 ゲートドライバ  $GDS$  に接続される点を除いて、上記した波形生成部 7x お

よび波形調整部 7 y と同一の構成である。

#### 【 0 0 5 5 】

図 8 の構成でも、ノード X ・ Y 間の抵抗値を変えることで、電圧パルスの立ち下がり部分の傾斜が変わる。したがって、例えば、同一階調を表示したときに第 1 の領域 F A よりも第 2 の領域 S A の方が低輝度となる場合には、第 2 ゲートドライバ G D S から出力される第 2 走査信号の立ち下がり部分の傾斜が、第 1 ゲートドライバ G D F から出力される第 1 走査信号の立ち下がり部分の傾斜よりも小さくなるように、波形調整部 7 y および波形調整部 8 y のパターン設定 ( S 1 ~ S 3 の O N / O F F 設定 ) が行われる。具体的には、メモリ 4 5 に予め調整データが格納されており、L S I 3 5 が該調整データに基づいた信号を波形調整部 7 y および波形調整部 8 y に出力することでパターン設定が行われる。

10

#### 【 0 0 5 6 】

本実施の形態では、第 1 走査電圧生成回路 7 および第 2 走査電圧生成回路 8 それぞれに波形調整部を設けているがこれに限定されない。いずれかにのみ波形調整部を設ける構成も可能である。

#### 【 0 0 5 7 】

##### 〔 実施の形態 2 〕

図 9 は、図 1 のドライバ制御回路 3 の一部と第 1 および第 2 ゲートドライバ G D F ・ G D S とを示すブロック図である。同図に示されるように、ドライバ制御回路 3 は、定電圧源 1 1 と、非選択電圧生成回路 2 5 と、メモリ 4 5 と、L S I 3 5 と、タイミングコントローラ 2 1 と、第 1 走査電圧生成回路 7 と、第 2 走査電圧生成回路 8 とを備える。なお、第 1 走査電圧生成回路 7 は、波形生成部 7 x と波形調整部 7 y とを含み、第 2 走査電圧生成回路 8 は、波形生成部 8 x と波形調整部 8 y とを含む。

20

#### 【 0 0 5 8 】

第 1 走査電圧生成回路 7 は、定電圧源 1 1 から供給された定電圧を第 1 の領域 F A に対応するように変化させて第 1 走査電圧とし、これを第 1 ゲートドライバ G D F に出力する。また、第 2 走査電圧生成回路 8 は、定電圧源 1 1 から供給された定電圧を第 2 の領域 S A に対応するように変化させて第 2 走査電圧とし、これを第 2 ゲートドライバ G D S に出力する。タイミングコントローラ 2 1 は、G C K ( ゲートクロックパルス ) を第 1 および第 2 ゲートドライバ G D F ・ G D S それぞれに出力する。L S I 3 5 は、メモリ 4 5 から読み出したデータに基づいて、波形調整部 7 y および波形調整部 8 y を制御する。

30

#### 【 0 0 5 9 】

そして、第 1 ゲートドライバ G D F は、第 1 走査電圧生成回路 7 から供給された第 1 走査電圧と、非選択電圧生成回路 2 5 から供給された非選択電圧と、タイミングコントローラ 2 1 から供給された G C K とを用いて第 1 走査信号を生成し、これを第 1 の領域 F A の各走査信号線 ( G F 1 ~ G F k ) に出力する。また、第 2 ゲートドライバ G D S は、第 2 走査電圧生成回路 8 から供給された第 2 走査電圧と、非選択電圧生成回路 2 5 から供給された非選択電圧と、タイミングコントローラ 2 1 から供給された G C K とを用いて第 2 走査信号を生成し、これを第 2 の領域 S A の各走査信号線 ( G S k + 1 ~ G S m ) に出力する。

#### 【 0 0 6 0 】

図 1 1 は図 9 の具体例を示す回路図である。同図に示されるように、波形生成部 7 x は、N P N 型のバイポーラトランジスタであるトランジスタ T r 3 ( 第 3 トランジスタ ) と、抵抗 R 3 ( 第 3 抵抗 ) と、ツェナーダイオード T d とを備える。ここで、トランジスタ T r 3 は、そのコレクタ端子が定電圧源 1 1 に接続され、そのエミッタ端子が第 1 ゲートドライバ G D F に接続され、ツェナーダイオード T d は、そのアノード端子が接地され、カソード端子がトランジスタ T r 3 のベース端子に接続され、抵抗 R 3 は、その一方の端部がノード X に接続され、他方の端部がノード Y に接続されている。ノード X はトランジスタ T r 3 のコレクタ端子に接続され、ノード Y はトランジスタ T r 3 のベース端子に接続されている。また、波形調整部 7 y は 3 つの抵抗 r 1 ~ r 3 と、3 つのトランジスタ S 1 ~ S 3 とを備える。ここで、抵抗 r 1 はその一方の端部がノード X に接続され、他方が

40

50

トランジスタ  $S_1$  を介してノード  $Y$  に接続され、抵抗  $r_2$  はその一方の端部がノード  $X$  に接続され、他方がトランジスタ  $S_2$  を介してノード  $Y$  に接続され、抵抗  $r_3$  はその一方の端部がノード  $X$  に接続され、他方がトランジスタ  $S_3$  を介してノード  $Y$  に接続され、トランジスタ  $S_1 \sim S_3$  それぞれのゲート端子が  $L S I 35$  に接続されている。すなわち、第1走査電圧生成回路7では、トランジスタ  $T r 3$  のコレクタ・ベース端子間に接続された抵抗  $R_3$  と並列に、波形調整部7yが挿入された構成となっている。また、第2走査電圧生成回路8における波形生成部8xおよび波形調整部8yはそれぞれ、波形生成部8xのトランジスタ  $T r 1$  のエミッタ端子が第2ゲートドライバ  $G D S$  に接続される点を除いて、上記した波形生成部7xおよび波形調整部7yと同一の構成である。

#### 【0061】

ここで、定電圧源11の出力をA、第1ゲートドライバ  $G D F$  への入力をB、非選択電圧生成回路25の出力をD、タイミングコントローラ21から第1ゲートドライバ  $G D F$  への入力 ( $G C K$ ) をE、第1ゲートドライバ  $G D F$  で生成される電圧パルスをFとして、A・B・D～Fの各波形を図12に示す。

#### 【0062】

トランジスタ  $T r 1$  のコレクタ端子には定電圧源11からの出力Aが供給されており、この出力Aは波形生成部7xによって降圧され、第1ゲートドライバ  $G D F$  への入力Bとなる。また、第1ゲートドライバ  $G D F$  には、非選択電圧生成回路25から、Dで示す  $G N D$  電圧未満の定電圧が入力される。すなわち、第1ゲートドライバ  $G D F$  は、タイミングコントローラ21からの入力E ( $G C K$ ) が「H」の期間は、非選択電圧生成回路25から入力された電圧（非選択電圧）を選択し、上記  $G C K$  が「L」の期間は、第1走査電圧生成回路7から入力された電圧（第1走査電圧）を選択することで、Fに示すような矩形の電圧パルスを生成し、この電圧パルスがアクティブ期間に立つような第1走査信号（ゲートオンパルス）を各走査信号線 ( $G F 1 \sim G F k$ ) に出力する。

#### 【0063】

また、波形調整部7yは第1走査電圧生成回路7におけるノード  $X \cdot Y$  間の抵抗値を設定するものである。具体的には、 $L S I 35$  からの信号によって、トランジスタ  $S_1 \sim S_3$  それぞれがONあるいはOFFされる。この組み合わせパターンは、図5に示すとおりである。

#### 【0064】

ここで、ノード  $X \cdot Y$  間の抵抗値を変えると、トランジスタ  $T r 3$  のベース電流が変化して、電圧パルスの立ち上がりおよび立ち下がりの急峻度合い（鈍り度合い）が変わる。したがって、例えば、同一階調を表示したときに第1の領域FAよりも第2の領域SAの方が高輝度となる場合には、図13に示すように、第2ゲートドライバ  $G D S$  から出力される第2走査信号G2の立ち上がりおよび立ち下がりが、第1ゲートドライバ  $G D F$  から出力される第1走査信号G1の立ち上がりおよび立ち下がりよりも鈍るように、波形調整部7yおよび波形調整部8yのパターン設定 ( $S_1 \sim S_3$  のON/OFF設定) が行われる。具体的には、メモリ45に予め調整データが格納されており、 $L S I 35$  が該調整データに基づいた信号を波形調整部7yおよび波形調整部8yに出力することでパターン設定が行われる。

#### 【0065】

図15は図9の他の具体例を示す回路図である。同図に示されるように、波形生成部7xは、NPN型のバイポーラトランジスタであるトランジスタ  $T r 3$  と、抵抗  $r_3$  と、ツェナーダイオード  $T d$  とを備える。ここで、トランジスタ  $T r 3$  は、そのコレクタ端子が定電圧源11に接続され、そのエミッタ端子がノード  $X$  に接続され、ツェナーダイオード  $T d$  は、そのアノード端子が接地され、カソード端子がトランジスタ  $T r 3$  のベース端子に接続され、抵抗  $R_3$  は、その一方の端部がトランジスタ  $T r 3$  のコレクタ端子に接続され、他方の端部がトランジスタ  $T r 3$  のベース端子に接続されている。また、ノード  $X$  はトランジスタ  $T r 3$  のエミッタ端子に接続され、ノード  $Y$  は第1ゲートドライバ  $G D F$  に接続されている。また、波形調整部7yは3つの抵抗  $r_1 \sim r_3$  と、3つのトランジスタ

10

20

30

40

50

S 1 ~ S 3 とを備える。ここで、抵抗  $r_1$  はその一方の端部がノード X に接続され、他方がトランジスタ S 1 を介してノード Y に接続され、抵抗  $r_2$  はその一方の端部がノード X に接続され、他方がトランジスタ S 2 を介してノード Y に接続され、抵抗  $r_3$  はその一方の端部がノード X に接続され、他方がトランジスタ S 3 を介してノード Y に接続され、トランジスタ S 1 ~ S 3 それぞれのゲート端子が L S I 3 5 に接続されている。すなわち、第 1 走査電圧生成回路 7 では、トランジスタ T r 3 のエミッタ端子と第 1 ゲートドライバ G D F 間に波形調整部 7 y が挿入された構成となっている。また、第 2 走査電圧生成回路 8 における波形生成部 8 x および波形調整部 8 y はそれぞれ、波形生成部 8 x のトランジスタ T r 1 のエミッタ端子が第 2 ゲートドライバ G D S に接続される点を除いて、上記した波形生成部 7 x および波形調整部 7 y と同一の構成である。

10

#### 【 0 0 6 6 】

図 1 5 の構成でも、ノード X ・ Y 間の抵抗値（ダンピング抵抗の値）を変えると、電圧パルスの立ち上がりおよび立ち下りの鈍り度合いが変わる。したがって、例えば、同一階調を表示したときに第 1 の領域 F A よりも第 2 の領域 S A の方が高輝度となる場合には、第 2 ゲートドライバ G D S から出力される第 2 走査信号の立ち上がりおよび立ち下がりが、第 1 ゲートドライバ G D F から出力される第 1 走査信号の立ち上がりおよび立ち下りよりも鈍るように、波形調整部 7 y および波形調整部 8 y のパターン設定（S 1 ~ S 3 の O N / O F F 設定）が行われる。具体的には、メモリ 4 5 に予め調整データが格納されており、L S I 3 5 が該調整データに基づいた信号を波形調整部 7 y および波形調整部 8 y に出力することでパターン設定が行われる。

20

#### 【 0 0 6 7 】

図 1 6 は図 9 のさらに他の具体例を示す回路図である。同図に示されるように、波形生成部 7 x は、アンプ（回路）A M P と、抵抗 R 4 ・ R 5（第 4 ・ 5 抵抗）とを備える。ここで、アンプ A M P は、その出力端子が第 1 ゲートドライバ G D F に接続され、そのプラス（正相）端子が定電圧源 1 1 に接続され、そのマイナス（逆相）端子がノード X に接続されている。また、抵抗 R 4 は、その一方の端部が接地され、他方の端部がノード X に接続され、抵抗 R 5 は、その一方の端部がアンプ A M P の出力端子に接続され、他方の端部がノード X に接続されている。また、波形調整部 7 y は 3 つの抵抗  $r_1 \sim r_3$  と、3 つのトランジスタ S 1 ~ S 3 とを備える。ここで、抵抗  $r_1$  はその一方の端部がノード X に接続され、他方がトランジスタ S 1 を介してノード Y に接続され、抵抗  $r_2$  はその一方の端部がノード X に接続され、他方がトランジスタ S 2 を介してノード Y に接続され、抵抗  $r_3$  はその一方の端部がノード X に接続され、他方がトランジスタ S 3 を介してノード Y に接続され、トランジスタ S 1 ~ S 3 それぞれのゲート端子が L S I 3 5 に接続されている。すなわち、第 1 走査電圧生成回路 7 では、アンプ A M P のマイナス端子と出力端子との間に波形調整部 7 y が挿入された構成となっている。また、第 2 走査電圧生成回路 8 における波形生成部 8 x および波形調整部 8 y はそれぞれ、波形生成部 8 x のアンプ A M P の出力端子が第 2 ゲートドライバ G D S に接続される点を除いて、上記した波形生成部 7 x および波形調整部 7 y と同一の構成である。

30

#### 【 0 0 6 8 】

また、波形調整部 7 y は第 1 走査電圧生成回路 7 におけるノード X ・ Y 間の抵抗値を設定するものである。具体的には、L S I 3 5 からの信号によって、トランジスタ S 1 ~ S 3 それぞれが O N あるいは O F F される。この組み合わせパターンは、図 5 に示すとおりである。

40

#### 【 0 0 6 9 】

ここで、ノード X ・ Y 間の抵抗値を変えると、電圧パルスの高さ（電圧値）が変わる。したがって、例えば、同一階調を表示したときに第 1 の領域 F A よりも第 2 の領域 S A の方が高輝度となる場合には、図 1 4 に示すように、第 2 ゲートドライバ G D S から出力される第 2 走査信号 G 2 のアクティブ期間の電圧値が、第 1 ゲートドライバ G D F から出力される第 1 走査信号 G 1 のアクティブ期間の電圧値よりも小さくなるように、波形調整部 7 y および波形調整部 8 y のパターン設定（S 1 ~ S 3 の O N / O F F 設定）が行われる

50

。具体的には、メモリ45に予め調整データが格納されており、LSI35が該調整データに基づいた信号を波形調整部7yおよび波形調整部8yに出力することでパターン設定が行われる。

#### 【0070】

本実施の形態では、波形調整部7y・8yおよび波形生成部7x・8xを図26のように構成してもよい。ここでは、波形生成部7xはスイッチングレギュレータであり、比較回路22と、発振回路21と、トランジスタTr7と、コイルLと、ダイオードdと、容量Cと、抵抗R20とを備える。なお、コイルLは、一方の端部が定電圧源11に接続され、他方の端部はトランジスタTr7のドレイン端子に接続され、ダイオードdは、そのアノード端子がトランジスタTr7のドレイン端子に接続され、カソード端子が容量Cの一方電極に接続され、容量Cの他方電極は接地されている。また、比較回路22の出力端子は発振回路21に接続され、発振回路21はトランジスタTr7のゲート端子に接続され、第1ゲートドライバGDFはダイオードdのカソード端子に接続されている。抵抗R20は、一方の端部が接地され、他方の端部がノードYに接続されている。このノードYは比較回路22（入力端子）に接続され、比較回路には基準電圧が入力されている。そして、第1ゲートドライバGDFに接続するノードXとノードYとの間に波形調整部7yが接続される。波形調整部7yは図16の波形調整部7yと同一構成である。また、第2走査電圧生成回路8における波形生成部8xおよび波形調整部8yはそれぞれ、波形生成部8xのノードXが第2ゲートドライバGDSに接続される点を除いて、上記した波形生成部7xおよび波形調整部7yと同一の構成である。

#### 【0071】

上記構成でも、ノードX・Y間の抵抗値を変えると、電圧パルスの高さ（電圧値）が変わる。したがって、例えば、同一階調を表示したときに第1の領域FAよりも第2の領域SAの方が高輝度となる場合には、図14に示すように、第2ゲートドライバGDSから出力される第2走査信号G2のアクティブ期間の電圧値が、第1ゲートドライバGDFから出力される第1走査信号G1のアクティブ期間の電圧値よりも小さくなるように、波形調整部7yおよび波形調整部8yのパターン設定（S1～S3のON/OFF設定）が行われる。具体的には、メモリ45に予め調整データが格納されており、LSI35が該調整データに基づいた信号を波形調整部7yおよび波形調整部8yに出力することでパターン設定が行われる。

#### 【0072】

本実施の形態では、第1走査電圧生成回路7および第2走査電圧生成回路8それぞれに波形調整部を設けているがこれに限定されない。いずれかにのみ波形調整部を設ける構成も可能である。

#### 【0073】

##### 〔実施の形態3〕

本実施の形態では、図11の波形生成部7xに図10に示す後段回路10を挿入するとともに図11の波形生成部8xに図10に示す後段回路10を挿入して、図17のように構成する。すなわち、第1ゲートドライバGDFとトランジスタTr3のエミッタ端子との間に後段回路10を接続し、第2ゲートドライバGDSとトランジスタTr3のエミッタ端子との間に後段回路10を接続する。なお、後段回路10は、NPN型のバイポーラトランジスタであるトランジスタTr11と、抵抗R11・R12と、ダイオードdと、NチャネルのFETであるトランジスタTr12とを備え、トランジスタTr12のソース端子が接地され、抵抗R11は、その一方の端部がトランジスタTr11のコレクタ端子に接続され、他方の端部がトランジスタTr11のベース端子に接続され、ダイオードdは、そのアノード端子がトランジスタTr11のエミッタ端子に接続され、カソード端子がトランジスタTr11のベース端子に接続されている。また、トランジスタTr11のベース端子が、抵抗R12を介して、トランジスタTr12のドレイン端子に接続されている。そして、図17では、図10のトランジスタTr11のエミッタ端子が第1ゲートドライバGDF（第2ゲートドライバGDS）に接続され、該トランジスタTr11の

コレクタ端子がトランジスタTr 3のエミッタ端子に接続され、図10のトランジスタTr 12のゲート端子がタイミングコントローラ21に接続されている。図17の構成でも、波形調整部7y・8yの抵抗値を異ならせることで、第1走査信号G1のアクティブ期間の波形と第2走査信号G2のアクティブ期間の波形とを異ならせることができる。

【0074】

また、本実施の形態では、図15の波形生成部7xに図10に示す後段回路10を挿入するとともに図15の波形生成部8xに図10に示す後段回路10を挿入して、図18のように構成してもよい。すなわち、第1ゲートドライバGDFとノードYとの間に後段回路10を接続し、第2ゲートドライバGDSとノードYとの間に後段回路10を接続する。図18では、図10のトランジスタTr 11のエミッタ端子が第1ゲートドライバGDF（第2ゲートドライバGDS）に接続され、該トランジスタTr 11のコレクタ端子がノードYに接続され、図10のトランジスタTr 12のゲート端子がタイミングコントローラ21に接続されている。図18の構成でも、波形調整部7y・8yの抵抗値を異ならせることで、第1走査信号G1のアクティブ期間の波形と第2走査信号G2のアクティブ期間の波形とを異ならせることができる。

【0075】

また、本実施の形態では、図16の波形生成部7xに図10に示す後段回路10を挿入するとともに図16の波形生成部8xに図10に示す後段回路10を挿入して、図19のように構成してもよい。すなわち、第1ゲートドライバGDFとアンプAMPの出力端子との間に後段回路10を接続し、第2ゲートドライバGDSとアンプAMPの出力端子との間に後段回路10を接続する。図19では、図10のトランジスタTr 11のエミッタ端子が第1ゲートドライバGDF（第2ゲートドライバGDS）に接続され、該トランジスタTr 11のコレクタ端子がアンプAMPの出力端子に接続され、図10のトランジスタTr 12のゲート端子がタイミングコントローラ21に接続されている。図19の構成でも、波形調整部7y・8yの抵抗値を異ならせることで、第1走査信号G1のアクティブ期間の波形と第2走査信号G2のアクティブ期間の波形とを異ならせることができる。なお、後段回路10のトランジスタTr 12のゲート端子に入力されるパルス信号は、タイミングコントローラ21からLSI35を介して後段回路10に入力されても構わない。

【0076】

〔実施の形態4〕

図20は、図1のドライバ制御回路3の一部と第1および第2ゲートドライバGDF・GDSとを示すブロック図である。同図に示されるように、ドライバ制御回路3は、定電圧源11と、非選択電圧生成回路25と、メモリ45と、LSI35と、走査電圧生成回路9と、第1タイミングコントローラ5と、第2タイミングコントローラ6とを備える。第1タイミングコントローラ5は波形調整部5aを含み、第2タイミングコントローラ6は、波形調整部6aを含む。

【0077】

走査電圧生成回路9は、定電圧源11から供給された定電圧を用いて走査電圧を生成し、これを第1ゲートドライバGDFおよび第2ゲートドライバGDSに出力する。第1タイミングコントローラ5は、第1の領域FAに対応する第1GCK（ゲートクロック）を生成し、これを第1ゲートドライバGDFに出力する。第2タイミングコントローラ6は、第2の領域SAに対応する第2GCK（ゲートクロック）を生成し、これを第2ゲートドライバGDSに出力する。LSI35は、メモリ45から読み出したデータに基づいて波形調整部5aおよび波形調整部6aを制御する。

【0078】

第1ゲートドライバGDFは、走査電圧生成回路9から供給された走査電圧と、非選択電圧生成回路25から供給された非選択電圧と、第1タイミングコントローラ5から供給された第1GCKとを用いて第1走査信号G1を生成し、これを第1の領域FAの各走査信号線（GF1～GFk）に出力する。また、第2ゲートドライバGDSは、走査電圧生

10

20

30

40

50

成回路 9 から供給された走査電圧と、非選択電圧生成回路 25 から供給された非選択電圧と、第 2 タイミングコントローラ 6 から供給された第 2 G C K とを用いて第 2 走査信号 G 2 を生成し、これを第 2 の領域 S A の各走査信号線 ( G S k + 1 ~ G S m ) に出力する。

【 0 0 7 9 】

データ信号の出力を P、第 1 タイミングコントローラ 5 から第 1 ゲートドライバ G D F への入力 ( 第 1 G C K ) を Q、第 1 ゲートドライバ G D F で生成される電圧パルス ( 第 1 走査信号 G 1 のアクティブ期間の波形 ) を R として、P ~ R の各波形を図 2 2 に示す。第 1 ゲートドライバ G D F は、第 1 タイミングコントローラ 5 からの入力 ( 第 1 G C K ) が「 H 」の期間は、非選択電圧生成回路 25 から入力された電圧 ( 非選択電圧 ) を選択し、第 1 G C K が「 L 」の期間は、走査電圧生成回路 9 から入力された電圧 ( 走査電圧 ) を選択することで、R に示すような矩形の電圧パルスを生成し、この電圧パルスがアクティブ期間に立つような第 1 走査信号 G 1 ( ゲートオンパルス信号 ) を各走査信号線 ( G F 1 ~ G F k ) に出力する。

10

【 0 0 8 0 】

ここで、波形調整部 5 a は第 1 G C K を調整し、波形調整部 6 a は第 2 G C K を調整するものである。例えば、図 2 2 のように、第 1 G C K および第 2 G C K につき、パルスの立ち上がりタイミングを同一にしてパルス幅を異ならせる。これにより、第 1 走査信号 G 1 のアクティブ期間の幅と、第 2 走査信号 G 2 のアクティブ期間の幅とを異ならせることができる。

【 0 0 8 1 】

20

したがって、例えば、同一階調を表示したときに第 1 の領域 F A よりも第 2 の領域 S A の方が高輝度となる場合には、図 2 2 に示すように、第 2 走査信号 G 2 のアクティブ期間の幅が、第 1 走査信号 G 1 のアクティブ期間の幅よりも小さくなるように、波形調整部 5 a および波形調整部 6 a が制御される。具体的には、メモリ 4 5 に予め調整データが格納されており、L S I 3 5 が該調整データに基づいた信号を波形調整部 5 a および波形調整部 6 a に出力することで上記設定が行われる。なお、この調整データはパネルごとに設定しておくことが望ましい。

【 0 0 8 2 】

上記構成では、各タイミングコントローラ ( 5 ・ 6 ) で第 1 G C K および第 2 G C K を生成しているが、図 2 7 のように、第 1 タイミングコントローラ 5 で第 1 G C K および第 1 G O E を生成し、第 2 タイミングコントローラ 6 で第 2 G C K および第 2 G O E を生成し、第 1 G O E および第 2 G O E の位相をずらすことで、第 1 走査信号 G 1 のアクティブ期間の幅と、第 2 走査信号 G 2 のアクティブ期間の幅とを異ならせてもよい。

30

【 0 0 8 3 】

さらに、本実施の形態では、図 2 0 の走査電圧生成回路 9 の代わりに図 1 0 の後段回路 1 0 を 2 つ設け、その一方を波形調整部 5 a に接続するとともに他方を波形調整部 6 a に接続し、図 2 4 のように構成することもできる。この構成では、第 1 走査信号 G 1 の立ち下がり部分が図 2 5 のように傾斜する。ここで、図 1 0 のトランジスタ T r 1 2 のゲート端子に入力されるパルス信号を、波形調整部 5 a ( 波形調整部 6 a ) によって調整することで、図 2 5 に示すように、第 1 走査信号 G 1 の立ち下がり開始タイミングと、第 2 走査信号 G 2 の立ち下がり開始タイミングとをずらし、第 1 走査信号 G 1 のアクティブ期間の波形と第 2 走査信号 G 2 のアクティブ期間の波形とを異ならせることができる。

40

【 0 0 8 4 】

本実施の形態では、第 1 タイミングコントローラ 5 および第 2 タイミングコントローラ 6 それぞれに波形調整部を設けているがこれに限定されない。いずれかにのみ波形調整部を設ける構成も可能である。

【 0 0 8 5 】

〔 実施の形態 5 〕

図 2 1 は、図 1 のドライバ制御回路 3 の一部と第 1 および第 2 ゲートドライバ G D F ・ G D S とを示すブロック図である。同図に示されるように、ドライバ制御回路 3 は、定電

50

圧源 11 と、非選択電圧生成回路 25 と、メモリ 45 と、LSI 35（タイミング調整部制御回路）と、走査電圧生成回路 9 と、第 1 タイミングコントローラ 5 と、第 2 タイミングコントローラ 6 とを備える。第 1 タイミングコントローラ 5 はタイミング調整部 5b を含み、第 2 タイミングコントローラ 6 は、タイミング調整部 6b を含む。

【0086】

走査電圧生成回路 9 は、定電圧源 11 から供給された定電圧を用いて走査電圧を生成し、これを第 1 ゲートドライバ GDF および第 2 ゲートドライバ GDS に出力する。第 1 タイミングコントローラ 5 は、第 1 の領域 FA に対応する第 1 GCK（ゲートクロック）を生成し、これを第 1 ゲートドライバ GDF に出力する。第 2 タイミングコントローラ 6 は、第 2 の領域 SA に対応する第 2 GCK（ゲートクロック）を生成し、これを第 2 ゲートドライバ GDS に出力する。LSI 35 は、メモリ 45 から読み出したデータに基づいて、タイミング調整部 5b およびタイミング調整部 6b を制御する。

10

【0087】

そして、第 1 ゲートドライバ GDF は、走査電圧生成回路 9 から供給された走査電圧と、非選択電圧生成回路 25 から供給された非選択電圧と、第 1 タイミングコントローラ 5 から供給された第 1 GCK とを用いて第 1 走査信号を生成し、これを第 1 の領域 FA の各走査信号線（GF1～GFk）に出力する。また、第 2 ゲートドライバ GDS は、走査電圧生成回路 9 から供給された走査電圧と、非選択電圧生成回路 25 から供給された非選択電圧と、第 2 タイミングコントローラ 6 から供給された第 2 GCK とを用いて第 2 走査信号を生成し、これを第 2 の領域 SA の各走査信号線（GSk+1～GSm）に出力する。

20

【0088】

ここで、データ信号の出力を P、第 1 タイミングコントローラ 5 から第 1 ゲートドライバ GDF への入力（第 1 GCK）を Q、第 1 ゲートドライバ GDF で生成される電圧パルス R（第 1 走査信号 G1 のアクティブ期間の波形）として、P～R の各波形を図 23 に示す。第 1 ゲートドライバ GDF は、第 1 タイミングコントローラ 5 からの入力（第 1 GCK）が「H」の期間は、非選択電圧生成回路 25 から入力された電圧（非選択電圧）を選択し、第 1 GCK が「L」の期間は、走査電圧生成回路 9 から入力された電圧（走査電圧）を選択することで、R に示すような矩形の電圧パルスを生成し、この電圧パルスがアクティブ期間に立つような第 1 走査信号（ゲートオンパルス信号）を各走査信号線（GF1～GFk）に出力する。

30

【0089】

ここで、タイミング調整部 5b は第 1 GCK を調整し、タイミング調整部 6b は第 2 GCK を調整するものである。例えば、第 1 GCK および第 2 GCK について、図 23 のように、パルス幅を同一にして立ち上がりタイミングを変えたりする。これにより、第 1 走査信号 G1 および第 2 走査信号 G2 のアクティブ期間の波形を同一にしつつ、第 1 走査信号 G1 のアクティブ期間およびデータ信号の出力期間の重なり時間（書き込み時間）と、第 2 走査信号 G2 のアクティブ期間およびデータ信号の出力期間の重なり時間（書き込み時間）とを異ならせることができる。

【0090】

したがって、例えば、同一階調を表示したときに第 1 の領域 FA よりも第 2 の領域 SA の方が高輝度となる場合には、図 23 に示すように、第 1 GCK のパルスがデータ信号の出力開始後に立ち下がるのと同時に次のパルスがデータ信号出力終了前に立ち上がる一方、第 1 GCK のパルスがデータ信号の出力開始前に立ち下がるのと同時に次のパルスがデータ信号出力終了前に立ち上がるように、タイミング調整部 5b およびタイミング調整部 6b の設定が行われる。具体的には、メモリ 45 に予め調整データが格納されており、LSI 35 が該調整データに基づいた信号をタイミング調整部 5b およびタイミング調整部 6b に出力することで上記設定が行われる。なお、この調整データはパネルごとに設定しておくことが望ましい。

40

【0091】

本液晶表示装置は、図 28 に示すように、表示部を左右に分割する構成であってもよい

50

。すなわち、表示部 2 は、データ信号線  $SF1 \sim SFk$  および走査信号線  $GF1 \sim GFm$  を含む第 1 の領域  $FA$  (左半分) と、データ信号線  $SSk+1 \sim SSn$  および走査信号線  $GS1 \sim GS m$  を含む第 2 の領域  $SA$  (右半分) とに分割されており、各領域 ( $FA \cdot SA$ ) が別々に駆動される。この構成では、第 1 の領域  $FA$  に含まれるデータ信号線  $SF1 \sim SFk$  は第 1 ソースドライバ  $SDF$  に駆動され、第 1 の領域  $FA$  に含まれる走査信号線  $GF1 \sim GFm$  は第 1 ゲートドライバ  $GDF$  に駆動され、第 2 の領域  $SA$  に含まれるデータ信号線  $SSk+1 \sim SSn$  は第 2 ソースドライバ  $SDS$  に駆動され、第 2 の領域  $SA$  に含まれる走査信号線  $GS1 \sim GS m$  は第 2 ゲートドライバ  $GDS$  に駆動される。

#### 【0092】

本実施の形態では、第 1 タイミングコントローラ 5 および第 2 タイミングコントローラ 6 それぞれにタイミング調整部を設けているがこれに限定されない。いずれかにのみタイミング調整部を設ける構成も可能である。

10

#### 【0093】

本実施の形態にかかるテレビジョン受像機 (液晶テレビ) は、図 29 に示すように、本液晶表示装置 1 と、テレビジョン放送を受信して映像信号を出力するチューナ部 40 とを備える。すなわち、テレビジョン受像機 50 では、チューナ部 40 から出力された映像信号に基づいて液晶表示装置 1 が映像 (画像) 表示を行う。

#### 【0094】

本発明は上記実施の形態に限定されるものではなく、上記実施の形態を技術常識に基づいて適宜変更したものやそれらを組み合わせて得られるものも本発明の実施の形態に含まれる。

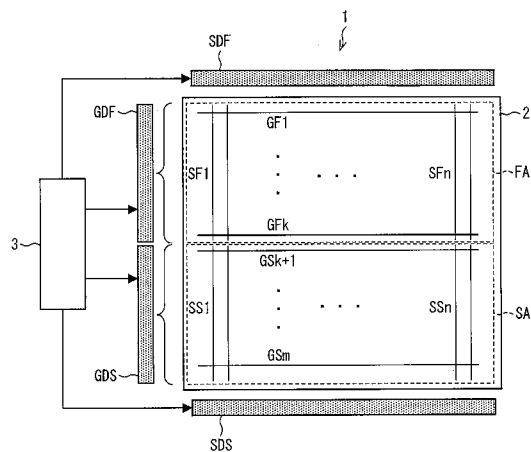
20

#### 【産業上の利用可能性】

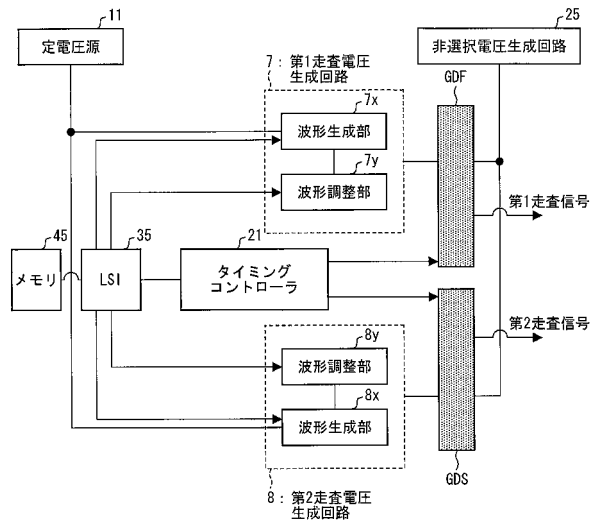
#### 【0095】

本発明の表示装置は、特に、液晶表示装置 (例えば、液晶テレビ) に好適である。

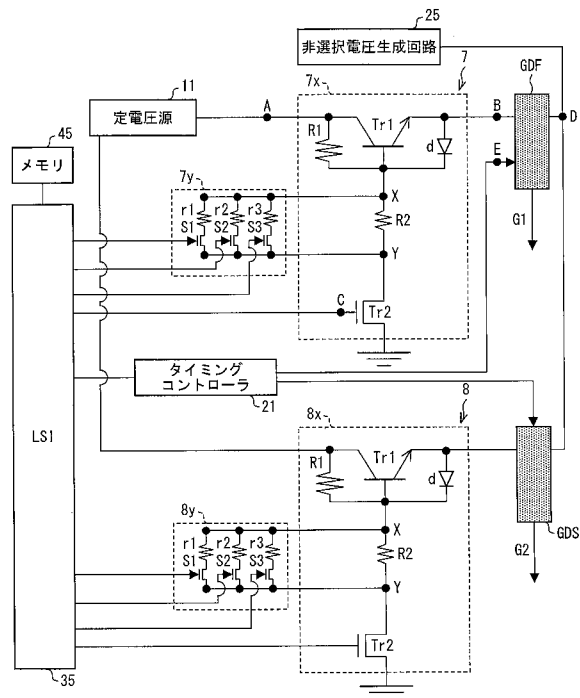
【図 1】



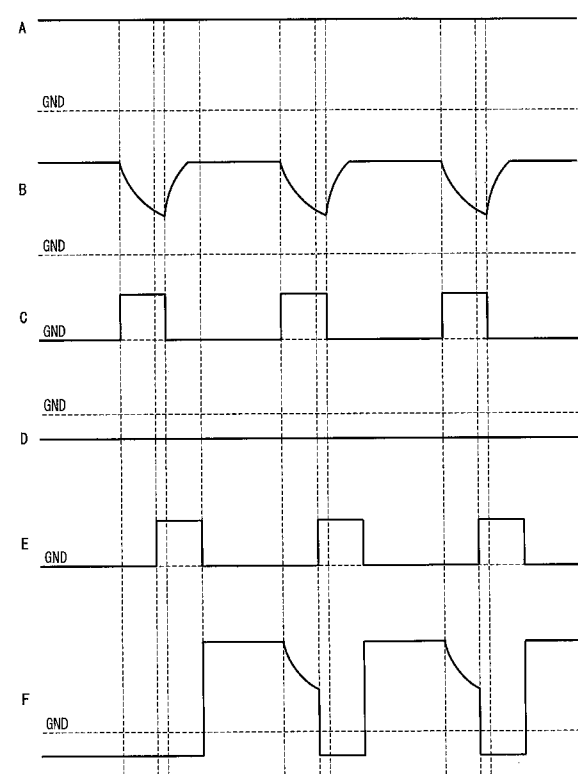
【図 2】



【図 3】



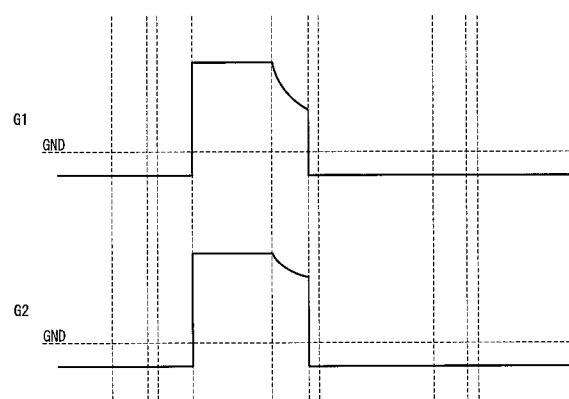
【図 4】



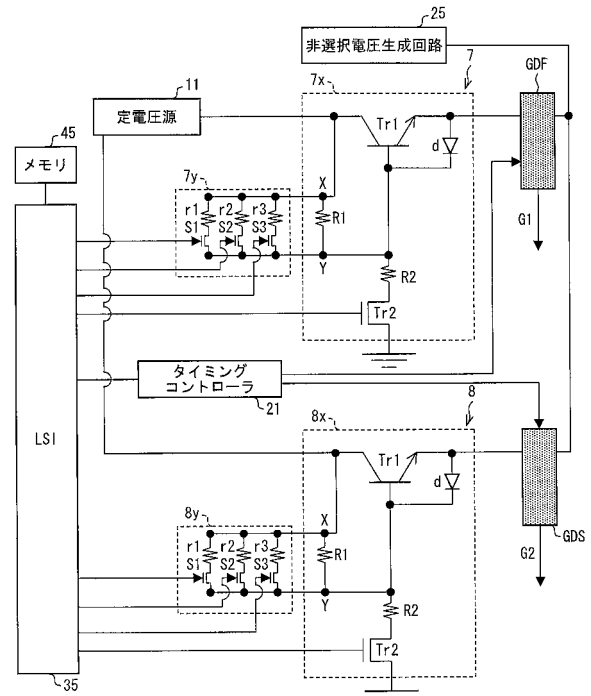
【図 5】

|       | S1     | S2 | S3      |
|-------|--------|----|---------|
| パターン1 | ○ (ON) | ○  | ○       |
| パターン2 | ○      | ○  | × (OFF) |
| パターン3 | ○      | ×  | ○       |
| パターン4 | ×      | ○  | ○       |
| パターン5 | ○      | ×  | ×       |
| パターン6 | ×      | ○  | ×       |
| パターン7 | ×      | ×  | ○       |
| パターン8 | ×      | ×  | ×       |

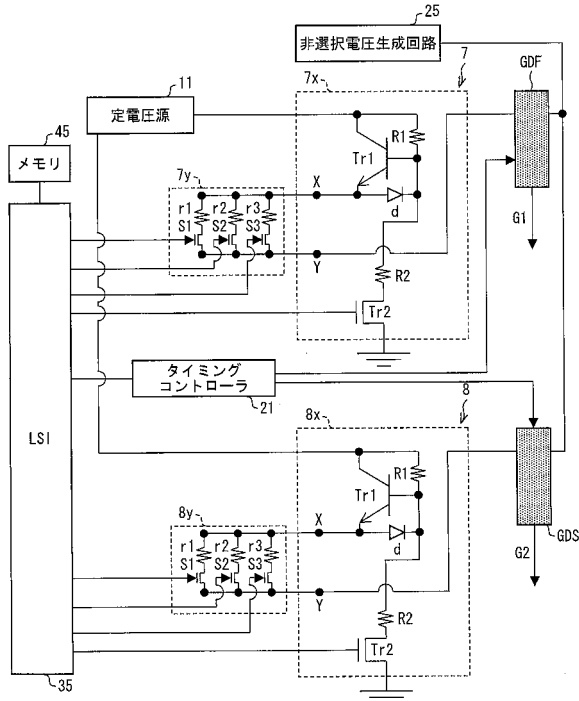
【図 6】



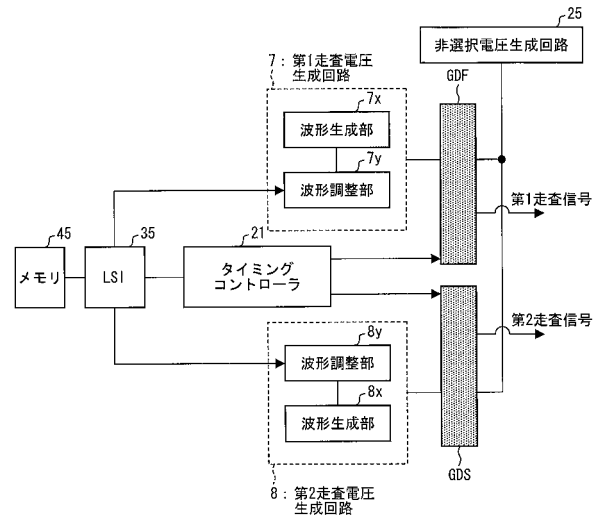
【図 7】



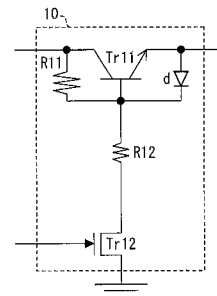
【図 8】



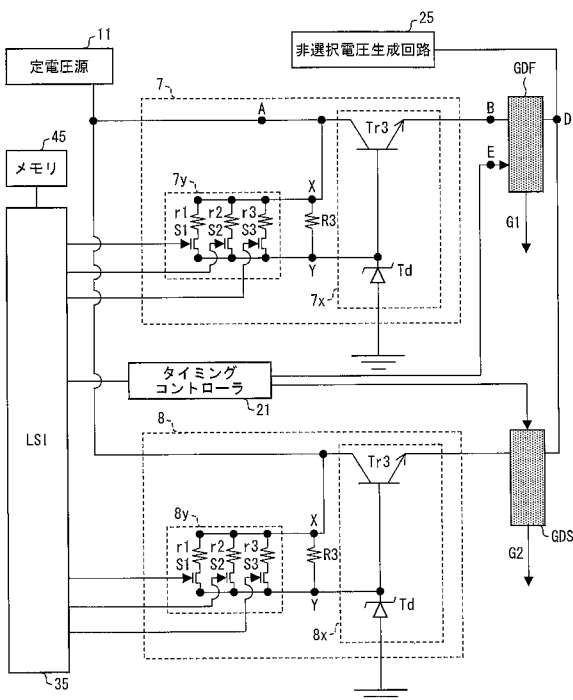
【図 9】



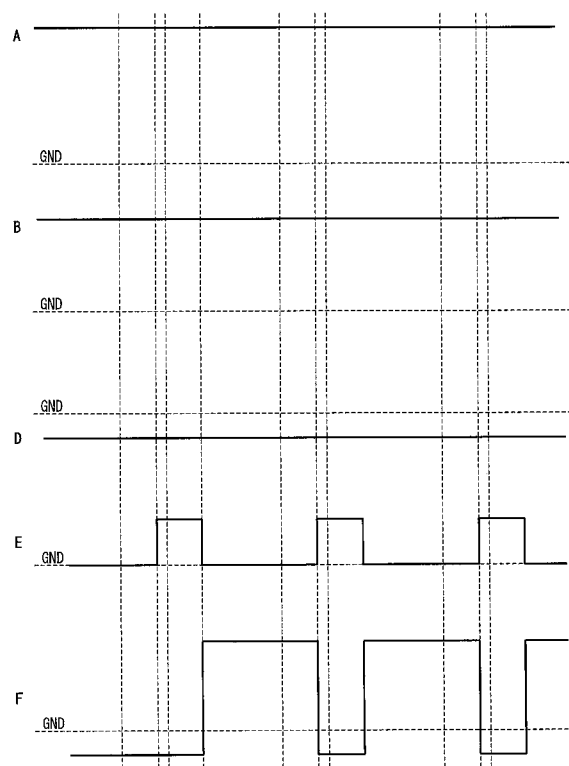
【図 10】



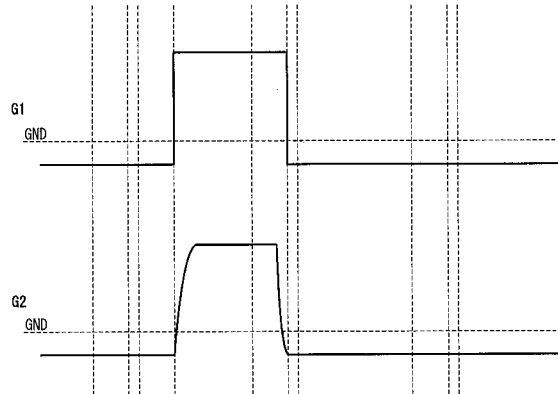
【図 11】



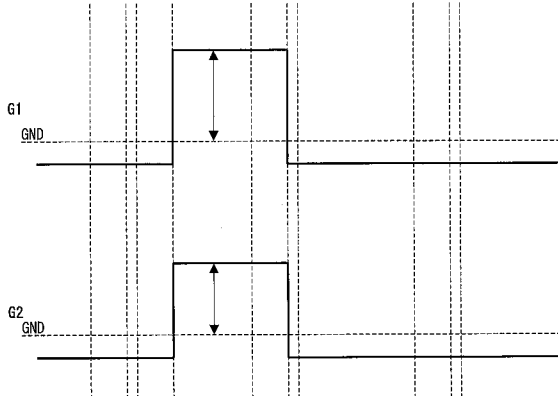
【図 12】



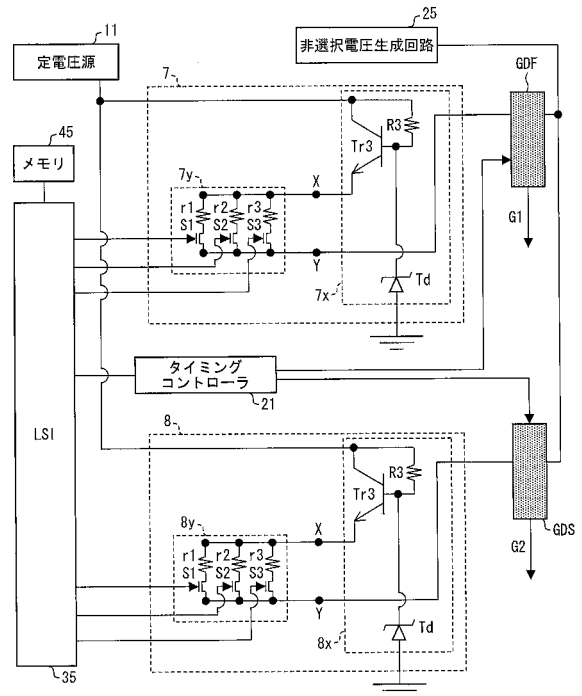
【図 13】



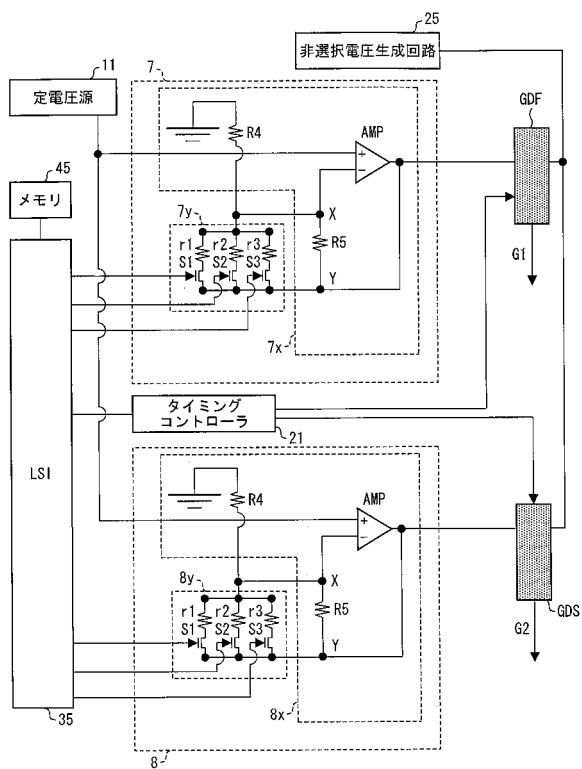
【図 14】



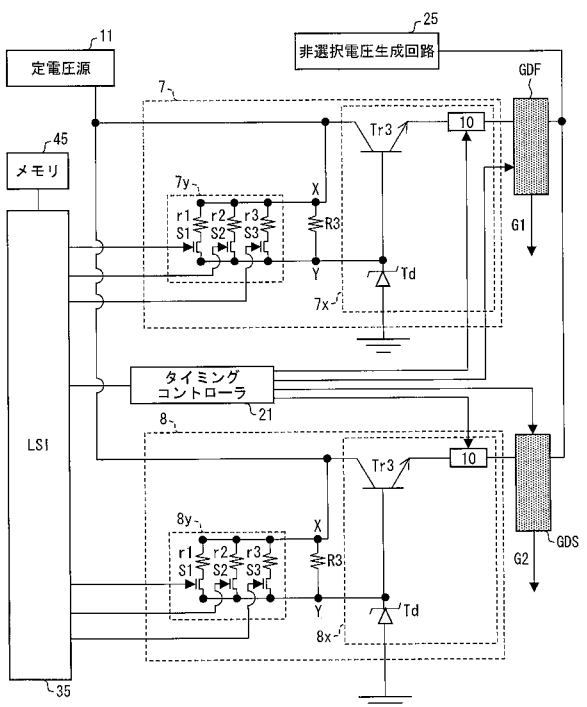
【図 15】



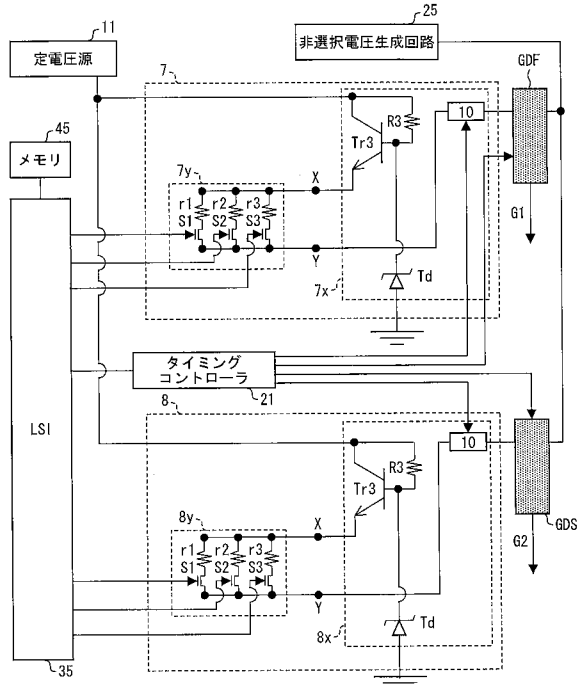
【図 16】



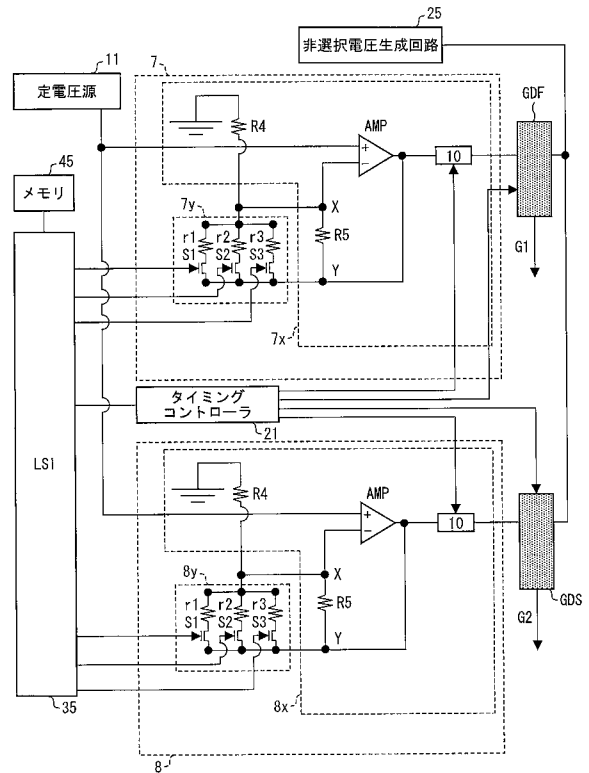
【図 17】



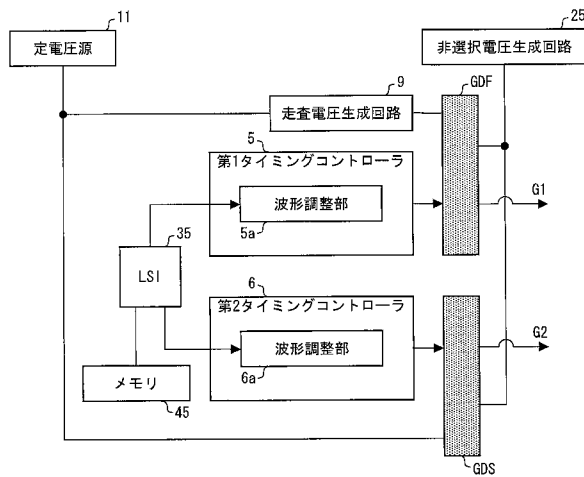
【図 18】



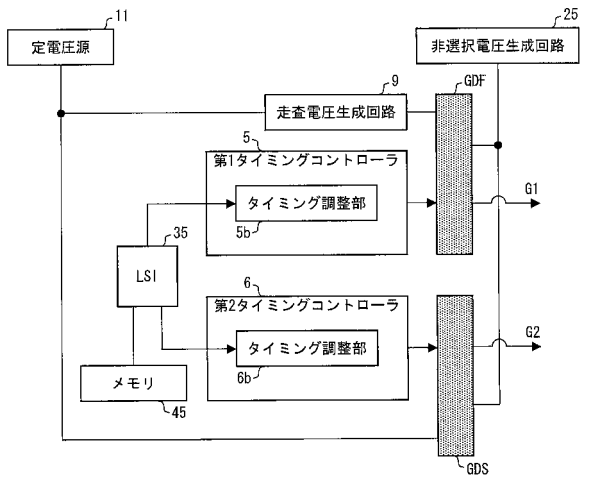
【図 19】



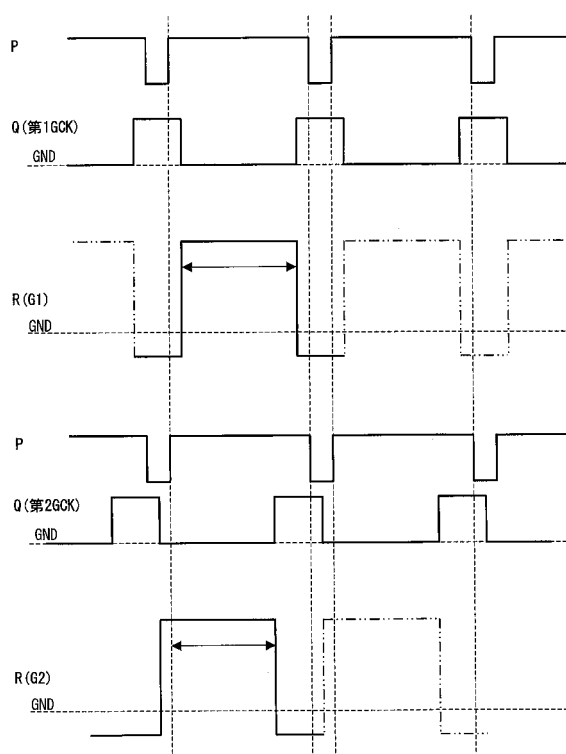
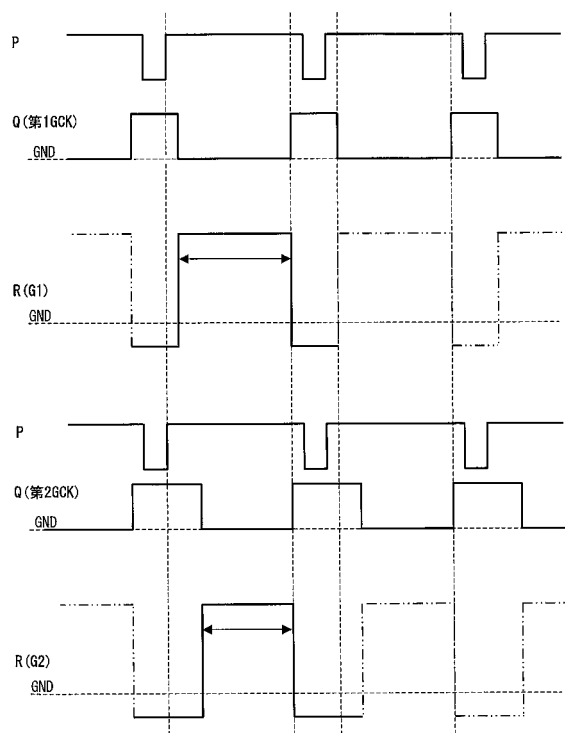
【図 20】



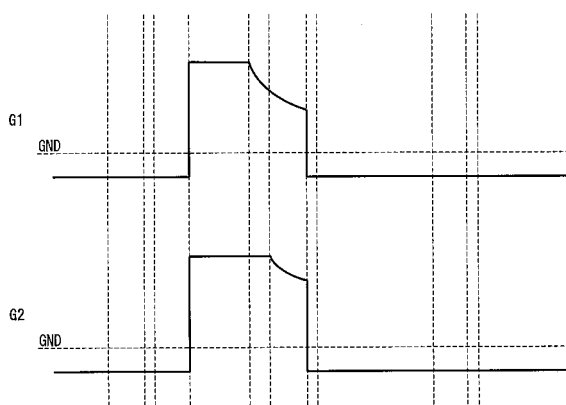
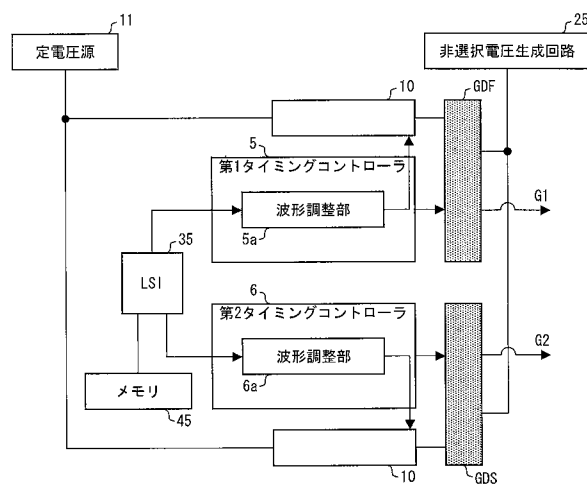
【図 21】



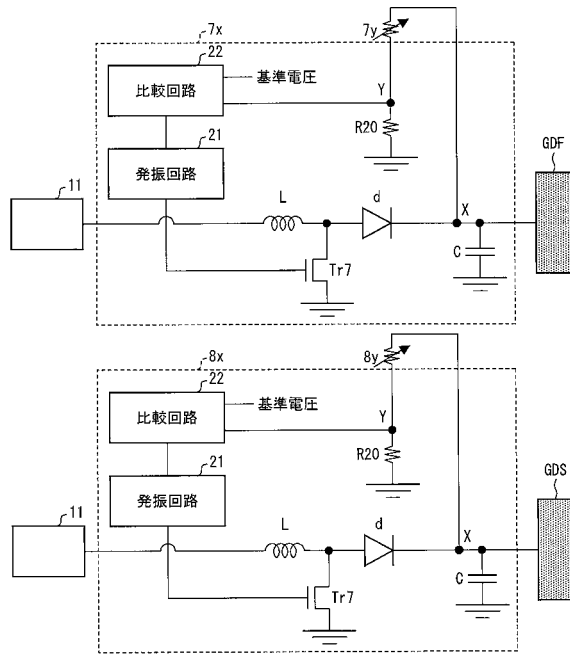
【图 23】



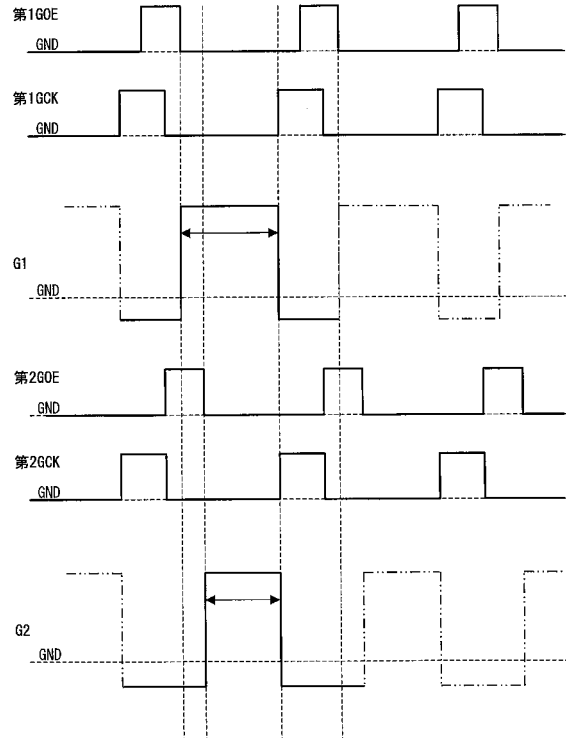
【 図 2 5 】



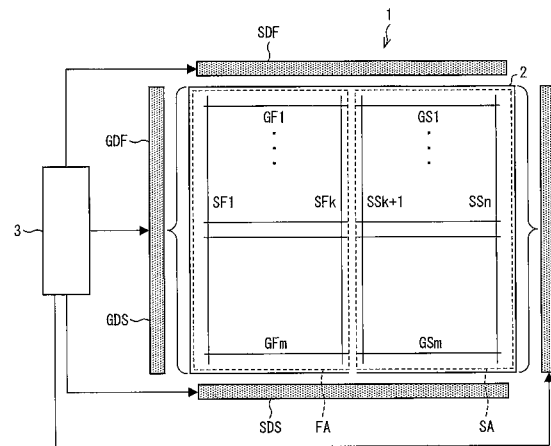
【図 26】



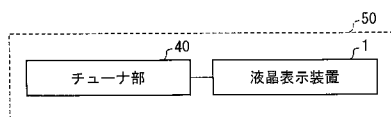
【図 27】



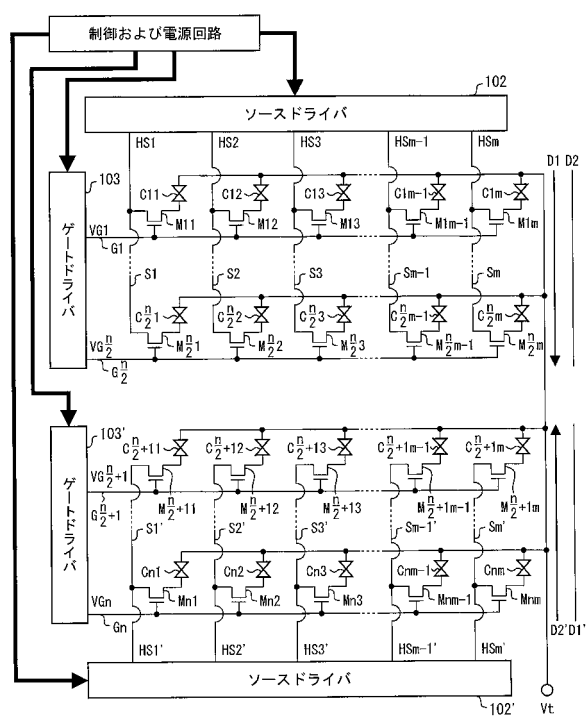
【図 28】



【図 29】



【図 30】



---

フロントページの続き

(51)Int.Cl. F I  
G 0 9 G 3/20 6 4 2 B  
G 0 2 F 1/133 5 5 0

(56)参考文献 特許第3 6 5 8 9 5 2 ( J P , B 2 )  
特開2 0 0 6 - 0 2 3 5 3 9 ( J P , A )  
特開2 0 0 0 - 3 1 0 7 6 7 ( J P , A )  
特開2 0 0 3 - 1 5 0 1 3 5 ( J P , A )  
特許第3 5 7 6 2 3 1 ( J P , B 2 )  
特開2 0 0 4 - 1 1 7 7 5 8 ( J P , A )

(58)調査した分野(Int.Cl. , D B 名)  
G 0 9 G 3 / 0 0 - 3 / 3 8  
G 0 2 F 1 / 1 3 3

|                |                                                                                                   |         |            |
|----------------|---------------------------------------------------------------------------------------------------|---------|------------|
| 专利名称(译)        | 显示设备，用于显示设备的控制设备，用于驱动显示设备的方法                                                                      |         |            |
| 公开(公告)号        | <a href="#">JP5214613B2</a>                                                                       | 公开(公告)日 | 2013-06-19 |
| 申请号            | JP2009528050                                                                                      | 申请日     | 2008-05-26 |
| [标]申请(专利权)人(译) | 夏普株式会社                                                                                            |         |            |
| 申请(专利权)人(译)    | 夏普公司                                                                                              |         |            |
| 当前申请(专利权)人(译)  | 夏普公司                                                                                              |         |            |
| [标]发明人         | 伊藤 資光                                                                                             |         |            |
| 发明人            | 伊藤 資光                                                                                             |         |            |
| IPC分类号         | G09G3/36 G09G3/20 G02F1/133                                                                       |         |            |
| CPC分类号         | G09G3/3677 G09G2310/0208 G09G2310/021 G09G2310/04 G09G2320/0233 G09G2320/0693                     |         |            |
| FI分类号          | G09G3/36 G09G3/20.622.C G09G3/20.622.L G09G3/20.612.J G09G3/20.611.H G09G3/20.642.B G02F1/133.550 |         |            |
| 优先权            | 2007210343 2007-08-10 JP                                                                          |         |            |
| 其他公开文献         | JPWO2009022486A1                                                                                  |         |            |
| 外部链接           | <a href="#">Espacenet</a>                                                                         |         |            |

# 摘要(译)

一种显示装置，包括：显示部分，其中提供多条数据信号线和多条扫描信号线，所述显示部分包括 (i) 第一区域，所述第一区域包括所述多条扫描信号线中的一些扫描信号线顺序地提供信号，以及 (ii) 包括顺序提供第二扫描信号的多条扫描信号线中的其他信号线的第二区域；波形调整部分 (7y和8y) 用于使第一扫描信号在有效时段期间具有波形，该波形不同于第二扫描信号在有效时段期间具有的波形。这允许显示装置驱动被划分为多个区域的显示部分，以减小区域之间的亮度差异。

【图2】

