

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4959728号
(P4959728)

(45) 発行日 平成24年6月27日 (2012. 6. 27)

(24) 登録日 平成24年3月30日 (2012. 3. 30)

(51) Int. Cl.

F I

G09G 3/36 (2006.01)
G09G 3/20 (2006.01)
G02F 1/133 (2006.01)

G09G 3/36
G09G 3/20 624B
G09G 3/20 623C
G09G 3/20 623D
G09G 3/20 611A

請求項の数 15 (全 27 頁) 最終頁に続く

(21) 出願番号 特願2008-557005 (P2008-557005)
(86) (22) 出願日 平成19年11月20日 (2007. 11. 20)
(86) 国際出願番号 PCT/JP2007/072450
(87) 国際公開番号 W02008/096493
(87) 国際公開日 平成20年8月14日 (2008. 8. 14)
審査請求日 平成21年5月19日 (2009. 5. 19)
(31) 優先権主張番号 特願2007-30394 (P2007-30394)
(32) 優先日 平成19年2月9日 (2007. 2. 9)
(33) 優先権主張国 日本国 (JP)

(73) 特許権者 000005049
シャープ株式会社
大阪府大阪市阿倍野区長池町2番2号
(74) 代理人 100104695
弁理士 島田 明宏
(74) 代理人 100121348
弁理士 川原 健児
(74) 代理人 100148459
弁理士 河本 悟
(72) 発明者 今井 雅博
大阪府大阪市阿倍野区長池町2番2号
シャープ株式会社内
(72) 発明者 中根 範之
大阪府大阪市阿倍野区長池町2番2号
シャープ株式会社内

最終頁に続く

(54) 【発明の名称】 表示装置ならびにその駆動回路および駆動方法

(57) 【特許請求の範囲】

【請求項 1】

アクティブマトリクス型の表示装置であって、
表示すべき画像に基づく映像信号を伝達するための複数の映像信号線と、
前記複数の映像信号線と交差する複数の走査信号線と、
前記複数の映像信号線と前記複数の走査信号線との交差点にそれぞれ対応してマトリクス状に配置された複数のスイッチ素子と、
前記複数のスイッチ素子にそれぞれ接続された複数の画素電極と、
前記複数の画素電極に共通的に設けられた共通電極と、
前記共通電極の電位に対する前記複数の画素電極の電位の極性が所定数の水平走査期間毎に反転するように前記複数の映像信号線に前記映像信号を印加する映像信号線駆動回路と、

有効映像期間と垂直帰線期間とからなり1フレーム分の画像表示が行われる期間であるフレーム期間のうちの前記垂直帰線期間の開始時点から所定の時間が経過するまでの移行期間に前記複数の映像信号線に印加されるべき映像信号の電位を決定する移行期間映像信号電位決定部と

を備え、

前記共通電極の電位は、前記所定数の水平走査期間毎に高電位と低電位とに交互に設定され、

連続する2フレーム期間である第1のフレーム期間と第2のフレーム期間において、前

10

20

記第 1 のフレーム期間における前記移行期間の長さとは前記第 2 のフレーム期間における前記移行期間の長さとが異なる長さに設定され、

前記移行期間映像信号電位決定部は、前記第 1 のフレーム期間における前記移行期間の終了時点の映像信号の電位と前記第 2 のフレーム期間における前記移行期間の終了時点の映像信号の電位とがほぼ等しくなるように、前記移行期間に前記複数の映像信号線に印加されるべき映像信号の電位を決定することを特徴とする、表示装置。

【請求項 2】

連続する 2 フレーム期間のうちの先行するフレーム期間における前記移行期間の終了時点から後続のフレーム期間における前記有効映像期間の開始時点まで、前記映像信号線駆動回路と前記複数の映像信号線とは互いに電氣的に切り離されていることを特徴とする、請求項 1 に記載の表示装置。

10

【請求項 3】

前記移行期間映像信号電位決定部は、

前記第 1 のフレーム期間における前記移行期間の開始直後に前記共通電極の電位が高電位に設定されていれば、当該第 1 のフレーム期間における前記移行期間の終了時点の映像信号の電位が前記有効映像期間中に前記映像信号が取り得る最大の電位と等しくなり、かつ、前記第 2 のフレーム期間における前記移行期間の終了時点の映像信号の電位が前記有効映像期間中に前記映像信号が取り得る最大の電位と等しくなるように、前記移行期間に前記複数の映像信号線に印加されるべき映像信号の電位を決定し、

前記第 1 のフレーム期間における前記移行期間の開始直後に前記共通電極の電位が低電位に設定されていれば、当該第 1 のフレーム期間における前記移行期間の終了時点の映像信号の電位が前記有効映像期間中に前記映像信号が取り得る最小の電位と等しくなり、かつ、前記第 2 のフレーム期間における前記移行期間の終了時点の映像信号の電位が前記有効映像期間中に前記映像信号が取り得る最小の電位と等しくなるように、前記移行期間に前記複数の映像信号線に印加されるべき映像信号の電位を決定することを特徴とする、請求項 1 に記載の表示装置。

20

【請求項 4】

前記第 1 のフレーム期間における前記移行期間の長さは、前記共通電極の電位に対する前記複数の画素電極の電位の極性が反転する間隔である前記所定数の水平走査期間の長さと等しい長さに設定され、

30

前記第 2 のフレーム期間における前記移行期間の長さは、前記第 1 のフレーム期間における前記移行期間の長さの 2 倍の長さに設定されていることを特徴とする、請求項 1 に記載の表示装置。

【請求項 5】

ノーマリブラックモードで表示を行う請求項 1 に記載の表示装置であって、

前記移行期間映像信号電位決定部は、前記第 1 のフレーム期間における前記移行期間の終了時点の映像信号の電位が黒色を表示するための電位となり、かつ、前記第 2 のフレーム期間における前記移行期間の終了時点の映像信号の電位が黒色を表示するための電位となるように、前記移行期間に前記複数の映像信号線に印加されるべき映像信号の電位を決定することを特徴とする、請求項 1 に記載の表示装置。

40

【請求項 6】

ノーマリホワイトモードで表示を行う請求項 1 に記載の表示装置であって、

前記移行期間映像信号電位決定部は、前記第 1 のフレーム期間における前記移行期間の終了時点の映像信号の電位が白色を表示するための電位となり、かつ、前記第 2 のフレーム期間における前記移行期間の終了時点の映像信号の電位が白色を表示するための電位となるように、前記移行期間に前記複数の映像信号線に印加されるべき映像信号の電位を決定することを特徴とする、請求項 1 に記載の表示装置。

【請求項 7】

前記共通電極の電位に対する前記複数の画素電極の電位の極性が 1 水平走査期間毎に反転することを特徴とする、請求項 1 に記載の表示装置。

50

【請求項 8】

表示すべき画像に基づく映像信号を伝達するための複数の映像信号線と、前記複数の映像信号線と交差する複数の走査信号線と、前記複数の映像信号線と前記複数の走査信号線との交差点にそれぞれ対応してマトリクス状に配置された複数のスイッチ素子と、前記複数のスイッチ素子にそれぞれ接続された複数の画素電極と、前記複数の画素電極に共通的に設けられた共通電極とを備えたアクティブマトリクス型の表示装置の駆動回路であって、

前記共通電極の電位に対する前記複数の画素電極の電位の極性が所定数の水平走査期間毎に反転するように前記複数の映像信号線に前記映像信号を印加する映像信号線駆動回路と、

10

前記映像信号線駆動回路の内部または外部に設けられ、有効映像期間と垂直帰線期間とからなり 1 フレーム分の画像表示が行われる期間であるフレーム期間のうちの前記垂直帰線期間の開始時点から所定の時間が経過するまでの移行期間に前記複数の映像信号線に印加されるべき映像信号の電位を決定する移行期間映像信号電位決定部とを備え、

前記共通電極の電位は、前記所定数の水平走査期間毎に高電位と低電位とに交互に設定され、

連続する 2 フレーム期間である第 1 のフレーム期間と第 2 のフレーム期間において、前記第 1 のフレーム期間における前記移行期間の長さと前記第 2 のフレーム期間における前記移行期間の長さとが異なる長さに設定され、

20

前記移行期間映像信号電位決定部は、前記第 1 のフレーム期間における前記移行期間の終了時点の映像信号の電位と前記第 2 のフレーム期間における前記移行期間の終了時点の映像信号の電位とがほぼ等しくなるように、前記移行期間に前記複数の映像信号線に印加されるべき映像信号の電位を決定することを特徴とする、駆動回路。

【請求項 9】

連続する 2 フレーム期間のうちの先行するフレーム期間における前記移行期間の終了時点から後続のフレーム期間における前記有効映像期間の開始時点まで、前記映像信号線駆動回路と前記複数の映像信号線とは互いに電氣的に切り離されていることを特徴とする、請求項 8 に記載の駆動回路。

【請求項 10】

30

前記移行期間映像信号電位決定部は、

前記第 1 のフレーム期間における前記移行期間の開始直後に前記共通電極の電位が高電位に設定されていれば、当該第 1 のフレーム期間における前記移行期間の終了時点の映像信号の電位が前記有効映像期間中に前記映像信号が取り得る最大の電位と等しくなり、かつ、前記第 2 のフレーム期間における前記移行期間の終了時点の映像信号の電位が前記有効映像期間中に前記映像信号が取り得る最大の電位と等しくなるように、前記移行期間に前記複数の映像信号線に印加されるべき映像信号の電位を決定し、

前記第 1 のフレーム期間における前記移行期間の開始直後に前記共通電極の電位が低電位に設定されていれば、当該第 1 のフレーム期間における前記移行期間の終了時点の映像信号の電位が前記有効映像期間中に前記映像信号が取り得る最小の電位と等しくなり、かつ、前記第 2 のフレーム期間における前記移行期間の終了時点の映像信号の電位が前記有効映像期間中に前記映像信号が取り得る最小の電位と等しくなるように、前記移行期間に前記複数の映像信号線に印加されるべき映像信号の電位を決定することを特徴とする、請求項 8 に記載の駆動回路。

40

【請求項 11】

前記第 1 のフレーム期間における前記移行期間の長さは、前記共通電極の電位に対する前記複数の画素電極の電位の極性が反転する間隔である前記所定数の水平走査期間の長さと等しい長さに設定され、

前記第 2 のフレーム期間における前記移行期間の長さは、前記第 1 のフレーム期間における前記移行期間の長さの 2 倍の長さに設定されていることを特徴とする、請求項 8 に記

50

載の駆動回路。

【請求項 1 2】

表示すべき画像に基づく映像信号を伝達するための複数の映像信号線と、前記複数の映像信号線と交差する複数の走査信号線と、前記複数の映像信号線と前記複数の走査信号線との交差点にそれぞれ対応してマトリクス状に配置された複数のスイッチ素子と、前記複数のスイッチ素子にそれぞれ接続された複数の画素電極と、前記複数の画素電極に共通的に設けられた共通電極と、前記複数の映像信号線を駆動する映像信号線駆動回路とを備えたアクティブマトリクス型の表示装置の駆動方法であって、

前記共通電極の電位に対する前記複数の画素電極の電位の極性が所定数の水平走査期間毎に反転するように前記複数の映像信号線に前記映像信号を印加する映像信号線駆動ステップと、

10

有効映像期間と垂直帰線期間とからなり 1 フレーム分の画像表示が行われる期間であるフレーム期間のうちの前記垂直帰線期間の開始時点から所定の時間が経過するまでの移行期間に前記複数の映像信号線に印加されるべき映像信号の電位を決定する移行期間映像信号電位決定ステップと

を備え、

前記共通電極の電位は、前記所定数の水平走査期間毎に高電位と低電位とに交互に設定され、

連続する 2 フレーム期間である第 1 のフレーム期間と第 2 のフレーム期間において、前記第 1 のフレーム期間における前記移行期間の長さと前記第 2 のフレーム期間における前記移行期間の長さとが異なる長さに設定され、

20

前記移行期間映像信号電位決定ステップでは、前記第 1 のフレーム期間における前記移行期間の終了時点の映像信号の電位と前記第 2 のフレーム期間における前記移行期間の終了時点の映像信号の電位とがほぼ等しくなるように、前記移行期間に前記複数の映像信号線に印加されるべき映像信号の電位が決定されることを特徴とする、駆動方法。

【請求項 1 3】

連続する 2 フレーム期間のうちの先行するフレーム期間における前記移行期間の終了時点から後続のフレーム期間における前記有効映像期間の開始時点まで、前記映像信号線駆動回路と前記複数の映像信号線とを互いに電氣的に切り離すステップを更に含むことを特徴とする、請求項 1 2 に記載の駆動方法。

30

【請求項 1 4】

前記移行期間映像信号電位決定ステップでは、

前記第 1 のフレーム期間における前記移行期間の開始直後に前記共通電極の電位が高電位に設定されていれば、当該第 1 のフレーム期間における前記移行期間の終了時点の映像信号の電位が前記有効映像期間中に前記映像信号が取り得る最大の電位と等しくなり、かつ、前記第 2 のフレーム期間における前記移行期間の終了時点の映像信号の電位が前記有効映像期間中に前記映像信号が取り得る最大の電位と等しくなるように、前記移行期間に前記複数の映像信号線に印加されるべき映像信号の電位が決定され、

前記第 1 のフレーム期間における前記移行期間の開始直後に前記共通電極の電位が低電位に設定されていれば、当該第 1 のフレーム期間における前記移行期間の終了時点の映像信号の電位が前記有効映像期間中に前記映像信号が取り得る最小の電位と等しくなり、かつ、前記第 2 のフレーム期間における前記移行期間の終了時点の映像信号の電位が前記有効映像期間中に前記映像信号が取り得る最小の電位と等しくなるように、前記移行期間に前記複数の映像信号線に印加されるべき映像信号の電位が決定されることを特徴とする、請求項 1 2 に記載の駆動方法。

40

【請求項 1 5】

前記第 1 のフレーム期間における前記移行期間の長さは、前記共通電極の電位に対する前記複数の画素電極の電位の極性が反転する間隔である前記所定数の水平走査期間の長さと等しい長さに設定され、

前記第 2 のフレーム期間における前記移行期間の長さは、前記第 1 のフレーム期間にお

50

ける前記移行期間の長さの２倍の長さに設定されていることを特徴とする、請求項１２に記載の駆動方法。

【発明の詳細な説明】

【技術分野】

【０００１】

本発明は、表示装置に関し、特に、駆動方式にライン反転駆動方式を採用するアクティブマトリクス型の表示装置に関する。

【背景技術】

【０００２】

近年、スイッチング素子としてＴＦＴ（Thin Film Transistor：薄膜トランジスタ）を備えるアクティブマトリクス型液晶表示装置が知られている。アクティブマトリクス型液晶表示装置の表示部には、複数本のソースバスライン（映像信号線）と、複数本のゲートバスライン（走査信号線）と、それら複数本のソースバスラインと複数本のゲートバスラインとの交差点にそれぞれ対応して設けられた複数個の画素形成部が含まれている。これらの画素形成部はマトリクス状に配置されて画素アレイを構成している。

【０００３】

図１６は、アクティブマトリクス型液晶表示装置の画素形成部の構成を示す回路図である。図１６に示すように、各画素形成部には、対応する交差点を通過するゲートバスラインＧＬにゲート電極１１が接続されるとともに当該交差点を通過するソースバスラインＳＬにソース電極１２が接続されたＴＦＴ１０と、そのＴＦＴ１０のドレイン電極１３に接続された画素電極１４と、上記複数個の画素形成部に共通的に設けられた共通電極１６および補助容量電極１８と、画素電極１４と共通電極１６とによって形成される液晶容量１５と、画素電極１４と補助容量電極１８とによって形成される補助容量１７とが含まれている。また、液晶容量１５と補助容量１７とによって画素容量Ｃ_pが形成されている。そして、各ＴＦＴ１０のゲート電極１１がゲートバスラインＧＬからアクティブな走査信号を受けたときに当該ＴＦＴ１０のソース電極１２がソースバスラインＳＬから受ける映像信号に基づいて、画素容量Ｃ_pに画素値を示す電圧が保持される。

【０００４】

ところで、画素電極１４とソースバスラインＳＬとは互いに近接する位置に配置されているので、図１６に示すように、画素電極１４とソースバスラインＳＬとの間には寄生容量１９が存在する。ライン反転駆動方式を採用する表示装置においては、１行毎に共通電極１６の電位に対する画素電極１４の電位の極性が反転するので、全面均一の輝度表示が行われると、１水平走査期間毎に映像信号の電位は変動する。このとき、上記寄生容量１９の影響により、書き込み済みの画素容量Ｃ_pに接続された画素電極１４についても電位の変動が生じる。その結果、画面上に縞模様（水平方向のスジ）が視認されることがある。これについて、図１７および図１８を参照しつつ、以下に説明する。なお、以下において、ｋ行目（ｋは「１」、「２」、・・・、あるいは、「偶数」、「奇数」）のゲートバスラインと任意のソースバスラインとの交差点に対応して設けられている画素形成部の構成要素について述べる時、単に「ｋ行目の（構成要素名など）」（例えば、「奇数行目の画素電極」という。

【０００５】

図１７は、或るフレーム（「偶数フレーム」とする）における信号波形図であり、図１８は、その次のフレーム（「奇数フレーム」とする）における信号波形図である。なお、時点ｔ５から時点ｔ６までの期間（水平走査期間）に最終行への書き込みが行われ、当該最終行は偶数行であるものと仮定している。また、最終行への書き込みについては、偶数フレームではプラス極性の書き込みが行われ、奇数フレームではマイナス極性への書き込みが行われるものと仮定している。

【０００６】

図１７（Ａ）、（Ｂ）および図１８（Ａ）、（Ｂ）によって、グラウンド電位ＧＮＤに

10

20

30

40

50

対するソース電極 1 2 の電位（以下、「ソース電位」という。） V_S の変動が示されている。また、図 1 7 (C)、(D) および図 1 8 (C)、(D) によって、共通電極 1 6 の電位（以下、「共通電極電位」という。） V_{COM} に対する偶数行目の画素電極 1 4 の電位（以下、「画素電位」という。） V_{even} の変動が示されている。さらに、図 1 7 (E)、(F) および図 1 8 (E)、(F) によって、共通電極 1 6 の電位 V_{COM} に対する奇数行目の画素電位 V_{odd} の変動が示されている。なお、各時点における電位の変化の遅延については、説明の便宜上無視している。

【0007】

まず、偶数フレームに着目する。図 1 7 (A) に示すように、ソース電位 V_S については、時点 t_6 までの水平走査期間には高電位と低電位とが交互に現れている。そして、時点 t_6 以降の垂直帰線期間には、ソースバスライン SL はハイインピーダンスの状態とされている。時点 t_1 から時点 t_2 までの水平走査期間に或る偶数行目への書き込みが行われると、当該偶数行目の画素電位 V_{even} は、図 1 7 (C) に示すように変化する。さらに、時点 t_2 から時点 t_3 までの水平走査期間に或る奇数行目への書き込みが行われると、当該奇数行目の画素電位 V_{odd} は、図 1 7 (F) に示すように変化する。なお、時点 t_1 から時点 t_2 までの水平走査期間における奇数行目の画素電位 V_{odd} は共通電極電位 V_{COM} に対してプラス極性側にあるが、説明の便宜上、図示を省略している。

【0008】

ここで、偶数行目の画素電位 V_{even} の変化に着目すると、書き込みが行われた水平走査期間以降、奇数行目への書き込みが行われる水平走査期間には目標電位よりも ΔV だけ電位が低下し、次の水平走査期間すなわち偶数行目への書き込みが行われる水平走査期間に目標電位まで電位が上昇している。一方、奇数行目の画素電位 V_{odd} の変化に着目すると、書き込みが行われた水平走査期間以降、偶数行目への書き込みが行われる水平走査期間には目標電位よりも ΔV だけ電位が上昇し、次の水平走査期間すなわち奇数行目への書き込みが行われる水平走査期間に目標電位まで電位が低下している。また、最終行への書き込みの終了後の垂直帰線期間には、上述のようにソースバスラインはハイインピーダンスの状態にされている。このため、最終行が偶数行である場合には、垂直帰線期間における偶数行目の画素電位 V_{even} は目標電位で維持されるが、垂直帰線期間における奇数行目の画素電位 V_{odd} は目標電位よりも ΔV だけ高い電位で維持される。これにより、垂直帰線期間において、偶数行目についての液晶への印加電圧 V_e は目標電圧で維持され、奇数行目についての液晶への印加電圧 V_o は目標電圧よりも ΔV だけ小さい電圧で維持される。なお、最終行が奇数行である場合には、垂直帰線期間において、偶数行目についての液晶への印加電圧は目標電圧よりも ΔV だけ小さい電圧で維持され、奇数行目についての液晶への印加電圧は目標電圧で維持される。

【0009】

次に、奇数フレームに着目する。図 1 8 (A) ~ (F) に示すように、偶数行目への書き込みの極性および奇数行目への書き込みの極性は、いずれについても、偶数フレームにおける極性とは逆の極性となっている。ところが、この奇数フレームにおいても、垂直帰線期間には、偶数行目についての液晶への印加電圧 V_e は目標電圧で維持され、奇数行目についての液晶への印加電圧 V_o は目標電圧よりも ΔV だけ小さい電圧で維持されている。

【0010】

以上のようにして、偶数フレームと奇数フレームの双方のフレームにおいて、垂直帰線期間中、偶数行目についての液晶への印加電圧 V_e と奇数行目についての液晶への印加電圧 V_o との間に ΔV の電圧差が生じることになる。その結果、上述のように、画面上に縞模様（水平方向のスジ）が視認される。

【0011】

これに対し、日本の特開 2001 - 202066 号公報には、垂直帰線期間中にソースバスラインに映像信号を供給することによって縞模様の発生を抑制する画像表示装置の発明が開示されている。また、日本の特開 2005 - 62535 号公報には、1 本のソース

10

20

30

40

50

バスラインにつき複数の信号線を切り替えて接続する信号線選択回路を備えることにより表示ムラの発生を防止する液晶表示装置の発明が開示されている。

【特許文献1】日本の特開2001-202066号公報

【特許文献2】日本の特開2005-62535号公報

【発明の開示】

【発明が解決しようとする課題】

【0012】

ところが、上記日本の特開2001-202066号公報および日本の特開2005-62535号公報に開示された発明によると、垂直帰線期間においてもソースバスラインへの映像信号の供給が必要となるので、消費電力が増大している。

10

【0013】

そこで本発明は、消費電力を増大させることなく表示ムラ（縞模様）の発生を抑制することのできる表示装置を提供することを目的とする。

【課題を解決するための手段】

【0014】

本発明の第1の局面は、アクティブマトリクス型の表示装置であって、表示すべき画像に基づく映像信号を伝達するための複数の映像信号線と、前記複数の映像信号線と交差する複数の走査信号線と、前記複数の映像信号線と前記複数の走査信号線との交差点にそれぞれ対応してマトリクス状に配置された複数のスイッチ素子と、前記複数のスイッチ素子にそれぞれ接続された複数の画素電極と、前記複数の画素電極に共通的に設けられた共通電極と、前記共通電極の電位に対する前記複数の画素電極の電位の極性が所定数の水平走査期間毎に反転するように前記複数の映像信号線に前記映像信号を印加する映像信号線駆動回路と、

20

有効映像期間と垂直帰線期間とからなり1フレーム分の画像表示が行われる期間であるフレーム期間のうちの前記垂直帰線期間の開始時点から所定の時間が経過するまでの移行期間に前記複数の映像信号線に印加されるべき映像信号の電位を決定する移行期間映像信号電位決定部と

を備え、

30

前記共通電極の電位は、前記所定数の水平走査期間毎に高電位と低電位とに交互に設定され、

連続する2フレーム期間である第1のフレーム期間と第2のフレーム期間において、前記第1のフレーム期間における前記移行期間の長さと前記第2のフレーム期間における前記移行期間の長さとは異なる長さに設定され、

前記移行期間映像信号電位決定部は、前記第1のフレーム期間における前記移行期間の終了時点の映像信号の電位と前記第2のフレーム期間における前記移行期間の終了時点の映像信号の電位とがほぼ等しくなるように、前記移行期間に前記複数の映像信号線に印加されるべき映像信号の電位を決定することを特徴とする。

【0015】

40

本発明の第2の局面は、本発明の第1の局面において、

連続する2フレーム期間のうちの先行するフレーム期間における前記移行期間の終了時点から後続のフレーム期間における前記有効映像期間の開始時点まで、前記映像信号線駆動回路と前記複数の映像信号線とは互いに電氣的に切り離されていることを特徴とする。

【0020】

本発明の第3の局面は、本発明の第1の局面において、

前記移行期間映像信号電位決定部は、

前記第1のフレーム期間における前記移行期間の開始直後に前記共通電極の電位が高電位に設定されていれば、当該第1のフレーム期間における前記移行期間の終了時点の映像信号の電位が前記有効映像期間中に前記映像信号が取り得る最大の電位と等しくなり、

50

かつ、前記第 2 のフレーム期間における前記移行期間の終了時点の映像信号の電位が前記有効映像期間中に前記映像信号が取り得る最大の電位と等しくなるように、前記移行期間に前記複数の映像信号線に印加されるべき映像信号の電位を決定し、

前記第 1 のフレーム期間における前記移行期間の開始直後に前記共通電極の電位が低電位に設定されていれば、当該第 1 のフレーム期間における前記移行期間の終了時点の映像信号の電位が前記有効映像期間中に前記映像信号が取り得る最小の電位と等しくなり、かつ、前記第 2 のフレーム期間における前記移行期間の終了時点の映像信号の電位が前記有効映像期間中に前記映像信号が取り得る最小の電位と等しくなるように、前記移行期間に前記複数の映像信号線に印加されるべき映像信号の電位を決定することを特徴とする。

【0021】

本発明の第 4 の局面は、本発明の第 1 の局面において、

前記第 1 のフレーム期間における前記移行期間の長さは、前記共通電極の電位に対する前記複数の画素電極の電位の極性が反転する間隔である前記所定数の水平走査期間の長さと等しい長さに設定され、

前記第 2 のフレーム期間における前記移行期間の長さは、前記第 1 のフレーム期間における前記移行期間の長さの 2 倍の長さに設定されていることを特徴とする。

【0022】

本発明の第 5 の局面は、ノーマリブラックモードで表示を行う本発明の第 1 の局面に係る表示装置であって、

前記移行期間映像信号電位決定部は、前記第 1 のフレーム期間における前記移行期間の終了時点の映像信号の電位が黒色を表示するための電位となり、かつ、前記第 2 のフレーム期間における前記移行期間の終了時点の映像信号の電位が黒色を表示するための電位となるように、前記移行期間に前記複数の映像信号線に印加されるべき映像信号の電位を決定することを特徴とする。

【0023】

本発明の第 6 の局面は、ノーマリホワイトモードで表示を行う本発明の第 1 の局面に係る表示装置であって、

前記移行期間映像信号電位決定部は、前記第 1 のフレーム期間における前記移行期間の終了時点の映像信号の電位が白色を表示するための電位となり、かつ、前記第 2 のフレーム期間における前記移行期間の終了時点の映像信号の電位が白色を表示するための電位となるように、前記移行期間に前記複数の映像信号線に印加されるべき映像信号の電位を決定することを特徴とする。

【0024】

本発明の第 7 の局面は、本発明の第 1 の局面において、

前記共通電極の電位に対する前記複数の画素電極の電位の極性が 1 水平走査期間毎に反転することを特徴とする。

【0027】

本発明の第 8 の局面は、表示すべき画像に基づく映像信号を伝達するための複数の映像信号線と、前記複数の映像信号線と交差する複数の走査信号線と、前記複数の映像信号線と前記複数の走査信号線との交差点にそれぞれ対応してマトリクス状に配置された複数のスイッチ素子と、前記複数のスイッチ素子にそれぞれ接続された複数の画素電極と、前記複数の画素電極に共通的に設けられた共通電極とを備えたアクティブマトリクス型の表示装置の駆動回路であって、

前記共通電極の電位に対する前記複数の画素電極の電位の極性が所定数の水平走査期間毎に反転するように前記複数の映像信号線に前記映像信号を印加する映像信号線駆動回路と、

前記映像信号線駆動回路の内部または外部に設けられ、有効映像期間と垂直帰線期間とからなり 1 フレーム分の画像表示が行われる期間であるフレーム期間のうちの前記垂直帰線期間の開始時点から所定の時間が経過するまでの移行期間に前記複数の映像信号線に印加されるべき映像信号の電位を決定する移行期間映像信号電位決定部と

10

20

30

40

50

を備え、

前記共通電極の電位は、前記所定数の水平走査期間毎に高電位と低電位とに交互に設定され、

連続する2フレーム期間である第1のフレーム期間と第2のフレーム期間において、前記第1のフレーム期間における前記移行期間の長さと前記第2のフレーム期間における前記移行期間の長さとが異なる長さに設定され、

前記移行期間映像信号電位決定部は、前記第1のフレーム期間における前記移行期間の終了時点の映像信号の電位と前記第2のフレーム期間における前記移行期間の終了時点の映像信号の電位とがほぼ等しくなるように、前記移行期間に前記複数の映像信号線に印加されるべき映像信号の電位を決定することを特徴とする。

10

【0028】

また、本発明の第8の局面において実施形態および図面を参照することにより把握される変形例が、課題を解決するための手段として考えられる。

【0029】

本発明の第12の局面は、表示すべき画像に基づく映像信号を伝達するための複数の映像信号線と、前記複数の映像信号線と交差する複数の走査信号線と、前記複数の映像信号線と前記複数の走査信号線との交差点にそれぞれ対応してマトリクス状に配置された複数のスイッチ素子と、前記複数のスイッチ素子にそれぞれ接続された複数の画素電極と、前記複数の画素電極に共通的に設けられた共通電極と、前記複数の映像信号線を駆動する映像信号線駆動回路とを備えたアクティブマトリクス型の表示装置の駆動方法であって、

20

前記共通電極の電位に対する前記複数の画素電極の電位の極性が所定数の水平走査期間毎に反転するように前記複数の映像信号線に前記映像信号を印加する映像信号線駆動ステップと、

有効映像期間と垂直帰線期間とからなり1フレーム分の画像表示が行われる期間であるフレーム期間のうちの前記垂直帰線期間の開始時点から所定の時間が経過するまでの移行期間に前記複数の映像信号線に印加されるべき映像信号の電位を決定する移行期間映像信号電位決定ステップと

を備え、

前記共通電極の電位は、前記所定数の水平走査期間毎に高電位と低電位とに交互に設定され、

30

連続する2フレーム期間である第1のフレーム期間と第2のフレーム期間において、前記第1のフレーム期間における前記移行期間の長さと前記第2のフレーム期間における前記移行期間の長さとが異なる長さに設定され、

前記移行期間映像信号電位決定ステップでは、前記第1のフレーム期間における前記移行期間の終了時点の映像信号の電位と前記第2のフレーム期間における前記移行期間の終了時点の映像信号の電位とがほぼ等しくなるように、前記移行期間に前記複数の映像信号線に印加されるべき映像信号の電位が決定されることを特徴とする。

【0030】

また、本発明の第12の局面において実施形態および図面を参照することにより把握される変形例が、課題を解決するための手段として考えられる。

40

【発明の効果】

【0031】

本発明の第1の局面によれば、1ラインまたは複数ライン反転駆動方式を採用し、共通電極の反転駆動が行われている表示装置において、垂直帰線期間の開始時点から所定の時間が経過するまでの期間（移行期間）に映像信号線に印加されるべき映像信号の電位を決定する移行期間映像信号電位決定部が設けられている。これにより、例えば、画素電極と映像信号線との間の寄生容量の影響による画素電極電位の変動の大きさについてのライン毎の差が小さくなるように、垂直帰線期間の開始後に映像信号線に映像信号が印加される構成にすることができる。その結果、ライン毎の画素電極電位の変動量の差が小さくなり

50

、画面上に縞模様（水平方向のスジ）として視認される表示ムラの発生を抑制することができる。ここで、移行期間終了時点の映像信号の電位は、連続する２フレーム期間である第１のフレーム期間と第２のフレーム期間についてほぼ等しい電位に設定される。これにより、映像信号の電位の設定に何らかの制約がある場合に、２フレーム期間をひとつの単位として表示ムラの発生が抑制されるように、好適な電位の映像信号が移行期間に映像信号線に印加される。

【００３２】

本発明の第２の局面によれば、垂直帰線期間のうちの大半の期間において、映像信号線駆動回路と映像信号線とは電氣的に切り離された状態となる。このため、垂直帰線期間の大半の期間において、映像信号線への映像信号の供給が不要となる。これにより、消費電力を低減させつつ、上記第１の発明と同様、表示ムラの発生を抑制することができる。

10

【００３７】

本発明の第３の局面によれば、上記第１の局面と同様、共通電極の反転駆動が行われている表示装置において、映像信号の電位の設定に何らかの制約がある場合に、２フレーム期間をひとつの単位として表示ムラの発生が抑制されるように、好適な電位の映像信号が移行期間に映像信号線に印加される。

【００３８】

本発明の第４の局面によれば、上記第１の局面と同様、共通電極の反転駆動が行われている表示装置において、映像信号の電位の設定に何らかの制約がある場合に、２フレーム期間をひとつの単位として表示ムラの発生が抑制されるように、好適な電位の映像信号が移行期間に映像信号線に印加される。

20

【００３９】

本発明の第５の局面によれば、ノーマリブラックモードで表示を行う表示装置において、２フレーム期間をひとつの単位として表示ムラの発生が抑制される。

【００４０】

本発明の第６の局面によれば、ノーマリホワイトモードで表示を行う表示装置において、２フレーム期間をひとつの単位として表示ムラの発生が抑制される。

【図面の簡単な説明】

【００４１】

30

【図１】Ａ－Ｆは、本発明の第１の実施形態に係る液晶表示装置における偶数フレームでの信号波形図である。

【図２】上記第１の実施形態において、液晶表示装置の全体構成を示すブロック図である。

【図３】上記第１の実施形態において、ソースドライバの構成を示すブロック図である。

【図４】上記第１の実施形態において、データ処理部の構成を示すブロック図である。

【図５】Ａ－Ｆは、上記第１の実施形態における奇数フレームでの信号波形図である。

【図６】Ａ－Ｆは、上記第１の実施形態において、具体的な電圧、電位の値の一例を示した偶数フレームにおける信号波形図である。

【図７】Ａ－Ｆは、上記第１の実施形態の変形例における偶数フレームでの信号波形図である。

40

【図８】Ａ－Ｆは、本発明の第２の実施形態における偶数フレームでの信号波形図である。

【図９】Ａ－Ｆは、上記第２の実施形態における奇数フレームでの信号波形図である。

【図１０】Ａ－Ｆは、上記第２の実施形態において、具体的な電圧、電位の値の一例を示した偶数フレームにおける信号波形図である。

【図１１】Ａ－Ｆは、上記第２の実施形態において、具体的な電圧、電位の値の一例を示した奇数フレームにおける信号波形図である。

【図１２】Ａ－Ｅは、本発明の第３の実施形態における偶数フレームでの信号波形図である。

50

【図 1 3】A - E は、上記第 3 の実施形態における奇数フレームでの信号波形図である。

【図 1 4】A - E は、上記第 3 の実施形態において、具体的な電圧、電位の値の一例を示した偶数フレームにおける信号波形図である。

【図 1 5】A - E は、上記第 3 の実施形態において、具体的な電圧、電位の値の一例を示した奇数フレームにおける信号波形図である。

【図 1 6】従来例において、アクティブマトリクス型液晶表示装置の画素形成部の構成を示す回路図である。

【図 1 7】A - F は、従来例における偶数フレームでの信号波形図である。

【図 1 8】A - F は、従来例における奇数フレームでの信号波形図である。

【符号の説明】

10

【 0 0 4 2 】

1 0 ... T F T (スイッチング素子)

3 1 ... データ処理回路

1 0 0 ... 表示部

2 0 0 ... 表示制御回路

3 0 0 ... ソースドライバ (映像信号線駆動回路)

3 1 1 ... カウンタ部

3 1 2 ... データ切替指示部

3 1 3 ... データ切替部

3 1 4 ... データ値計算部

20

4 0 0 ... ゲートドライバ (走査信号線駆動回路)

G N D ... グラウンド電位

V C O M ... 共通電極電位

V e v e n ... 偶数行目の画素電極の電位

V o d d ... 奇数行目の画素電極の電位

V S ... ソース電極の電位

【発明を実施するための最良の形態】

【 0 0 4 3 】

以下、添付図面を参照して本発明の実施形態について説明する。

【 0 0 4 4 】

30

< 1 . 第 1 の実施形態 >

< 1 . 1 全体構成および動作 >

図 2 は、本発明の第 1 の実施形態に係る液晶表示装置の全体構成を示すブロック図である。この液晶表示装置は、表示部 1 0 0 と表示制御回路 2 0 0 とソースドライバ (映像信号線駆動回路) 3 0 0 とゲートドライバ (走査信号線駆動回路) 4 0 0 とを備えている。

【 0 0 4 5 】

表示部 1 0 0 には、複数本 (n 本) のソースバスライン (映像信号線) S L 1 ~ S L n と、複数本 (m 本) のゲートバスライン (走査信号線) G L 1 ~ G L m と、それら複数本のソースバスライン S L 1 ~ S L n と複数本のゲートバスライン G L 1 ~ G L m との交差点にそれぞれ対応して設けられた複数個 (n × m 個) の画素形成部が含まれている。これらの画素形成部はマトリクス状に配置されて画素アレイを構成し、各画素形成部は、対応する交差点を通過するゲートバスライン G L j にゲート電極が接続されるとともに当該交差点を通過するソースバスライン S L i にソース電極が接続されたスイッチ素子としての T F T 1 0 と、その T F T 1 0 のドレイン電極に接続された画素電極と、上記複数個の画素形成部に共通的に設けられた共通電極および補助容量電極と、画素電極と共通電極とによって形成される液晶容量と、画素電極と補助容量電極とによって形成される補助容量とが含まれている。また、液晶容量と補助容量とによって画素容量が形成されている。

40

【 0 0 4 6 】

表示制御回路 2 0 0 は、表示すべき画像を表すデジタルビデオ信号 D V を受け取り、デジタル画像信号 D A (デジタルビデオ信号 D V に相当する信号) と、表示部 1 0 0 にお

50

る画像表示を制御するためのソーススタートパルス信号SSP、ソースクロック信号CLK、ラッチストロブ信号LS、ゲートスタートパルス信号GSP、およびゲートクロック信号GCKとを出力する。ソースドライバ300は、表示制御回路200から出力されるデジタル画像信号DA、ソーススタートパルス信号SSP、ソースクロック信号CLK、ラッチストロブ信号LS、およびゲートスタートパルス信号GSPを受け取り、各ソースバスラインSL1~SLnに駆動用映像信号S(1)~S(n)を印加する。ゲートドライバ400は、表示制御回路200から出力されるゲートスタートパルス信号GSPとゲートクロック信号GCKとに基づいて、アクティブな走査信号G(1)~G(m)の各ゲートバスラインGL1~GLmへの印加を1フレーム期間(1垂直走査期間)を周期として繰り返す。

10

【0047】

以上のようにして、各ソースバスラインSL1~SLnに駆動用映像信号が印加され、各ゲートバスラインGL1~GLmに走査信号が印加されることにより、表示部100に画像が表示される。

【0048】

< 1.2 ソースドライバの構成 >

図3は、本実施形態におけるソースドライバ300の構成を示すブロック図である。このソースドライバ300には、データ処理回路31とシフトレジスタ32と第1ラッチ回路33と第2ラッチ回路34と選択回路35と出力回路36と階調電圧発生回路37とが含まれている。なお、本実施形態においては、データ処理回路31によって移行期間映像信号電位決定部が実現されている。

20

【0049】

データ処理回路31は、表示制御回路200から送られるデジタル画像信号DA、ソーススタートパルス信号SSP、ソースクロック信号CLK、およびゲートスタートパルス信号GSPを受け取り、駆動用映像信号を生成するためのデジタル画像信号DATAを出力する。なお、データ処理回路31の詳しい構成および動作については後述する。

【0050】

シフトレジスタ32にはソーススタートパルス信号SSPとソースクロック信号CLKとが入力され、シフトレジスタ32は、これらの信号SSP、CLKに基づき、ソーススタートパルス信号SSPに含まれるパルスを入力端から出力端へと順次に転送する。このパルスの転送に応じてシフトレジスタ32から各ソースバスラインSL1~SLnに対応するサンプリングパルスが順次に出力され、当該サンプリングパルスは第1ラッチ回路33に順次に入力される。

30

【0051】

第1ラッチ回路33は、データ処理回路31から出力されるデジタル画像信号DATAを上記サンプリングパルスのタイミングでサンプリングする。第2ラッチ回路34は、ラッチストロブ信号LSのパルスのタイミングで、第1ラッチ回路33によってサンプリングされたデジタル画像信号DATAを内部画像信号として一斉に出力する。

【0052】

階調電圧発生回路37は、所定の電源回路(不図示)から与えられる複数個の基準電圧に基づいて、プラス・マイナスそれぞれの極性について例えば1024の階調レベルに対応する電圧を階調電圧群Vnとして出力する。

40

【0053】

選択回路35は、第2ラッチ回路34から出力される内部画像信号に基づき、階調電圧発生回路37から出力される階調電圧群Vnのうちのいずれかの電圧を選択し、出力する。選択回路35から出力された電圧は出力回路36に入力される。出力回路36は、選択回路35から出力された電圧を例えば電圧ホロアによってインピーダンス変換を行い、変換後の電圧を駆動用映像信号としてソースバスラインSL1~SLnに出力する。

【0054】

< 1.3 データ処理回路の構成および動作 >

50

図４は、本実施形態におけるデータ処理回路３１の構成を示すブロック図である。このデータ処理回路３１には、カウンタ部３１１とデータ切替指示部３１２とデータ切替部３１３とデータ値計算部３１４とが含まれている。

【００５５】

カウンタ部３１１は、表示制御回路２００から出力されるゲートスタートパルス信号ＧＳＰ、ソーススタートパルス信号ＳＳＰ、およびソースクロック信号ＳＣＫとを受け取る。そして、カウンタ部３１１は、ゲートスタートパルス信号ＧＳＰに基づいて何番目のフレームであるかを示す値（以下、「Ｆカウント値」という。）ＣｎｔＦをカウントし、ソーススタートパルス信号ＳＳＰに基づいて（入力データが）何行目のデータであるかを示す値（以下、「Ｖカウント値」という。）ＣｎｔＶをカウントし、ソースクロック信号ＳＣＫに基づいて（入力データが）何列目のデータであるかを示す値（以下、「Ｈカウント値」という。）ＣｎｔＨをカウントし、それらＣｎｔＦ、ＣｎｔＶ、およびＣｎｔＨを出力する。

10

【００５６】

データ値計算部３１４は、表示制御回路２００から出力されるデジタル画像信号ＤＡに基づいて、垂直帰線期間における最初の水平走査期間にソースバスラインＳＬ１～ＳＬｎに印加されるべき駆動用映像信号の電位を示す値（以下、「垂直帰線期間用電位値」という。）ＤＫを算出して、それを出力する。

【００５７】

データ切替指示部３１２は、カウンタ部３１１から出力されるＦカウント値ＣｎｔＦとＶカウント値ＣｎｔＶとＨカウント値ＣｎｔＨとを受け取り、駆動用映像信号の生成に使用されるべきデータを切り替えるためのデータ切替指示信号Ｓを出力する。具体的には、各フレームの有効映像期間（垂直帰線期間以外の期間）には表示制御回路２００から出力されるデジタル画像信号ＤＡに基づいて駆動用映像信号が生成され、各フレームの垂直帰線期間における最初の水平走査期間にはデータ値計算部３１４で算出された垂直帰線期間用電位値ＤＫに基づいて駆動用映像信号が生成されるように、データ切替指示信号Ｓを出力する。

20

【００５８】

データ切替部３１３は、データ切替指示部３１２から出力されるデータ切替指示信号Ｓに基づいて、表示制御回路２００から出力されるデジタル画像信号ＤＡもしくはデータ値計算部３１４から出力される垂直帰線期間用電位値ＤＫをデジタル画像信号ＤＡＴＡとして出力する。

30

【００５９】

以上のようにデータ処理回路３１が動作することによって、各フレームの有効映像期間には、表示制御回路２００から出力されるデジタル画像信号ＤＡに基づいて生成された駆動用映像信号がソースバスラインＳＬ１～ＳＬｎに印加され、各フレームの垂直帰線期間における最初の水平走査期間には、データ値計算部３１４で算出された垂直帰線期間用電位値ＤＫに基づいて生成された駆動用映像信号がソースバスラインＳＬ１～ＳＬｎに印加される。なお、各フレームの垂直帰線期間において最初の水平走査期間が終了した後は、ソースバスラインＳＬ１～ＳＬｎはハイインピーダンスの状態、すなわちソースドライバ３００とソースバスラインＳＬ１～ＳＬｎとが電氣的に切り離された状態にされる。

40

【００６０】

< １．４ 駆動方法 >

次に、本実施形態における駆動方法について、図１および図５を参照しつつ説明する。図１は偶数フレームにおける信号波形図であり、図５は奇数フレームにおける信号波形図である。なお、時点ｔ５から時点ｔ６までの水平走査期間に最終行への書き込みが行われ、当該最終行は偶数行であるものと仮定する。また、ここでは全面均一の輝度表示がなされており、最終行への書き込みについては、偶数フレームではプラス極性の書き込みが行われ、奇数フレームではマイナス極性の書き込みが行われるものと仮定する。さらに、各時点における電位の変化の遅延については、無視できるものと仮定する。

50

【 0 0 6 1 】

まず、偶数フレームに着目する。垂直帰線期間が開始する時点 t_6 までの期間（有効映像期間）については、図 17 に示した従来例と同様の動作が行われる。すなわち、ソース電位 V_S については、表示制御回路 200 から出力されるデジタル画像信号 DA に基づく輝度表示のために、高電位と低電位とが図 1（A）に示すように 1 水平走査期間ずつ交互に現れる。これにより、偶数行目の画素電位 V_{even} については、図 1（C）に示すように、書き込みが行われた水平走査期間以降、奇数行目への書き込みが行われる水平走査期間には目標電位よりも ΔV だけ電位が低下し、次の水平走査期間すなわち偶数行目への書き込みが行われる水平走査期間に目標電位まで電位が上昇する（戻る）。一方、奇数行目の画素電位 V_{odd} については、図 1（F）に示すように、書き込みが行われた水平走査期間以降、偶数行目への書き込みが行われる水平走査期間には目標電位よりも ΔV だけ電位が上昇し、次の水平走査期間すなわち奇数行目への書き込みが行われる水平走査期間に目標電位まで電位が低下する（戻る）。その結果、偶数行である最終行への書き込みが終了する時点 t_6 の直前においては、偶数行目の画素電位 V_{even} は目標電位となっているが、奇数行目の画素電位 V_{odd} は目標電位よりも ΔV だけ高い電位となっている。

10

【 0 0 6 2 】

時点 t_6 になると、ソース電位 V_S については、時点 t_6 までの期間における振幅の 2 分の 1 だけ電位が低下する。そして、その低下後の電位が 1 水平走査期間だけ維持され、時点 t_7 以降には、ソースバスライン $SL_1 \sim SL_n$ はハイインピーダンスの状態とされる。なお、時点 t_6 から時点 t_7 までの水平走査期間におけるソース電位 V_S の値は、上述した垂直帰線期間用電位値 DK に基づく値である。

20

【 0 0 6 3 】

時点 t_6 において上述のようにソース電位 V_S が低下する結果、図 1（C）、（F）に示すように、偶数行目の画素電位 V_{even} および奇数行目の画素電位 V_{odd} についてはともに時点 t_6 に ΔV_a だけ電位が低下する。ここで、ソース電位 V_S の変化に基づく画素電位 V_{even} 、 V_{odd} の変化の大きさはソース電位 V_S の変化量に比例する。また、上述のように、時点 t_6 におけるソース電位 V_S の変化量は時点 t_6 までの期間における振幅の 2 分の 1 となっている。このため、上記 ΔV_a の大きさは上記 ΔV の大きさの 2 分の 1 に相当する。これにより、時点 t_7 において、偶数行目についての画素電位 V_{even} と目標電位との電位差と、奇数行目についての画素電位 V_{odd} と目標電位との電位差とはほぼ等しくなる。また、時点 t_7 以降には、ソースバスライン $SL_1 \sim SL_n$ はハイインピーダンスの状態とされるので、偶数行目の画素電位 V_{even} および奇数行目の画素電位 V_{odd} については、電位がそのまま維持される。その結果、垂直帰線期間において、偶数行目についての液晶への印加電圧 V_e と奇数行目についての液晶への印加電圧 V_o とはほぼ等しくなる。なお、以上のように、偶数フレームにおいては時点 t_6 から時点 t_7 までの期間が移行期間となっている。

30

【 0 0 6 4 】

次に、奇数フレームに着目する。図 5 に示すように、垂直帰線期間が開始する時点 t_6 までの期間については、図 18 に示した従来例と同様の動作が行われる。これにより、偶数行である最終行への書き込みが終了する時点 t_6 の直前においては、偶数行目の画素電位 V_{even} は目標電位となっているが、奇数行目の画素電位 V_{odd} は目標電位よりも ΔV だけ低い電位となっている。

40

【 0 0 6 5 】

時点 t_6 になると、ソース電位 V_S については、時点 t_6 までの期間における振幅の 2 分の 1 だけ電位が上昇する。そして、その上昇後の電位が 1 水平走査期間だけ維持され、時点 t_7 以降には、ソースバスライン $SL_1 \sim SL_n$ はハイインピーダンスの状態とされる。これにより、上記偶数フレームと同様の動作により、垂直帰線期間において、偶数行目についての液晶への印加電圧 V_e と奇数行目についての液晶への印加電圧 V_o とはほぼ等しくなる。なお、以上のように、奇数フレームにおいても時点 t_6 から時点 t_7 までの期間が移行期間となっている。

50

【 0 0 6 6 】

なお、ノーマリブラックモードで表示を行う液晶表示装置であれば、上記偶数フレームの時点 t_6 から時点 t_7 までの水平走査期間および上記奇数フレームの時点 t_6 から時点 t_7 までの水平走査期間におけるソース電位 V_S を黒色を表示するための電位に設定しても良い。また、ノーマリホワイトモードで表示を行う液晶表示装置であれば、上記偶数フレームの時点 t_6 から時点 t_7 までの水平走査期間および上記奇数フレームの時点 t_6 から時点 t_7 までの水平走査期間におけるソース電位 V_S を白色を表示するための電位に設定しても良い。

【 0 0 6 7 】

< 1 . 5 実施例 >

図 6 は、本実施形態において、具体的な電圧、電位の値の一例を示した偶数フレームにおける信号波形図である。図 6 (A) に示すように、時点 t_6 までの期間中、ソース電位 V_S については $9V$ の電位と $1V$ の電位とが 1 水平走査期間ずつ交互に現れている。このソース電位 V_S の変化に起因して、図 6 (C)、(F) に示すように、偶数行目の画素電位 V_{even} および奇数行目の画素電位 V_{odd} には 1 水平走査期間毎に $40mV$ の変化が生じている。偶数行である最終行への書き込みが終了する時点 t_6 になると、ソース電位 V_S は $5V$ にされる。なお、このソース電位 V_S については次式 (1) によって求められる。

$$V_S = 9V - (9V - 1V) / 2 \quad \cdots (1)$$

【 0 0 6 8 】

時点 t_6 にソース電位 V_S が $9V$ から $5V$ に変化する結果、偶数行目についての画素電位 V_{even} と目標電位との電位差は $20mV$ となり、奇数行目についての画素電位 V_{odd} と目標電位との電位差も $20mV$ となる。これにより、垂直帰線期間において、偶数行目についての液晶への印加電圧 V_e と奇数行目についての液晶への印加電圧 V_o とはほぼ等しくなる。奇数フレームについても偶数フレームと同様の動作により、垂直帰線期間において、偶数行目についての液晶への印加電圧 V_e と奇数行目についての液晶への印加電圧 V_o とはほぼ等しくなる。

【 0 0 6 9 】

< 1 . 6 効果 >

以上のように、本実施形態によると、各フレームの垂直帰線期間における最初の水平走査期間には、データ値計算部 314 で算出された垂直帰線期間用電位値 DK に基づいて生成された駆動用映像信号がソースバスライン $SL_1 \sim SL_n$ に印加される。また、垂直帰線期間用電位値 DK は、垂直帰線期間の開始時点前後における駆動用映像信号の電位の変化の大きさが有効映像期間における駆動用映像信号の電位の変化量 (振幅) の 2 分の 1 となるように算出される。このため、垂直帰線期間において、偶数行目についての画素電位 V_{even} と目標電位との電位差と、奇数行目についての画素電位 V_{odd} と目標電位との電位差とはほぼ等しくなる。これにより、垂直帰線期間において、偶数行目についての液晶への印加電圧と奇数行目についての液晶への印加電圧とはほぼ等しくなり、それら印加電圧の違いに起因する表示ムラの発生が抑制される。また、垂直帰線期間における最初の水平走査期間が終了すると、ソースバスライン $SL_1 \sim SL_n$ はハイインピーダンスの状態とされる。このため、垂直帰線期間のうちの大半の期間においてソースバスライン $SL_1 \sim SL_n$ への駆動用映像信号の供給が不要となり、消費電力が低減される。

【 0 0 7 0 】

< 1 . 7 変形例 >

上記実施形態においては、有効映像期間中のソース電位 V_S の振幅の 2 分の 1 だけ垂直帰線期間の開始時点にソース電位 V_S を変化させていたが、本発明はこれに限定されない。垂直帰線期間において、偶数行目についての画素電位 V_{even} と目標電位との電位差と、奇数行目についての画素電位 V_{odd} と目標電位との電位差とが比較的近い値になるのであれば、垂直帰線期間の開始時点におけるソース電位 V_S の変化の大きさは特に限定されない。例えば、有効映像期間にソース電位 V_S として $9V$ の電位と $1V$ の電位とが現

10

20

30

40

50

れている場合に、図 7 に示すように垂直帰線期間の開始時点にソース電位 V_S を $6V$ とし
ても表示ムラの発生を抑制することができる。

【0071】

また、有効映像期間中のソース電位 V_S の値にかかわらず、ソースドライバ 300 が出
力可能なソース電位 V_S の最大値と最小値との中央値に相当する電位の駆動用映像信号が
各フレームの垂直帰線期間における最初の水平走査期間にソースバスライン $SL_1 \sim SL_n$
に印加される構成としても良い。

【0072】

さらに、上記実施形態においては、第 1 ラッチ回路 33 に入力されるデジタル画像信号
DATA の値を図 3 に示すデータ処理回路 31 で制御する構成としているが、本発明はこ
れに限定されない。例えば、データ処理回路 31 が選択回路 35 を制御することによって
、表示制御回路 200 から送られるデジタル画像信号 DA の示す階調とは異なる階調の電
圧がソースバスライン $SL_1 \sim SL_n$ に印加される構成としても良い。

【0073】

< 2 . 第 2 の実施形態 >

< 2 . 1 全体構成など >

本実施形態では、全体構成、ソースドライバ 300 の構成、およびデータ処理回路 31
の構成については上記第 1 の実施形態と同様であるので、説明を省略する。但し、本実施
形態においては、データ処理回路 31 内のデータ値計算部 314 は、フレーム毎に、垂直
帰線期間における最初の水平走査期間のための垂直帰線期間用電位値（以下、「第 1 の垂
直帰線期間用電位値」という。） DK_1 と、その次の水平走査期間のための垂直帰線期間
用電位値（以下、「第 2 の垂直帰線期間用電位値」という。） DK_2 とを出力する。

【0074】

< 2 . 2 駆動方法 >

本実施形態における駆動方法について、図 8 および図 9 を参照しつつ説明する。図 8 は
第 1 のフレーム期間としての偶数フレームにおける信号波形図であり、図 9 は第 2 のフレ
ーム期間としての奇数フレームにおける信号波形図である。なお、各行への書き込みの極
性などの前提条件については、上記第 1 の実施形態と同様であるものと仮定する。

【0075】

まず、偶数フレームに着目する。垂直帰線期間が開始する時点 t_6 までの期間（有効映
像期間）については、図 1 に示した上記第 1 の実施形態と同様の動作が行われる。従って
、偶数行である最終行への書き込みが終了する時点 t_6 の直前においては、偶数行目の画
素電位 V_{even} は目標電位となっているが、奇数行目の画素電位 V_{odd} は目標電位よ
りも ΔV だけ高い電位となっている。

【0076】

時点 t_6 になると、ソース電位 V_S については、図 8 (A) に示すように V_2 だけ電位
が低下する。そして、その低下後の電位が 1 水平走査期間だけ維持され、時点 t_7 以降に
は、ソースバスライン $SL_1 \sim SL_n$ はハイインピーダンスの状態とされる。なお、時点
 t_6 から時点 t_7 までの水平走査期間におけるソース電位 V_S の値は、上述した第 1 の垂
直帰線期間用電位値 DK_1 に基づく値である。

【0077】

時点 t_6 において上述のようにソース電位 V_S が低下する結果、図 8 (C)、(F) に
示すように、偶数行目の画素電位 V_{even} および奇数行目の画素電位 V_{odd} について
はともに時点 t_6 に ΔV_a だけ電位が低下する。なお、 ΔV_a は次式 (2) によって求め
られる。

$$\Delta V_a = (V_2 \times \Delta V) / V_1 \quad \cdots (2)$$

ここで、 V_1 は有効映像期間におけるソース電位 V_S の変化量（振幅）、 V_2 は時点 t_6
におけるソース電位 V_S の変化量、 ΔV は有効映像期間における画素電位 V_{even} 、 V_{odd}
の変化量である。

【0078】

これにより、時点 t_6 の直後において、偶数行目についての画素電位 V_{even} と目標電位との電位差は、 ΔV_a となる。一方、奇数行目についての画素電位 V_{odd} と目標電位との電位差は、 ΔV と ΔV_a との差すなわち図 8 (F) に示す ΔV_b となる。時点 t_7 以降には、ソースバスライン $SL_1 \sim SL_n$ はハイインピーダンスの状態とされるので、偶数行目の画素電位 V_{even} および奇数行目の画素電位 V_{odd} については、電位がそのまま維持される。その結果、偶数フレームの垂直帰線期間において、偶数行目についての液晶への印加電圧 V_e は、奇数行目についての液晶への印加電圧 V_o よりも ΔV_a と ΔV_b との差だけ小さくなる。なお、以上のように、偶数フレームにおいては時点 t_6 から時点 t_7 までの期間が移行期間となっている。

【0079】

10

次に、奇数フレームに着目する。垂直帰線期間が開始する時点 t_6 までの期間については、図 5 に示した上記第 1 の実施形態と同様の動作が行われる。従って、偶数行である最終行への書き込みが終了する時点 t_6 の直前においては、偶数行目の画素電位 V_{even} は目標電位となっているが、奇数行目の画素電位 V_{odd} は目標電位よりも ΔV だけ低い電位となっている。

【0080】

時点 t_6 になると、ソース電位 V_S については、上述した V_2 だけ電位が上昇する。これにより、偶数行目の画素電位 V_{even} および奇数行目の画素電位 V_{odd} についてはともに時点 t_6 に ΔV_a だけ電位が上昇する。時点 t_6 から時点 t_7 までの水平走査期間には、ソース電位 V_S はそのまま維持される。このため、時点 t_6 から時点 t_7 までの水平走査期間には、偶数行目についての画素電位 V_{even} と目標電位との電位差は ΔV_a となり、奇数行目についての画素電位 V_{odd} と目標電位との電位差は ΔV_b となる。なお、時点 t_6 から時点 t_7 までの水平走査期間におけるソース電位 V_S の値は、上述した第 1 の垂直帰線期間用電位値 DK_1 に基づく値である。

20

【0081】

時点 t_7 になると、ソース電位 V_S は、有効映像期間における高電位側の電位よりも上述した V_2 だけ低い電位にされる。これにより、ソース電位 V_S の変化量に応じて、偶数行目の画素電位 V_{even} および奇数行目の画素電位 V_{odd} が低下する。その結果、時点 t_7 の直後において、偶数行目についての画素電位 V_{even} と目標電位との電位差は ΔV_b となる。一方、奇数行目についての画素電位 V_{odd} と目標電位との電位差は ΔV_a となる。なお、時点 t_7 から時点 t_8 までの水平走査期間におけるソース電位 V_S の値は、上述した第 2 の垂直帰線期間用電位値 DK_2 に基づく値である。

30

【0082】

時点 t_8 以降には、ソースバスライン $SL_1 \sim SL_n$ はハイインピーダンスの状態とされるので、偶数行目の画素電位 V_{even} および奇数行目の画素電位 V_{odd} については、電位がそのまま維持される。その結果、奇数フレームの垂直帰線期間において、偶数行目についての液晶への印加電圧 V_e は、奇数行目についての液晶への印加電圧 V_o よりも ΔV_a と ΔV_b との差だけ大きくなる。なお、以上のように、奇数フレームにおいては時点 t_6 から時点 t_8 までの期間が移行期間となっている。

【0083】

40

以上のように、偶数フレームの垂直帰線期間には、偶数行目についての液晶への印加電圧 V_e は、奇数行目についての液晶への印加電圧 V_o よりも ΔV_a と ΔV_b との差だけ小さくなる。一方、奇数フレームの垂直帰線期間には、偶数行目についての液晶への印加電圧 V_e は、奇数行目についての液晶への印加電圧 V_o よりも ΔV_a と ΔV_b との差だけ大きくなる。

【0084】

なお、ノーマリブラックモードで表示を行う液晶表示装置であれば、上記偶数フレームの時点 t_6 から時点 t_7 までの水平走査期間および上記奇数フレームの時点 t_7 から時点 t_8 までの水平走査期間におけるソース電位 V_S を黒色を表示するための電位に設定しても良い。また、ノーマリホワイトモードで表示を行う液晶表示装置であれば、上記偶数フ

50

レームの時点 t_6 から時点 t_7 までの水平走査期間および上記奇数フレームの時点 t_7 から時点 t_8 までの水平走査期間におけるソース電位 V_S を白色を表示するための電位に設定しても良い。

【0085】

< 2.3 実施例 >

次に、本実施形態における具体的な電圧、電位の値の一例について説明する。図10は、偶数フレームにおける信号波形図である。図10(A)に示すように、時点 t_6 までの期間中、ソース電位 V_S については9Vの電位と1Vの電位とが1水平走査期間ずつ交互に現れている。このソース電位 V_S の変化に起因して、図10(C)、(F)に示すように、偶数行目の画素電位 V_{even} および奇数行目の画素電位 V_{odd} には1水平走査期間毎に40mVの変化が生じている。偶数行である最終行への書き込みが終了する時点 t_6 になると、ソース電位 V_S は4Vにされる。

10

【0086】

時点 t_6 にソース電位 V_S が9Vから4Vに変化する結果、偶数行目についての画素電位 V_{even} と目標電位との電位差は25mVとなり、奇数行目についての画素電位 V_{odd} と目標電位との電位差は15mVとなる。これにより、偶数フレームの垂直帰線期間において、偶数行目についての液晶への印加電圧 V_e は、奇数行目についての液晶への印加電圧 V_o よりも10mVだけ小さくなる。

【0087】

図11は、奇数フレームにおける信号波形図である。図11(A)に示すように、時点 t_6 までの期間中、ソース電位 V_S については9Vの電位と1Vの電位とが1水平走査期間ずつ交互に現れている。偶数行である最終行への書き込みが終了する時点 t_6 になると、ソース電位 V_S は6Vにされる。

20

【0088】

時点 t_6 にソース電位 V_S が9Vから6Vに変化する結果、偶数行目についての画素電位 V_{even} と目標電位との電位差は25mVとなり、奇数行目についての画素電位 V_{odd} と目標電位との電位差は15mVとなる。さらに、時点 t_7 になると、ソース電位 V_S は4Vにされる。これにより、偶数行目についての画素電位 V_{even} と目標電位との電位差は15mVとなり、奇数行目についての画素電位 V_{odd} と目標電位との電位差は25mVとなる。時点 t_8 以降には、ソースバスライン $SL_1 \sim SL_n$ はハイインピーダンスの状態とされるので、偶数行目の画素電位 V_{even} および奇数行目の画素電位 V_{odd} については、電位がそのまま維持される。その結果、奇数フレームの垂直帰線期間において、偶数行目についての液晶への印加電圧 V_e は、奇数行目についての液晶への印加電圧 V_o よりも10mVだけ大きくなる。

30

【0089】

以上のように、偶数フレームの垂直帰線期間には、偶数行目についての液晶への印加電圧 V_e は、奇数行目についての液晶への印加電圧 V_o よりも10mVだけ小さくなる。一方、奇数フレームの垂直帰線期間には、偶数行目についての液晶への印加電圧 V_e は、奇数行目についての液晶への印加電圧 V_o よりも10mVだけ大きくなる。

【0090】

40

< 2.4 効果 >

以上のように、本実施形態によると、各フレームの垂直帰線期間における最初の水平走査期間には、データ値計算部314で算出された第1の垂直帰線期間用電位値 DK_1 に基づいて生成された駆動用映像信号がソースバスライン $SL_1 \sim SL_n$ に印加される。また、奇数フレームの垂直帰線期間における2番目の水平走査期間には、データ値計算部314で算出された第2の垂直帰線期間用電位値 DK_2 に基づいて生成された駆動用映像信号がソースバスライン $SL_1 \sim SL_n$ に印加される。ここで、偶数フレームにおける第1の垂直帰線期間用電位値 DK_1 と奇数フレームにおける第2の垂直帰線期間用電位値 DK_2 とは等しい値となっている。このため、偶数フレームの垂直帰線期間における偶数行目についての液晶への印加電圧 V_e から奇数行目についての液晶への印加電圧 V_o を減じた値

50

と、奇数フレームの垂直帰線期間における奇数行目についての液晶への印加電圧 V_o から偶数行目についての液晶への印加電圧 V_e を減じた値とはほぼ等しくなる。これにより、連続する2フレーム期間をひとつの単位として、垂直帰線期間において、偶数行目についての液晶への平均的な印加電圧と奇数行目についての液晶への平均的な印加電圧とはほぼ等しくなり、それら印加電圧の違いに起因する表示ムラの発生が抑制される。

【0091】

< 3 . 第3の実施形態 >

< 3 . 1 全体構成など >

本実施形態では、全体構成、ソースドライバ300の構成、およびデータ処理回路31の構成については上記第2の実施形態と同様であるので、説明を省略する。但し、本実施形態においては、1水平走査期間毎に共通電極電位 V_{COM} の極性反転が行われる構成となっている。

【0092】

< 3 . 2 駆動方法 >

本実施形態における駆動方法について、図12および図13を参照しつつ説明する。図12は第1のフレーム期間としての偶数フレームにおける信号波形図であり、図13は第2のフレーム期間としての奇数フレームにおける信号波形図である。なお、各行への書き込みの極性などの前提条件については、上記第1および第2の実施形態と同様であるものと仮定する。

【0093】

まず、偶数フレームに着目する。図12(A)～(C)に示すように、時点 t_1 から時点 t_6 までの期間中、ソース電位 V_S については高電位と低電位とが1水平走査期間ずつ交互に現れ、共通電極電位 V_{COM} については低電位と高電位とが1水平走査期間ずつ交互に現れる。ここで、共通電極電位 V_{COM} の極性の反転が行われる際には、ソースバスライン SL はハイインピーダンスの状態とされる(奇数フレームにおいても同様である)。このため、画素電位 V_{even} 、 V_{odd} の変化は、共通電極電位 V_{COM} の変化とソース電位 V_S の変化とに基づくものとなる。これにより、偶数行目の画素電位 V_{even} については、図12(D)に示すように、書き込みが行われた水平走査期間以降、奇数行目への書き込みが行われる水平走査期間には目標電位よりも ΔV だけ低い電位となり、次の水平走査期間すなわち偶数行目への書き込みが行われる水平走査期間には目標電位まで電位が戻る。一方、奇数行目の画素電位 V_{odd} については、図12(E)に示すように、書き込みが行われた水平走査期間以降、偶数行目への書き込みが行われる水平走査期間には目標電位よりも ΔV だけ高い電位となり、次の水平走査期間すなわち奇数行目への書き込みが行われる水平走査期間に目標電位まで電位が戻る。その結果、偶数行である最終行への書き込みが終了する時点 t_6 の直前においては、偶数行目の画素電位 V_{even} は目標電位となっているが、奇数行目の画素電位 V_{odd} は目標電位よりも ΔV だけ高い電位となっている。

【0094】

時点 t_6 になると、共通電極電位 V_{COM} については低電位から高電位へと極性が反転されるが、ソース電位 V_S については電位がそのまま維持される。このように、時点 t_6 直後の共通電極電位 V_{COM} が高電位に設定されていれば、ソース電位 V_S については有効映像期間中における最大の電位に設定される。これにより、時点 t_6 から時点 t_7 までの水平走査期間には、偶数行目の画素電位 V_{even} については目標電位よりも ΔV_a だけ低い電位となり、奇数行目の画素電位 V_{odd} については目標電位よりも ΔV_b だけ高い電位となる。そして、時点 t_7 以降には、ソースバスライン $SL_1 \sim SL_n$ はハイインピーダンスの状態とされる。これにより、偶数フレームの垂直帰線期間において、偶数行目についての液晶への印加電圧は、奇数行目についての液晶への印加電圧よりも ΔV_a と ΔV_b との差だけ小さくなる。なお、時点 t_6 から時点 t_7 までの水平走査期間におけるソース電位 V_S の値は、上述した第1の垂直帰線期間用電位値 DK_1 に基づく値である。

【0095】

次に、奇数フレームに着目する。図13(A)～(C)に示すように、時点 t_1 から時点 t_6 までの期間中、ソース電位 V_S については低電位と高電位とが1水平走査期間ずつ交互に現れ、共通電極電位 V_{COM} については高電位と低電位とが1水平走査期間ずつ交互に現れる。これにより、偶数行目の画素電位 V_{even} については、図13(D)に示すように、書き込みが行われた水平走査期間以降、奇数行目への書き込みが行われる水平走査期間には目標電位よりも ΔV だけ高い電位となり、次の水平走査期間すなわち偶数行目への書き込みが行われる水平走査期間には目標電位まで電位が戻る。一方、奇数行目の画素電位 V_{odd} については、図13(E)に示すように、書き込みが行われた水平走査期間以降、偶数行目への書き込みが行われる水平走査期間には目標電位よりも ΔV だけ低い電位となり、次の水平走査期間すなわち奇数行目への書き込みが行われる水平走査期間に目標電位まで電位が戻る。その結果、偶数行である最終行への書き込みが終了する時点 t_6 の直前においては、偶数行目の画素電位 V_{even} は目標電位となっているが、奇数行目の画素電位 V_{odd} は目標電位よりも ΔV だけ低い電位となっている。

【0096】

時点 t_6 になると、共通電極電位 V_{COM} については高電位から低電位へと極性が反転されるが、ソース電位 V_S については電位がそのまま維持される。これにより、時点 t_6 から時点 t_7 までの水平走査期間には、偶数行目の画素電位 V_{even} については目標電位よりも ΔV_a だけ高い電位となり、奇数行目の画素電位 V_{odd} については目標電位よりも ΔV_b だけ低い電位となる。

【0097】

さらに、時点 t_7 になると、共通電極電位 V_{COM} については低電位から高電位へと極性が反転され、ソース電位 V_S についても低電位から高電位へと極性が反転される。このように、ソース電位 V_S については有効映像期間中における最大の電位に設定される。これにより、時点 t_7 から時点 t_8 までの水平走査期間には、偶数行目の画素電位 V_{even} については目標電位よりも ΔV_b だけ高い電位となり、奇数行目の画素電位 V_{odd} については目標電位よりも ΔV_a だけ低い電位となる。なお、時点 t_7 から時点 t_8 までの水平走査期間におけるソース電位 V_S の値は、上述した第2の垂直帰線期間用電位値 DK_2 に基づく値である。

【0098】

時点 t_8 以降には、ソースバスライン $SL_1 \sim SL_n$ はハイインピーダンスの状態とされる。これにより、奇数フレームの垂直帰線期間において、偶数行目についての液晶への印加電圧は、奇数行目についての液晶への印加電圧よりも ΔV_a と ΔV_b との差だけ大きくなる。

【0099】

以上のように、偶数フレームの垂直帰線期間には、偶数行目についての液晶への印加電圧は、奇数行目についての液晶への印加電圧よりも ΔV_a と ΔV_b との差だけ小さくなる。一方、奇数フレームの垂直帰線期間には、偶数行目についての液晶への印加電圧は、奇数行目についての液晶への印加電圧よりも ΔV_a と ΔV_b との差だけ大きくなる。

【0100】

なお、偶数フレームの時点 t_6 直後の共通電極電位 V_{COM} が低電位に設定されている場合には、偶数フレームの時点 t_6 から時点 t_7 までの水平走査期間にはソース電位 V_S を低電位に設定し、奇数フレームの時点 t_7 から時点 t_8 までの水平走査期間にもソース電位 V_S を低電位に設定すれば良い。

【0101】

また、ノーマリブラックモードで表示を行う液晶表示装置であれば、上記偶数フレームの時点 t_6 から時点 t_7 までの水平走査期間および上記奇数フレームの時点 t_7 から時点 t_8 までの水平走査期間におけるソース電位 V_S を黒色を表示するための電位に設定しても良い。さらに、ノーマリホワイトモードで表示を行う液晶表示装置であれば、上記偶数フレームの時点 t_6 から時点 t_7 までの水平走査期間および上記奇数フレームの時点 t_7 から時点 t_8 までの水平走査期間におけるソース電位 V_S を白色を表示するための電位に

10

20

30

40

50

設定しても良い。

【 0 1 0 2 】

< 3 . 3 実施例 >

次に、本実施形態における具体的な電圧、電位の値の一例について説明する。図 1 4 は、偶数フレームにおける信号波形図である。図 1 4 (A) ~ (C) に示すように、時点 t_6 までの期間中、ソース電位 V_S については 4 V の電位と 1 V の電位とが 1 水平走査期間ずつ交互に現れ、共通電極電位 V_{COM} については 0 V の電位と 5 V の電位とが 1 水平走査期間ずつ交互に現れている。このソース電位 V_S および共通電極電位 V_{COM} の変化に起因して、図 1 4 (D)、(E) に示すように、偶数行目への書き込みが行われる水平走査期間には、奇数行目の画素電位 V_{odd} と目標電位との間に 40 mV の電位差が生じ、奇数行目への書き込みが行われる水平走査期間には、偶数行目の画素電位 V_{even} と目標電位との間に 40 mV の電位差が生じる。

10

【 0 1 0 3 】

時点 t_5 から時点 t_6 までの水平走査期間にはソース電位 V_S は 4 V となっており、時点 t_6 になると、共通電極電位 V_{COM} については 0 V から 5 V に上昇する。一方、ソース電位 V_S については、時点 t_6 から時点 t_7 までの水平走査期間にも 4 V で維持される。これにより、時点 t_6 から時点 t_7 までの水平走査期間には、偶数行目の画素電位 V_{even} と目標電位との電位差は 25 mV となり、奇数行目の画素電位 V_{odd} と目標電位との電位差は 15 mV となる。

【 0 1 0 4 】

20

時点 t_7 以降には、ソースバスライン $SL_1 \sim SL_n$ はハイインピーダンスの状態とされる。このため、偶数フレームの垂直帰線期間において、偶数行目についての液晶への印加電圧は、奇数行目についての液晶への印加電圧よりも 10 mV だけ小さくなる。

【 0 1 0 5 】

図 1 5 は、奇数フレームにおける信号波形図である。図 1 5 (A) ~ (C) に示すように、時点 t_6 までの期間中、ソース電位 V_S については 1 V の電位と 4 V の電位とが 1 水平走査期間ずつ交互に現れ、共通電極電位 V_{COM} については 5 V と 0 V の電位とが 1 水平走査期間ずつ交互に現れている。ここで、時点 t_5 から時点 t_6 までの水平走査期間にはソース電位 V_S は 1 V となっており、時点 t_6 になると、共通電極電位 V_{COM} については 5 V から 0 V に低下する。一方、ソース電位 V_S については、時点 t_6 から時点 t_7 までの水平走査期間にも 1 V で維持される。これにより、時点 t_6 から時点 t_7 までの水平走査期間には、偶数行目の画素電位 V_{even} と目標電位との電位差は 25 mV となり、奇数行目の画素電位 V_{odd} と目標電位との電位差は 15 mV となる。

30

【 0 1 0 6 】

時点 t_7 になると、共通電極電位 V_{COM} については 0 V から 5 V へと上昇し、ソース電位 V_S については 1 V から 4 V へと上昇する。これにより、時点 t_7 から時点 t_8 までの水平走査期間には、偶数行目の画素電位 V_{even} については目標電位よりも 15 mV だけ高い電位となり、奇数行目の画素電位 V_{odd} については目標電位よりも 25 mV だけ低い電位となる。

【 0 1 0 7 】

40

時点 t_8 以降には、ソースバスライン $SL_1 \sim SL_n$ はハイインピーダンスの状態とされる。これにより、奇数フレームの垂直帰線期間において、偶数行目についての液晶への印加電圧は、奇数行目についての液晶への印加電圧よりも 10 mV だけ大きくなる。

【 0 1 0 8 】

以上のようにして、偶数フレームの垂直帰線期間には、偶数行目についての液晶への印加電圧は奇数行目についての液晶への印加電圧よりも 10 mV だけ小さくなり、奇数フレームの垂直帰線期間には、偶数行目についての液晶への印加電圧は奇数行目についての液晶への印加電圧よりも 10 mV だけ大きくなる。

【 0 1 0 9 】

< 3 . 4 効果 >

50

以上のように、本実施形態では共通電極の反転駆動が行われているが、上記第２の実施形態と同様、偶数フレームの垂直帰線期間における偶数行目についての液晶への印加電圧から奇数行目についての液晶への印加電圧を減じた値と、奇数フレームの垂直帰線期間における奇数行目についての液晶への印加電圧から偶数行目についての液晶への印加電圧を減じた値とはほぼ等しくなる。これにより、ソースドライバ３００から出力することのできる駆動用映像信号の電位に制限がある場合においても、連続する２フレーム期間をひとつの単位として、垂直帰線期間において、偶数行目についての液晶への平均的な印加電圧と奇数行目についての液晶への平均的な印加電圧とはほぼ等しくなる。その結果、共通電極の反転駆動が行われている表示装置において、それら印加電圧の違いに起因する表示ムラの発生が抑制される。

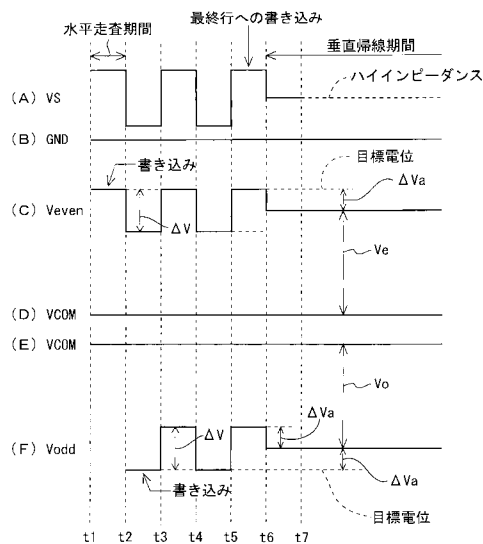
10

【０１１０】

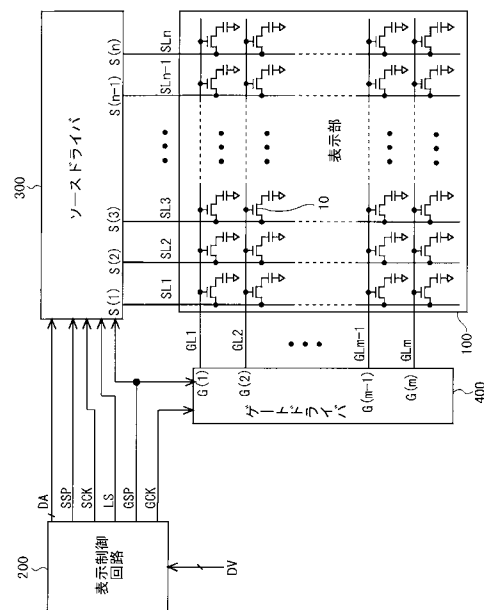
< ４．その他 >

上記各実施形態においては、垂直帰線期間の最初および２番目の水平走査期間における駆動用映像信号の電位値（垂直帰線期間用電位値）を決定するためのデータ処理回路３１をソースドライバ３００に備える構成としているが、本発明はこれに限定されない。例えば、表示制御回路２００にデータ処理回路３１を備える構成にしても良い。また、垂直帰線期間用電位値を決定するための構成についても、上記実施形態におけるデータ処理回路３１のような構成に限定されるものではない。

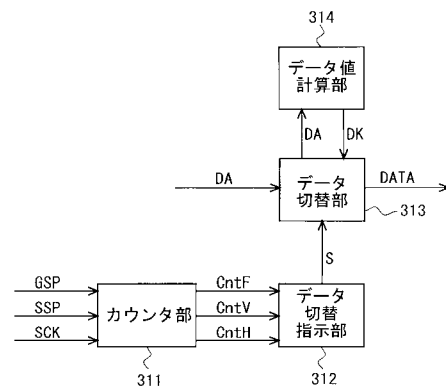
【図１】



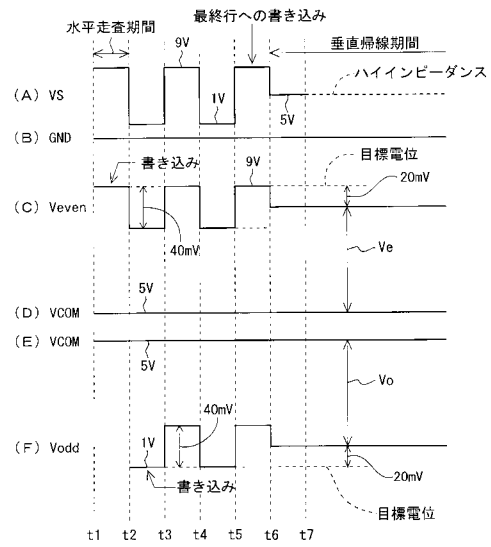
【図２】



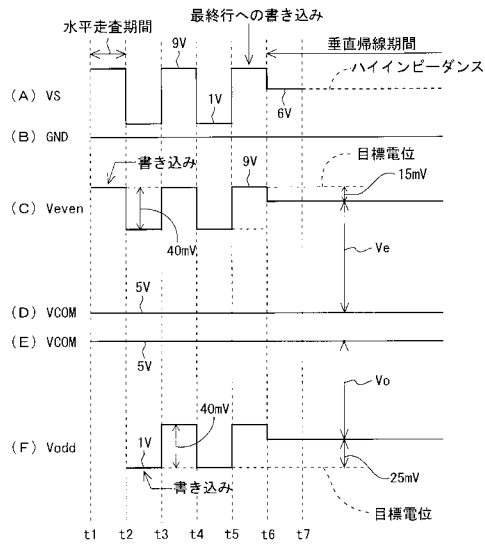
【 図 4 】



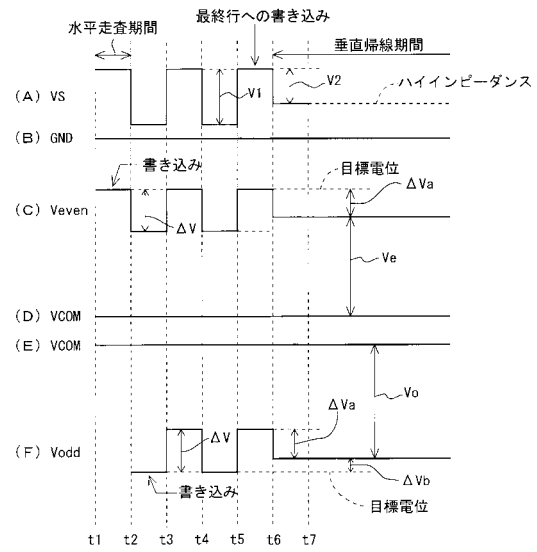
【圖 6】



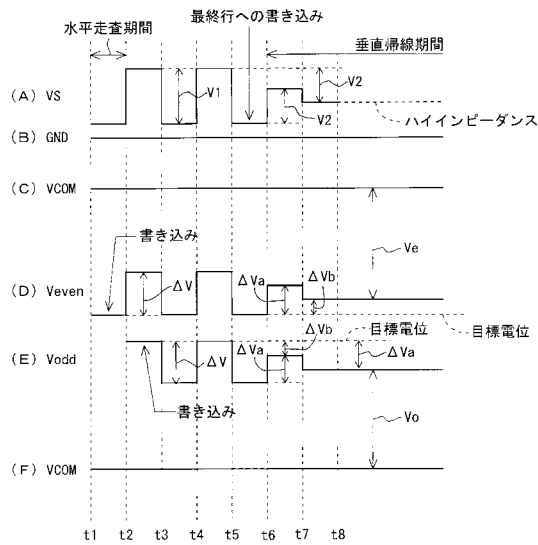
【図 7】



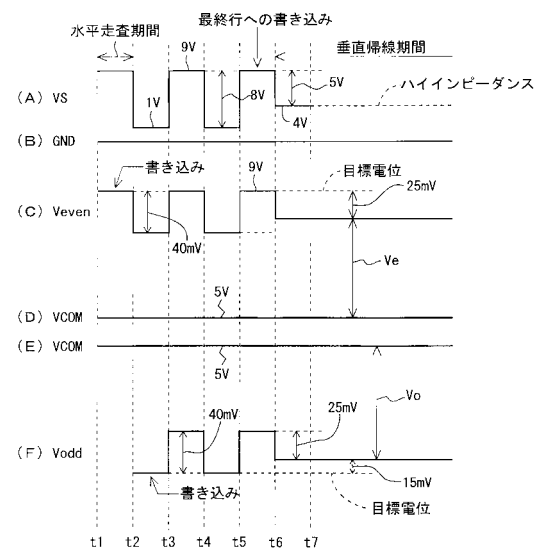
【図 8】



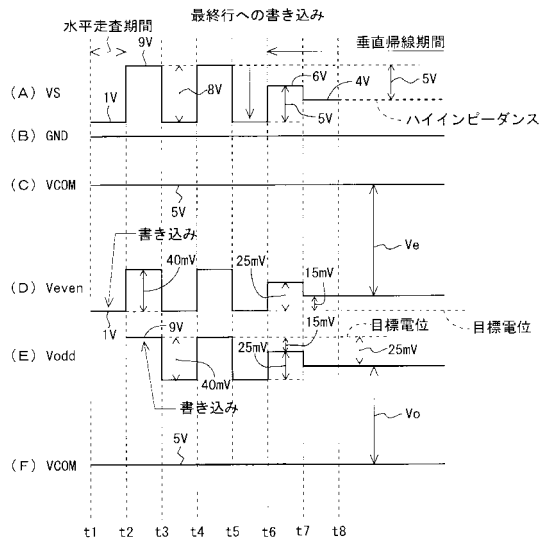
【図 9】



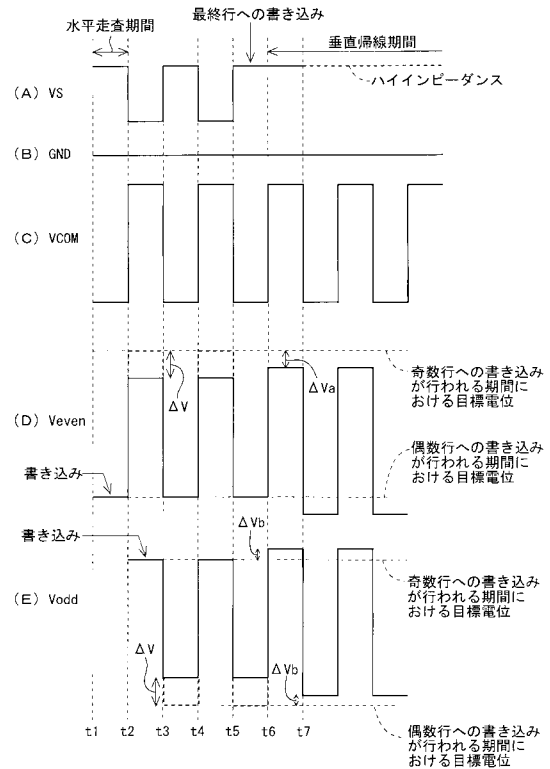
【図 10】



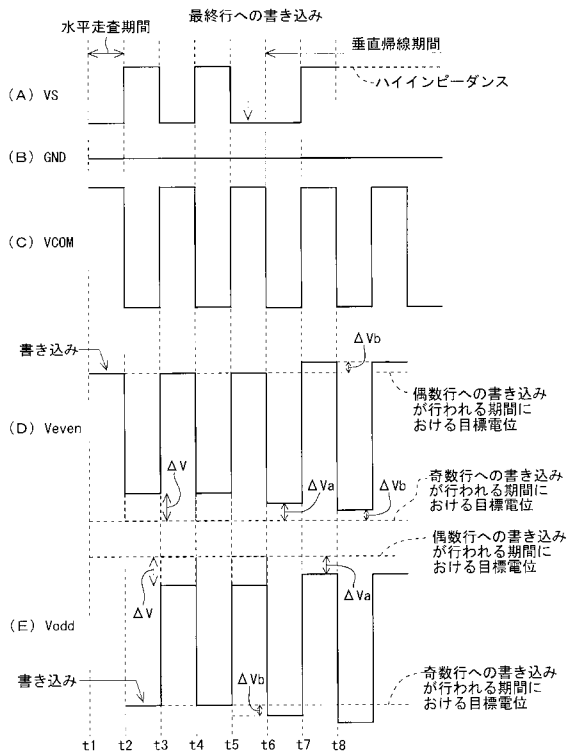
【図 1 1】



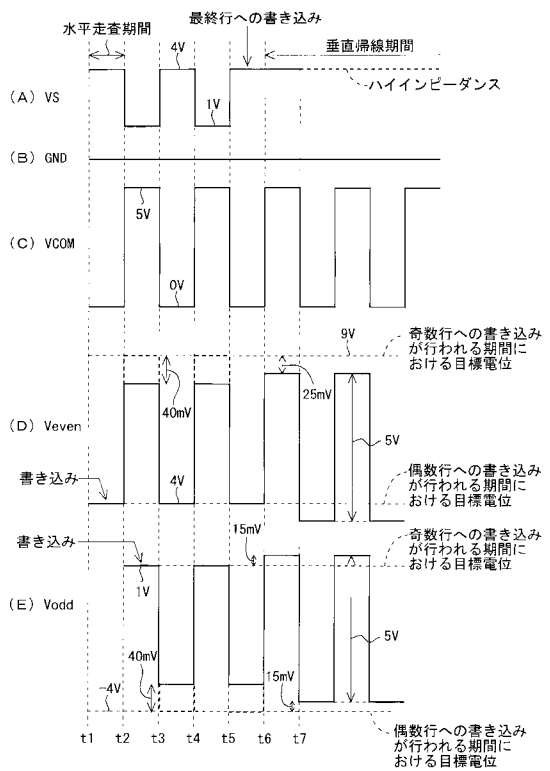
【図 1 2】



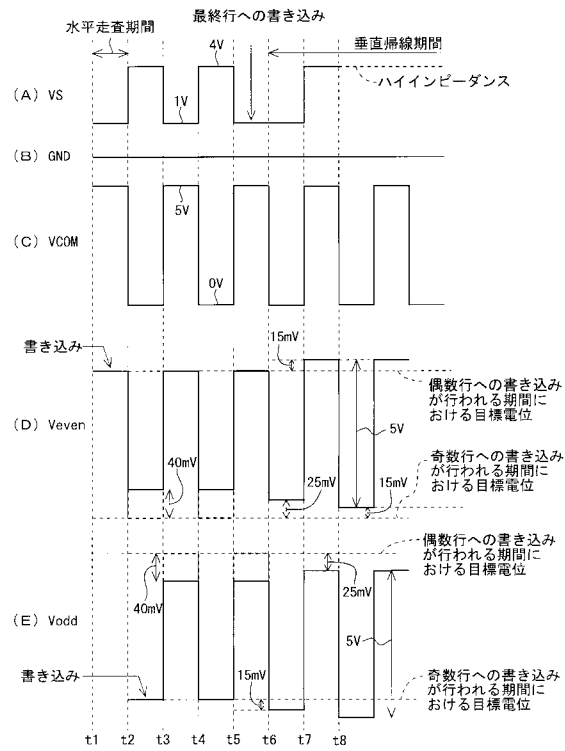
【図 1 3】



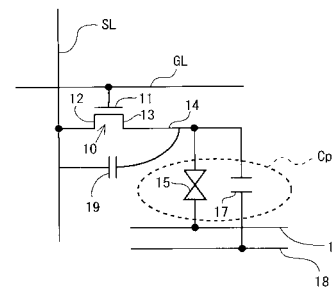
【図 1 4】



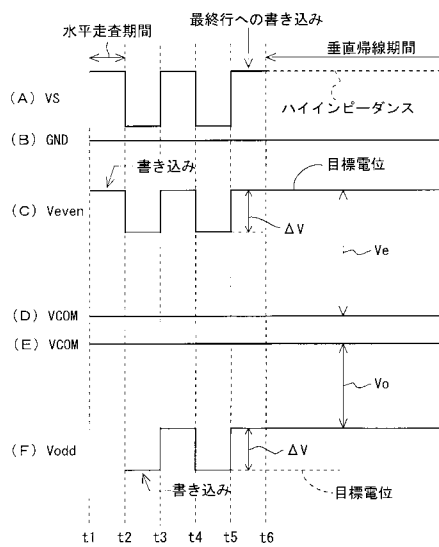
【図 15】



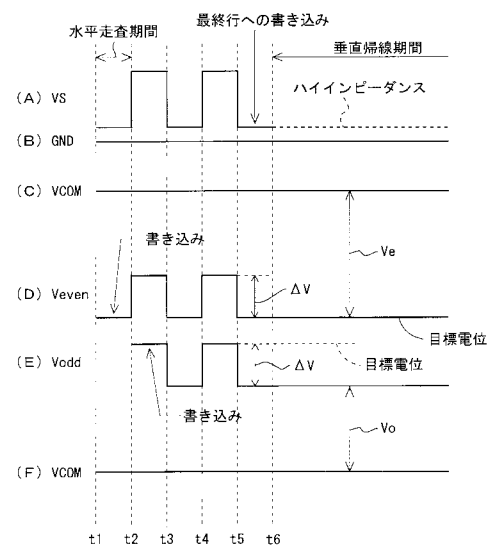
【図 16】



【図 17】



【図 18】



フロントページの続き

(51)Int.Cl.

F I

G 0 9 G	3/20	6 4 2 A
G 0 9 G	3/20	6 2 4 C
G 0 2 F	1/133	5 5 0
G 0 9 G	3/20	6 1 2 T

審査官 一宮 誠

(56)参考文献 特開平 1 1 - 2 9 6 1 4 8 (J P , A)
特開 2 0 0 2 - 0 4 0 9 9 3 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

G09G 3/00 - 3/38
G02F 1/133

专利名称(译)	显示装置，驱动电路及其驱动方法		
公开(公告)号	JP4959728B2	公开(公告)日	2012-06-27
申请号	JP2008557005	申请日	2007-11-20
[标]申请(专利权)人(译)	夏普株式会社		
申请(专利权)人(译)	夏普公司		
当前申请(专利权)人(译)	夏普公司		
[标]发明人	今井雅博 中根範之		
发明人	今井 雅博 中根 範之		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
CPC分类号	G09G3/3648 G09G3/3614 G09G2310/0248 G09G2320/0214 G09G2320/0219 G09G2320/0233 G09G2360/16		
FI分类号	G09G3/36 G09G3/20.624.B G09G3/20.623.C G09G3/20.623.D G09G3/20.611.A G09G3/20.642.A G09G3/20.624.C G02F1/133.550 G09G3/20.612.T		
代理人(译)	岛田彰 川原贤治 川本悟		
审查员(译)	一宫诚		
优先权	2007030394 2007-02-09 JP		
其他公开文献	JPWO2008096493A1		
外部链接	Espacenet		

摘要(译)

显示装置技术领域本发明涉及一种显示装置，尤其涉及一种采用线反转驱动方法作为驱动方法的有源矩阵显示装置。在采用线反转驱动方法作为驱动方法的液晶显示装置中，在垂直回扫时段开始之后的预定时段中将预定视频信号施加到视频信号线。当垂直扫描周期在偶数帧中开始时，源电位（VS）在有效图像周期中下降一半幅度。在降低的源极电位（VS）保持一个水平扫描周期之后，源极总线进入高阻抗状态。当垂直扫描周期在奇数帧中开始时，源极电位（VS）在有效图像周期中上升一半幅度。在升高的源极电位VS保持一个水平扫描周期之后，源极总线进入高阻抗状态。

【 図 1 】

