

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4731567号
(P4731567)

(45) 発行日 平成23年7月27日 (2011.7.27)

(24) 登録日 平成23年4月28日 (2011.4.28)

(51) Int. Cl.

F I

G09G 3/36 (2006.01)

G09G 3/20 (2006.01)

G02F 1/133 (2006.01)

G09G 3/36

G09G 3/20 623H

G09G 3/20 623L

G09G 3/20 612K

G09G 3/20 611J

請求項の数 9 (全 14 頁) 最終頁に続く

(21) 出願番号 特願2007-542245 (P2007-542245)
 (86) (22) 出願日 平成18年7月5日 (2006.7.5)
 (86) 国際出願番号 PCT/JP2006/313372
 (87) 国際公開番号 W02007/052384
 (87) 国際公開日 平成19年5月10日 (2007.5.10)
 審査請求日 平成20年1月23日 (2008.1.23)
 (31) 優先権主張番号 特願2005-320450 (P2005-320450)
 (32) 優先日 平成17年11月4日 (2005.11.4)
 (33) 優先権主張国 日本国 (JP)

(73) 特許権者 000005049
 シャープ株式会社
 大阪府大阪市阿倍野区長池町2番2号
 (74) 代理人 100104695
 弁理士 島田 明宏
 (72) 発明者 富吉 暁
 大阪府大阪市阿倍野区長池町2番2号
 シャープ株式会社内

審査官 西島 篤宏

最終頁に続く

(54) 【発明の名称】 表示装置ならびにその駆動回路および駆動方法

(57) 【特許請求の範囲】

【請求項 1】

表示部に配設された複数の映像信号線に駆動用映像信号を印加することにより前記表示部に画像を表示する表示装置の駆動回路であって、

所定幅のパルスが繰り返し現れる源クロック信号と外部から与えられる画像信号とに基づいて、前記駆動用映像信号を生成するための映像信号と、各水平走査期間につき1つのパルスが現れるソーススタートパルス信号と、クロック信号であって各水平走査期間において第1の幅のパルスが繰り返し現れるソースシフトクロック信号とを出力する表示制御回路と、

前記表示制御回路から出力される前記映像信号と前記ソーススタートパルス信号と前記ソースシフトクロック信号とを受け取り、各水平走査期間において前記ソーススタートパルス信号のパルスが出力された後、前記ソースシフトクロック信号のパルスに基づいて前記映像信号をサンプリングし、当該サンプリングされた映像信号に基づく電圧を前記駆動用映像信号として前記複数の映像信号線に印加する映像信号線駆動回路とを備え、

前記表示制御回路は、前記ソーススタートパルス信号のパルスを出力する直前に出力する前記ソースシフトクロック信号のパルスの幅を前記第1の幅よりも小さくすることを特徴とする、駆動回路。

【請求項 2】

前記表示制御回路は、前記ソーススタートパルス信号のパルスを出力する直前に出力する前記ソースシフトクロック信号のパルスの幅を、前記ソースシフトクロック信号のデュ

10

20

ーティ比を変更することによって前記第 1 の幅よりも小さくすることを特徴とする、請求項 1 に記載の駆動回路。

【請求項 3】

前記表示制御回路は、

前記源クロック信号に基づいて前記ソーススタートパルス信号を生成するソーススタートパルス信号生成回路と、

前記源クロック信号に基づいて前記ソースシフトクロック信号を生成するソースシフトクロック信号生成回路とを含み、

前記ソーススタートパルス信号生成回路は、前記ソーススタートパルス信号のパルスを出力する直前に出力される前記ソースシフトクロック信号のパルスの幅を前記第 1 の幅よりも小さくするためのソースシフトクロック変形指示信号を生成し、当該ソースシフトクロック変形指示信号を前記ソースシフトクロック信号生成回路に与え、

前記ソースシフトクロック信号生成回路は、前記ソースシフトクロック変形指示信号に基づいて、前記ソーススタートパルス信号のパルスが出力される直前に出力する前記ソースシフトクロック信号のパルスの幅を前記第 1 の幅よりも小さくすることを特徴とする、請求項 1 に記載の駆動回路。

【請求項 4】

表示部に配設された複数の映像信号線に駆動用映像信号を印加することにより前記表示部に画像を表示する表示装置であって、

所定幅のパルスが繰り返し現れる源クロック信号と外部から与えられる映像信号とに基づいて、前記駆動用映像信号を生成するための映像信号と、各水平走査期間につき 1 つのパルスが現れるソーススタートパルス信号と、クロック信号であって各水平走査期間において第 1 の幅のパルスが繰り返し現れるソースシフトクロック信号とを出力する表示制御回路と、

前記表示制御回路から出力される前記映像信号と前記ソーススタートパルス信号と前記ソースシフトクロック信号とを受け取り、各水平走査期間において前記ソーススタートパルス信号のパルスが出力された後、前記ソースシフトクロック信号のパルスに基づいて前記映像信号をサンプリングし、当該サンプリングされた映像信号に基づく電圧を前記駆動用映像信号として前記複数の映像信号線に印加する映像信号線駆動回路とを備え、

前記表示制御回路は、前記ソーススタートパルス信号のパルスを出力する直前に出力する前記ソースシフトクロック信号のパルスの幅を前記第 1 の幅よりも小さくすることを特徴とする、表示装置。

【請求項 5】

前記表示制御回路は、前記ソーススタートパルス信号のパルスを出力する直前に出力する前記ソースシフトクロック信号のパルスの幅を、前記ソースシフトクロック信号のデューティ比を変更することによって前記第 1 の幅よりも小さくすることを特徴とする、請求項 4 に記載の表示装置。

【請求項 6】

前記表示制御回路は、

前記源クロック信号に基づいて前記ソーススタートパルス信号を生成するソーススタートパルス信号生成回路と、

前記源クロック信号に基づいて前記ソースシフトクロック信号を生成するソースシフトクロック信号生成回路とを含み、

前記ソーススタートパルス信号生成回路は、前記ソーススタートパルス信号のパルスを出力する直前に出力される前記ソースシフトクロック信号のパルスの幅を前記第 1 の幅よりも小さくするためのソースシフトクロック変形指示信号を生成し、当該ソースシフトクロック変形指示信号を前記ソースシフトクロック信号生成回路に与え、

前記ソースシフトクロック信号生成回路は、前記ソースシフトクロック変形指示信号に基づいて、前記ソーススタートパルス信号のパルスが出力される直前に出力する前記ソースシフトクロック信号のパルスの幅を前記第 1 の幅よりも小さくすることを特徴とする、

請求項 4 に記載の表示装置。

【請求項 7】

少なくとも前記映像信号線駆動回路を含む駆動回路は、ポリシリコン薄膜トランジスタで構成されていることを特徴とする、請求項 4 に記載の表示装置。

【請求項 8】

表示部に配設された複数の映像信号線に駆動用映像信号を印加することにより前記表示部に画像を表示する表示装置の駆動方法であって、

所定幅のパルスが繰り返し現れる源クロック信号と外部から与えられる画像信号とに基づいて、前記駆動用映像信号を生成するための映像信号と、各水平走査期間につき 1 つのパルスが現れるソーススタートパルス信号と、クロック信号であって各水平走査期間において第 1 の幅のパルスが繰り返し現れるソースシフトクロック信号とを出力する表示制御ステップと、

前記表示制御ステップで出力される前記映像信号と前記ソーススタートパルス信号と前記ソースシフトクロック信号とを受け取り、各水平走査期間において前記ソーススタートパルス信号のパルスが出力された後、前記ソースシフトクロック信号のパルスに基づいて前記映像信号をサンプリングし、当該サンプリングされた映像信号に基づく電圧を前記駆動用映像信号として前記複数の映像信号線に印加する映像信号線駆動ステップとを備え、

前記表示制御ステップでは、前記ソーススタートパルス信号のパルスが出力される直前に出力される前記ソースシフトクロック信号のパルスの幅が前記第 1 の幅よりも小さくされることを特徴とする、駆動方法。

【請求項 9】

前記表示制御ステップでは、前記ソーススタートパルス信号のパルスが出力される直前に出力される前記ソースシフトクロック信号のパルスの幅が、前記ソースシフトクロック信号のデューティ比が変更されることによって前記第 1 の幅よりも小さくされることを特徴とする、請求項 8 に記載の駆動方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、表示装置ならびにその駆動回路および駆動方法に関し、特に、CGシリコン液晶パネルなどのポリシリコン液晶パネルを使用する表示装置ならびにその駆動回路および駆動方法に関する。

【背景技術】

【0002】

近年、CGシリコン液晶 (Continuous Grain Silicon Liquid Crystal: 連続粒界結晶シリコン液晶) パネルを採用する液晶表示装置が開発されている。CGシリコン液晶パネルとは、CGシリコン膜で形成された TFT (Thin Film Transistor) をスイッチング素子として採用する液晶パネルのことである。CGシリコンは、結晶境界面の配置が規則的で、原子レベルで連続的な構造となっている。このため、CGシリコンでは電子が高速に移動することができるので、駆動用の集積回路を液晶パネルの基板上に実装することができる。これにより、必要な部品数の削減によるコストの低減や装置の小型化が進んでいる。なお、以下において、CGシリコン液晶パネルを採用する液晶表示装置のことを「CGシリコン液晶表示装置」という。

【0003】

図 2 は、CGシリコン液晶表示装置の全体構成を示すブロック図である。この液晶表示装置は、ソースドライバ (映像信号線駆動回路) 300 とゲートドライバ (走査信号線駆動回路) 400 と表示部 500 とチャージポンプ回路 600 とを含む液晶パネル 100 と、表示制御回路 200 とを備えている。表示部 500 には、複数本 (n 本) のソースバスライン (映像信号線) SL1 ~ SLn と、複数本 (m 本) のゲートバスライン (走査信号線) GL1 ~ GLm と、それら複数本のソースバスライン SL1 ~ SLn と複数本のゲー

トバスライン $GL1 \sim GLm$ との交差点にそれぞれ対応して設けられた複数個 ($n \times m$ 個) の画素形成部が含まれている。

【0004】

表示制御回路 200 は、外部から与えられる画像信号 DAT と水平同期信号 $Hsync$ と垂直同期信号 $Vsync$ とクロックジェネレータによって生成されるクロック信号 (以下、「源クロック信号」という。) CK とに基づいて、アナログ映像信号 AV と、表示部 500 に画像を表示するタイミングを制御するためのソーススタートパルス信号 SSP 、ソースシフトクロック信号 CLK 、ゲートスタートパルス信号 GSP 、およびゲートシフトクロック信号 GCK とを出力する。

【0005】

ソースドライバ 300 は、表示制御回路 200 から出力されるアナログ映像信号 AV 、ソーススタートパルス信号 SSP 、およびソースシフトクロック信号 CLK を受け取り、表示部 500 に画像を表示するために、駆動用映像信号を各ソースバスライン $SL1 \sim SLn$ に印加する。ここで、ソースドライバ 300 では、各水平走査期間において、ソーススタートパルス信号 SSP の立ち上がり後、最初にソースシフトクロック信号 CLK が立ち上がった時にソーススタートパルス信号 SSP の取り込みが開始される。従来の一般的な液晶表示装置においては、ソースドライバ 300 でのソーススタートパルス信号 SSP の取り込みが正常に開始されるよう、図 5 に示すように、ソーススタートパルス信号 SSP の立ち上がり前にはホールド期間が設けられ、ソーススタートパルス信号 SSP の立ち上がり後にはセットアップ期間が設けられている。なお、本説明におけるホールド期間とは、確実にソースシフトクロック信号 CLK が立ち下がった後にソーススタートパルス信号 SSP が立ち上がるように、ソースシフトクロック信号 CLK の立ち下がり時点からソーススタートパルス信号 SSP の立ち上がり時点まで設けられている期間のことである。また、セットアップ期間とは、ソースシフトクロック信号 CLK が立ち上がった時点には確実にソーススタートパルス信号 SSP の論理レベルがハイレベルになっているように、ソーススタートパルス信号 SSP の立ち上がり時点からソースシフトクロック信号 CLK の立ち上がり時点まで設けられている期間のことである。

【0006】

ところが、 CG シリコン液晶表示装置の場合、液晶パネル 100 内においてソースシフトクロック信号 CLK よりもソーススタートパルス信号 SSP の方が遅延が充分に大きかったため、表示制御回路 200 において図 6 に示すようにホールド期間を設定することなくソースシフトクロック信号 CLK とソーススタートパルス信号 SSP とを生成しても、ソースドライバ 300 においてはソーススタートパルス信号 SSP の取り込みが正しく行われていた。

【0007】

このような CG シリコン液晶表示装置について、近年、額縁の縮小化が進んでいる。このため、上述のようにホールド期間を設定することなくソースシフトクロック信号 CLK とソーススタートパルス信号 SSP とを生成した場合に、ソースシフトクロック信号 CLK に対するソーススタートパルス信号 SSP の遅延が充分に大きくはならず、画像表示に不具合が生じることがある。その結果、表示制御回路 200 においてソースシフトクロック信号 CLK とソーススタートパルス信号 SSP とを生成する際に、ホールド期間の設定が必要となっている。

【0008】

一例を示すと、源クロック信号 CK の周期が T 、ソースシフトクロック信号 CLK の周期が $3T$ に設定されており、ホールド期間 T_h およびセットアップ期間 T_s がそれぞれ次式 (1) および (2) を満足すべき液晶表示装置がある。なお、図 7 は、このような液晶表示装置における信号波形図である。

$$0.5T \leq T_h < T \quad \dots (1)$$

$$2T < T_s \leq 2.5T \quad \dots (2)$$

【0009】

10

20

30

40

50

上述の例によると、ホールド期間 T_h およびセットアップ期間 T_s は源クロック信号 CK の周期 T の整数倍にはなっていない。従来、このような場合、源クロック信号 CK の周波数が高められたり、クロックの両エッジ駆動が行われている。

【特許文献 1】日本の特開 2003 - 173173 号公報

【発明の開示】

【発明が解決しようとする課題】

【0010】

ところが、源クロック信号 CK の周波数を高くすると、消費電力が増加する。また、クロックの両エッジ駆動を行う場合には、2 相クロックを採用すること等により、回路規模が増大し、設計が複雑になる。

10

【0011】

そこで、本発明は、 CG シリコン液晶表示装置等のポリシリコン液晶パネルを使用する表示装置において、消費電力が増加したり回路規模が増大することなく、ソーススタートパルス信号 SSP の立ち上がりの際にホールド期間およびセットアップ期間を十分に確保することを目的とする。

【課題を解決するための手段】

【0012】

本発明の第 1 の局面は、表示部に配設された複数の映像信号線に駆動用映像信号を印加することにより前記表示部に画像を表示する表示装置の駆動回路であって、

所定幅のパルスが繰り返し現れる源クロック信号と外部から与えられる画像信号とに基づいて、前記駆動用映像信号を生成するための映像信号と、各水平走査期間につき 1 つのパルスが現れるソーススタートパルス信号と、クロック信号であって各水平走査期間において第 1 の幅のパルスが繰り返し現れるソースシフトクロック信号とを出力する表示制御回路と、

20

前記表示制御回路から出力される前記映像信号と前記ソーススタートパルス信号と前記ソースシフトクロック信号とを受け取り、各水平走査期間において前記ソーススタートパルス信号のパルスが出力された後、前記ソースシフトクロック信号のパルスに基づいて前記映像信号をサンプリングし、当該サンプリングされた映像信号に基づく電圧を前記駆動用映像信号として前記複数の映像信号線に印加する映像信号線駆動回路とを備え、

前記表示制御回路は、前記ソーススタートパルス信号のパルスを出力する直前に出力する前記ソースシフトクロック信号のパルスの幅を前記第 1 の幅よりも小さくすることを特徴とする。

30

【0013】

本発明の第 2 の局面は、本発明の第 1 の局面において、

前記表示制御回路は、前記ソーススタートパルス信号のパルスを出力する直前に出力する前記ソースシフトクロック信号のパルスの幅を、前記ソースシフトクロック信号のデューティ比を変更することによって前記第 1 の幅よりも小さくすることを特徴とする。

【0014】

本発明の第 3 の局面は、本発明の第 1 の局面において、

前記表示制御回路は、

40

前記源クロック信号に基づいて前記ソーススタートパルス信号を生成するソーススタートパルス信号生成回路と、

前記源クロック信号に基づいて前記ソースシフトクロック信号を生成するソースシフトクロック信号生成回路とを含み、

前記ソーススタートパルス信号生成回路は、前記ソーススタートパルス信号のパルスを出力する直前に出力される前記ソースシフトクロック信号のパルスの幅を前記第 1 の幅よりも小さくするためのソースシフトクロック変形指示信号を生成し、当該ソースシフトクロック変形指示信号を前記ソースシフトクロック信号生成回路に与え、

前記ソースシフトクロック信号生成回路は、前記ソースシフトクロック変形指示信号に基づいて、前記ソーススタートパルス信号のパルスが出力される直前に出力する前記ソー

50

スシフトクロック信号のパルスの幅を前記第 1 の幅よりも小さくすることを特徴とする。

【 0 0 1 7 】

本発明の第 4 の局面は、表示部に配設された複数の映像信号線に駆動用映像信号を印加することにより前記表示部に画像を表示する表示装置であって、

所定幅のパルスが繰り返し現れる源クロック信号と外部から与えられる画像信号とに基づいて、前記駆動用映像信号を生成するための映像信号と、各水平走査期間につき 1 つのパルスが現れるソーススタートパルス信号と、クロック信号であって各水平走査期間において第 1 の幅のパルスが繰り返し現れるソースシフトクロック信号とを出力する表示制御回路と、

前記表示制御回路から出力される前記映像信号と前記ソーススタートパルス信号と前記ソースシフトクロック信号とを受け取り、各水平走査期間において前記ソーススタートパルス信号のパルスが出力された後、前記ソースシフトクロック信号のパルスに基づいて前記映像信号をサンプリングし、当該サンプリングされた映像信号に基づく電圧を前記駆動用映像信号として前記複数の映像信号線に印加する映像信号線駆動回路とを備え、

前記表示制御回路は、前記ソーススタートパルス信号のパルスを出力する直前に出力する前記ソースシフトクロック信号のパルスの幅を前記第 1 の幅よりも小さくすることを特徴とする。

【 0 0 1 8 】

本発明の第 5 の局面は、本発明の第 4 の局面において、

前記表示制御回路は、前記ソーススタートパルス信号のパルスを出力する直前に出力する前記ソースシフトクロック信号のパルスの幅を、前記ソースシフトクロック信号のデューティ比を変更することによって前記第 1 の幅よりも小さくすることを特徴とする。

【 0 0 1 9 】

本発明の第 6 の局面は、本発明の第 4 の局面において、

前記表示制御回路は、

前記源クロック信号に基づいて前記ソーススタートパルス信号を生成するソーススタートパルス信号生成回路と、

前記源クロック信号に基づいて前記ソースシフトクロック信号を生成するソースシフトクロック信号生成回路とを含み、

前記ソーススタートパルス信号生成回路は、前記ソーススタートパルス信号のパルスを出力する直前に出力される前記ソースシフトクロック信号のパルスの幅を前記第 1 の幅よりも小さくするためのソースシフトクロック変形指示信号を生成し、当該ソースシフトクロック変形指示信号を前記ソースシフトクロック信号生成回路に与え、

前記ソースシフトクロック信号生成回路は、前記ソースシフトクロック変形指示信号に基づいて、前記ソーススタートパルス信号のパルスが出力される直前に出力する前記ソースシフトクロック信号のパルスの幅を前記第 1 の幅よりも小さくすることを特徴とする。

【 0 0 2 0 】

本発明の第 7 の局面は、本発明の第 4 の局面において、

少なくとも前記映像信号線駆動回路を含む駆動回路は、ポリシリコン薄膜トランジスタで構成されていることを特徴とする。

【 0 0 2 4 】

本発明の第 8 の局面は、表示部に配設された複数の映像信号線に駆動用映像信号を印加することにより前記表示部に画像を表示する表示装置の駆動方法であって、

所定幅のパルスが繰り返し現れる源クロック信号と外部から与えられる画像信号とに基づいて、前記駆動用映像信号を生成するための映像信号と、各水平走査期間につき 1 つのパルスが現れるソーススタートパルス信号と、クロック信号であって各水平走査期間において第 1 の幅のパルスが繰り返し現れるソースシフトクロック信号とを出力する表示制御ステップと、

前記表示制御ステップで出力される前記映像信号と前記ソーススタートパルス信号と前記ソースシフトクロック信号とを受け取り、各水平走査期間において前記ソーススタート

10

20

30

40

50

パルス信号のパルスが出力された後、前記ソースシフトクロック信号のパルスに基づいて前記映像信号をサンプリングし、当該サンプリングされた映像信号に基づく電圧を前記駆動用映像信号として前記複数の映像信号線に印加する映像信号線駆動ステップとを備え、

前記表示制御ステップでは、前記ソーススタートパルス信号のパルスが出力される直前に出力される前記ソースシフトクロック信号のパルスの幅が前記第 1 の幅よりも小さくされることを特徴とする。

【 0 0 2 5 】

本発明の第 9 の局面は、本発明の第 8 の局面において、

前記表示制御ステップでは、前記ソーススタートパルス信号のパルスが出力される直前に出力される前記ソースシフトクロック信号のパルスの幅が、前記ソースシフトクロック信号のデューティ比が変更されることによって前記第 1 の幅よりも小さくされることを特徴とする。

【発明の効果】

【 0 0 2 7 】

本発明の第 1 の局面によれば、ソーススタートパルス信号のパルスが出力される直前の期間には、表示制御回路から出力されるソースシフトクロック信号のパルス幅が小さくされる。これにより、ソーススタートパルス信号が立ち上がる直前に、従来十分に確保されなかったホールド期間が十分に確保される。このため、源クロック信号の周波数を高めたり回路規模を増大させることなく、映像信号線駆動回路において、各水平走査期間に映像信号のサンプリングを正常に開始することができる。これにより、表示装置のパネルの設計変更等があった場合に、従来よりも消費電力の低減あるいは回路設計の簡易化が可能となる。

【 0 0 2 8 】

本発明の第 2 の局面によれば、ソーススタートパルス信号のパルスが出力される直前の期間には、表示制御回路から出力されるソースシフトクロック信号のデューティ比を変更することによって、ソースシフトクロック信号のパルス幅が小さくされる。これにより、ソーススタートパルス信号が立ち上がる直前に、従来十分に確保されなかったホールド期間が十分に確保され、ソーススタートパルス信号が立ち上がった直後にはセットアップ期間が確保される。このため、より確実に、映像信号線駆動回路において、各水平走査期間に映像信号のサンプリングを正常に開始することができる。

【 0 0 2 9 】

本発明の第 3 の局面によれば、ソースシフトクロック信号生成回路において、ソーススタートパルス信号生成回路から出力されるソースシフトクロック変形指示信号に基づいて、ソースシフトクロック信号のパルス幅が小さくされる。これにより、容易に、ソーススタートパルス信号が立ち上がる直前のみソースシフトクロック信号のパルス幅を小さくすることができる。

【 0 0 3 2 】

本発明の第 4 の局面によれば、パネルの設計変更等があった場合に従来よりも消費電力の低減あるいは回路設計の簡易化が可能となる表示装置が実現される。

【 0 0 3 3 】

本発明の第 7 の局面によれば、ポリシリコン液晶パネルを使用する表示装置において、パネルの設計変更等があった場合に、従来よりも消費電力の低減あるいは回路設計の簡易化が可能となる。

【図面の簡単な説明】

【 0 0 3 6 】

【図 1】本発明の一実施形態に係る C G シリコン液晶表示装置の表示制御回路の構成を示すブロック図である。

【図 2】上記実施形態に係る C G シリコン液晶表示装置の全体構成を示すブロック図である。

【図 3】上記実施形態における信号波形図である。

10

20

30

40

50

【図４】上記実施形態の変形例における信号波形図である。

【図５】一般的な液晶表示装置における信号波形図である。

【図６】従来のＣＧシリコン液晶表示装置における信号波形図である。

【図７】ホールド期間およびセットアップ期間が源クロック信号の周期の整数倍になっていない場合の信号波形図である。

【符号の説明】

【００３７】

２１…コントロール回路

２２…表示データ作成回路

２３…タイミング制御回路

１００…液晶パネル

２００…表示制御回路

２３１…ソースドライバ制御回路

３００…ソースドライバ

４００…ゲートドライバ

５００…表示部

２３１１…ソーススタートパルス信号生成回路

２３１２…ソーススタートパルス信号遅延回路

２３１３…ソースシフトクロック信号生成回路

２３１４…ソースシフトクロック信号遅延回路

ＣＫ…源クロック信号

ＳＣＫ…ソースシフトクロック信号

ＳＳＰ…ソーススタートパルス信号

【発明を実施するための最良の形態】

【００３８】

以下、本発明の一実施形態について添付図面を参照しつつ説明する。

【００３９】

< １．液晶表示装置の全体構成および動作 >

図２は、本発明の一実施形態に係るアクティブマトリクス型液晶表示装置の全体構成を示すブロック図である。この液晶表示装置は、ソースドライバ（映像信号線駆動回路）３００とゲートドライバ（走査信号線駆動回路）４００と表示部５００とチャージポンプ回路６００とを含む液晶パネル１００と、表示制御回路２００とを備えている。表示部５００には、複数本（ n 本）のソースバスライン（映像信号線） $SL1 \sim SLn$ と、複数本（ m 本）のゲートバスライン（走査信号線） $GL1 \sim GLm$ と、それら複数本のソースバスライン $SL1 \sim SLn$ と複数本のゲートバスライン $GL1 \sim GLm$ との交差点にそれぞれ対応して設けられた複数個（ $n \times m$ 個）の画素形成部が含まれている。各画素形成部には、スイッチング素子としてのＴＦＴと、そのＴＦＴのドレイン端子に接続された画素電極と、上記複数個の画素形成部に共通的に設けられた共通電極および補助容量電極と、画素電極と共通電極とによって形成される液晶容量と、画素電極と補助容量電極とによって形成される補助容量とが含まれている。そして、液晶容量と補助容量とによって画素容量が形成されている。

【００４０】

表示制御回路２００は、外部から与えられる画像信号ＤＡＴと水平同期信号 $Hsync$ と垂直同期信号 $Vsync$ とクロックジェネレータによって生成される源クロック信号ＣＫとを受け取り、アナログ映像信号ＡＶと、表示部５００に画像を表示するタイミングを制御するためのソーススタートパルス信号ＳＳＰ、ソースシフトクロック信号ＳＣＫ、ゲートスタートパルス信号ＧＳＰ、およびゲートシフトクロック信号ＧＣＫとを出力する。

【００４１】

チャージポンプ回路６００には、電源電圧ＶＤＤと表示制御回路２００から出力されるソースシフトクロック信号ＳＣＫとが与えられる。チャージポンプ回路６００は、ソース

10

20

30

40

50

シフトクロック信号 S C K によって電源電圧 V D D を昇圧し、出力電圧 G V D D を生成する。その出力電圧 G V D D は、補助容量電極とゲートドライバ 4 0 0 とに与えられる。

【 0 0 4 2 】

ソースドライバ 3 0 0 は、表示制御回路 2 0 0 から出力されるアナログ映像信号 A V、ソーススタートパルス信号 S S P、およびソースシフトクロック信号 S C K を受け取り、表示部 5 0 0 内の各画素形成部の画素容量を充電するために駆動用映像信号を各ソースバスライン S L 1 ~ S L n に印加する。

【 0 0 4 3 】

ゲートドライバ 4 0 0 は、表示制御回路 2 0 0 から出力されるゲートスタートパルス信号 G S P およびゲートシフトクロック信号 G C K と、チャージポンプ回路 6 0 0 からの出力電圧 G V D D とに基づいて、アクティブな走査信号の各ゲートバスライン G L 1 ~ G L m への印加を 1 垂直走査期間を周期として繰り返す。

10

【 0 0 4 4 】

以上のようにして、各ソースバスライン S L 1 ~ S L n に駆動用映像信号が印加され、各ゲートバスライン G L 1 ~ G L m に走査信号が印加されることにより、表示部 5 0 0 に画像が表示される。

【 0 0 4 5 】

< 2 . 表示制御回路 >

次に、本実施形態における表示制御回路 2 0 0 の詳細な構成および動作について説明する。図 1 は、本実施形態における表示制御回路 2 0 0 の詳細な構成を示すブロック図である。この表示制御回路 2 0 0 は、コントロール回路 2 1 と表示データ生成回路 2 2 とタイミング制御回路 2 3 とを備えている。タイミング制御回路 2 3 には、ソースドライバ制御回路 2 3 1 とゲートドライバ制御回路 2 3 2 とが含まれている。ソースドライバ制御回路 2 3 1 には、更に、ソーススタートパルス信号生成回路 2 3 1 1 とソーススタートパルス信号遅延回路 2 3 1 2 とソースシフトクロック信号生成回路 2 3 1 3 とソースシフトクロック信号遅延回路 2 3 1 4 とが含まれている。ゲートドライバ制御回路 2 3 2 には、更に、ゲートスタートパルス信号生成回路 2 3 2 1 とゲートシフトクロック信号生成回路 2 3 2 2 とが含まれている。

20

【 0 0 4 6 】

コントロール回路 2 1 は、外部から送られる画像信号 D A T と水平同期信号 H s y n c と垂直同期信号 V s y n c と源クロック信号 C K とを受け取り、所望の画像表示が行われるように、画像信号 D A T を表示データ生成回路 2 2 に与え、水平同期信号 H s y n c と垂直同期信号 V s y n c と源クロック信号 C K とを表示データ生成回路 2 2 とタイミング制御回路 2 3 とに与える。表示データ生成回路 2 2 は、画像信号 D A T と水平同期信号 H s y n c と垂直同期信号 V s y n c と源クロック信号 C K とを受け取り、アナログ映像信号 A V を出力する。

30

【 0 0 4 7 】

ソーススタートパルス信号生成回路 2 3 1 1 は、水平同期信号 H s y n c と源クロック信号 C K とを受け取り、1 水平走査期間毎に所定幅のパルスが出力されるソーススタートパルス信号 S S P を生成する。また、ソーススタートパルス信号生成回路 2 3 1 1 は、ソーススタートパルス信号 S S P のパルスが出力される直前にソースシフトクロック信号 S C K の波形を変形するために、ソースシフトクロック変形指示信号 K をソースシフトクロック信号生成回路 2 3 1 3 に与える。ソーススタートパルス信号遅延回路 2 3 1 2 は、ソーススタートパルス信号 S S P とソースシフトクロック信号 S C K とのタイミングを調整するために、ソーススタートパルス信号生成回路 2 3 1 1 で生成されたソーススタートパルス信号 S S P を所定時間、遅延させる。

40

【 0 0 4 8 】

ソースシフトクロック信号生成回路 2 3 1 3 は、水平同期信号 H s y n c と源クロック信号 C K とを受け取り、源クロック信号 C K の周期 T の 6 倍の周期のクロック信号であってデューティ比が 5 0 パーセントのソースシフトクロック信号 S C K を生成する。但し、

50

ソーススタートパルス信号 SSP のパルスが出力される直前には、ソーススタートパルス信号生成回路 2311 から出力されるソースシフトクロック変形指示信号 K に基づいて、ソースシフトクロック信号 SCK の波形の変形が行われる。ソースシフトクロック信号遅延回路 2314 は、ソーススタートパルス信号 SSP とソースシフトクロック信号 SCK とのタイミングを調整するために、ソースシフトクロック信号生成回路 2313 で生成されたソースシフトクロック信号 SCK を所定時間、遅延させる。なお、ソースシフトクロック信号生成回路 2313 では上述のとおりソースシフトクロック信号 SCK の波形の変形が行われるが、この波形の変形は従来技術を用いたロジック回路によって行われる。

【0049】

ゲートスタートパルス信号生成回路 2321 は、水平同期信号 $Hsync$ と垂直同期信号 $Vsync$ と源クロック信号 CK とを受け取り、1 垂直走査期間毎に所定幅のパルスが出力されるゲートスタートパルス信号 GSP を生成する。ゲートシフトクロック信号生成回路 2322 は、水平同期信号 $Hsync$ と垂直同期信号 $Vsync$ と源クロック信号 CK とを受け取り、1 水平走査期間毎に各ゲートバスライン $GL1 \sim GLm$ に順次にアクティブな走査信号が印加されるよう、ゲートシフトクロック信号 GCK を生成する。

【0050】

< 3 . 駆動方法 >

次に、本実施形態における駆動方法について説明する。図 3 は、本実施形態におけるソーススタートパルス信号 SSP 、ソースシフトクロック信号 SCK 、および源クロック信号 CK の信号波形図である。図 3 に示すように、源クロック信号 CK の周期を T として説明する。各水平走査期間において、ソーススタートパルス信号 SSP が立ち上がってから最初にソースシフトクロック信号 SCK が立ち上がった後、ソースシフトクロック信号 SCK についてはハイレベルとなる期間とローレベルとなる期間とが $3T$ 毎に交互に現れる。ところが、各水平走査期間において、ソーススタートパルス信号 SSP が立ち上がる直前については、図 3 に示すように、ソースシフトクロック信号 SCK がハイレベルとなる期間は $2T$ となっている。一方、ソーススタートパルス信号 SSP がローレベルからハイレベルに変化する時点を挟んで、ソースシフトクロック信号 SCK がローレベルとなる期間は $4T$ となっている。このように、本実施形態においては、各水平走査期間において、ソーススタートパルス信号 SSP が立ち上がる直前についてのみ、ソースシフトクロック信号 SCK がハイレベルとなる期間が短縮される。

【0051】

上述のようにソースシフトクロック信号 SCK の波形が変形されることによって、図 3 に示すように、ソースシフトクロック信号 SCK が立ち下がってからソーススタートパルス信号 SSP が立ち上がるまでのホールド期間が $1T$ 確保されている。また、ソーススタートパルス信号 SSP が立ち上がってからソースシフトクロック信号 SCK が立ち上がるまでのセットアップ期間は $3T$ 確保されている。

【0052】

< 4 . 効果 >

以上のように、本実施形態によると、表示制御回路 200 内のソースシフトクロック信号生成回路 2313 において、源クロック信号 CK とソーススタートパルス信号生成回路 2311 から与えられるソースシフトクロック変形指示信号 K とに基づいて、ソースシフトクロック信号 SCK が生成される。ここで、各水平走査期間において、ソーススタートパルス信号 SSP が立ち上がる直前のみ、ソースシフトクロック信号 SCK がハイレベルで維持される期間が短くされる。一方、ソースシフトクロック信号 SCK がハイレベルで維持される期間が短くなった分だけソースシフトクロック信号 SCK がローレベルで維持される期間が長くされる。これにより、ソーススタートパルス信号 SSP が立ち上がる直前にはホールド期間が確保され、ソーススタートパルス信号 SSP が立ち上がった直後にはセットアップ期間が確保される。このため、各水平走査期間において、ソースドライバ 300 でのソーススタートパルス信号 SSP の取り込みが正しく開始され、データのサンプリングが正しく行われる。

【 0 0 5 3 】

従来、ホールド期間やセットアップ期間を確保するために、源クロック C K の周波数が高められたり、クロックの両エッジ駆動が行われていた。源クロック信号 C K の周波数を高くすると消費電力が増加するが、本実施形態においては源クロック信号 C K の周波数は高められていない。このため、本実施形態においては、消費電力が大きくなることはない。また、クロックの両エッジ駆動を行うと、2 相クロックの採用等によって回路規模が増大し、回路設計が複雑になる。一方、本実施形態においては、クロックの両エッジ駆動を行う必要はない。このため、本実施形態においては、回路規模が増大することなく、設計も複雑にはならない。また、本実施形態によると、プロセスマージンを考慮したパネル設計が可能となるので、製造工程において不良品が発生する確率が低減し、歩留まりが向上する。

10

【 0 0 5 4 】

< 5 . 変形例など >

上記実施形態では、ソーススタートパルス信号 S S P が立ち上がる直前に、ソースシフトクロック信号 S C K がハイレベルとなる期間を短縮することによってホールド期間を確保しているが、本発明はこれに限定されない。図 4 に示すように、ソーススタートパルス信号 S S P が立ち上がる直前についてのみソースシフトクロック信号 S C K のパルスの出力を停止することによってもホールド期間を確保することができる。なお、図 4 には 1 水平走査期間が 3 T の整数倍になっている場合を例に挙げているが、1 水平走査期間は必ずしも 3 T の整数倍とはならず、ホールド期間は 1 T から 6 T の範囲で変動する可能性があり、それ以上の期間となってもかまわない。また、信号として、水平同期信号 H s y n c や垂直同期信号 V s y n c などを使用しているが、複合同期信号など同様の機能を持つ信号を使用することもでき、源クロック信号 C K は外部より与えられても良い。さらに、上記実施形態では、画像信号 D A T というデジタル信号が入力されている場合について説明しているが、アナログ信号が入力される場合にも本発明を適用することができる。

20

【 0 0 5 5 】

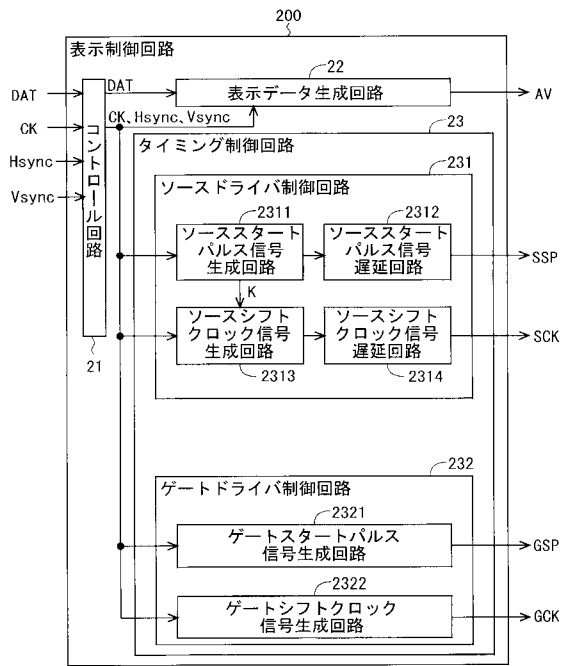
また、上記実施形態に示すように、本発明は C G シリコン液晶表示装置等のポリシリコン液晶パネルを使用する表示装置に好適であるが、それ以外の表示装置にも本発明を適用することができる。さらに、本発明は、デジタルドライバにもアナログドライバにも適用することができ、また、点順次駆動方式を採用する駆動回路にも線順次駆動方式を採用する駆動回路にも適用することができる。

30

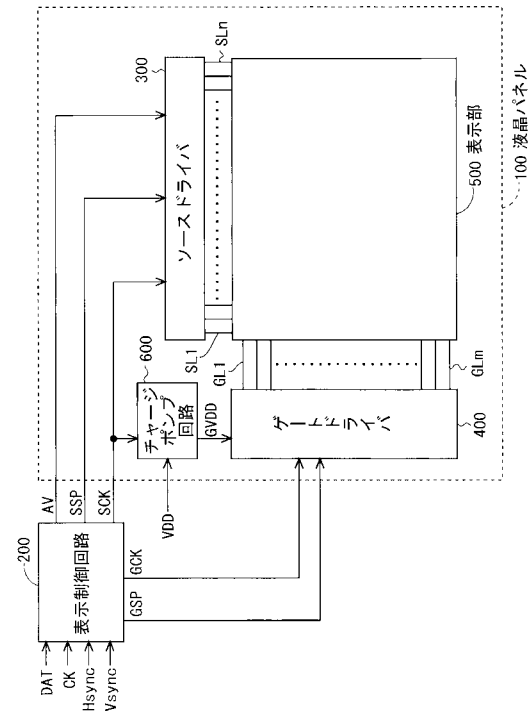
【 0 0 5 6 】

さらにまた、上記実施形態においては、ソースシフトクロック信号 S C K についてハイレベルとなる期間とローレベルとなる期間とが 3 T 毎に交互に現れる例を挙げて説明しているが、本発明はこれに限定されず、ソースシフトクロック信号 S C K のハイレベルとなる期間およびローレベルとなる期間は 3 T 以外であっても良い。

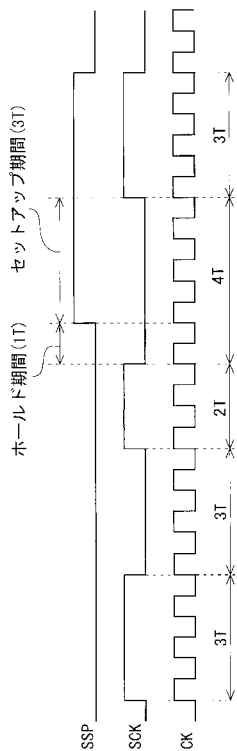
【図 1】



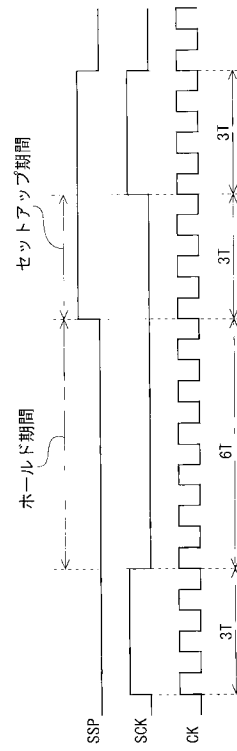
【図 2】



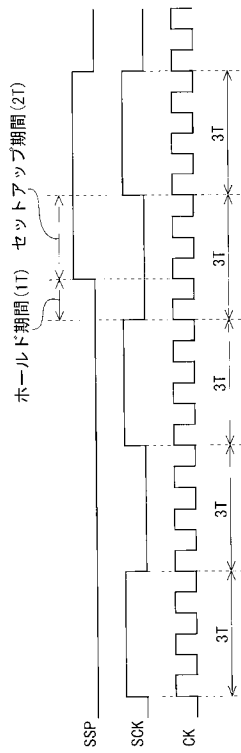
【図 3】



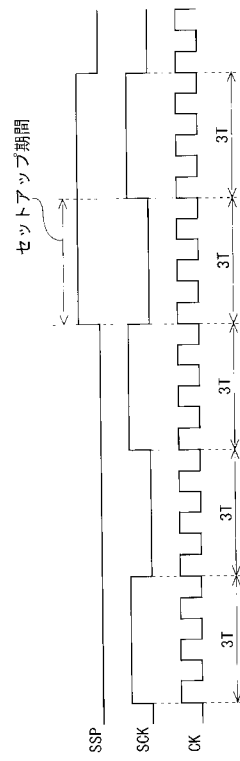
【図 4】



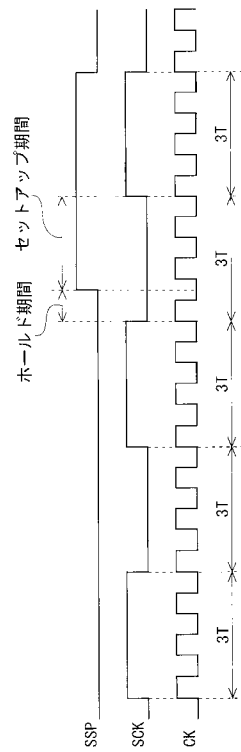
【図 5】



【図 6】



【図 7】



フロントページの続き

(51)Int.Cl.

F I

G 0 9 G	3/20	6 7 0 E
G 0 9 G	3/20	6 1 1 A
G 0 2 F	1/133	5 5 0
G 0 2 F	1/133	5 0 5

(56)参考文献 特開平 0 3 - 0 6 2 0 9 4 (J P , A)
特開平 1 1 - 0 0 3 0 6 7 (J P , A)
特開平 1 0 - 1 6 1 6 0 8 (J P , A)
特開平 0 8 - 1 2 3 3 5 9 (J P , A)
特開 2 0 0 5 - 3 3 8 7 2 7 (J P , A)
特開 2 0 0 3 - 2 3 3 3 4 8 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

G09G 3/00 - 3/38
G02F 1/133 505-580

专利名称(译)	显示装置，驱动电路及其驱动方法		
公开(公告)号	JP4731567B2	公开(公告)日	2011-07-27
申请号	JP2007542245	申请日	2006-07-05
[标]申请(专利权)人(译)	夏普株式会社		
申请(专利权)人(译)	夏普公司		
当前申请(专利权)人(译)	夏普公司		
[标]发明人	富吉 暎		
发明人	富吉 暎		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
CPC分类号	G09G3/3611 G09G3/3688 G09G2370/08		
FI分类号	G09G3/36 G09G3/20.623.H G09G3/20.623.L G09G3/20.612.K G09G3/20.611.J G09G3/20.670.E G09G3/20.611.A G02F1/133.550 G02F1/133.505		
代理人(译)	岛田彰		
优先权	2005320450 2005-11-04 JP		
其他公开文献	JPWO2007052384A1		
外部链接	Espacenet		

摘要(译)

显示装置技术领域本发明涉及使用多晶硅液晶面板的显示装置。 本发明的一个目的是在源起始脉冲信号（SSP）的上升处充分确保保持时段和建立时段，而不增加功耗和电路规模。 显示控制电路（200），用于生成源极起始脉冲信号生成电路（2311），并用于产生源极起始脉冲信号（SSP）（SCK）和（2313）的源极移位时钟信号源移位时钟信号生成电路，但它包括在内。源极移位时钟信号生成电路（2313），基于从所述源极起始脉冲信号生成电路（2311）（K）输出的源极移位时钟变形指示信号，源极起始脉冲信号（SSP）是在每个水平扫描周期源移位时钟信号（SCK）保持在高电平的时段仅在紧接上升之前的时段中缩短。

