

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4615313号
(P4615313)

(45) 発行日 平成23年1月19日 (2011. 1. 19)

(24) 登録日 平成22年10月29日 (2010. 10. 29)

(51) Int. Cl.

F I

G09G 3/36 (2006.01)
G02F 1/1343 (2006.01)
G02F 1/1345 (2006.01)
G02F 1/1362 (2006.01)
G02F 1/1368 (2006.01)

G09G 3/36
 G02F 1/1343
 G02F 1/1345
 G02F 1/1362
 G02F 1/1368

請求項の数 5 (全 13 頁) 最終頁に続く

(21) 出願番号 特願2004-554804 (P2004-554804)
 (86) (22) 出願日 平成15年11月18日 (2003. 11. 18)
 (65) 公表番号 特表2006-507533 (P2006-507533A)
 (43) 公表日 平成18年3月2日 (2006. 3. 2)
 (86) 国際出願番号 PCT/IB2003/005214
 (87) 国際公開番号 W02004/049295
 (87) 国際公開日 平成16年6月10日 (2004. 6. 10)
 審査請求日 平成18年11月17日 (2006. 11. 17)
 (31) 優先権主張番号 02102642.2
 (32) 優先日 平成14年11月25日 (2002. 11. 25)
 (33) 優先権主張国 欧州特許庁 (EP)

(73) 特許権者 306043703
 エヌエックスピー ビー ヴィ
 N X P B. V.
 オランダ国 5656 エイジー アイン
 ドーフェン ハイ テク キャンパス 6
 O
 (74) 代理人 100075812
 弁理士 吉武 賢次
 (74) 代理人 100088889
 弁理士 橋谷 英俊
 (74) 代理人 100107582
 弁理士 関根 毅
 (74) 代理人 100112793
 弁理士 高橋 佳大

最終頁に続く

(54) 【発明の名称】 「ブロック・ディム」効果の低減されたディスプレイ

(57) 【特許請求の範囲】

【請求項 1】

複数のゲート・ドライバ (G D) およびソース・ドライバ (S D) を有するディスプレイであって、前記複数のゲート・ドライバ (G D) および前記ソース・ドライバ (S D) は、x 行 (R x) と y 列 (C y) に配列されたドットを有する当該ディスプレイを駆動し、

前記ゲート・ドライバ (G D) のそれぞれは、当該ディスプレイの複数のゲート・ライン (G L y) を駆動するためのいくつかの出力段 (O U T x) を有し、

前記ゲート・ドライバは、第 1 電圧を供給するための供給ライン (V L) と前記第 1 電圧とは異なる第 2 電圧を供給するための更なる供給ライン (V H) と前記第 1 電圧を供給する追加の供給ライン (V L c l e a n) のうちのいずれかを、前記ゲート・ラインに接続するように構成されており、

前記複数のゲート・ライン (G L y) のうちのアドレス指定された 1 つのゲート・ラインの各記憶コンデンサは、前記アドレス指定されたゲート・ライン (G L y) の前のゲート・ライン (G L y - 1) に、接続されており、

前記アドレス指定されたゲート・ライン (G L y) が前記更なる供給ライン (V H) に結合された時点で、前記追加の供給ラインを、前記前のゲート・ライン (G L y - 1) に接続する、

ディスプレイ。

【請求項 2】

10

20

前記出力段がPMOSトランジスタおよび2個のNMOSトランジスタを備え、かつ、前記PMOSトランジスタ(MP1)が前記更なる供給ライン(VH)と前記出力段の出力(OUTx)との間に配列され、かつ、前記2個のNMOSトランジスタのうちの一方のNMOSトランジスタ(NM1)が前記供給ライン(VL)と前記出力段の出力(OUTx)との間に配列され、かつ、前記2個のNMOSトランジスタのうちの他方のNMOSトランジスタ(MN2)が前記追加の供給ライン(VLclean)と前記出力段の出力(OUTx)との間に配列されている、請求項1に記載のディスプレイ。

【請求項3】

前記追加の供給ライン(VLclean)が、VL電位から別個の導電路で経路設定される、請求項1に記載のディスプレイ。

10

【請求項4】

前記供給ライン(VL)の導電路と前記追加の供給ライン(VLclean)の導電路が、同じ供給レベルに結合される、請求項1に記載のディスプレイ。

【請求項5】

前記供給ライン(VL)の導電路と前記追加の供給ライン(VLclean)の導電路が、供給回路の出力に対して前記導電路のインピーダンスが小さい位置で互いに接続される、請求項1に記載のディスプレイ。

【発明の詳細な説明】

【技術分野】

【0001】

20

本発明は、一般に、ディスプレイまたはLCDパネルに向けられ、特に、プリント回路基板(PCB)なしに組み立てられるゲート・ドライバを有するLCDパネルに向けられる。この技術はいわゆる無PCBであり、この場合、ゲート・ドライバの配線は従来のプリント回路基板(PCB)で行われないが、LCDガラスに直接に行われる。本発明はチップ・オン・ガラス技術(COG)にも応用できる。

【背景技術】

【0002】

LCDパネルは広い応用分野、すなわち携帯電話、個人用デジタル・アシスタント、ノートブックまたはTV画面を有している。

【0003】

30

新しい組立技術がある。第1に、いわゆる「無PCB」技術では、ゲート・ドライバの配線は従来のプリント回路基板(PCB)で行われないでLCDガラスに直接に行われ、さらにゲート・ドライバのチップは、ガラス配線に接触したフォイルに取り付けられる(チップ・オン・フォイル、COF)。第2に、いわゆるチップ・オン・ガラス技術では、ゲート・ドライバは直接にガラス配線に接続している。

【0004】

これらの新しい組立技術は低コストであるが、オン・ガラス配線の導電路抵抗はプリント回路基板で得られる導電路抵抗よりもはるかに高い。オン・ガラス相互接続のシート抵抗は、PCB技術のものよりの100倍高い。この差は、厚さ約0.2 μ mの蒸着Alを通常使用するオン・ガラス導体に比べて、PCBの導体がより厚く、さらに低抵抗性材料すなわち厚さ約35 μ mの積層された銅を使用することによっている。2個のゲート・ドライバ間の導電路抵抗の一般的な値は、ゲート・オフ供給導電路では25 Ω であり、他の信号の導電路では最高100 Ω である。ゲート・オフ供給導電路(VL)は、ゲート・ラインのオフ状態電圧を供給し、アドレス指定されない線のTFTトランジスタを非導通(オフ)状態にしておく。

40

【0005】

導電路抵抗の増加は、「ブロック・ディム(block dim)」問題のような使用上の問題を引き起こす。ブロック・ディム問題は、ゲート・オフ供給ライン(VL)の導電路抵抗によって主に生じる。オン・ガラス導電路抵抗を下げるために、導電路の幅を増すことができるが、全ての導電路を経路設定するために使用可能なLCDパネル上のスペ

50

ースは限られている。その結果として、ゲート・オフ供給ライン（V L）用の導電路は、最もクリティカルであるので、できるだけ広く作られ、そして、その他の導電路はより細かい。

【0006】

X G A分解能のL C Dパネルは、一般に、各々2 5 6の出力チャネルを有する3個のゲート・ドライバを使用する。無P C BまたはC O Gパネルに関して、ゲート・ドライバへの全ての供給ラインおよび制御信号は、L C Dパネルの能動面上で、L C Dパネルの1つの隅からゲート・ドライバに経路設定される。その結果として、第3のゲート・ドライバに関連した導電路抵抗は、第1のゲート・ドライバの導電路抵抗の約3倍である。一般に、ゲート・ドライバの数は、L C Dパネルのサイズに依存する。

10

【0007】

能動マトリックスL C Dパネルは、ピクセルのアレイで構成され、ピクセルの数はパネル分解能の関数である。例えば、X G Aパネルは1 0 2 4×7 6 8のピクセルを有する。ピクセルは、通常、基本色（赤、緑および青）ごとに1つの3個のドットで構成される。このようにして、例えばX G Aパネルは、水平軸（x軸）に沿って合計1 0 2 4×3の列および縦軸（y軸）に沿って7 6 8行またはラインを有する。各ドットは、スイッチを介してそれぞれの列電極に接続されている。スイッチは、行電極によってアドレス指定される（例えば、オンまたはオフに切り換えられる）。選択された行のドットをドライブするために、列電極に電圧が印加され、そしてスイッチがオンに切り換えられる。これによって、選択された行の全てのドットは、列電極に存在する電圧まで充電されるようになる。アドレス指定時間の終わりに、スイッチはオフに切り換えられる。このことは、ドットは列電極から切り離され、次回選択されるまでその値（充電）を保持することを意味する。この個々のドットのラインごとのアドレス指定は、一般に、ディスプレイの「水平走査」と呼ばれる。ディスプレイの全てのドットは、通常、ほぼ6 0 H zのフレーム率でリフレッシュされる。このことは、例えばX G Aパネルの場合、単一のラインは、ライン（アドレス指定）時間と呼ばれる（1／6 0）／7 6 8 2 0 μ s e cでアドレス指定されることを意味する。

20

【0008】

大抵の能動マトリックスL C Dパネルでは、スイッチはいわゆる薄膜トランジスタ（T F T）で形成される。T F Tトランジスタは、ドレイン、ゲートおよびソースの3つの端子を有する。T F T-L C Dドットに関して、ゲートは、ゲート・ライン（G L y）と一般に呼ばれる行電極に接続されている。ソースは、ソース・ライン（S L x）と一般に呼ばれる列電極に接続されている。T F Tトランジスタのドレインは、L C キャパシタンス（ドット・ノード）に接続されている。ドット・キャパシタンスの第2の極板は、共通の対電極（V c o m）に接続されている。T F Tトランジスタのかなり大きな電荷漏れのために、追加の記憶コンデンサ（C s t）が必要であり、この記憶コンデンサ（C s t）は、一方の側がドット・ノードに接続され、他方の側が基準ノードに接続されている。通常、前のゲート・ライン（G L y-1）または次のゲート・ライン（G L y+1）が、容易にアクセスすることができるために、基準ノードとして使用される。ゲート・ラインに平行に走る特別の基準ラインを有することも可能であり、この特別の基準ラインは大抵の場合にV c o mに接続される。前のゲート・ライン（G L y-1）か次のゲート・ライン（G L y+1）かのどちらかが記憶コンデンサ（C s t）の基準ノードとして使用されるときだけ、ブロック・ディム問題が起こる。以下で、前のゲート・ライン（G L y-1）が記憶コンデンサ（C s t）の基準ノードであるL C Dパネルについて議論するが、与えられる解決策は、次のゲート・ライン（G L y+1）が基準ノードであるパネルに容易に適用することができる。

30

40

【0009】

様々なパターンをL C Dパネルに与えることができるが、最もクリティカルなパターンは、V Lに大きな戻り電流を発生させる非対称パターンである。1つのそのようなパターンは、いわゆるドーダー・パターン（D o D o-p a t t e r n）であり、このドーダー

50

・パターンは、隣り合うドットのドット・オン、ドット・オフを意味する。LCDパネルが非対称パターンでドライブされるとき、LCDパネルに存在する列と行の間の寄生コンデンサが、大量の電荷をゲート・ドライバのゲート・オフ供給ライン(VL)に結合する。しかし、ゲート・オフ供給ライン(VL)の導電路抵抗が大きいため、ゲート・オフ供給ライン(VL)の放電は1ライン時間内に完了し得ない。

【0010】

この不完全な放電は、個々のドットのサンプル電圧の誤差の原因となる。というのは、ゲート・オフ供給ライン(VL)は、前にアドレス指定されたゲート・ライン(Gly-1)と記憶キャパシタンス(Cst)を介してドットに結合されているからである。サンプル電圧誤差は、LCDパネルのゲート・ドライバごとに違っている。というのは、全てのゲート・ドライバの見るゲート・オフ供給ライン(VL)抵抗は、別々の合計になるからである。サンプル電圧誤差は、LCDパネルに異なる階調をもたらす。階調の差は、ゲート・ドライバ間のちょうど縁でステップ的に発生するので、使用者の目は非常に容易に変化を検出し、したがって水平方向のブロック・ディムが感じられる。

10

【0011】

水平ブロック・ディムの問題を克服するいくつかの知られている解決策がある。

【0012】

第1に、グレイ・ブロック(gray block)間の変化のステップを減少しようと試みることができる。これは、1つのゲート・ドライバの最後のラインが見るゲート・オフ供給ライン(VL)抵抗を、次のゲート・ドライバの最初のラインが見るゲート・オフ供給ライン(VL)抵抗と合わせることによって達成される。目に見えるステップを生じさせないためには、与えられたゲート・ドライバに関して、最初の出力から最後の出力までのゲート・オフ供給ライン(VL)抵抗の増加は、徐々に起こらなければならない。このことは、ゲート・ドライバのゲート・オフ供給ライン(VL)抵抗がガラス上のゲート・オフ供給ライン(VL)導電路抵抗と一致していること、およびゲート・ドライバ抵抗の値がパネル内の位置(XGAの第1、第2または第3のデバイス)に依存してゲート・ドライバごとに異なることを必要とするかもしれない。ゲート・ドライバは同じ製造ルール(manufacturing reel)の製品であるので、ゲート・ドライバに対して異なる値は起こりえない。全てのゲート・ドライバで使用されるべきもののある程度平均値であるゲート・ドライバVL導電路を使用してステップを最小限にする方法でも、やはり感知できるブロック・ディムが生じる。

20

30

【0013】

第2に、位置に依存した誤差を、より大きい位置に依存しない誤差に人工的にぼかす方法がある。これは、ゲート・オフ供給ライン(VL)のソース抵抗を、ガラス上の位置に依存したVL導電路抵抗ステップがソース抵抗に比べて無視できるほどになるような高い値に、上げることによって達成される。例として、2個のドライバ間のオン・ガラス抵抗が25Ωであれば、500Ωのゲート・オフ供給ライン(VL)・ソース抵抗の場合、各ゲート・ドライバが見るゲート・オフ供給ライン(VL)抵抗の相対的な差は小さいので、サンプル誤差の差も小さい。この方法によって、全てのドットに対してほぼ同じレベルにはあるが誤差の絶対値が増し、したがって、全LCDパネルの画面前面の性能は、注意深く選ばれた特定のパターンで低下する。

40

【0014】

上述の問題が起こるのを防止する第3の方法は、ラインごとに完全に滑らかな階調変化をつくることである。これは特定のドット配置で達成することができ、この場合には、キャパシタンス(Cst)は前または次のゲート・ラインに接続されなくて、別個の追加のラインに接続される。キャパシタンス(Cst)に接続された追加のラインは、通常、共通電極電圧(Vcom)に接続される。したがって、この解決策について「CstからVcomに」という一般的な名称がある。この方式の主な有利点は、Vcom導電路抵抗がラインの完全なブロックに対して大きなステップで変化しないで、ラインごとに小さな増分に変化することである。この増分は規則正しくかつ小さいので、目で検出できない。し

50

かし、この解決策の欠陥がある。開口比（AR）例えばドットの中の光透過領域と光阻止領域の比が、追加のラインによって減少する。さらに、全ての行の追加のVcomラインは、コンタクトでVcom加算ラインに接続する必要がある、この加算ラインはゲート・ラインとの交差を避けるように第2金属（second metal）で経路設定しなければならない。この追加のプロセス・ステップで、LCDパネルの歩留りが下がり、いっそう高価になる。

【発明の開示】

【発明が解決しようとする課題】

【0015】

したがって、本発明の目的は、努力を少なくしながら、ブロック・ディム効果が起こるのを防止することである。

【課題を解決するための手段】

【0016】

上記目的は請求項1の特徴により達成される。

【0017】

本発明は、きれいなゲート・オフ供給ライン（VL）がアドレス指定されたゲート・ラインの記憶コンデンサ（Cst）に供給されるべきであるという概念に基礎を置いている。ドットで正しい値をサンプリングするためには、現在アドレス指定されているラインだけが、その記憶コンデンサの基準端子にきれいな（誤差のない）ゲート・オフ供給ライン（VL）の接続を必要とするという観察に、本発明は基づいている。アドレス指定されたラインの記憶コンデンサが前のゲート・ライン（GL_{y-1}）に接続される場合、この前のゲート・ライン（GL_{y-1}）だけが、誤差の無いゲート・オフ供給ライン（VL）を必要とする。記憶コンデンサが次のGLに接続される場合、その次のゲート・ライン（GL_{y+1}）だけが誤差の無いゲート・オフ供給ライン（VL）を必要とする。全ての他の（アドレス指定されない）ラインは、完全には放電しないゲート・オフ供給ライン（VL）に接続された記憶キャパシタンス（Cst）を有するかもしれない。

【0018】

したがって、本発明の実施は、アドレス指定されたゲート・ラインGL_yの記憶キャパシタンス（Cst）基準端子（パネルに依存してGL_{y-1}またはGL_{y+1}）を別個のきれいなゲート・オフ供給ラインに接続する回路にある。この別個のきれいなゲート・オフ供給ラインは、以下でVL_{clean}ラインと名前をつける。全ての他のコンデンサ（Cst）は普通のVL供給ラインに接続されたままである。VL_{clean}ラインの抵抗は大きな問題ではない。というのは、一度に1つのラインだけがVL_{clean}ラインに接続されているからである。VL_{clean}ラインの戻り電流は、ゲート・オフ供給ライン（VL）の戻り電流の値の $\sim 1/n$ であり、したがって1ライン時間内に完全に放電することができる。その結果として、全てのラインは、正しい基準電圧がキャパシタンス（Cst）にある状態でサンプリングされる。

【0019】

このことは有利である。というのは、本発明はLCDパネルとドライバの間の抵抗一致を必要としないからである。したがって、本発明はどんなLCDパネル解決策にも使用することができ、またLCDパネル・プロセスの変動に対して耐性がある。さらに、本発明は、システムにどのような追加の誤差も追加しない。全てのアドレス指定されないラインの放電は、LCDパネルのゲート・オフ供給（VL）導電路抵抗で制限されるだけであり、その上、大きなソース抵抗で制限されない。このように、アドレス指定されない行の不完全な放電によって生じる、視野角の減少のような人工産物は、最小限になる。提案された解決策は、ラインごとの階調変化を同時に無くすることによって、上述の第3の方法のコストおよび性能の欠点が起こるのを防止する。したがって、本発明はゲート・オフ供給ライン（VL）で生じる誤差を適切な瞬間に適切な場所で賢明に除去すると要約することができる。提案された発明の主な有利点は、全てのアドレス指定されたラインは同一の値のキャパシタンス（Cst）基準ラインでサンプリングされるので、ゲート・オフ供給ライ

ンの不完全な放電で生じる水平方向のブロック・ディムが完全に取り除かれることである。これによって、LCDパネルの全ての行で、その位置およびどのドライバに接続されているかに関係なく、一様で正しいサンプル・ドット電圧が結果として得られるようになる。この解決策の小さな欠点は、LCDパネルの全てのゲート・ドライバに追加の導電路を必要とすることである。

【発明を実施するための最良の形態】

【0020】

本発明が適切に理解されるために、ここで例示として与えられるいくつかの実施形態を説明し、添付の図面を参照する。

【0021】

10

以下の図において、同じ参照数字は様々な図の同一部品を示すために使用される。

【0022】

図1は、本発明を実施しない従来技術で知られているPCBのない組立またはCOG組立に見られるような3個のゲート・ドライバGD1～GD3を有する完全XGA-LCDパネルを示す。全ての供給および制御信号(VH、VL、VDD、GND、CLK、DIS、Start)は、TFT-LCDパネルの能動面上に、LCDパネルの1つの隅からゲート・ドライバGD1～GD3に経路設定される。その結果として、ゲート・ドライバGD3の見る導電路抵抗は、ゲート・ドライバGD1の見るものの約3倍である。

【0023】

図2は、TFT-LCDドットのモデルを示す。この構成では、ゲート・ラインGlyの記憶コンデンサCstは前のゲート・ラインGly-1に接続されているが、このモデルは、Cstが次のラインGly+1に接続されている構成に対しても同様に使用することができる。今日のLCDパネルの大部分は、前のラインGly-1に接続されたコンデンサCstを使用している。そのようなドット配置は、行ごとに追加のVcomラインを使用することが無くなるので、広く使用されている。この行ごとの追加のVcomラインの使用は、光透過、視野角、製造歩留り、コスト、その他に悪影響を及ぼす。

20

【0024】

コンデンサC1cは、液晶セルの静電容量である。Cst'は、Ccと並列になった記憶コンデンサCstを簡略化したものであり、このCstは、Gly-1とドットの間の重なりキャパシタンスである。静電容量Csgoは、ソース・ラインSLxとゲート・ラインGlyの間の重なりキャパシタンスである。Rglは、ドット当たりのゲート・ライン抵抗である。一般的な値の例は、C1c=250fF、Cst=175fF、Cc=18fF、Cst'=193fF、Csgo=19fF、Rgl=1Ω、Cgl=109fFである。

30

【0025】

図3は、XGA-LCDパネルのブロック・ディム効果を示す。最もクリティカルなブロック・ディムは、「ドードー」・パターンと呼ばれる特殊な非対称パターンに関連して起こる。ドードー・パターンは、例えば白-黒-白-黒-白-黒などの値を連続した列で表示する。

【0026】

40

次の表は、ドットの輝度を、Vcomに対する印加電圧の極性+および-（上または下のガンマ曲線）を付けた1（白に対して）また0（黒に対して）として示す。この非対称パターンによって、列から行への容量結合のためにVL供給に大きな戻り電流が生じる。この大きな戻り電流は、個々のゲート・ドライバの局部VL供給に対して大きな外乱を引き起こす。VL導電路の有限なインピーダンスのために、局部VLの外乱は1ライン時間内に十分に減衰することができない。VLは全てのドット（Cstに接続された）で基準として使用されるので、ゲート・ドライバごとに異なるVLレベルは異なるグレイ値をもたらす。このことによって、結果として、図3に示すブロック・ディム効果が生じる。

【表 1】

赤	緑	青	赤	緑	青	赤	緑	青...	
行1	1+	0-	1+	0-	1+	0-	1+	0-	1+...
行2	1-	0+	1-	0+	1-	0+	1-	0+	1-...
行3	1+	0-	1+	0-	1+	0-	1+	0-	1+...
行4	1-	0+	1-	0+	1-	0+	1-	0+	1-...
行5	1+	0-	1+	0-	1+	0-	1+	0-	1+...
行6	1-	0+	1-	0+	1-	0+	1-	0+	1-...

10

【0027】

ドードー・パターンに関して、全ての奇数列は白であり、全ての偶数列は黒である。行1の第1のピクセルは、3個のドットを含み、赤および青ドットを表示し（紫紅色）、第2のピクセルは緑を表示する。ドードー・パターンは目で灰色に知覚される。というのは、紫紅色と緑の光学的平均は灰色だからである。選択された極性反転方式のために、印加信号の極性は列ごとに、また行ごとに（ドットごとに）変化する。

【0028】

表が示すように、第1行のドットの半分は1+であり、他の半分は0-である。行2では、ドットの半分は1-であり、他の半分は0+である。「0」および「1」に対応する電圧レベルはガンマ曲線によって決定されるが、これを図4に示す。

20

【0029】

例えば「1」= $V_{com} + \frac{1}{2} \times 0.5V$ および「0」= $V_{com} - \frac{1}{2} \times 5.0V$ である場合、平均列電圧は、行1では $V_{com} = +2.25V$ であり、行2では $V_{com} = -2.25V$ である。したがって、平均列電圧は、ライン時間ごとに $4.5V$ だけ跳ぶ。これが、ドードー・パターンが非対称パターンと呼ばれる理由である。

【0030】

図5aは、ソース・ラインSLからゲート・ラインGLへの容量結合の模式図を示す。全てのドットでの列と行の間の重なりキャパシタンス C_{sgo} のために、平均列電圧のこの $4.5V$ の跳躍は、LCDパネルの全てのゲート・ラインGLyに容量的に結合する。キャパシタンス C_{gl} は、図2で説明したように、キャパシタンス $C_{st'}$ と C_{lc} の簡略化したものである。静電容量 C_{sgo} と静電容量 C_{gl} の比は、ほぼ1:5である。このことは、ソース・ラインに存在するパルスの振幅の約 $1/6$ はゲート・ラインGLに結合することを意味する。一対のTFT-LCセルに注目すると、ソース・ラインSLoddとソース・ラインSLevenは、平均 $(SLodd + SLeven) / 2$ で置き換えることができる。これを図5bに表す。したがって、ゲート・ラインに容量結合された電圧は、この例では $4.5V / 6 = 750mV$ である。留意されたいことであるが、ドット極性反転ドライブ方式のために2つの隣り合う列で印加電圧の極性は反対であるので、パルスSLoddおよびSLevenは位相がずれている。

30

【0031】

図6は、ドードー・パターンによるVL導電路外乱のある模式的なXGA-LCDパネルを示す。容量結合によってゲート・ラインGLに運ばれた電荷は、それから、ゲート・ドライバ(GD1~GD3)の出力段(OUTx)を通して、対応するゲート・ドライバの局部VL(VL_1、VL_2、VL_3、その他)に放電する。放電電流は、VL-LCDパネルの導電路の抵抗器Rpを通過する。

40

【0032】

XGA-LCDパネルの全ゲート・ライン・キャパシタンスは、一般に、 $257nF$ ($= 768 \text{ライン} \times 3072 \text{列} \times 109fF / \text{ゲート・ライン}$) であり、また平均LCDパネル導電路抵抗は 50Ω である ($2 \times 25\Omega$ 、平均値はVL供給から中間ゲート・ドライバ・デバイスまで)。放電過程に対しての結果として得られるRC時定数は $12.9ms$

50

($50\Omega \times 257\text{ nF}$)であり、これは約 20 ms のXGA行時間に非常に近い。このことは、放電過程は1行時間内に完了し得ないことを意味する。というのは、6ビットLCDパネルの精度内でVLを放電するのに、一般に6タウが必要とされるからである。

【0033】

局部VLの電圧は、個々の抵抗 R_p を流れる電流と同じ放電曲線を示す。したがって、VL供給に向う方のインピーダンスは場所に依存しているので（直列接続された R_p の数）、放電振幅および波形はVL__1、VL__2、またはVL__3で非常に異なっている。

【0034】

図7は、ドードー・パターンが列に加えられたとき、VL__1、VL__2、およびVL__3に局部的な波形があるXGA-LCDパネルを示す。図7で、能動ゲート・ライン G_{Ly} が低くなる時、VL__1、VL__2およびVL__3の外乱はサンプリング点 t_{sample} で相当に異なることが明らかに目立っている。

【0035】

図8は、ドット電圧のサンプリングを示す。サンプリング点 t_{sample} で、ソース・ライン S_{Lx} の電圧がドットでサンプリングされる。理想的なVL値と異なる電圧 $V_{G_{Ly}-1}$ がドットに余分な電荷をもたらし、この余分な電荷は、TFトランジスタがいったんオフになると、静電容量 C_{st} および C_{lc} に保存される。 $G_{Ly}-1$ の平均電圧はVLであるので、ドット・セルの平均電圧は、 $\Delta V_{dot} = -(V_{G_{Ly}-1}(t_{sample}) - VL) \times C_{st} / (C_{st} + C_{lc})$ のオフセット電圧を得る。

【0036】

C_{st} および C_{lc} はほぼ同じであるので、平均ドット電圧は、サンプリング時に電圧 $V_{G_{Ly}-1} - VL$ のほぼ半分のオフセット（誤差）を有する。 $V_{G_{Ly}-1}$ の外乱は、ゲート・ドライバの入力の局部VL__1ラインからVL__3ラインまでの外乱に等しいので、ドットでの誤差は局部VL外乱に依存する。VL導電路抵抗は有限のステップでゲート・ドライバごとに増加するので、ドット誤差電圧 ΔV_{dot} は、また、2個のゲート・ドライバ間の境界でステップを生ずる。誤差関数のこのステップは、目で検出することができ、図3に示す。この目に見える結果は、異なる強度の階調を有しかつ全てのゲート・ドライバデバイスの境界に対応する縁を有する水平方向ブロック・ディムである。

【0037】

ブロック・ディムをもたらす別の効果がある。第2のブロック・ディム効果は、どんなパターンでも起こり得る。これは第1のブロック・ディムほど強くなく、また通常人間の目で検出することができない。しかし、LCDパネル上でチップ上にVLを不注意に供給経路設定することで、または一般に大きなVL導電路抵抗によって、この効果が検出可能なレベルになることがある。VLに対する外乱の第2の原因は、ゲート・ドライバが「オフ」状態（VL）に切り換わったときのゲート・ライン G_{Ly} の放電電流である。 G_{Ly} の電荷は、出力段を通して対応するゲート・ドライバの局部VL__x供給に、それからVL導電路抵抗 R_p を通してVL供給に放電する。 G_{Ly} の切換え後の最初に、電荷の相当な部分が同じドライバの他のゲート・ライン全てに局部的に分散される。例えば、全ての選択されないゲート・ラインのキャパシタンスは、VL減結合コンデンサとして作用する。この局部的なVL減結合によって、局部VL__xの外乱の振幅は大きく減少する。隣り合うゲート・ドライバの選択されないラインは、また、局部減結合キャパシタンスとしても作用し、さらに外乱の振幅を減少させる。

【0038】

図9は、局部VL__xごとに3つのパルスを示す。第1のパルスは、デバイス・ゲート・ドライバGD1でドライブされた任意のGLが低くなっていくときの局部的な外乱を示す。第2のパルスは、ゲート・ドライバGD2からのGLが切り換わるときの局部的な外乱であり、第3のパルスはゲート・ドライバGD3からのGLが切り換わるときに生じる。VL上の外乱またはスパイクは、ちょうどサンプリング時に生じる。TFトランジスタは急速に閉じるので、誤差 $V_{G_{Ly}-1}(t_{sample}) - VL$ の小部分だけがドットに注入される。しかし、いくつかの用途ではこれが目に見えるディムをもたらすことが起こり得る。

【0039】

図10は、追加の供給導電路V_{Lclean}のあるLCDパネルを示し、ゲート・ドライバGD1～GD3は模式的に示されている。ドロー・パターンの主な問題は、ゲート・ドライバデバイス（V_L__1、V_L__2、V_L__3、その他）の局部供給がソース・ラインの結合から十分に速く回復しないことである。大きなLCDパネル抵抗と、LCDパネル・ゲート・ラインのキャパシタンスの大きな総量とによって、時定数は余りにも長くなる。この時定数は、实际的に減少させることができない。しかし、V_L誤差電圧は、サンプリング点でLCDパネルのアドレス指定されたラインの記憶コンデンサに対して悪影響を及ぼすだけである。アドレス指定されないラインがほぼラインごとに跳ぶ静電容量C_{st}基準電圧を有するかどうかは、2番目に重要なことに過ぎない。というのは、このことはドットのサンプリング動作を変えないからである。本発明は、この非凡な観察に基づいている。サンプリング点で正しいドット電圧を蓄積するためには、現在アドレス指定されているラインだけが、静電容量C_{st}に接続されたきれいなすなわち誤差のないV_Lラインを必要とする。

10

【0040】

ゲート・ラインGL_y - 1の放電にだけ専ら使用される追加の供給ラインをLCDパネル上に追加することで（C_{st}が前のGLに接続されている場合に）、ソース・ラインによってゲート・ラインGL_y - 1に結合されるパルスは、非常に速く減衰できるようになる。というのは、放電する必要があるキャパシタンスは、全LCDパネル・キャパシタンスの1/768（XGAパネルの場合）または1/1024（SXGAパネルの場合）に過ぎないからである。その結果として、V_{Lclean}供給導電路のLCDパネル導電路抵抗R_p2は、V_LのLCDパネル導電路抵抗R_p1よりも相当に高くすることができる。同じ原理は、V_{Lclean}をゲート・ラインGL_y + 1に接続することによって次のゲート・ラインGLに接続されたC_{st}を有するLCDパネルに適用することができる。

20

【0041】

図11aは、従来の2レベル・ゲート・ドライバの出力段アーキテクチャを示す。従来のゲート・ドライバでは、ゲート・ラインが選択されたとき、PMOSトランジスタMP1が導通する。このラインが選択されないとき、NMOSトランジスタMN1が導通する。

。

【0042】

図11bは、2つのゲート・オフV_L供給を有するゲート・ドライバの出力段アーキテクチャを示す。1つのPMOSトランジスタMP1および1つのNMOSトランジスタMN1の代わりに、追加のV_{Lclean}ラインを有するゲート・ドライバには、1つのPMOSMP1と2つのNMOST（MN1およびMN2）がある。追加のV_{Lclean}ラインのある出力段では、MP1のタイミングは従来のゲート・ドライバと同じになっている。しかし、MN1およびMN2は、僅かに違ったようにドライブされる。図12に示すように、MN2は全位相GL_y - 1で導通するので、ゲート・ラインGL_yが選択されたとき、ゲート・ラインGL_y - 1はV_{Lclean}ラインに接続される。全ての他の選択されない位相でMN1が導通するので、全ての他のゲート・ラインはV_Lに接続される。留意されたいことであるが、OUT_xがV_HからV_Lに切り換わる時位相GL_yの終りで既にMN1をオンにするのがよいだろう。サンプリング点（t_{sample}）を決定するこの遷移は、通常、信号DIS（「ディスエーブル」）またはEON（「出力イネーブル否定」）をアクティブ化することによって起こる。

30

40

【図面の簡単な説明】

【0043】

【図1】従来技術で知られている、供給導電路抵抗のある模式的なXGA-LCDパネルを示す図である。

【図2】TF-T-LCDドット・モデルを示す図である。

【図3】XGA-LCDパネルのブロック・ディム効果を示す図である。

【図4】6ビット分解能の場合のガンマ曲線を示す図である。

50

【図 5 a】ソース・ラインからゲート・ラインへの容量結合を示す模式図である。

【図 5 b】図 5 a のソース・ラインからゲート・ラインへの容量結合の簡略化を示す図である。

【図 6】ドロー・パターンによる V L 導電路外乱のある模式的な X G A - L C D パネルを示す図である。

【図 7】ピクセル電圧のサンプリング時における V L 導電路外乱の波形を示す図である。

【図 8】ドット電圧のサンプリングを示す図である。

【図 9】ゲート・ライン G L y 放電による V L 導電路外乱のある X G A - L C D パネルを示す図である。

【図 10】追加の供給導電路 V L c l e a n の付いた L C D パネルを示す図である。

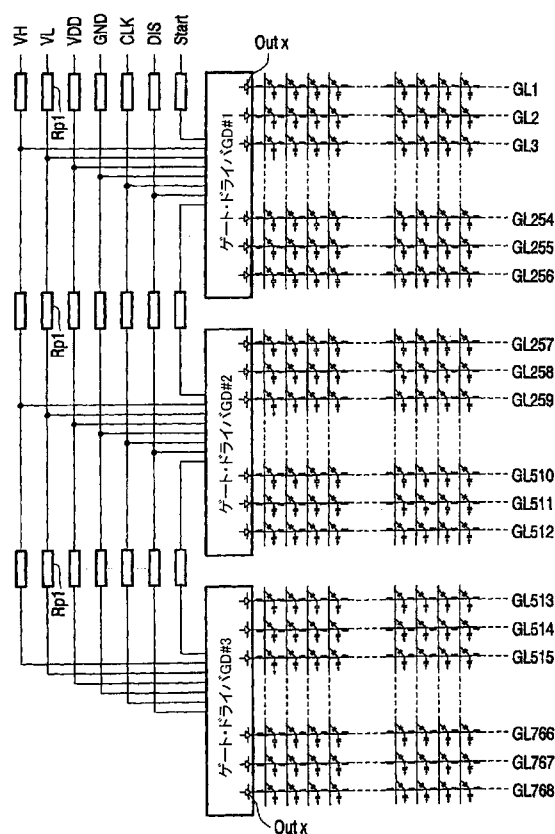
10

【図 11 a】最先端の出力段を示す図である。

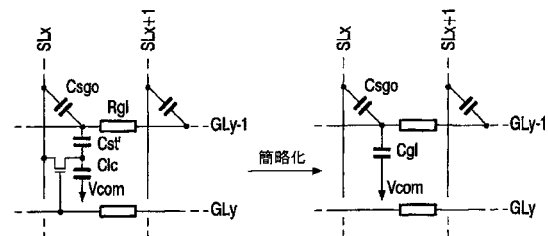
【図 11 b】追加の供給ライン V l c l e a n のある出力段を示す図である。

【図 12】提案された出力段を示すタイミング図である。

【図 1】



【図 2】



【図 3】

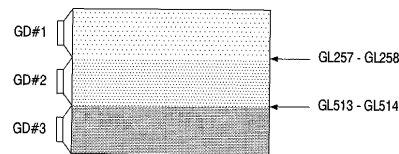
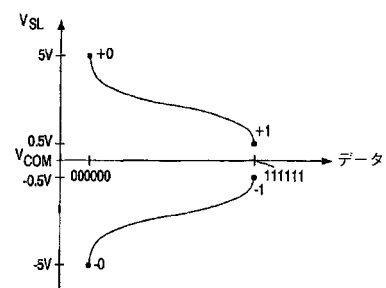
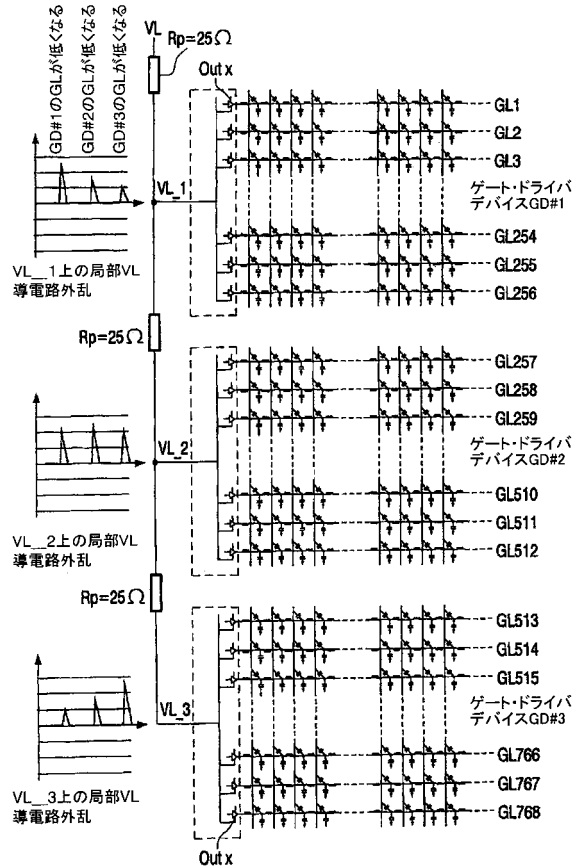


Fig.3

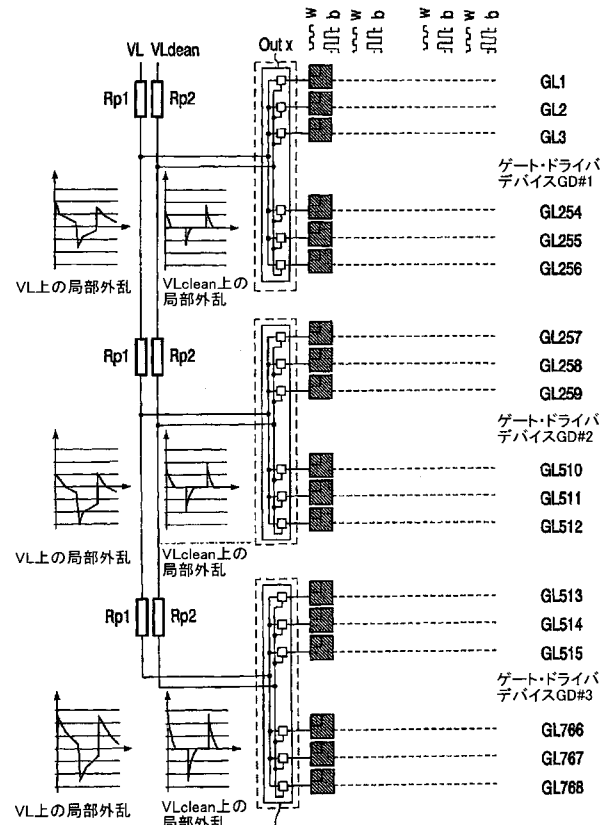
【図 4】



【図 9】



【図 10】



【図 11 a】

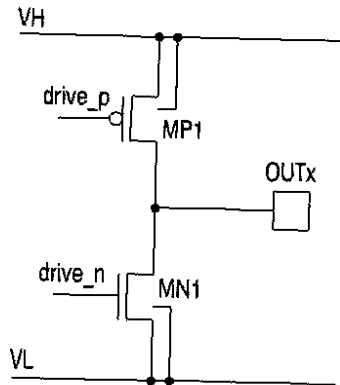


Fig.11a

【図 11 b】

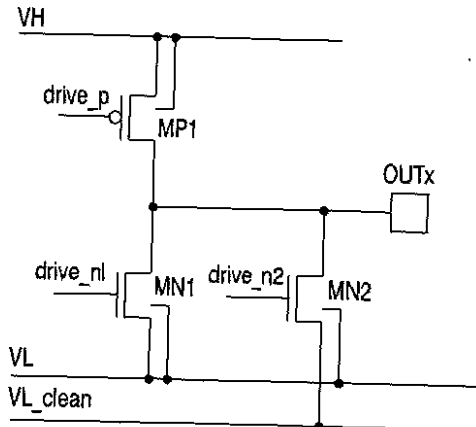


Fig.11b

【図 12】

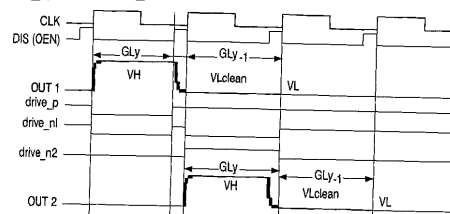


Fig.12

フロントページの続き

(51)Int.Cl.		F I
G 0 9 G	3/20	(2006.01)
	G 0 9 G	3/20 6 1 1 J
	G 0 9 G	3/20 6 2 1 J
	G 0 9 G	3/20 6 2 2 C
	G 0 9 G	3/20 6 2 1 M
	G 0 9 G	3/20 6 2 2 A
	G 0 9 G	3/20 6 2 2 G
	G 0 9 G	3/20 6 4 2 B
	G 0 9 G	3/20 6 8 0 G

(72)発明者 マルティン、ダウム
ドイツ連邦共和国アーヘン、バイスハウスシュトラッセ、2、ケアオブ、フィリップス、インテレ
クチュアル、プロパティ、アンド、スタンダーズ、ゲーエムベーハー

(72)発明者 パスカル、ブフシャヒャー
ドイツ連邦共和国アーヘン、バイスハウスシュトラッセ、2、ケアオブ、フィリップス、インテレ
クチュアル、プロパティ、アンド、スタンダーズ、ゲーエムベーハー

審査官 小川 浩史

(56)参考文献 特開2000-310768 (JP, A)
特開平10-161615 (JP, A)

专利名称(译)	显示减少“块暗淡”效果		
公开(公告)号	JP4615313B2	公开(公告)日	2011-01-19
申请号	JP2004554804	申请日	2003-11-18
[标]申请(专利权)人(译)	皇家飞利浦电子股份有限公司		
申请(专利权)人(译)	皇家飞利浦电子股份有限公司的Vie		
当前申请(专利权)人(译)	NTT的X小便蜂BV		
[标]发明人	マルティンダウム パスカルブフシャヒャー		
发明人	マルティン、ダウム パスカル、ブフシャヒャー		
IPC分类号	G09G3/36 G02F1/1343 G02F1/1345 G02F1/1362 G02F1/1368 G09G3/20		
CPC分类号	G09G3/3677 G09G3/3659 G09G3/3666 G09G2310/06 G09G2320/0233		
FI分类号	G09G3/36 G02F1/1343 G02F1/1345 G02F1/1362 G02F1/1368 G09G3/20.611.J G09G3/20.621.J G09G3/20.622.C G09G3/20.621.M G09G3/20.622.A G09G3/20.622.G G09G3/20.642.B G09G3/20.680.G		
代理人(译)	耀希达凯贤治		
审查员(译)	小川博		
优先权	2002102642 2002-11-25 EP		
其他公开文献	JP2006507533A		
外部链接	Espacenet		

摘要(译)

本发明总体上涉及LCD面板，具体涉及在没有印刷电路板（PCB）的情况下组装栅极驱动器（GD）的LCD面板。这种技术是所谓的非PCB，其中栅极驱动器（GD）的布线不是在传统的印刷电路板（PCB）上进行，而是直接在LCD玻璃上进行。本发明也可应用于玻璃上芯片（COG）技术，在这种情况下，栅极驱动器（GD）直接连接到玻璃布线。为了在保持低成本和低成本的情况下防止发生块暗淡效应，建议在每个输出级（OUTx）上增加一条附加线（VLclean），该附加线（VLclean）并且仅用于提供所选栅极线（GLy）的存储电容器（Cst）的参考电势。所有其他（未选定的）栅极线连接到正常栅极断开电源线（VL）。VLclean线路作为LCD玻璃上的单独导电路径布线，并连接到玻璃端或电源输出附近的VL电源。

赤	緑	青	赤	緑	青	赤	緑	青...	
行1	1+	0-	1+	0-	1+	0-	1+	0-	1+...
行2	1-	0+	1-	0+	1-	0+	1-	0+	1-...
行3	1+	0-	1+	0-	1+	0-	1+	0-	1+...
行4	1-	0+	1-	0+	1-	0+	1-	0+	1-...
行5	1+	0-	1+	0-	1+	0-	1+	0-	1+...
行6	1-	0+	1-	0+	1-	0+	1-	0+	1-...