

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4512064号

(P4512064)

(45) 発行日 平成22年7月28日 (2010. 7. 28)

(24) 登録日 平成22年5月14日 (2010. 5. 14)

(51) Int. Cl.

F I

G09G 3/36 (2006.01)

G09G 3/20 (2006.01)

G02F 1/133 (2006.01)

G09G 3/36

G09G 3/20 622D

G09G 3/20 611J

G09G 3/20 622E

G09G 3/20 612K

請求項の数 26 (全 49 頁) 最終頁に続く

(21) 出願番号 特願2006-171649 (P2006-171649)
 (22) 出願日 平成18年6月21日 (2006. 6. 21)
 (65) 公開番号 特開2007-11336 (P2007-11336A)
 (43) 公開日 平成19年1月18日 (2007. 1. 18)
 審査請求日 平成18年6月21日 (2006. 6. 21)
 (31) 優先権主張番号 10-2005-0058609
 (32) 優先日 平成17年6月30日 (2005. 6. 30)
 (33) 優先権主張国 韓国 (KR)

(73) 特許権者 501426046
 エルジー ディスプレイ カンパニー リ
 ミテッド
 大韓民国 ソウル, ヨンドゥンポーク, ヨ
 イドンドン 20
 (74) 代理人 100110423
 弁理士 曾我 道治
 (74) 代理人 100084010
 弁理士 古川 秀利
 (74) 代理人 100094695
 弁理士 鈴木 憲七
 (74) 代理人 100111648
 弁理士 梶並 順

最終頁に続く

(54) 【発明の名称】 表示装置の駆動回路

(57) 【特許請求の範囲】

【請求項 1】

表示部に備えられたゲートラインの一侧に順に第1スキャンパルスを供給して前記ゲートラインを順に駆動するとともに、隣接する少なくとも二つのゲートラインを一定期間同時に駆動する第1シフトレジスタと、

前記ゲートラインの他側に順に第2スキャンパルスを供給して前記ゲートラインを順に駆動するとともに、隣接する少なくとも二つのゲートラインを一定期間同時に駆動する第2シフトレジスタと

を備え、

前記第1シフトレジスタは、各第1スキャンパルスを各ゲートラインの一侧に供給し、
 一方向に配列された複数のステージを備え、

前記第2シフトレジスタは、各第2スキャンパルスを各ゲートラインの他側に供給し、
 一方向に配列された複数のステージを備え、

第1シフトレジスタに備えられた各ステージは、

第1、第2及び第3ノードの論理状態を制御するノード制御部と、

前記第1、第2及び第3ノードの論理状態によって前記スキャンパルス及び非駆動用電圧源のうち一つを出力してゲートライン、次のステージ及び前のステージに供給する出力部と、

を備え、

前記第1シフトレジスタに備えられた第nステージのノード制御部は、

10

20

スタートパルスまたは第 $n - 1$ ステージからの第 1 スキャンパルスにตอบสนองして、第 1 ノードを第 1 電圧源で充電させる第 1 スイッチング素子と、

スタートパルスまたは第 $n - 1$ ステージからの第 1 スキャンパルスにตอบสนองして、第 2 ノードを第 2 電圧源で放電させる第 2 スイッチング素子と、

スタートパルスまたは第 $n - 1$ ステージからの第 1 スキャンパルスにตอบสนองして、第 3 ノードを第 2 電圧源で放電させる第 3 スイッチング素子と、

フレームごとに異なる極性を有する第 3 電圧源にตอบสนองしてターンオンまたはターンオフされ、ターンオン時に第 2 ノードを第 3 電圧源で充電させる第 4 スイッチング素子と、

第 3 電圧源にตอบสนองしてターンオンまたはターンオフされ、ターンオン時に第 3 ノードを第 2 電圧源で放電させる第 5 スイッチング素子と、

フレームごとに異なる極性を有し、前記第 3 電圧源に反転する極性を有する第 4 電圧源にตอบสนองしてターンオンまたはターンオフされ、ターンオン時に第 3 ノードを前記第 4 電圧源で充電させる第 6 スイッチング素子と、

第 4 電圧源にตอบสนองしてターンオンまたはターンオフされ、ターンオン時に第 2 ノードを第 2 電圧源で放電させる第 7 スイッチング素子と、

第 1 ノードに充電された第 1 電圧源にตอบสนองして、第 2 ノードを第 2 電圧源で放電させる第 8 スイッチング素子と、

第 1 ノードに充電された第 1 電圧源にตอบสนองして、第 3 ノードを第 2 電圧源で放電させる第 9 スイッチング素子と、

第 2 ノードに充電された第 3 電圧源にตอบสนองして、第 1 ノードを第 2 電圧源で放電させる第 10 スイッチング素子と、

第 3 ノードに充電された第 4 電圧源にตอบสนองして、第 1 ノードを第 2 電圧源で放電させる第 11 スイッチング素子と、

第 $n + 2$ ステージからの第 1 スキャンパルスにตอบสนองして、第 1 ノードを第 2 電圧源で放電させる第 12 スイッチング素子と

を備えることを特徴とする、表示装置の駆動回路。

【請求項 2】

第 $n + 1$ ゲートライン (n は、自然数) を駆動するための第 1 スキャンパルスは、第 n ゲートラインを駆動するための第 1 スキャンパルスがアクティブ状態を維持する期間内に、前記第 $n + 1$ ゲートラインに供給されることを特徴とする、請求項 1 に記載の表示装置の駆動回路。

【請求項 3】

第 $n + 1$ ゲートライン (n は、自然数) を駆動するための第 2 スキャンパルスは、第 n ゲートラインを駆動するための第 2 スキャンパルスがアクティブ状態を維持する期間内に、前記第 $n + 1$ ゲートラインに供給されることを特徴とする、請求項 1 に記載の表示装置の駆動回路。

【請求項 4】

前記第 1 及び第 2 シフトレジスタに互いに位相差を有する複数のクロックパルスを供給するタイミングコントローラをさらに備えることを特徴とする、請求項 1 に記載の表示装置の駆動回路。

【請求項 5】

各クロックパルスは順に出力され、先に出力されたクロックパルスがアクティブ状態を維持する期間内に出力されることを特徴とする、請求項 4 に記載の表示装置の駆動回路。

【請求項 6】

各クロックパルス同士が同時にアクティブ状態を有する期間の大きさと各スキャンパルス同士が同時にアクティブ状態を有する期間の大きさとが同一であることを特徴とする、請求項 5 に記載の表示装置の駆動回路。

【請求項 7】

前記第 1 シフトレジスタは、

最後に位置したステージの直前に位置したステージをディセーブルさせるためのスキャ

10

20

30

40

50

ンパルスを出力する第 1 ダミーステージと、

前記最後に位置したステージをディセーブルさせるためのスキャンパルスを出力する第 2 ダミーステージと

をさらに備えることを特徴とする、請求項 1 に記載の表示装置の駆動回路。

【請求項 8】

前記第 2 ダミーステージは、第 1 ダミーステージからのスキャンパルスに 응답してイネーブルされることを特徴とする、請求項 7 に記載の表示装置の駆動回路。

【請求項 9】

前記第 1 シフトレジスタに備えられた第 n ステージの出力部は、

第 1 ノードに充電された第 1 電圧源に 응답してスキャンパルスをゲートライン、第 n + 1 ステージ及び第 n - 2 ステージに供給する第 1 3 スイッチング素子と、

第 2 ノードに充電された第 3 電圧源に 응답して第 2 電圧源をゲートライン、第 n + 1 ステージ及び第 n - 2 ステージに供給する第 1 4 スイッチング素子と、

第 3 ノードに充電された第 4 電圧源に 응답して第 2 電圧源をゲートライン、第 n + 1 ステージ及び第 n - 2 ステージに供給する第 1 5 スイッチング素子と

を備えて構成されることを特徴とする、請求項 1 に記載の表示装置の駆動回路。

【請求項 10】

表示部に備えられたゲートラインの一侧に順に第 1 スキャンパルスを供給して前記ゲートラインを順に駆動するとともに、隣接する少なくとも二つのゲートラインを一定期間同時に駆動する第 1 シフトレジスタと、

前記ゲートラインの他側に順に第 2 スキャンパルスを供給して前記ゲートラインを順に駆動するとともに、隣接する少なくとも二つのゲートラインを一定期間同時に駆動する第 2 シフトレジスタと

を備え、

前記第 1 シフトレジスタは、各第 1 スキャンパルスを各ゲートラインの一侧に供給し、一方向に配列された複数のステージを備え、

前記第 2 シフトレジスタは、各第 2 スキャンパルスを各ゲートラインの他側に供給し、一方向に配列された複数のステージを備え、

第 1 シフトレジスタに備えられた各ステージは、

第 1、第 2 及び第 3 ノードの論理状態を制御するノード制御部と、

前記第 1、第 2 及び第 3 ノードの論理状態によって前記スキャンパルス及び非駆動用電圧源のうち一つを出力してゲートライン、次のステージ及び前のステージに供給する出力部と、

を備え、

前記第 1 シフトレジスタに備えられた第 n ステージのノード制御部は、

スタートパルスまたは第 n - 1 ステージからの第 1 スキャンパルスに 응답して、第 1 ノードを第 1 電圧源で充電させる第 1 スイッチング素子と、

第 1 ノードに充電された第 1 電圧源に 응답して、第 2 ノードを第 2 電圧源で放電させる第 2 スイッチング素子と、

第 1 ノードに充電された第 1 電圧源に 응답して、第 3 ノードを第 2 電圧源で放電させる第 3 スイッチング素子と、

フレームごとに異なる極性を有する第 3 電圧源に 응답してターンオンまたはターンオフされ、ターンオン時に第 3 電圧源を出力する第 4 スイッチング素子と、

前記第 4 スイッチング素子から出力された前記第 3 電圧源に 응답して、第 2 ノードを第 3 電圧源で充電させる第 5 スイッチング素子と、

第 2 ノードに充電された第 3 電圧源に 응답して、第 1 ノードを第 2 電圧源で放電させる第 6 スイッチング素子と、

第 2 ノードに充電された第 3 電圧源に 응답して、第 3 ノードを第 2 電圧源で放電させる第 7 スイッチング素子と、

第 1 ノードに充電された第 1 電圧源に 응답して、第 5 スイッチング素子のゲート端子に

10

20

30

40

50

第 2 電圧源を供給することによって、前記第 5 スイッチング素子をターンオフさせる第 8 スイッチング素子と、

スタートパルスまたは第 $n - 1$ ステージからの第 1 スキャンパルスにตอบสนองして、第 5 スイッチング素子のゲート端子に第 2 電圧源を供給することによって、前記第 5 スイッチング素子をターンオフさせる第 9 スイッチング素子と、

スタートパルスまたは第 $n - 1$ ステージからの第 1 スキャンパルスにตอบสนองして、第 5 スイッチング素子のゲート端子に第 2 電圧源を供給することによって、前記第 5 スイッチング素子をターンオフさせる第 10 スイッチング素子と、

フレームごとに異なる極性を有し、前記第 3 電圧源に反転された極性を有する第 4 電圧源にตอบสนองして、ターンオンまたはターンオフされ、ターンオン時に前記第 4 電圧源を出力する第 11 スイッチング素子と、

10

前記第 11 スイッチング素子から出力された第 4 電圧源にตอบสนองして、第 3 ノードを前記第 4 電圧源で充電させる第 12 スイッチング素子と、

第 3 ノードに充電された第 4 電圧源にตอบสนองして、第 1 ノードを第 2 電圧源で放電させる第 13 スイッチング素子と、

第 3 ノードに充電された第 4 電圧源にตอบสนองして、第 2 ノードを第 2 電圧源で放電させる第 14 スイッチング素子と、

第 1 ノードに充電された第 1 電圧源にตอบสนองして、前記第 12 スイッチング素子のゲート端子に第 2 電圧源を供給することによって、前記第 12 スイッチング素子をターンオフさせる第 15 スイッチング素子と、

20

スタートパルスまたは第 $n - 1$ ステージからの第 1 スキャンパルスにตอบสนองして、前記第 12 スイッチング素子のゲート端子に第 2 電圧源を供給することによって、前記第 12 スイッチング素子をターンオフさせる第 16 スイッチング素子と、

スタートパルスまたは第 $n - 1$ ステージからの第 1 スキャンパルスにตอบสนองして、前記第 12 スイッチング素子のゲート端子に第 2 電圧源を供給することによって、前記第 12 スイッチング素子をターンオフさせる第 17 スイッチング素子と、

スタートパルスまたは第 $n - 1$ ステージからの第 1 スキャンパルスにตอบสนองして、第 2 ノードを第 2 電圧源で放電させる第 18 スイッチング素子と、

スタートパルスまたは第 $n - 1$ ステージからの第 1 スキャンパルスにตอบสนองして、第 3 ノードを第 2 電圧源で放電させる第 19 スイッチング素子と、

30

第 $n + 2$ ステージからのスキャンパルスにตอบสนองして、第 1 ノードを第 2 電圧源で放電させる第 20 スイッチング素子と

を備えることを特徴とする、表示装置の駆動回路。

【請求項 11】

前記第 1 シフトレジスタに備えられた第 n ステージの出力部は、

第 1 ノードに充電された第 1 電圧源にตอบสนองして、第 1 スキャンパルスをゲートライン、第 $n + 1$ ステージ及び第 $n - 2$ ステージに供給する第 21 スイッチング素子と、

第 2 ノードに充電された第 3 電圧源にตอบสนองして、第 2 電圧源をゲートライン、第 $n + 1$ ステージ及び第 $n - 2$ ステージに供給する第 22 スイッチング素子と、

第 3 ノードに充電された第 4 電圧源にตอบสนองして、第 2 電圧源をゲートライン、第 $n + 1$ ステージ及び第 $n - 2$ ステージに供給する第 23 スイッチング素子と

40

を備えて構成されることを特徴とする、請求項 10 に記載の表示装置の駆動回路。

【請求項 12】

表示部に備えられたゲートラインの一侧に順に第 1 スキャンパルスを供給して前記ゲートラインを順に駆動するとともに、隣接する少なくとも二つのゲートラインを一定期間同時に駆動する第 1 シフトレジスタと、

前記ゲートラインの他側に順に第 2 スキャンパルスを供給して前記ゲートラインを順に駆動するとともに、隣接する少なくとも二つのゲートラインを一定期間同時に駆動する第 2 シフトレジスタと

を備え、

50

前記第 1 シフトレジスタは、各第 1 スキャンパルスを各ゲートラインの一側に供給し、一方向に配列された複数のステージを備え、

前記第 2 シフトレジスタは、各第 2 スキャンパルスを各ゲートラインの他側に供給し、一方向に配列された複数のステージを備え、

第 1 シフトレジスタに備えられた各ステージは、

第 1、第 2 及び第 3 ノードの論理状態を制御するノード制御部と、

前記第 1、第 2 及び第 3 ノードの論理状態によって前記スキャンパルス及び非駆動用電圧源のうち一つを出力してゲートラインに供給する第 1 出力部と、

前記第 1、第 2 及び第 3 ノードの論理状態によって前記スキャンパルス及び非駆動用電圧源のうち一つを出力して前のステージ及び次のステージに供給する第 2 出力部と

を備え、

前記第 1 シフトレジスタに備えられた第 n ステージのノード制御部は、

スタートパルスまたは第 $n - 1$ ステージからのスキャンパルスに応答して、第 1 ノードを第 1 電圧源で充電させる第 1 スイッチング素子と、

第 1 ノードに充電された第 1 電圧源に応答して、第 2 ノードを第 2 電圧源で放電させる第 2 スイッチング素子と、

第 1 ノードに充電された第 1 電圧源に応答して、第 3 ノードを第 2 電圧源で放電させる第 3 スイッチング素子と、

フレームごとに異なる極性を有する第 3 電圧源に応答してターンオンまたはターンオフされ、ターンオン時に前記第 3 電圧源を出力する第 4 スイッチング素子と、

前記第 4 スイッチング素子から出力された前記第 3 電圧源に応答して、第 2 ノードを第 3 電圧源で充電させる第 5 スイッチング素子と、

第 2 ノードに充電された第 3 電圧源に応答して、第 1 ノードを第 2 電圧源で放電させる第 6 スイッチング素子と、

第 2 ノードに充電された第 3 電圧源に応答して、第 3 ノードを第 2 電圧源で放電させる第 7 スイッチング素子と、

第 1 ノードに充電された第 1 電圧源に応答して、第 5 スイッチング素子のゲート端子に第 2 電圧源を供給することによって、前記第 5 スイッチング素子をターンオフさせる第 8 スイッチング素子と、

スタートパルスまたは第 $n - 1$ ステージからのスキャンパルスに応答して、第 5 スイッチング素子のゲート端子に第 2 電圧源を供給することによって、前記第 5 スイッチング素子をターンオフさせる第 9 スイッチング素子と、

スタートパルスまたは第 $n - 1$ ステージからのスキャンパルスに応答して、第 5 スイッチング素子のゲート端子に第 2 電圧源を供給することによって、前記第 5 スイッチング素子をターンオフさせる第 10 スイッチング素子と、

フレームごとに異なる極性を有し、前記第 3 電圧源に反転された極性を有する第 4 電圧源に応答して、ターンオンまたはターンオフされ、ターンオン時に前記第 4 電圧源を出力する第 11 スイッチング素子と、

前記第 11 スイッチング素子から出力された第 4 電圧源に応答して、第 3 ノードを前記第 4 電圧源で充電させる第 12 スイッチング素子と、

第 3 ノードに充電された第 4 電圧源に応答して、第 1 ノードを第 2 電圧源で放電させる第 13 スイッチング素子と、

第 3 ノードに充電された第 4 電圧源に応答して、第 2 ノードを第 2 電圧源で放電させる第 14 スイッチング素子と、

第 1 ノードに充電された第 1 電圧源に応答して、前記第 12 スイッチング素子のゲート端子に第 2 電圧源を供給することによって、前記第 12 スイッチング素子をターンオフさせる第 15 スイッチング素子と、

スタートパルスまたは第 $n - 1$ ステージからのスキャンパルスに応答して、前記第 12 スイッチング素子のゲート端子に第 2 電圧源を供給することによって、前記第 12 スイッチング素子をターンオフさせる第 16 スイッチング素子と、

10

20

30

40

50

スタートパルスまたは第 $n - 1$ ステージからのスキャンパルスにตอบสนองして、前記第 1 2 スイッチング素子のゲート端子に第 2 電圧源を供給することによって、前記第 1 2 スイッチング素子をターンオフさせる第 1 7 スイッチング素子と、

スタートパルスまたは第 $n - 1$ ステージからのスキャンパルスにตอบสนองして、第 2 ノードを第 2 電圧源で放電させる第 1 8 スイッチング素子と、

スタートパルスまたは第 $n - 1$ ステージからのスキャンパルスにตอบสนองして、第 3 ノードを第 2 電圧源で放電させる第 1 9 スイッチング素子と、

第 $n + 2$ ステージからのスキャンパルスにตอบสนองして、第 1 ノードを第 2 電圧源で放電させる第 2 0 スイッチング素子と

を備えることを特徴とする、表示装置の駆動回路。

10

【請求項 1 3】

前記第 1 シフトレジスタに備えられた第 n ステージの第 1 出力部は、

第 1 ノードに充電された第 1 電圧源にตอบสนองして、第 1 スキャンパルスをゲートラインに供給する第 2 1 スイッチング素子と、

第 2 ノードに充電された第 3 電圧源にตอบสนองして、第 2 電圧源をゲートラインに供給する第 2 2 スイッチング素子と、

第 3 ノードに充電された第 4 電圧源にตอบสนองして、第 2 電圧源をゲートラインに供給する第 2 3 スイッチング素子と

を備えて構成されることを特徴とする、請求項 1 2 に記載の表示装置の駆動回路。

【請求項 1 4】

20

前記第 1 シフトレジスタに備えられた第 n ステージの第 2 出力部は、

第 1 ノードに充電された第 1 電圧源にตอบสนองして第 1 スキャンパルスを第 $n + 1$ ステージ及び第 $n - 2$ ステージに供給する第 2 4 スイッチング素子と、

第 2 ノードに充電された第 3 電圧源にตอบสนองして、第 2 電圧源を第 $n + 1$ ステージ及び第 $n - 2$ ステージに供給する第 2 5 スイッチング素子と、

第 3 ノードに充電された第 4 電圧源にตอบสนองして、第 2 電圧源を第 $n + 1$ ステージ及び第 $n - 2$ ステージに供給する第 2 6 スイッチング素子と

を備えて構成されることを特徴とする、請求項 1 3 に記載の表示装置の駆動回路。

【請求項 1 5】

第 2 シフトレジスタに備えられた第 n ステージ (n は、自然数) は、第 $n - 1$ ステージからの第 2 スキャンパルスにตอบสนองしてイネーブルされて第 2 スキャンパルスを出し、第 $n + 2$ ステージからの第 2 スキャンパルスにตอบสนองしてディセーブルされることを特徴とする、請求項 1 に記載の表示装置の駆動回路。

30

【請求項 1 6】

前記第 2 シフトレジスタは、最後に位置したステージの直前に位置したステージをディセーブルさせるためのスキャンパルスを出し、第 1 ダミーステージと、

前記最後に位置したステージをディセーブルさせるためのスキャンパルスを出し、第 2 ダミーステージと

をさらに備えることを特徴とする、請求項 1 5 に記載の表示装置の駆動回路。

【請求項 1 7】

40

前記第 2 ダミーステージは、第 1 ダミーステージからのスキャンパルスにตอบสนองしてイネーブルされることを特徴とする、請求項 1 6 に記載の表示装置の駆動回路。

【請求項 1 8】

第 2 シフトレジスタに備えられた各ステージは、

第 1、第 2 及び第 3 ノードの論理状態を制御するノード制御部と、

前記第 1、第 2 及び第 3 ノードの論理状態によって前記スキャンパルス及び非駆動用電圧源のうち一つを出し、ゲートライン、次のステージ及び前のステージに供給する出力部と

を備えることを特徴とする、請求項 1 に記載の表示装置の駆動回路。

【請求項 1 9】

50

前記第 2 シフトレジスタに備えられた第 n ステージのノード制御部は、
スタートパルスまたは第 $n - 1$ ステージからのスキャンパルスにตอบสนองして、第 1 ノードを第 1 電圧源で充電させる第 1 スwitchング素子と、
スタートパルスまたは第 $n - 1$ ステージからのスキャンパルスにตอบสนองして、第 2 ノードを第 2 電圧源で放電させる第 2 スwitchング素子と、
スタートパルスまたは第 $n - 1$ ステージからのスキャンパルスにตอบสนองして、第 3 ノードを第 2 電圧源で放電させる第 3 スwitchング素子と、
フレームごとに異なる極性を有する第 3 電圧源にตอบสนองしてターンオンまたはターンオフされ、ターンオン時に第 2 ノードを第 3 電圧源で充電させる第 4 スwitchング素子と、
第 3 電圧源にตอบสนองしてターンオンまたはターンオフされ、ターンオン時に第 3 ノードを第 2 電圧源で放電させる第 5 スwitchング素子と、
フレームごとに異なる極性を有し、前記第 3 電圧源に反転する極性を有する第 4 電圧源にตอบสนองしてターンオンまたはターンオフされ、ターンオン時に第 3 ノードを前記第 4 電圧源で充電させる第 6 スwitchング素子と、
第 4 電圧源にตอบสนองしてターンオンまたはターンオフされ、ターンオン時に第 2 ノードを第 2 電圧源で放電させる第 7 スwitchング素子と、
第 1 ノードに充電された第 1 電圧源にตอบสนองして、第 2 ノードを第 2 電圧源で放電させる第 8 スwitchング素子と、
第 1 ノードに充電された第 1 電圧源にตอบสนองして、第 3 ノードを第 2 電圧源で放電させる第 9 スwitchング素子と、
第 2 ノードに充電された第 3 電圧源にตอบสนองして、第 1 ノードを第 2 電圧源で放電させる第 10 スwitchング素子と、
第 3 ノードに充電された第 4 電圧源にตอบสนองして、第 1 ノードを第 2 電圧源で放電させる第 11 スwitchング素子と、
第 $n + 2$ ステージからのスキャンパルスにตอบสนองして、第 1 ノードを第 2 電圧源で放電させる第 12 スwitchング素子と
を備えることを特徴とする、請求項 1 8 に記載の表示装置の駆動回路。

【請求項 2 0】

前記第 2 シフトレジスタに備えられた第 n ステージの出力部は、
第 1 ノードに充電された第 1 電圧源にตอบสนองしてスキャンパルスをゲートライン、第 $n + 1$ ステージ及び第 $n - 2$ ステージに供給する第 13 スwitchング素子と、
第 2 ノードに充電された第 3 電圧源にตอบสนองして第 2 電圧源をゲートライン、第 $n + 1$ ステージ及び第 $n - 2$ ステージに供給する第 14 スwitchング素子と、
第 3 ノードに充電された第 4 電圧源にตอบสนองして第 2 電圧源をゲートライン、第 $n + 1$ ステージ及び第 $n - 2$ ステージに供給する第 15 スwitchング素子と
を備えて構成されることを特徴とする、請求項 1 9 に記載の表示装置の駆動回路。

【請求項 2 1】

前記第 2 シフトレジスタに備えられた第 n ステージのノード制御部は、
スタートパルスまたは第 $n - 1$ ステージからのスキャンパルスにตอบสนองして、第 1 ノードを第 1 電圧源で充電させる第 1 スwitchング素子と、
第 1 ノードに充電された第 1 電圧源にตอบสนองして、第 2 ノードを第 2 電圧源で放電させる第 2 スwitchング素子と、
第 1 ノードに充電された第 1 電圧源にตอบสนองして、第 3 ノードを第 2 電圧源で放電させる第 3 スwitchング素子と、
フレームごとに異なる極性を有する第 3 電圧源にตอบสนองしてターンオンまたはターンオフされ、ターンオン時に第 3 電圧源を出力する第 4 スwitchング素子と、
前記第 4 スwitchング素子から出力された前記第 3 電圧源にตอบสนองして、第 2 ノードを第 3 電圧源で充電させる第 5 スwitchング素子と、
第 2 ノードに充電された第 3 電圧源にตอบสนองして、第 1 ノードを第 2 電圧源で放電させる第 6 スwitchング素子と、

第 2 ノードに充電された第 3 電圧源にตอบสนองして、第 3 ノードを第 2 電圧源で放電させる第 7 スイッチング素子と、

第 1 ノードに充電された第 1 電圧源にตอบสนองして、第 5 スイッチング素子のゲート端子に第 2 電圧源を供給することによって、前記第 5 スイッチング素子をターンオフさせる第 8 スイッチング素子と、

スタートパルスまたは第 $n - 1$ ステージからのスキャンパルスにตอบสนองして、第 5 スイッチング素子のゲート端子に第 2 電圧源を供給することによって、前記第 5 スイッチング素子をターンオフさせる第 9 スイッチング素子と、

スタートパルスまたは第 $n - 1$ ステージからのスキャンパルスにตอบสนองして、第 5 スイッチング素子のゲート端子に第 2 電圧源を供給することによって、前記第 5 スイッチング素子をターンオフさせる第 10 スイッチング素子と、

10

フレームごとに異なる極性を有し、前記第 3 電圧源に反転された極性を有する第 4 電圧源にตอบสนองして、ターンオンまたはターンオフされ、ターンオン時に前記第 4 電圧源を出力する第 11 スイッチング素子と、

前記第 11 スイッチング素子から出力された第 4 電圧源にตอบสนองして、第 3 ノードを前記第 4 電圧源で充電させる第 12 スイッチング素子と、

第 3 ノードに充電された第 4 電圧源にตอบสนองして、第 1 ノードを第 2 電圧源で放電させる第 13 スイッチング素子と、

第 3 ノードに充電された第 4 電圧源にตอบสนองして、第 2 ノードを第 2 電圧源で放電させる第 14 スイッチング素子と、

20

第 1 ノードに充電された第 1 電圧源にตอบสนองして、前記第 12 スイッチング素子のゲート端子に第 2 電圧源を供給することによって、前記第 12 スイッチング素子をターンオフさせる第 15 スイッチング素子と、

スタートパルスまたは第 $n - 1$ ステージからのスキャンパルスにตอบสนองして、前記第 12 スイッチング素子のゲート端子に第 2 電圧源を供給することによって、前記第 12 スイッチング素子をターンオフさせる第 16 スイッチング素子と、

スタートパルスまたは第 $n - 1$ ステージからのスキャンパルスにตอบสนองして、前記第 12 スイッチング素子のゲート端子に第 2 電圧源を供給することによって、前記第 12 スイッチング素子をターンオフさせる第 17 スイッチング素子と、

スタートパルスまたは第 $n - 1$ ステージからのスキャンパルスにตอบสนองして、第 2 ノードを第 2 電圧源で放電させる第 18 スイッチング素子と、

30

スタートパルスまたは第 $n - 1$ ステージからのスキャンパルスにตอบสนองして、第 3 ノードを第 2 電圧源で放電させる第 19 スイッチング素子と、

第 $n + 2$ ステージからのスキャンパルスにตอบสนองして、第 1 ノードを第 2 電圧源で放電させる第 20 スイッチング素子と

を備えることを特徴とする、請求項 18 に記載の表示装置の駆動回路。

【請求項 22】

前記第 2 シフトレジスタに備えられた第 n ステージの出力部は、

第 1 ノードに充電された第 1 電圧源にตอบสนองして、スキャンパルスをゲートライン、第 $n + 1$ ステージ及び第 $n - 2$ ステージに供給する第 21 スイッチング素子と、

40

第 2 ノードに充電された第 3 電圧源にตอบสนองして、第 2 電圧源をゲートライン、第 $n + 1$ ステージ及び第 $n - 2$ ステージに供給する第 22 スイッチング素子と、

第 3 ノードに充電された第 4 電圧源にตอบสนองして、第 2 電圧源をゲートライン、第 $n + 1$ ステージ及び第 $n - 2$ ステージに供給する第 23 スイッチング素子と

を備えて構成されることを特徴とする、請求項 21 に記載の表示装置の駆動回路。

【請求項 23】

第 2 シフトレジスタに備えられた各ステージは、

第 1、第 2 及び第 3 ノードの論理状態を制御するノード制御部と、

前記第 1、第 2 及び第 3 ノードの論理状態によって前記スキャンパルス及び非駆動用電圧源のうち一つを出力してゲートラインに供給する第 1 出力部と、

50

前記第 1、第 2 及び第 3 ノードの論理状態によって前記スキャンパルス及び非駆動用電圧源のうち一つを出力して前のステージ及び次のステージに供給する第 2 出力部とを備えることを特徴とする、請求項 1 に記載の表示装置の駆動回路。

【請求項 2 4】

前記第 2 シフトレジスタに備えられた第 n ステージのノード制御部は、スタートパルスまたは第 $n - 1$ ステージからのスキャンパルスに応答して、第 1 ノードを第 1 電圧源で充電させる第 1 スwitchング素子と、

第 1 ノードに充電された第 1 電圧源に応答して、第 2 ノードを第 2 電圧源で放電させる第 2 スwitchング素子と、

第 1 ノードに充電された第 1 電圧源に応答して、第 3 ノードを第 2 電圧源で放電させる第 3 スwitchング素子と、

フレームごとに異なる極性を有する第 3 電圧源に応答してターンオンまたはターンオフされ、ターンオン時に前記第 3 電圧源を出力する第 4 スwitchング素子と、

前記第 4 スwitchング素子から出力された前記第 3 電圧源に応答して、第 2 ノードを第 3 電圧源で充電させる第 5 スwitchング素子と、

第 2 ノードに充電された第 3 電圧源に応答して、第 1 ノードを第 2 電圧源で放電させる第 6 スwitchング素子と、

第 2 ノードに充電された第 3 電圧源に応答して、第 3 ノードを第 2 電圧源で放電させる第 7 スwitchング素子と、

第 1 ノードに充電された第 1 電圧源に応答して、第 5 スwitchング素子のゲート端子に第 2 電圧源を供給することによって、前記第 5 スwitchング素子をターンオフさせる第 8 スwitchング素子と、

スタートパルスまたは第 $n - 1$ ステージからのスキャンパルスに応答して、第 5 スwitchング素子のゲート端子に第 2 電圧源を供給することによって、前記第 5 スwitchング素子をターンオフさせる第 9 スwitchング素子と、

スタートパルスまたは第 $n - 1$ ステージからのスキャンパルスに応答して、第 5 スwitchング素子のゲート端子に第 2 電圧源を供給することによって、前記第 5 スwitchング素子をターンオフさせる第 10 スwitchング素子と、

フレームごとに異なる極性を有し、前記第 3 電圧源に反転された極性を有する第 4 電圧源に応答して、ターンオンまたはターンオフされ、ターンオン時に前記第 4 電圧源を出力する第 11 スwitchング素子と、

前記第 11 スwitchング素子から出力された第 4 電圧源に応答して、第 3 ノードを前記第 4 電圧源で充電させる第 12 スwitchング素子と、

第 3 ノードに充電された第 4 電圧源に応答して、第 1 ノードを第 2 電圧源で放電させる第 13 スwitchング素子と、

第 3 ノードに充電された第 4 電圧源に応答して、第 2 ノードを第 2 電圧源で放電させる第 14 スwitchング素子と、

第 1 ノードに充電された第 1 電圧源に応答して、前記第 12 スwitchング素子のゲート端子に第 2 電圧源を供給することによって、前記第 12 スwitchング素子をターンオフさせる第 15 スwitchング素子と、

スタートパルスまたは第 $n - 1$ ステージからのスキャンパルスに応答して、前記第 12 スwitchング素子のゲート端子に第 2 電圧源を供給することによって、前記第 12 スwitchング素子をターンオフさせる第 16 スwitchング素子と、

スタートパルスまたは第 $n - 1$ ステージからのスキャンパルスに応答して、前記第 12 スwitchング素子のゲート端子に第 2 電圧源を供給することによって、前記第 12 スwitchング素子をターンオフさせる第 17 スwitchング素子と、

スタートパルスまたは第 $n - 1$ ステージからのスキャンパルスに応答して、第 2 ノードを第 2 電圧源で放電させる第 18 スwitchング素子と、

スタートパルスまたは第 $n - 1$ ステージからのスキャンパルスに応答して、第 3 ノードを第 2 電圧源で放電させる第 19 スwitchング素子と、

10

20

30

40

50

第 $n + 2$ ステージからのスキャンパルスに 응답して、第 1 ノードを第 2 電圧源で放電させる第 2 0 スイッチング素子と

を備えることを特徴とする、請求項 2 3 に記載の表示装置の駆動回路。

【請求項 2 5】

前記第 2 シフトレジスタに備えられた第 n ステージの第 1 出力部は、

第 1 ノードに充電された第 1 電圧源に 응답して、スキャンパルスをゲートラインに供給する第 2 1 スイッチング素子と、

第 2 ノードに充電された第 3 電圧源に 응답して、第 2 電圧源をゲートラインに供給する第 2 2 スイッチング素子と、

第 3 ノードに充電された第 4 電圧源に 응답して、第 2 電圧源をゲートラインに供給する第 2 3 スイッチング素子と

を備えて構成されることを特徴とする、請求項 2 4 に記載の表示装置の駆動回路。

【請求項 2 6】

前記第 2 シフトレジスタに備えられた第 n ステージの第 2 出力部は、

第 1 ノードに充電された第 1 電圧源に 응답してスキャンパルスを第 $n + 1$ ステージ及び第 $n - 2$ ステージに供給する第 2 4 スイッチング素子と、

第 2 ノードに充電された第 3 電圧源に 응답して、第 2 電圧源を第 $n + 1$ ステージ及び第 $n - 2$ ステージに供給する第 2 5 スイッチング素子と、

第 3 ノードに充電された第 4 電圧源に 응답して、第 2 電圧源を第 $n + 1$ ステージ及び第 $n - 2$ ステージに供給する第 2 6 スイッチング素子と

を備えて構成されることを特徴とする、請求項 2 5 に記載の表示装置の駆動回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、表示装置の駆動回路に係り、特に、各スキャンパルス同士が一定時間の間に互いに重なるように各スキャンパルスのパルス幅を増加させて出力し、これによりスキャンパルスの歪みを防止することができる表示装置の駆動回路に関する。

【背景技術】

【0002】

通常の液晶表示装置は、電界を用いて液晶の光透過率を調節することによって画像を表示する。このため、液晶表示装置は、画素領域がマトリクス状に配列された液晶パネルと、この液晶パネルを駆動するための駆動回路とを備える。

【0003】

液晶パネルには、複数のゲートラインと複数のデータラインとが交差するように配列され、これらゲートラインとデータラインとが直交することによって定義される領域に画素領域が位置し、また、これら画素領域のそれぞれに電界を印加するための画素電極と共通電極が形成される。

【0004】

これら画素電極のそれぞれは、スイッチング素子である薄膜トランジスタ (TFT; Thin Film Transistor) のソース電極及びドレイン電極を介してデータラインに接続される。この薄膜トランジスタは、ゲートラインを介してゲート電極に印加されるスキャンパルスによってターンオンされ、データラインのデータ信号が画素電極に充電されるようにする。

【0005】

一方、駆動回路は、ゲートラインを駆動するためのゲートドライバと、データラインを駆動するためのデータドライバと、これらゲートドライバとデータドライバを制御するための制御信号を供給するタイミングコントローラと、液晶表示装置で用いられる種々の駆動電圧を供給する電源供給部とを備える。

【0006】

ここで、タイミングコントローラは、ゲートドライバ及びデータドライバの駆動タイミ

10

20

30

40

50

ングを制御するとともに、データドライバに画素データ信号を供給する。また、電源供給部は、入力電源を昇圧または降圧することによって、液晶表示装置で必要とする共通電圧 V_{COM} 、ゲートハイ電圧信号 V_{GH} 、ゲートロー電圧信号 V_{GL} などの駆動電圧を生成する。

【0007】

そして、ゲートドライバは、スキャンパルスゲートラインに順次供給して、液晶パネル上の液晶セルを1ライン分ずつ順次駆動する。また、データドライバは、ゲートラインのいずれか一つにスキャンパルスが供給される度にデータラインのそれぞれに画素電圧信号を供給する。これにより、液晶表示装置は、液晶セル別に画素電圧信号によって画素電極と共通電極との間に印加される電界によって光透過率を調節することによって画像を表示する。

10

【0008】

ここで、ゲートドライバは、上述のようなスキャンパルスを順次出力するようにシフトレジスタを備える。これを、添付の図面を参照してより具体的に説明すると、次の通りである。

【0009】

図1は、従来のシフトレジスタを示す図である。

【0010】

従来のシフトレジスタは、図1に示すように、互いに従属的に接続された n 個のステージ $AST1 \sim ASTn$ 及び一つのダミーステージ $ASTn+1$ で構成される。ここで、各ステージ $AST1 \sim ASTn+1$ は、一つずつのスキャンパルス $V_{out1} \sim V_{outn+1}$ を出力する。すなわち、第1ステージ $AST1$ からダミーステージ $ASTn+1$ まで順にスキャンパルス $V_{out1} \sim V_{outn+1}$ を出力する。このときに、ダミーステージ $ASTn+1$ 以外のステージ $AST1 \sim ASTn$ から出力されたスキャンパルス $V_{out1} \sim V_{outn}$ は、液晶パネル（（図示せず））のゲートラインに順次供給されてゲートラインを順次スキャンニングするようになる。

20

【0011】

このように構成されたシフトレジスタの全体ステージ $AST1 \sim ASTn+1$ には、第1電圧源 V_{DD} 及び第2電圧源 V_{SS} が印加され、互いに順次位相差を有する第1乃至第4クロックパルス $CLK1 \sim CLK4$ のうち二つのクロックパルスが供給される。ここで、第1電圧源 V_{DD} は正極性の電圧源を表し、第2電圧源 V_{SS} は接地電圧を表す。

30

【0012】

ここで、ステージ $AST1 \sim ASTn+1$ のうち最も上側に位置している第1ステージ $AST1$ には、第1電圧源 V_{DD} 、第2電圧源 V_{SS} 、及び二つのクロックパルスに加えてスタートパルス SP が供給される。

【発明の開示】

【発明が解決しようとする課題】

【0013】

しかしながら、このように構成された従来のシフトレジスタには次のような問題点があった。

40

【0014】

図2は、スキャンパルスの理想的な波形と歪んだスキャンパルスの波形を示す図である。

【0015】

液晶表示装置の面積化に伴ってゲートラインの長さが増加し、これによりゲートラインの抵抗及びキャパシタンス成分も増加することになる。これにより、図2に示すように、抵抗及びキャパシタンス成分によってゲートラインに供給されるスキャンパルス201は歪むことがある。参照番号201は、ゲートラインに抵抗及びキャパシタンス成分がないと仮定したときの理想的なスキャンパルス201を表す。

【0016】

50

一方、スキャンパルス201が抵抗及びキャパシタンス成分によって歪むと、スキャンパルス201の立上り時間TRが増加してその波形が歪んでしまう。参照番号202は、ゲートラインの抵抗及びキャパシタンス成分によって歪んだ形態のスキャンパルスを表す。

【0017】

このように歪んだスキャンパルス202は、理想的なスキャンパルス201に比べて立上り時間TRが長いため、相対的に目標電圧VTに保持される有効充電時間TSが短くなる。

【0018】

このように波形の歪んだスキャンパルス202が薄膜トランジスタのゲート電極に印加されると、該薄膜トランジスタのターンオン時間が短くなるため、ターンオンされた薄膜トランジスタがデータラインからのデータ電圧をスイッチングする時間も短くなってしまふ。その結果、ターンオンされた薄膜トランジスタのドレイン/ソース端子を経由して画素電極に印加されるデータ電圧もその波形が歪み、該画素電極にはデータ電圧が十分に充電されなくなる。

【0019】

本発明は上記の問題点を解決するためのもので、その目的は、各スキャンパルス同士が一定時間互いに重なるように各スキャンパルスのパルス幅を増加させて出力し各スキャンパルスが目標電圧に保持される有効充電時間を増加させることによってスキャンパルスの歪みを防止できる表示装置の駆動回路を提供することにある。

【課題を解決するための手段】

【0020】

上記目的を達成するために、本発明に係る表示装置の駆動回路は、表示部に備えられたゲートラインの一側に順に第1スキャンパルスを供給して前記ゲートラインを順に駆動するとともに、隣接する少なくとも二つのゲートラインを一定期間同時に駆動する第1シフトレジスタと、前記ゲートラインの他側に順に第2スキャンパルスを供給して前記ゲートラインを順に駆動するとともに、隣接する少なくとも二つのゲートラインを一定期間同時に駆動する第2シフトレジスタとを備え、前記第1シフトレジスタは、各第1スキャンパルスを各ゲートラインの一側に供給し、一方向に配列された複数のステージを備え、前記第2シフトレジスタは、各第2スキャンパルスを各ゲートラインの他側に供給し、一方向に配列された複数のステージを備え、第1シフトレジスタに備えられた各ステージは、第1、第2及び第3ノードの論理状態を制御するノード制御部と、前記第1、第2及び第3ノードの論理状態によって前記スキャンパルス及び非駆動用電圧源のうち一つを出力してゲートライン、次のステージ及び前のステージに供給する出力部と、を備え、前記第1シフトレジスタに備えられた第nステージのノード制御部は、スタートパルスまたは第n-1ステージからの第1スキャンパルスに応答して、第1ノードを第1電圧源で充電させる第1スイッチング素子と、スタートパルスまたは第n-1ステージからの第1スキャンパルスに応答して、第2ノードを第2電圧源で放電させる第2スイッチング素子と、スタートパルスまたは第n-1ステージからの第1スキャンパルスに応答して、第3ノードを第2電圧源で放電させる第3スイッチング素子と、フレームごとに異なる極性を有する第3電圧源に
40 応答してターンオンまたはターンオフされ、ターンオン時に第2ノードを第3電圧源で充電させる第4スイッチング素子と、第3電圧源に
50 応答してターンオンまたはターンオフされ、ターンオン時に第3ノードを前記第4電圧源で充電させる第5スイッチング素子と、第4電圧源に
60 応答してターンオンまたはターンオフされ、ターンオン時に第2ノードを第2電圧源で放電させる第7スイッチング素子と、第1ノードに充電された第1電圧源に
70 応答して、第2ノードを第2電圧源で放電させる第8スイッチング素子と、第1ノードに充電された第1電圧源に
80 応答して、第3ノードを第2電圧源で放電させる第9スイッチング素子と、第2ノードに充電された第3電圧源

に 응답して、第 1 ノードを第 2 電圧源で放電させる第 1 0 スイッチング素子と、第 3 ノードに充電された第 4 電圧源に 응답して、第 1 ノードを第 2 電圧源で放電させる第 1 1 スイッチング素子と、第 $n + 2$ ステージからの第 1 スキャンパルスに 응답して、第 1 ノードを第 2 電圧源で放電させる第 1 2 スイッチング素子とを備える。

また、表示部に備えられたゲートラインの一侧に順に第 1 スキャンパルスを供給して前記ゲートラインを順に駆動するとともに、隣接する少なくとも二つのゲートラインを一定期間同時に駆動する第 1 シフトレジスタと、前記ゲートラインの他側に順に第 2 スキャンパルスを供給して前記ゲートラインを順に駆動するとともに、隣接する少なくとも二つのゲートラインを一定期間同時に駆動する第 2 シフトレジスタとを備え、前記第 1 シフトレジスタは、各第 1 スキャンパルスを各ゲートラインの一侧に供給し、一方向に配列された複数のステージを備え、前記第 2 シフトレジスタは、各第 2 スキャンパルスを各ゲートラインの他側に供給し、一方向に配列された複数のステージを備え、第 1 シフトレジスタに備えられた各ステージは、第 1、第 2 及び第 3 ノードの論理状態を制御するノード制御部と、前記第 1、第 2 及び第 3 ノードの論理状態によって前記スキャンパルス及び非駆動用電圧源のうち一つを出力してゲートライン、次のステージ及び前のステージに供給する出力部と、を備え、前記第 1 シフトレジスタに備えられた第 n ステージのノード制御部は、スタートパルスまたは第 $n - 1$ ステージからの第 1 スキャンパルスに 응답して、第 1 ノードを第 1 電圧源で充電させる第 1 スイッチング素子と、第 1 ノードに充電された第 1 電圧源に 응답して、第 2 ノードを第 2 電圧源で放電させる第 2 スイッチング素子と、第 1 ノードに充電された第 1 電圧源に 응답して、第 3 ノードを第 2 電圧源で放電させる第 3 スイッチング素子と、フレームごとに異なる極性を有する第 3 電圧源に 응답してターンオンまたはターンオフされ、ターンオン時に第 3 電圧源を出力する第 4 スイッチング素子と、前記第 4 スイッチング素子から出力された前記第 3 電圧源に 응답して、第 2 ノードを第 3 電圧源で充電させる第 5 スイッチング素子と、第 2 ノードに充電された第 3 電圧源に 응답して、第 1 ノードを第 2 電圧源で放電させる第 6 スイッチング素子と、第 2 ノードに充電された第 3 電圧源に 응답して、第 3 ノードを第 2 電圧源で放電させる第 7 スイッチング素子と、第 1 ノードに充電された第 1 電圧源に 응답して、第 5 スイッチング素子のゲート端子に第 2 電圧源を供給することによって、前記第 5 スイッチング素子をターンオフさせる第 8 スイッチング素子と、スタートパルスまたは第 $n - 1$ ステージからの第 1 スキャンパルスに 응답して、第 5 スイッチング素子のゲート端子に第 2 電圧源を供給することによって、前記第 5 スイッチング素子をターンオフさせる第 9 スイッチング素子と、スタートパルスまたは第 $n - 1$ ステージからの第 1 スキャンパルスに 응답して、第 5 スイッチング素子のゲート端子に第 2 電圧源を供給することによって、前記第 5 スイッチング素子をターンオフさせる第 1 0 スイッチング素子と、フレームごとに異なる極性を有し、前記第 3 電圧源に反転された極性を有する第 4 電圧源に 응답して、ターンオンまたはターンオフされ、ターンオン時に前記第 4 電圧源を出力する第 1 1 スイッチング素子と、前記第 1 1 スイッチング素子から出力された第 4 電圧源に 응답して、第 3 ノードを前記第 4 電圧源で充電させる第 1 2 スイッチング素子と、第 3 ノードに充電された第 4 電圧源に 응답して、第 1 ノードを第 2 電圧源で放電させる第 1 3 スイッチング素子と、第 3 ノードに充電された第 4 電圧源に 응답して、第 2 ノードを第 2 電圧源で放電させる第 1 4 スイッチング素子と、第 1 ノードに充電された第 1 電圧源に 응답して、前記第 1 2 スイッチング素子のゲート端子に第 2 電圧源を供給することによって、前記第 1 2 スイッチング素子をターンオフさせる第 1 5 スイッチング素子と、スタートパルスまたは第 $n - 1$ ステージからの第 1 スキャンパルスに 응답して、前記第 1 2 スイッチング素子のゲート端子に第 2 電圧源を供給することによって、前記第 1 2 スイッチング素子をターンオフさせる第 1 6 スイッチング素子と、スタートパルスまたは第 $n - 1$ ステージからの第 1 スキャンパルスに 응답して、前記第 1 2 スイッチング素子のゲート端子に第 2 電圧源を供給することによって、前記第 1 2 スイッチング素子をターンオフさせる第 1 7 スイッチング素子と、スタートパルスまたは第 $n - 1$ ステージからの第 1 スキャンパルスに 응답して、第 2 ノードを第 2 電圧源で放電させる第 1 8 スイッチング素子と、スタートパルスまたは第 $n - 1$ ステージからの第 1 スキャン

10

20

30

40

50

ンパルスに応答して、第 3 ノードを第 2 電圧源で放電させる第 19 スイッチング素子と、第 $n + 2$ ステージからのスキャンパルスに応答して、第 1 ノードを第 2 電圧源で放電させる第 20 スイッチング素子とを備える。

また、表示部に備えられたゲートラインの一侧に順に第 1 スキャンパルスを供給して前記ゲートラインを順に駆動するとともに、隣接する少なくとも二つのゲートラインを一定期間同時に駆動する第 1 シフトレジスタと、前記ゲートラインの他側に順に第 2 スキャンパルスを供給して前記ゲートラインを順に駆動するとともに、隣接する少なくとも二つのゲートラインを一定期間同時に駆動する第 2 シフトレジスタとを備え、前記第 1 シフトレジスタは、各第 1 スキャンパルスを各ゲートラインの一侧に供給し、一方向に配列された複数のステージを備え、前記第 2 シフトレジスタは、各第 2 スキャンパルスを各ゲートラインの他側に供給し、一方向に配列された複数のステージを備え、第 1 シフトレジスタに備えられた各ステージは、第 1、第 2 及び第 3 ノードの論理状態を制御するノード制御部と、前記第 1、第 2 及び第 3 ノードの論理状態によって前記スキャンパルス及び非駆動用電圧源のうち一つを出力してゲートラインに供給する第 1 出力部と、前記第 1、第 2 及び第 3 ノードの論理状態によって前記スキャンパルス及び非駆動用電圧源のうち一つを出力して前のステージ及び次のステージに供給する第 2 出力部とを備え、前記第 1 シフトレジスタに備えられた第 n ステージのノード制御部は、スタートパルスまたは第 $n - 1$ ステージからのスキャンパルスに
10
20
30
40
50
応答して、第 1 ノードを第 1 電圧源で充電させる第 1 スイッチング素子と、第 1 ノードに充電された第 1 電圧源に応答して、第 2 ノードを第 2 電圧源で放電させる第 2 スイッチング素子と、第 1 ノードに充電された第 1 電圧源に応答して、第 3 ノードを第 2 電圧源で放電させる第 3 スイッチング素子と、フレームごとに異なる極性を有する第 3 電圧源に応答してターンオンまたはターンオフされ、ターンオン時に前記第 3 電圧源を出力する第 4 スイッチング素子と、前記第 4 スイッチング素子から出力された前記第 3 電圧源に応答して、第 2 ノードを第 3 電圧源で充電させる第 5 スイッチング素子と、第 2 ノードに充電された第 3 電圧源に応答して、第 1 ノードを第 2 電圧源で放電させる第 6 スイッチング素子と、第 2 ノードに充電された第 3 電圧源に応答して、第 3 ノードを第 2 電圧源で放電させる第 7 スイッチング素子と、第 1 ノードに充電された第 1 電圧源に応答して、第 5 スイッチング素子のゲート端子に第 2 電圧源を供給することによって、前記第 5 スイッチング素子をターンオフさせる第 8 スイッチング素子と、スタートパルスまたは第 $n - 1$ ステージからのスキャンパルスに
30
40
50
応答して、第 5 スイッチング素子のゲート端子に第 2 電圧源を供給することによって、前記第 5 スイッチング素子をターンオフさせる第 9 スイッチング素子と、スタートパルスまたは第 $n - 1$ ステージからのスキャンパルスに
30
40
50
応答して、第 5 スイッチング素子のゲート端子に第 2 電圧源を供給することによって、前記第 5 スイッチング素子をターンオフさせる第 10 スイッチング素子と、フレームごとに異なる極性を有し、前記第 3 電圧源に反転された極性を有する第 4 電圧源に応答して、ターンオンまたはターンオフされ、ターンオン時に前記第 4 電圧源を出力する第 11 スイッチング素子と、前記第 11 スイッチング素子から出力された第 4 電圧源に応答して、第 3 ノードを前記第 4 電圧源で充電させる第 12 スイッチング素子と、第 3 ノードに充電された第 4 電圧源に応答して、第 1 ノードを第 2 電圧源で放電させる第 13 スイッチング素子と、第 3 ノードに充電された第 4 電圧源に応答して、第 2 ノードを第 2 電圧源で放電させる第 14 スイッチング素子と、第 1 ノードに充電された第 1 電圧源に応答して、前記第 12 スイッチング素子のゲート端子に第 2 電圧源を供給することによって、前記第 12 スイッチング素子をターンオフさせる第 15 スイッチング素子と、スタートパルスまたは第 $n - 1$ ステージからのスキャンパルスに
30
40
50
応答して、前記第 12 スイッチング素子のゲート端子に第 2 電圧源を供給することによって、前記第 12 スイッチング素子をターンオフさせる第 16 スイッチング素子と、スタートパルスまたは第 $n - 1$ ステージからのスキャンパルスに
30
40
50
応答して、前記第 12 スイッチング素子のゲート端子に第 2 電圧源を供給することによって、前記第 12 スイッチング素子をターンオフさせる第 17 スイッチング素子と、スタートパルスまたは第 $n - 1$ ステージからのスキャンパルスに
30
40
50
応答して、第 2 ノードを第 2 電圧源で放電させる第 18 スイッチング素子と、スタートパルスまたは第 $n -$

1 ステージからのスキャンパルスにตอบสนองして、第 3 ノードを第 2 電圧源で放電させる第 1
9 スイッチング素子と、第 $n + 2$ ステージからのスキャンパルスにตอบสนองして、第 1 ノード
を第 2 電圧源で放電させる第 2 0 スイッチング素子とを備える。

【発明の効果】

【0022】

本発明による液晶表示装置のシフトレジスタは、複数のスキャンパルスを順に出力し、
このとき、隣接する時間に出力されるスキャンパルス同士のパルス幅が互いに所定区間重
なるようにスキャンパルスのパルス幅を増加させて出力するため、各スキャンパルスの有
効充電時間を増加させることが可能になる。しかも、上記のように各スキャンパルスの有
効充電時間が増加すると、ゲートラインの抵抗及びキャパシタンス成分によってスキャン
パルスに歪みが生じて、データ電圧を画素電極に正常に印加できるような十分な有効充
電時間が確保可能になる。

10

【発明を実施するための最良の形態】

【0023】

以下、添付の図面を参照して、本発明に係る液晶表示装置の好適な実施の形態について
詳細に説明する。

【0024】

図 3 は、本発明の第 1 の実施の形態によるシフトレジスタの構成図である。

【0025】

本発明の第 1 の実施の形態による液晶表示装置のシフトレジスタは、図 3 に示すよう
に、タイミングコントローラからの各クロックパルス $CLK1 \sim CLK4$ 及びスタートパル
ス SP にตอบสนองして複数のスキャンパルス $Vout1 \sim Voutn$ を順に出力するものの、
このとき、隣接するスキャンパルス $Vout1 \sim Voutn$ が一定時間だけ重なり合う区
間を有するように各スキャンパルス $Vout1 \sim Voutn$ のパルス幅を増加させて液晶
パネル 300 のゲートライン $GL1 \sim GLn$ に出力することを特徴とする。

20

【0026】

ここで、シフトレジスタは、第 1 及び第 2 シフトレジスタ 301a, 301b からなる。
すなわち、液晶パネル 300 の左側に配置される第 1 シフトレジスタ 301a は、各ゲ
ートライン $GL1 \sim GLn$ の一側にスキャンパルスを供給し、液晶パネル 300 の右側に
配置された第 2 シフトレジスタ 301b は、各ゲートライン $GL1 \sim GLn$ の他側にス
キャンパルスを供給する。

30

【0027】

ここで、表示装置のサイズを減少させるには、第 1 及び第 2 シフトレジスタ 301a,
301b が液晶パネル 300 に内蔵されることが好ましい。

【0028】

一方、液晶パネル 300 には、一方向に配列される複数のゲートライン $GL1 \sim GLn$
と、このゲートライン $GL1 \sim GLn$ に直交するように配列された複数のデータライン $DL1 \sim DLm$
とが形成されており、データライン $DL1 \sim DLm$ は、データドライバから
出力されるデータ電圧によって充電される。

40

【0029】

また、ゲートライン $GL1 \sim GLn$ 及びデータライン $DL1 \sim DLm$ に囲まれて定義さ
れる各画素領域にはそれぞれ、薄膜トランジスタ及び画素電極が形成される。具体的に、
薄膜トランジスタは、各ゲートライン $GL1 \sim GLn$ と各データライン $DL1 \sim DLm$ と
が交差する付近に形成される。薄膜トランジスタは、各ゲートライン $GL1 \sim GLn$ に充
電されたスキャンパルス $Vout1 \sim Voutn$ にตอบสนองしてデータライン $DL1 \sim DLm$
に充電されたデータ電圧をスイッチングして画素電極に印加することによって、液晶パ
ネル 300 に画像が表示されるようにする。

【0030】

第 1 シフトレジスタ 301a は、図 3 に示すように、互いに従属的に接続された n 個の
ステージ $BST1 \sim BSTn$ 、及び第 1 及び第 2 ダミーステージ $BSTn+1$ 、 $BSTn$

50

+ 2で構成される。ここで、各ステージBST1 ~ BSTn+2はスキャンパルスVout1 ~ Voutn+2を一つずつ出力し、このとき、第1ステージBST1から第2ダミーステージBSTn+2まで順にスキャンパルスVout1 ~ Voutnを出力する。ここで、第1及び第2ダミーステージBSTn+1、BSTn+2以外のステージBST1 ~ BSTnから出力されたスキャンパルスVout1 ~ Voutnは、液晶パネル300（図示せず）のゲートラインGL1 ~ GLnに順に供給され、ゲートラインGL1 ~ GLnを順にスキャンニングするようされる。

【0031】

第2シフトレジスタ301bも、第1シフトレジスタ301aと同じ構成を有する。したがって、第1シフトレジスタ301aに備えられた各ステージBST1 ~ BSTn+2から出力されるスキャンパルスVout1 ~ Voutn+2は、第2シフトレジスタ301bに備えられた各ステージBST1 ~ BSTn+2から出力されるスキャンパルスVout1 ~ Voutn+2と互いに同一である。

10

【0032】

例えば、第1シフトレジスタ301aに備えられた第1ステージBST1から出力される第1スキャンパルスVout1は、第2シフトレジスタ301bに備えられた第1ステージBST1から出力される第1スキャンパルスVout1と同じ時間に第1ゲートラインGL1に供給される。

【0033】

これと同様に、第1シフトレジスタ301aに備えられた各ステージBST1 ~ BSTn+2、及び第2シフトレジスタ301bに備えられた各ステージBST1 ~ BSTn+2は互いに一対一対応し、互いに同じスキャンパルスVout1 ~ Voutn+2を出力するようになる。

20

【0034】

ただし、第1シフトレジスタ301aに備えられた各ステージBST1 ~ BSTnは、各ゲートラインGL1 ~ GLnの一側にスキャンパルスVout1 ~ Voutnを印加し、第2シフトレジスタ301bに備えられた各ステージBST1 ~ BSTnは、各ゲートラインGL1 ~ GLnの他側にスキャンパルスVout1 ~ Voutnを印加する。

【0035】

このように構成された第1シフトレジスタ301aの全体ステージBST1 ~ BSTn+2には、第1乃至第4電圧源VDD、VSS、VDD3、VDD4そして互いに順次位相差をもって循環する第1乃至第4クロックパルスCLK1 ~ CLK4のうち一つのクロックパルスが印加される。ここで、第1電圧源VDDは正極性の直流電圧源を表し、第2電圧源VSSは負極性の電圧源を表す。そして、第3電圧源VDD3及び第4電圧源VDD4は、フレーム別に反転された極性を有する交流電圧源である。このとき、第3電圧源VDD3は、第4電圧源VDD4に反転された位相を有する。すなわち、同一フレーム内で第3電圧源VDD3と第4電圧源VDD4が異なる極性を表す。

30

【0036】

ここで、第1シフトレジスタ301aに備えられたステージCST1 ~ CSTnのうち最も上側に位置している第1ステージBST1には、第1乃至第4電圧源VDD、VSS、VDD3、VDD4、及び第1乃至第4クロックパルスCLK1 ~ CLK4のうち二つのクロックパルスのほか、スタートパルスSPが供給される。

40

【0037】

一方、上述したように、第1乃至第4クロックパルスCLK1 ~ CLK4は互いに位相遅延されて出力される。すなわち、第2クロックパルスCLK2は、第1クロックパルスCLK1よりも位相遅延されて出力され、第3クロックパルスCLK3は、第2クロックパルスCLK2よりも位相遅延されて出力され、第4クロックパルスCLK4は、第3クロックパルスCLK3よりも位相遅延されて出力され、第1クロックパルスCLK1は、第4クロックパルスCLK4よりも位相遅延されて出力される。

【0038】

50

第1シフトレジスタ301aに備えられたステージCST1～CSTn+1のうち第1ステージBST1に印加されるスタートパルスSPは、クロックパルスCLK1～CLK4よりも先に出力される。また、スタートパルスSPは、1フレームに一回のみ出力される。すなわち、毎フレームごとにスタートパルスSPが最初に出た後、第1乃至第4クロックパルスCLK1～CLK4が順に出力される。

【0039】

このとき、第1乃至第4クロックパルスCLK1～CLK4は順に出力され、且つ循環しながら出力される。すなわち、第1クロックパルスCLK1から第4クロックパルスCLK4まで順に出力された後、再び第1クロックパルスCLK1から第4クロックパルスCLK4まで順に出力される。したがって、第1クロックパルスCLK1は、第4クロックパルスCLK4と第2クロックパルスCLK2間に該当する期間で出力される。ここで、第4クロックパルスCLK4とスタートパルスSPを互いに同期させ出力することができる。この場合は、第1乃至第4クロックパルスCLK1～CLK4のうち第4クロックパルスCLK4が最初に出た後、

10

【0040】

一方、本発明による第1シフトレジスタ301aは、二つ以上のクロックパルスを使用することができる。すなわち、本発明による第1シフトレジスタ301aは、第1乃至第4クロックパルスCLK1～CLK4のうち第1及び第2クロックパルスCLK1、CLK2のみを使用しても良く、第1乃至第3クロックパルスCLK1～CLK3のみを使用しても良い。また、本発明によるシフトレジスタは、順に出力される4個以上のクロックパルスを使用しても良い。

20

【0041】

第2シフトレジスタ301bも、上述した第1シフトレジスタ301aと同じ構成を有する。

【0042】

このように構成されたシフトレジスタの動作について詳細に説明すると、次の通りである。

【0043】

ここでは、第1シフトレジスタ301aと第2シフトレジスタ301bは同一に動作するので、第1シフトレジスタ301aについてのみ説明する。

30

【0044】

まず、タイミングコントローラからのスタートパルスSPが第1ステージBST1に入力されると、第1ステージBST1は、スタートパルスSPに回答してイネーブルされる。続いて、イネーブルされた第1ステージBST1は、タイミングコントローラからの第1クロックパルスCLK1を受けて第1スキャンパルスVout1を出力し、これを第1ゲートラインGL1と第2ステージBST2に供給する。すると、第2ステージBST2は、第1スキャンパルスVout1に回答してイネーブルされる。

【0045】

その後、イネーブルされた第2ステージBST2は、タイミングコントローラからの第2クロックパルスCLK2を受けて第2スキャンパルスVout2を出力し、これを第2ゲートラインGL2と第3ステージBST3に供給する。すると、前記第3ステージBST3は、第2スキャンパルスVout2に回答してイネーブルされる。

40

【0046】

続いて、イネーブルされた第3ステージBST3は、タイミングコントローラからの第3クロックパルスCLK3を受けて第3スキャンパルスVout3を出力し、これを第3ゲートラインGL3、第4ステージBST4、及び第1ステージBST1に共に供給する。すると、第3スキャンパルスVout3に回答して第4ステージBST4はイネーブルされ、第1ステージBST1は、第3電圧源VSSを第1ゲートラインGL1に供給する。

【0047】

50

続いて、イネーブルされた第4ステージBST4は、タイミングコントローラからの第4クロックパルスCLK4を受けて第4スキャンパルスVout4を出力し、これを第4ゲートラインGL4と第5ステージに供給する。すると、第5ステージは、第4スキャンパルスVout4に応答してイネーブルされる。

【0048】

続いて、イネーブルされた第5ステージはタイミングコントローラからの第1クロックパルスCLK1を受けて第5スキャンパルスを出力し、これを第5ゲートライン、第6ステージ、及び第3ステージBST3に共に供給する。すると、第5スキャンパルスに応答して第6ステージはイネーブルされ、第3ステージBST3は、第3電圧源VSSを第3ゲートラインGL3に供給する。

10

【0049】

このような方式で、第6乃至第nステージBSTnまで順に第6乃至第nスキャンパルスVoutnを出力し、これらをそれぞれ第6乃至第nゲートラインGLnに順に供給する。このとき、隣接するスキャンパルス同士は一定時間だけ重なるパルス幅区間を有する。

【0050】

ここで、第1ダミーステージBSTn+1は、第n-1ステージBSTn-1に第n+1スキャンパルスVoutn+1を供給する役割を担い、第2ダミーステージBSTn+2は、第nステージBSTnに第n+2スキャンパルスVoutn+2を供給する役割を担う。すなわち、第1及び第2ダミーステージBSTn+1、BSTn+2から出力された第n+1及び第n+2スキャンパルスVoutn+1、Voutn+2はゲートラインには供給されなく、単に第n-1及び第nステージBSTn-1、BSTnが第2電圧源VSSを出力するようにする役割を担うダミー出力である。

20

【0051】

このように各ステージは、スキャンパルスVout1~Voutnを出力し、これを対応するゲートラインGL1~GLnにそれぞれ順に供給すると同時に、次のステージにスタートパルスSPとして提供する。また、各ステージBST1~BSTnは、次々のステージから出力されたスキャンパルスに反応して、対応するゲートラインに第2電圧源VSSを供給する。

【0052】

30

第2シフトレジスタ301bも、上述した第1シフトレジスタ301aと同様に動作する。ただし、第1シフトレジスタ301aに備えられた各ステージBST1~BSTnは、各ゲートラインGL1~GLnの一侧にスキャンパルスVout1~Voutnを印加し、第2シフトレジスタ301bに備えられた各ステージBST1~BSTnは、各ゲートラインGL1~GLnの他側にスキャンパルスVout1~Voutnを供給する。

【0053】

このように第1及び第2シフトレジスタ301a, 301bに備えられた各ステージBST1~BSTn+2が次のステージでなく、次々のステージから出力されたスキャンパルスを受け取る理由は、次の通りである。この理由を説明するに先立ち、各スキャンパルスVout1~Voutn+2及び第1乃至第4クロックパルスCLK1~CLK4についてより具体的に説明する。ここで、全てのスキャンパルスVout1~Voutnはその波形が同一なので、第1乃至第4スキャンパルスVout1乃至Vout4を挙げて説明するものとする。

40

【0054】

図4は、第1乃至第4クロックパルス、及び第1乃至第4スキャンパルスのタイミング図である。

【0055】

まず、図4に示すように、第1乃至第4スキャンパルスVout1~Vout4のパルス幅は、予備充電区間A及び有効充電区間Bに分けられ、各スキャンパルスVout1~Vout4の予備充電区間Aは、以前スキャンパルスの有効充電区間Bと時間的に一部重

50

なる。また、各スキャンパルス $V_{out1} \sim V_{out4}$ の有効充電区間 B は、次のスキャンパルスの予備充電区間 A と時間的に一部重なる。

【0056】

したがって、各スキャンパルス $V_{out1} \sim V_{out4}$ は、以前スキャンパルスの有効充電区間 B で出力し始め自分の有効充電区間 B では目標電圧 V_T に到達するようになる。言い換えれば、各スキャンパルス $V_{out1} \sim V_{out4}$ は、自分の予備充電区間 A で目標電圧 V_T に向けて徐々に増加し、以後自分の有効充電区間 B では完全に目標電圧 V_T に維持される。

【0057】

すなわち、第1スキャンパルス V_{out1} は、自分の予備充電区間 A に該当するスタートパルス SP の一区間で出力し始め、自分の有効充電区間 B では目標電圧 V_T に完全に維持される。そして、第2スキャンパルス V_{out2} は、自分の予備充電区間 A に該当する第1スキャンパルス V_{out1} の有効充電区間で出力し始め、自分の有効充電区間 B では完全に目標電圧 V_T に維持される。

【0058】

そして、第3スキャンパルス V_{out3} は、自分の予備充電区間 A に該当する前記第2スキャンパルス V_{out2} の有効充電区間 B で出力し始め、自分の有効充電区間 B では完全に目標電圧 V_T に維持される。そして、第4スキャンパルス V_{out4} は、自分の予備充電区間 A に該当する第3スキャンパルス V_{out3} の有効充電区間 B で出力し始め、自分の有効充電区間 B では完全に目標電圧 V_T に維持される。

【0059】

これにより、各スキャンパルス $V_{out1} \sim V_{out4}$ は、従来のスキャンパルスに比べて予備充電区間 A に該当するパルス幅だけ実質的により長いパルス幅を有し、スキャンパルス $V_{out1} \sim V_{out4}$ を受け取る液晶パネル 300 の薄膜トランジスタのターンオン時間が増加するという長所がある。

【0060】

一方、各スキャンパルス $V_{out1} \sim V_{out4}$ は、タイミングコントローラから出力される第1乃至第4クロックパルス $CLK1 \sim CLK4$ に同期して出力されるので、これら第1乃至第4クロックパルス $CLK1 \sim CLK4$ もスキャンパルス $V_{out1} \sim V_{out4}$ と同様に重なった区間を有する。

【0061】

ここで、第1乃至第4クロックパルス $CLK4$ は、位相差をもって継続して循環するので、第1クロックパルス $CLK1$ は第4クロックパルス $CLK4$ と重なる。

【0062】

このような本発明のスキャンパルスを従来のスキャンパルスと比較して説明すると、次の通りである。ここでは、従来の第1及び第2スキャンパルス $V_{out1'}$ 、 $V_{out2'}$ 、そして本発明の第1及び第2スキャンパルス V_{out1} 、 V_{out2} を挙げて説明する。

【0063】

図5は、従来のスキャンパルスと本発明によるスキャンパルスを比較説明するための図であり、図6は、従来のスキャンパルスと本発明のスキャンパルスに対するシミュレーション波形を示す図である。

【0064】

従来の第1及び第2スキャンパルス $V_{out1'}$ 、 $V_{out2'}$ は、ゲートラインの抵抗及びキャパシタンス成分によってその波形が歪むと、図5に示すように、その立上り時間 TR が増加し、これにより、第1及び第2スキャンパルス $V_{out1'}$ 、 $V_{out2'}$ が目標電圧 V_T に維持される有効充電時間 TS が減少するようになる。

【0065】

一方、データ電圧 $Data$ は周期的に正極性及び負極性に变化しつつデータラインに印加されるが、このとき、スキャンパルスの有効充電時間 TS が、データ電圧が正極性に維

10

20

30

40

50

持される時間 1 H、または負極性に維持される時間 1 H よりも短くなるため、データ電圧 Data が画素電極に正常に印加されなくなる。

【 0 0 6 6 】

しかしながら、本発明の第 1 スキャンパルス V o u t 1 は、スタートパルス S P の一区間（第 1 スキャンパルス V o u t 1 の予備充電区間 A）に該当する時点で出力し始めて徐々に増加し目標電圧 V T に到達し、それ以後は自分の有効充電区間 B に該当する時間の間に完全に目標電圧 V T に維持される。

【 0 0 6 7 】

すなわち、第 1 スキャンパルス V o u t 1 の立上り時間 T R は、第 1 スキャンパルス V o u t 1 の有効充電区間 B に該当する時間に含まれるのではなく、第 1 スキャンパルス V o u t 1 の予備充電区間 A に該当する時間に含まれるので、第 1 スキャンパルス V o u t 1 の有効充電区間 B に該当する時間が、立上り時間 T R によって減少しない。

10

【 0 0 6 8 】

また、第 2 スキャンパルス V o u t 2 は、第 1 スキャンパルス V o u t 1 の有効充電区間 B（第 2 スキャンパルス V o u t 2 の予備充電区間 A）に該当する時点で出力し始め徐々に増加して目標電圧 V T に到達し、それ以後は自分の有効充電区間 B に該当する時間の間に完全に目標電圧 V T に維持される。

【 0 0 6 9 】

すなわち、第 2 スキャンパルス V o u t 2 の立上り時間 T R は、第 2 スキャンパルス V o u t 2 の有効充電区間 B に該当する時間に含まれるのではなく、第 2 スキャンパルス V o u t 2 の予備充電区間 A に該当する時間に含まれるので、第 1 スキャンパルス V o u t 1 の有効充電区間 B に該当する時間が立上り時間 T R によって減少しない。

20

【 0 0 7 0 】

したがって、図 6 の（ a ）及び（ b ）に示すように、本発明での第 1 及び第 2 スキャンパルス V o u t 1、V o u t 2 は、従来の第 1 及び第 2 スキャンパルス V o u t 1'、V o u t 2' よりも長い有効充電時間 T S を有する。このとき、本発明の第 1 及び第 2 スキャンパルス V o u t 1、V o u t 2 の有効充電時間 T S は、データ電圧 Data が正極性及び負極性に維持される時間 1 H よりも長いいため、データ電圧 Data は画素電極に正常に伝達される。

【 0 0 7 1 】

30

一方、互いに隣接する時間帯に出力されるスキャンパルス V o u t 1 ~ V o u t n は、互いに重なるパルス幅区間を有するため、従来におけるように各ステージ B S T 1 ~ B S T n + 2 に次のステージから出力されたスキャンパルスが入力されると、次のような問題につながる。

【 0 0 7 2 】

すなわち、例えば、互いに隣接する時間帯に出力される第 1 スキャンパルス V o u t 1 と第 2 スキャンパルス V o u t 2 は互いに重なるパルス幅区間を有するので、従来におけるように、第 2 ステージ B S T 2 から出力された前記第 2 スキャンパルス V o u t 2 が、第 1 スキャンパルス V o u t 1 を出力する第 1 ステージ B S T 1 に入力されると、第 1 ステージ B S T 1 は、自分の有効充電区間 B に該当する時点で第 2 電圧源 V S S を第 1 ゲートライン G L 1 に供給するようになる。

40

【 0 0 7 3 】

言い換えれば、第 1 ステージ B S T 1 は、第 1 スキャンパルス V o u t 1 を前記第 1 ゲートライン G L 1 に完全に印加する前に第 2 スキャンパルス V o u t 2 が出力される時点（具体的に、第 2 スキャンパルス V o u t 2 の予備充電区間 A に該当する時点）で第 2 電圧源 V S S を第 1 ゲートライン G L 1 に供給するようになる。

【 0 0 7 4 】

これにより、第 1 ステージ B S T 1 は、不完全なスキャンパルスを出力することがある。すると、各ゲートラインには従来と同じパルス幅を有するスキャンパルスが供給され、よって、各スキャンパルスは歪んでしまう。この理由から、本発明による各ステージ B S

50

$T1 \sim BST_{n+2}$ は、次のステージではなく、次々のステージからのスキャンパルスが入力される。すなわち、各ステージ $BST1 \sim BST_{n+2}$ には、自分から出力されたスキャンパルスと重なる区間を持たないスキャンパルスが入力される。

【0075】

ここで、各ステージ $BST1 \sim BST_{n+2}$ 、第1及び第2ダミーステージ BST_{n+1} 、 BST_{n+2} に備えられた回路を詳細に説明すると、次の通りである。一方、第1及び第2シフトレジスタ $301a$ 、 $301b$ に備えられた各ステージ $BST1 \sim BST_{n+2}$ の回路構成はいずれも同一なので、第1シフトレジスタ $301a$ に備えられた第3ステージ $BST3$ を例に挙げて説明する。

【0076】

図7は、図3の第1シフトレジスタに備えられた第3ステージの回路構成図である。

【0077】

第3ステージ $BST3$ は、図7に示すように、大きく、第1、第2及び第3ノード Q 、 $QB1$ 、 $QB2$ の充電及び放電を制御するノード制御部 $700a$ と、第1、第2、第3ノード Q 、 $QB1$ 、 $QB2$ の充電/放電状態によってターンオンされてスキャンパルスまたは第2電圧源 VSS を選択的に出力する出力部 $700b$ と、で構成される。ここで、第1、第2及び第3ノード Q 、 $QB1$ 、 $QB2$ は選択的に充電及び放電されるが、具体的に、第1ノード Q が充電状態にあると第2ノード $QB1$ 及び第3ノード $QB2$ とともに放電状態を維持し、第1ノード Q が放電状態にあると第2ノード $QB1$ 及び第3ノード $QB2$ のうちいずれかが一つが充電状態を維持する。

【0078】

すなわち、奇数番目のフレームでは、第1ノード Q が放電状態のとき、第2ノード $QB1$ が充電され、第3ノード $QB2$ が放電され、そして、偶数番目のフレームでは、第1ノード Q が放電状態の時、第2ノード $QB1$ が放電され、前記第3ノード $QB2$ が充電される。このように第1ノード Q が放電状態のとき、第2ノード $QB1$ 及び第3ノード $QB2$ にフレーム別に異なる極性の電圧源 $VDD3$ 、 $VDD4$ を印加（充電及び放電）する理由は、第2ノード $QB1$ 及び第3ノード $QB2$ にゲート端子が接続されたスイッチング素子の劣化を防止するためである。

【0079】

第3ステージ $BST3$ のノード制御部 $700a$ は、第1乃至第12 $NMOS$ トランジスタ $Tr1 \sim Tr12$ で構成される。

【0080】

第1 $NMOS$ トランジスタ $Tr1$ は、前のステージからのスキャンパルスに応答して、第1ノード Q を第1電圧源 VDD で充電させる。すなわち、第1 $NMOS$ トランジスタ $Tr1$ は、第2ステージ $BST2$ からの第2スキャンパルス $Vout2$ に応答して、第1ノード Q を第1電圧源 VDD で充電させる。このため、第1 $NMOS$ トランジスタ $Tr1$ のゲート端子は第2ステージ $BST2$ に接続され、ソース端子は第1電圧源 VDD を伝送する電源ラインに接続され、ドレイン端子は第1ノード Q に接続される。

【0081】

第2 $NMOS$ トランジスタ $Tr2$ は、前のステージからのスキャンパルスに応答して、第2ノード $QB1$ を第2電圧源 VSS で放電させる。すなわち、第2 $NMOS$ トランジスタ $Tr2$ は、第2ステージ $BST2$ からの第2スキャンパルス $Vout2$ に応答して第2ノード $QB1$ を第2電圧源 VSS で放電させる。このため、第2 $NMOS$ トランジスタ $Tr2$ のゲート端子は第2ステージ $BST2$ に接続され、ソース端子は第2ノード $QB1$ に接続され、ドレイン端子は第2電圧源 VSS を伝送する電源ラインに接続される。

【0082】

第3 $NMOS$ トランジスタ $Tr3$ は、前のステージからのスキャンパルスに応答して、第3ノード $QB2$ を第2電圧源 VSS で放電させる。すなわち、第3 $NMOS$ トランジスタ $Tr3$ は、第2ステージ $BST2$ からの第2スキャンパルス $Vout2$ に応答して、第3ノード $QB2$ を第2電圧源 VSS で放電させる。このため、第3 $NMOS$ トランジスタ

10

20

30

40

50

Tr 3 のゲート端子は第 2 ステージ B S T 2 に接続され、ソース端子は第 3 ノード Q B 2 に接続され、ドレイン端子は第 2 電圧源 V S S を伝送する電源ラインに接続される。

【 0 0 8 3 】

第 4 N M O S トランジスタ Tr 4 は、第 3 電圧源 V D D 3 に応答してターンオンまたはターンオフされ、ターンオン時に第 2 ノード Q B 1 を第 3 電圧源 V D D 3 で充電させる。このため、第 4 N M O S トランジスタ Tr 4 のゲート端子は第 3 電圧源 V D D 3 を伝送する電源ラインに接続され、ソース端子は第 3 電圧源 V D D 3 を伝送する電源ラインに接続され、ドレイン端子は第 2 ノード Q B 1 に接続される。ここで、第 3 電圧源 V D D 3 は、毎フレームごとに正極性及び負極性を交互に有する交流電圧である。すなわち、第 3 電圧源 V D D 3 は、奇数フレームには正極性を有し、偶数フレームには負極性を有する。

10

【 0 0 8 4 】

第 5 N M O S トランジスタ Tr 5 は、第 3 電圧源 V D D 3 に応答して、第 3 ノード Q B 2 を第 2 電圧源 V S S で放電させる。このため、第 5 N M O S トランジスタ Tr 5 のゲート端子は、第 3 電圧源 V D D 3 を伝送する電源ラインに接続され、ソース端子は第 3 ノード Q B 2 に接続され、ドレイン端子は、第 2 電圧源 V S S を伝送する電源ラインに接続される。

【 0 0 8 5 】

第 6 N M O S トランジスタ Tr 6 は、第 4 電圧源 V D D 4 に応答してターンオンまたはターンオフされ、ターンオン時に第 3 ノード Q B 2 を第 4 電圧源 V D D 4 で充電させる。このため、第 6 N M O S トランジスタ Tr 6 のゲート端子は第 4 電圧源 V D D 4 を伝送する電源ラインに接続され、ソース端子は第 4 電圧源 V D D 4 を伝送する電源ラインに接続され、ドレイン端子は第 3 ノード Q B 2 に接続される。ここで、第 4 電圧源 V D D 4 は、毎フレームごとに正極性及び負極性を交互に有する交流電圧である。このとき、第 4 電圧源 V D D 4 は、第 3 電圧源 V D D 3 と反転された位相を有する。すなわち、第 3 電圧源 V D D 3 は、奇数フレームには負極性を有し、偶数フレームには正極性を有する。

20

【 0 0 8 6 】

第 7 N M O S トランジスタ Tr 7 は、第 4 電圧源 V D D 4 に応答して、第 2 ノード Q B 1 を第 2 電圧源 V S S で放電させる。このため、第 7 N M O S トランジスタ Tr 7 のゲート端子は、第 4 電圧源 V D D 4 を伝送する電源ラインに接続され、ソース端子は第 2 ノード Q B 1 に接続され、ドレイン端子は第 2 電圧源 V S S を伝送する電源ラインに接続される。

30

【 0 0 8 7 】

第 8 N M O S トランジスタ Tr 8 は、第 1 ノード Q に充電された第 1 電圧源 V D D に応答して、第 2 ノード Q B 1 を第 2 電圧源 V S S で放電させる。このため、第 8 N M O S トランジスタ Tr 8 のゲート端子は第 1 ノード Q に接続され、ソース端子は第 2 ノード Q B 1 に接続され、ドレイン端子は第 2 電圧源 V S S を伝送する電源ラインに接続される。

【 0 0 8 8 】

第 9 N M O S トランジスタ Tr 9 は、第 1 ノード Q に充電された第 1 電圧源 V D D に応答して、第 3 ノード Q B 2 を第 2 電圧源 V S S で放電させる。このため、第 9 N M O S トランジスタ Tr 9 のゲート端子は第 1 ノード Q に接続され、ソース端子は第 3 ノード Q B 2 に接続され、ドレイン端子は、第 2 電圧源 V S S を伝送する電源ラインに接続される。

40

【 0 0 8 9 】

第 1 0 N M O S トランジスタ Tr 1 0 は、第 2 ノード Q B 1 に充電された第 3 電圧源 V D D 3 に応答して、第 1 ノード Q を第 2 電圧源 V S S で放電させる。このため、第 1 0 N M O S トランジスタ Tr 1 0 のゲート端子は第 2 ノード Q B 1 に接続され、ソース端子は第 1 ノード Q に接続され、ドレイン端子は第 2 電圧源 V S S を伝送する電源ラインに接続される。

【 0 0 9 0 】

第 1 1 N M O S トランジスタ Tr 1 1 は、第 3 ノード Q B 2 に充電された第 4 電圧源 V D D 4 に応答して、第 1 ノード Q を第 2 電圧源 V S S で放電させる。このため、第 1 1 N

50

M O S トランジスタ T r 1 1 のゲート端子は第 3 ノード Q B 2 に接続され、ソース端子は第 1 ノード Q に接続され、ドレイン端子は第 2 電圧源 V S S を伝送する電源ラインに接続される。

【 0 0 9 1 】

第 1 2 N M O S トランジスタ T r 1 2 は、次々のステージからのスキャンパルスに応答して、第 1 ノード Q を第 2 電圧源 V S S で放電させる。すなわち、第 1 2 N M O S トランジスタ T r 1 2 は、第 5 ステージからの第 5 スキャンパルス V o u t 5 に応答して、第 1 ノード Q を第 2 電圧源 V S S で放電させる。このため、第 1 2 N M O S トランジスタ T r 1 2 のゲート端子は、第 5 ステージの出力部に接続され、ソース端子は第 1 ノード Q に接続され、ドレイン端子は、第 2 電圧源 V S S を伝送する電源ラインに接続される。

10

【 0 0 9 2 】

そして、第 3 ステージ B S T 3 の出力部 7 0 0 b は、第 1 3 乃至第 1 5 N M O S トランジスタ T r 1 3 ~ T r 1 5 で構成される。

【 0 0 9 3 】

第 1 3 N M O S トランジスタ T r 1 3 は、第 1 ノード Q に充電された第 1 電圧源 V D D に応答して、クロックパルスをスキャンパルスとしてゲートラインに出力する。また、このスキャンパルスを前々のステージと次のステージに供給する。このため、第 1 3 N M O S トランジスタ T r 1 3 のゲート端子は、第 1 ノード Q に接続され、ソース端子は、第 3 クロックパルス C L K 3 を伝送するクロックラインに接続され、ドレイン端子は、第 3 ゲートライン、第 1 ステージ B S T 1 に備えられた第 1 2 N M O S のゲート端子、及び第 4

20

【 0 0 9 4 】

第 1 4 N M O S トランジスタ T r 1 4 は、第 2 ノード Q B 1 に充電された第 3 電圧源 V D D 3 に応答して、第 2 電圧源 V S S をゲートラインに供給する。すなわち、第 1 4 N M O S トランジスタ T r 1 4 は、第 2 ノード Q B 1 に充電された第 3 電圧源 V D D 3 に応答して、第 2 電圧源 V S S を第 3 ゲートラインに供給する。このため、第 1 4 N M O S トランジスタ T r 1 4 のゲート端子は、第 2 ノード Q B 1 に接続され、ドレイン端子は、第 2 電圧源 V S S を伝送する電源ラインに接続され、ソース端子は、第 3 ゲートライン、第 1 ステージ B S T 1 に備えられた第 1 2 N M O S トランジスタ T r 1 2 のゲート端子、及び

30

【 0 0 9 5 】

第 1 5 N M O S トランジスタ T r 1 5 は、第 3 ノード Q B 2 に充電された第 4 電圧源 V D D 4 に応答して、第 2 電圧源 V S S をゲートラインに供給する。すなわち、第 1 5 N M O S トランジスタ T r 1 5 は、第 3 ノード Q B 2 に充電された第 4 電圧源 V D D 4 に応答して、第 2 電圧源 V S S を第 3 ゲートラインに供給する。このため、第 1 5 N M O S トランジスタ T r 1 5 のゲート端子は、第 2 ノード Q B 1 に接続され、ドレイン端子は、第 2 電圧源 V S S を伝送する電源ラインに接続され、ソース端子は、第 3 ゲートライン、第 1 ステージ B S T 1 に備えられた第 1 2 N M O S のゲート端子、及び第 4 ステージ B S T 4

40

【 0 0 9 6 】

第 1 及び第 2 ステージ B S T 1、B S T 2、第 4 乃至第 n ステージ B S T 4 ~ B S T n、そして第 1 及び第 2 ダミーステージ B S T n + 1、B S T n + 2 も、上述した第 3 ステージ B S T 3 と同じ構成を有する。

【 0 0 9 7 】

ただし、第 1 ステージ B S T 1 の前にはステージが存在しないため、第 1 ステージ B S T 1 に備えられた第 1 乃至第 3 N M O S トランジスタ T r 1 ~ T r 3 は、タイミングコントローラからのスタートパルス S P を受け取る。すなわち、第 1 ステージ B S T 1 の第 1

50

NMOSトランジスタTr 1は、タイミングコントローラからのスタートパルスSPに
答して、第1ステージBST 1の第1ノードQを第1電圧源VDDで充電させる。

【0098】

そして、第2NMOSトランジスタTr 2は、タイミングコントローラからのスタート
パルスSPに答して、第1ステージBST 1の第2ノードQB 1を第2電圧源VSSで
放電させる。そして、第3NMOSトランジスタTr 3は、タイミングコントローラから
のスタートパルスSPに答して、第1ステージBST 1の第3ノードQB 2を第2電圧
源VSSで放電させる。

【0099】

そして、第1及び第2ステージBST 1、BST 2の前々にはステージが存在しない。
したがって、第1ステージBST 1は、第1スキャンパルスVout 1を出力し、これを
第1ゲートライン及び第2ステージBST 2に供給する。これと同様に、第2ステージB
ST 2は、第2スキャンパルスVout 2を出力し、これを第2ゲートライン及び第3ス
テージBST 3に供給する。

【0100】

そして、第2ダミーステージBST n + 2の次のステージにはステージが存在しない。
したがって、第2ダミーステージBST n + 2の第13NMOSトランジスタTr 13の
ソース端子、第14NMOSトランジスタTr 14のドレイン端子、及び第15NMOS
トランジスタTr 15のドレイン端子は、第nステージBST nの第12NMOSトラン
ジスタTr 12のゲート端子に接続される。

【0101】

第2シフトレジスタ301bに備えられた各ステージBST 1 ~ BST n + 2も、第1
シフトレジスタ301aに備えられた各ステージBST 1 ~ BST n + 2と同じ回路構成
を有する。

【0102】

このように構成された本発明の実施の形態によるシフトレジスタの動作を説明すると次の通りである。ここで、第1シフトレジスタ301aの動作と第2シフトレジスタ301bの動作は互いに同一なので、第1シフトレジスタ301aの動作についてのみ説明する。

【0103】

図8は、図7の回路構成を有する第1シフトレジスタの第1乃至第3ステージを示す図である。

【0104】

ここで、第1フレームの間に第3電圧源VDD 3が正極性の電圧に維持され、第4電圧源VDD 4が負極性の電圧に維持されると仮定し、第2フレームの間に第3電圧源VDD 3が負極性の電圧に維持され、第4電圧源VDD 4が正極性の電圧に維持されると仮定する。すなわち、奇数番目のフレームの間に、第3電圧源VDD 3が正極性に維持され、第4電圧源VDD 4が負極性に維持されると仮定し、偶数番目のフレームの間に、第3電圧源VDD 3が負極性に維持され、第4電圧源VDD 4が正極性に維持されると仮定する。

【0105】

まず、スタートパルスSPは、第1NMOSトランジスタTr 1のゲート端子、第2NMOSトランジスタTr 2のゲート端子、及び第3NMOSトランジスタTr 3のゲート端子に印加され、第1、第2及び第3NMOSトランジスタTr 1、Tr 2、Tr 3をターンオンさせる。

【0106】

こうなると、ターンオンされた第1NMOSトランジスタTr 1を介して第1電圧源VDDが第1ノードQに供給される。このとき、第1ノードQが第1電圧源VDDで充電されることによって、第1ノードQにゲート端子が接続された第8、第9及び第13NMOSトランジスタTr 8、Tr 9、Tr 13が同時にターンオンされる。ここで、ターンオンされた第8NMOSトランジスタTr 8及び第2NMOSトランジスタTr 2を介して

10

20

30

40

50

第2電圧源VSSが第2ノードQB1に供給される。したがって、第2ノードQB1は放電状態に維持され、この第2ノードQB1にゲート端子が接続された第10及び第14NMOSTランジスタTr10、Tr14がターンオフされる。

【0107】

そして、ターンオンされた第3及び第9NMOSTランジスタTr3、Tr9を介して第2電圧源VSSが第3ノードQB2に供給される。このとき、第3ノードQB2が第2電圧源VSSで放電されることによって、第3ノードQB2にゲート端子が接続された第11及び第15NMOSTランジスタTr11、Tr15はターンオフされる。

【0108】

また、第4NMOSTランジスタTr4は、自分のゲート端子に第3電圧源VDD3が印加されることによってターンオンされる。第3電圧源VDD3は、第1フレームの間に常に正極性状態を維持するので、第4NMOSTランジスタTr4は第1フレームの間に常にターンオン状態を維持する。

【0109】

ここで、ターンオンされた第4NMOSTランジスタTr4を介して第3電圧源VDD3が第2ノードQB1に供給される。その結果、第2ノードQB1には上述した第2電圧源VSSと第3電圧源VDD3が同時に供給される。ところが、第2電圧源VSSを供給するランジスタの数が、第3電圧源VDD3を供給するランジスタの数よりも多いため、第2ノードQB1は第2電圧源VSSに維持される。これによって、第2ノードQB1は放電状態を維持する。したがって、第2ノードQB1にゲート端子が接続された第10及び第14NMOSTランジスタTr10、Tr14はターンオフされる。

【0110】

また、第3電圧源VDD3は、第5NMOSTランジスタTr5のゲート端子にも供給される。したがって、第5NMOSTランジスタTr5も第1フレームの間に常にターンオン状態を維持する。このターンオンされた第5NMOSTランジスタTr5を介して第2電圧源VSSが第3ノードQB2に供給される。その結果、第3ノードQB2は、第3、第5及び第9NMOSTランジスタTr3、Tr5、Tr9によって放電状態を維持するようになる。したがって、第3ノードQB2にゲート端子が接続された第11及び第15NMOSTランジスタTr11、Tr15はターンオフされる。

【0111】

また、第6NMOSTランジスタTr6は、自分のゲート端子に印加された第4電圧源VDD4によってターンオフされる。ここで、第4電圧源VDD4は第1フレームの間に負極性に維持されるので、第6NMOSTランジスタTr6は第1フレームの間に常にターンオフ状態を維持する。

【0112】

また、第4電圧源VDD4は、第7NMOSTランジスタTr7のゲート端子にも印加されるので、第1フレームの間に第7NMOSTランジスタTr7は常にターンオフ状態を維持する。

【0113】

このようにスタートパルスSPによって第1ステージBST1の第1ノードQが第1電圧源VDDで充電され、第2及び第3ノードQB1、QB2が第2電圧源VSSで放電されることによって、第1ステージBST1がイネーブルされる。

【0114】

この状態で、第1ステージBST1の第13NMOSTランジスタTr13に第1クロックパルスCLK1が供給されると、第13NMOSTランジスタTr13は第1クロックパルスCLK1を第1スキャンパルスVout1として出力する。このとき、第1クロックパルスCLK1とスタートパルスSPは重なって出力されるので、第1スキャンパルスVout1は、スタートパルスSPに重なって出力される。

【0115】

この第1スキャンパルスVout1は、第1ゲートライン及び第2ステージBST2に

供給される。すなわち、第1ステージBST1からの第1スキャンパルスVout1は、第2ステージBST2の第1、第2及び第3NMOSトランジスタTr1、Tr2、Tr3に供給される。これにより、第2ステージBST2の第1ノードQが充電され、第2及び第3ノードQB1、QB2が放電される。

【0116】

すなわち、第2ステージBST2は、第1スキャンパルスVout1によってイネーブルされる。言い換えれば、第1ステージBST1がスタートパルスSPによってイネーブルされるのと同様に、第2ステージBST2は第1スキャンパルスVout1によってイネーブルされる。この状態で、第2ステージBST2の第13NMOSトランジスタTr13に第2クロックパルスCLK2が供給されると、第13NMOSトランジスタTr13は、第2クロックパルスCLK2を第2スキャンパルスVout2として出力する。このとき、第2クロックパルスCLK2は第1クロックパルスCLK1と重なるので、第2スキャンパルスVout2は第1スキャンパルスVout1と重なって出力される。

【0117】

この第2スキャンパルスVout2は、第2ゲートライン及び第3ステージBST3に供給される。すなわち、第2ステージBST2からの第2スキャンパルスVout2は、第3ステージBST3の第1、第2及び第3NMOSトランジスタTr1、Tr2、Tr3に供給される。これにより、第3ステージBST3の第1ノードQが充電され、第2及び第3ノードQB1、QB2が放電される。

【0118】

すなわち、第3ステージBST3は第2スキャンパルスVout2によってイネーブルされる。言い換えれば、第1ステージBST1がスタートパルスSPによってイネーブルされるのと同様に、第3ステージBST3は第2スキャンパルスVout2によってイネーブルされる。

【0119】

この状態で、第3ステージBST3の第13NMOSトランジスタTr13に第3クロックパルスCLK3が供給されると、第13NMOSトランジスタTr13は、第3クロックパルスCLK3を第3スキャンパルスVout3として出力する。このとき、第3クロックパルスCLK3は第2クロックパルスCLK2と重なるので、第3スキャンパルスVout3は第2スキャンパルスVout2と重なって出力される。

【0120】

この第3スキャンパルスVout3は、第3ゲートライン及び第4ステージBST4に供給される。すなわち、第3ステージBST3からの第3スキャンパルスVout3は第4ステージBST4の第1、第2及び第3NMOSトランジスタTr1、Tr2、Tr3に供給される。

【0121】

これにより、第4ステージBST4の第1ノードQが充電され、第2及び第3ノードQB1、QB2が放電される。すなわち、第4ステージBST4は第3スキャンパルスVout3によってイネーブルされる。言い換えれば、第1ステージBST1がスタートパルスSPによってイネーブルされるのと同様に、第4ステージBST4は第3スキャンパルスVout3によってイネーブルされる。

【0122】

この状態で、第4ステージBST4の第13NMOSトランジスタTr13に第4クロックパルスCLK4が供給されると、第13NMOSトランジスタTr13は第4クロックパルスCLK4を第4スキャンパルスVout4として出力する。このとき、第4クロックパルスCLK4は第3クロックパルスCLK3と重なるので、第4スキャンパルスVout4は第3スキャンパルスVout3と重なって出力される。

【0123】

一方、第3ステージBST3から出力された第3スキャンパルスVout3は、第1ステージBST1の第12NMOSトランジスタTr12にも供給される。すなわち、第3

10

20

30

40

50

スキャンパルス V_{out3} は、第 1 ステージ $BST1$ に備えられた第 12 NMOS トランジスタ $Tr12$ のゲート端子に供給される。これにより、第 1 ステージ $BST1$ がディセーブルされる。

【0124】

具体的に、第 3 スキャンパルス V_{out3} は、第 1 ステージ $BST1$ に備えられた第 12 NMOS トランジスタ $Tr12$ をターンオンさせる。すると、第 2 電圧源 VSS が、ターンオンされた第 12 NMOS トランジスタ $Tr12$ を介して第 1 ステージ $BST1$ の第 1 ノード Q に供給される。これにより、第 1 ステージ $BST1$ の第 1 ノード Q が放電される。したがって、第 1 ステージ $BST1$ の第 1 ノード Q に接続された第 8、第 9 及び第 13 NMOS トランジスタ $Tr8$ 、 $Tr9$ 、 $Tr13$ がターンオフされる。また、このとき、スタートパルス SP がローに変化することによってこのロー状態のスタートパルス SP が供給される第 1 ステージ $BST1$ の第 1、第 2 及び第 3 NMOS トランジスタ $Tr1$ 、 $Tr2$ 、 $Tr3$ がターンオフされる。

10

【0125】

ここで、第 1 ステージ $BST1$ の第 2 及び第 8 NMOS トランジスタ $Tr2$ 、 $Tr8$ がターンオフ状態にあるので、第 1 ステージ $BST1$ の第 2 ノード $QB1$ は、第 4 NMOS トランジスタ $Tr4$ から供給される第 1 電圧源 VDD で充電される。したがって、第 1 ステージ $BST1$ の第 2 ノード $QB1$ にゲート端子が接続された第 10 及び第 14 NMOS トランジスタ $Tr10$ 、 $Tr14$ とともにターンオンされる。このとき、ターンオンされた第 14 NMOS トランジスタ $Tr14$ を介して第 2 電圧源 VSS が第 1 ゲートラインに供給される。

20

【0126】

一方、ターンオンされた第 10 NMOS トランジスタ $Tr10$ を介して第 2 電圧源 VSS が第 1 ノード Q に供給される。その結果、第 1 ステージ $BST1$ の第 1 ノード Q は、第 10 及び第 12 NMOS トランジスタ $Tr10$ 、 $Tr12$ によって放電される。

【0127】

このように第 3 ステージ $BST3$ からの第 3 スキャンパルス V_{out3} によって第 1 ステージ $BST1$ の第 1 ノード Q 及び第 3 ノード $QB2$ は放電され、第 2 ノード $QB1$ が充電される。すなわち、第 1 ステージ $BST1$ は、第 3 ステージ $BST3$ からの第 3 スキャンパルス V_{out3} に応答してディセーブルされる。このディセーブルされた第 1 ステージ $BST1$ は、自分に備えられた第 14 NMOS トランジスタ $Tr14$ を介して第 2 電圧源 VSS を出力する。そして、この第 2 電圧源 VSS を第 1 ゲートラインに供給する。

30

【0128】

このような方式で、各ステージ $BST1 \sim BSTn+2$ は、前のステージから出力されたスキャンパルスによってイネーブルされる。そして、各ステージ $BST1 \sim BSTn+2$ は次々のステージから出力されたスキャンパルスによってディセーブルされる。

【0129】

一方、第 2 フレームには、第 3 電圧源 $VDD3$ が負極性に維持され、第 4 電圧源 $VDD4$ が正極性に維持される。これにより、各ステージ $BST1 \sim BSTn+2$ がディセーブルされる時、各ステージ $BST1 \sim BSTn+2$ の第 2 ノード $QB1$ が放電され、第 3 ノード $QB2$ が充電される。

40

【0130】

したがって、各ステージ $BST1 \sim BSTn+2$ がディセーブルされる時、第 3 ノード $QB2$ にゲート端子が接続された第 15 NMOS トランジスタ $Tr15$ を介して第 2 電圧源 VSS が出力される。このようにフレーム別に第 2 及び第 3 ノード $QB1$ 、 $QB2$ が交互に充電 / 放電されることによって、出力部 700b に備えられた第 14 及び第 15 NMOS トランジスタ $Tr14$ 、 $Tr15$ の劣化が防止される。

【0131】

第 2 シフトレジスタ 301b に備えられた各ステージ $BST1 \sim BSTn+2$ も、第 1 シフトレジスタ 301a に備えられた各ステージ $BST1 \sim BSTn+2$ と同様に動作す

50

る。ただし、第1シフトレジスタ301aに備えられた各ステージBST1～BSTnは、各ゲートラインGL1～GLnの一側にスキャンパルスVout1～Voutnを印加し、第2シフトレジスタ301bに備えられた各ステージBST1～BSTnは、各ゲートラインGL1～GLnの他側にスキャンパルスVout1～Voutnを供給する。

【0132】

一方、第1及び第2シフトレジスタ301a, 301bの各ステージBST1～BSTn+2は、次のような回路構成を有しても良い。

【0133】

図9は、図3の第1シフトレジスタに備えられた第3ステージの他の回路構成図である。

10

【0134】

第3ステージCST3のノード制御部900aは、第1乃至第20NMOSトランジスタTr1～Tr20で構成される。

【0135】

第1NMOSトランジスタTr1は、前のステージからのスキャンパルスにตอบสนองして、第1ノードQを第1電圧源VDDで充電させる。すなわち、第1NMOSトランジスタTr1は、第2ステージBST2からの第2スキャンパルスVout2にตอบสนองして、第1ノードQを第1電圧源VDDで充電させる。このため、第1NMOSトランジスタTr1のゲート端子は、第2ステージBST2に接続され、ソース端子は、第1電圧源VDDを伝送する電源ラインに接続され、ドレイン端子は、第1ノードQに接続される。

20

【0136】

第2NMOSトランジスタTr2は、第1ノードQに充電された第1電圧源VDDにตอบสนองして、第2ノードQB1を第2電圧源VSSで放電させる。このため、第2NMOSトランジスタTr2のゲート端子は、第1ノードQに接続され、ソース端子は、第2ノードQB1に接続され、ドレイン端子は、第2電圧源VSSを伝送する電源ラインに接続される。

【0137】

第3NMOSトランジスタTr3は、第1ノードQに充電された第1電圧源VDDにตอบสนองして、第3ノードQB2を第2電圧源VSSで放電させる。このため、第3NMOSトランジスタTr3のゲート端子は、第1ノードQに接続され、ソース端子は前記第3ノードQB2に接続され、ドレイン端子は、第2電圧源VSSを伝送する電源ラインに接続される。

30

【0138】

第4NMOSトランジスタTr4は、フレームごとに異なる極性を有する第3電圧源VDD3にตอบสนองしてターンオンまたはターンオフされ、ターンオン時に第3電圧源VDD3を出力する。このため、第4NMOSトランジスタTr4のゲート端子は、第3電圧源VDD3を伝送する電源ラインに接続され、ソース端子は、第3電圧源VDD3を伝送する電源ラインに接続される。

【0139】

第5NMOSトランジスタTr5は、第4NMOSトランジスタTr4から出力された第3電圧源VDD3にตอบสนองして第2ノードQB1を第3電圧源VDD3で充電させる。このため、第5NMOSトランジスタTr5のゲート端子は、第4NMOSトランジスタTr4のドレイン端子に接続され、ソース端子は、第3電圧源VDD3を伝送する電源ラインに接続され、ドレイン端子は第2ノードQB1に接続される。

40

【0140】

第6NMOSトランジスタTr6は、第2ノードQB1に充電された第3電圧源VDD3にตอบสนองして、第1ノードQを第2電圧源VSSで放電させる。このため、第6NMOSトランジスタTr6のゲート端子は第2ノードQB1に接続され、ソース端子は第1ノードQに接続され、ドレイン端子は第2電圧源VSSを伝送する電源ラインに接続される。

【0141】

50

【 0 1 4 2 】

10

【 0 1 4 3 】

20

【 0 1 4 4 】

30

【 0 1 4 5 】

40

【 0 1 4 6 】

【 0 1 4 7 】

50

接続される。

【0148】

第14NMOSトランジスタTr14は、第3ノードQB2に充電された第4電圧源VDD4にตอบสนองして、第2ノードQB1を第2電圧源VSSで放電させる。このため、第14NMOSトランジスタTr14のゲート端子は、第3ノードQB2に接続され、ソース端子は第2ノードQB1に接続され、ドレイン端子は、第2電圧源VSSを伝送する電源ラインに接続される。

【0149】

第15NMOSトランジスタTr15は、第1ノードQに充電された第1電圧源VDDにตอบสนองして、第12NMOSトランジスタTr12のゲート端子に第2電圧源VSSを供給することによって、第12NMOSトランジスタTr12をターンオフさせる。このため、第15NMOSトランジスタTr15のゲート端子は、第1ノードQに接続され、ソース端子は、第12NMOSトランジスタTr12のゲート端子に接続され、ドレイン端子は、第2電圧源VSSを伝送する電源ラインに接続される。

10

【0150】

第16NMOSトランジスタTr16は、前のステージからのスキャンパルスにตอบสนองして、第12NMOSトランジスタTr12のゲート端子に第2電圧源VSSを供給することによって、第12NMOSトランジスタTr12をターンオフさせる。すなわち、第16NMOSトランジスタTr16は、第2ステージBST2からの第2スキャンパルスVout2にตอบสนองして、第12NMOSトランジスタTr12をターンオフさせる。このため、第16NMOSトランジスタTr16のゲート端子は、第2ステージBST2に接続され、ソース端子は、第12NMOSトランジスタTr12のゲート端子に接続され、ドレイン端子は、第2電圧源VSSを伝送する電源ラインに接続される。

20

【0151】

第17NMOSトランジスタTr17は、前のステージからのスキャンパルスにตอบสนองして、第12NMOSトランジスタTr12のゲート端子に第2電圧源VSSを供給することによって、第12NMOSトランジスタTr12をターンオフさせる。すなわち、第17NMOSトランジスタTr17は、第2ステージBST2からの第2スキャンパルスVout2にตอบสนองして、第12NMOSトランジスタTr12をターンオフさせる。このため、第17NMOSトランジスタTr17のゲート端子は、第2ステージBST2に接続され、ソース端子は、第12NMOSトランジスタTr12のゲート端子に接続され、ドレイン端子は、第2電圧源VSSを伝送する電源ラインに接続される。

30

【0152】

第18NMOSトランジスタTr18は、前のステージからのスキャンパルスにตอบสนองして、第2ノードQB1を第2電圧源VSSで放電させる。すなわち、第18NMOSトランジスタTr18は、第2ステージBST2からの第2スキャンパルスVout2にตอบสนองして、第2ノードQB1を第2電圧源VSSで放電させる。このため、第18NMOSトランジスタTr18のゲート端子は、第2ステージBST2に接続され、ソース端子は第2ノードQB1に接続され、ドレイン端子は、第2電圧源VSSを伝送する電源ラインに接続される。

40

【0153】

第19NMOSトランジスタTr19は、前のステージからのスキャンパルスにตอบสนองして、第3ノードQB2を第2電圧源VSSで放電させる。すなわち、第19NMOSトランジスタTr19は、第2ステージBST2からの第2スキャンパルスVout2にตอบสนองして、第3ノードQB2を第2電圧源VSSで放電させる。このため、第19NMOSトランジスタTr19のゲート端子は第2ステージBST2に接続され、ソース端子は第3ノードQB2に接続され、ドレイン端子は、第2電圧源VSSを伝送する電源ラインに接続される。

【0154】

第20NMOSトランジスタTr20は、次々のステージからのスキャンパルスにตอบสนอง

50

して、第1ノードQを第2電圧源VSSで放電させる。すなわち、第20NMOSトランジスタTr20のゲート端子は、第5ステージからの第5スキャンパルスVout5に
 応答して、第1ノードQを第2電圧源VSSで放電させる。このため、第20NMOSト
 ランジスタTr20のゲート端子は第5ステージに接続され、ソース端子は第1ノードQに
 接続され、ドレイン端子は、第2電圧源VSSを伝送する電源ラインに接続される。

【0155】

そして、第3ステージBST3の出力部900bは、第21乃至23NMOSトランジ
 スタTr21~Tr23で構成される。

【0156】

第21NMOSトランジスタTr21は、第1ノードQに充電された第1電圧源VDD
 に応答して、第3クロックパルスCLK3をスキャンパルスとしてゲートラインに出力す
 る。そして、この第3スキャンパルスVout3を前々のステージと次のステージの両方
 に供給する。このため、第21NMOSトランジスタTr21のゲート端子は、第1ノ
 ードQに接続され、ソース端子は、第3クロックパルスCLK3を伝送するクロックライン
 に接続され、ドレイン端子は、第3ゲートライン、第1ステージBST1に備えられた第
 20NMOSトランジスタTr20のゲート端子、及び第4ステージBST4に備えられ
 た第1、第9、第10、第16、第17、第18、及び第19NMOSトランジスタTr
 1、Tr9、Tr10、Tr16、Tr17、Tr18、Tr19のゲート端子に接続さ
 れる。

10

【0157】

第22NMOSトランジスタTr22は、第2ノードQB1に充電された第3電圧源V
 DD3に応答して、第2電圧源VSSをゲートラインに供給する。すなわち、第14NM
 OSTランジスタTr14は、第2ノードQB1に充電された第3電圧源VDD3に応答
 して、第2電圧源VSSを第3ゲートラインに供給する。このため、第22NMOSTラ
 ンジスタTr22のゲート端子は、第2ノードQB1に接続され、ドレイン端子は、第2
 電圧源VSSを伝送する電源ラインに接続され、ソース端子は、第3ゲートライン、第1
 ステージBST1に備えられた第20NMOSトランジスタTr20のゲート端子、及び
 第4ステージBST4に備えられた第1、第9、第10、第16、第17、第18、及び
 第19NMOSトランジスタTr1、Tr9、Tr10、Tr16、Tr17、Tr18
 、Tr19のゲート端子に接続される。

20

30

【0158】

第23NMOSトランジスタTr23は、第3ノードQB2に充電された第4電圧源V
 DD4に応答して、第2電圧源VSSをゲートラインに供給する。すなわち、第23NM
 OSTランジスタTr23は、第3ノードQB2に充電された第4電圧源VDD4に応答
 して、第2電圧源VSSを第3ゲートラインに供給する。このため、第23NMOSTラ
 ンジスタTr23のゲート端子は、第2ノードQB1に接続され、ドレイン端子は、第2
 電圧源VSSを伝送する電源ラインに接続され、ソース端子は、第3ゲートライン、第1
 ステージBST1に備えられた第20NMOSのゲート端子、及び第4ステージBST4
 に備えられた第1、第9、第10、第16、第17、第18、及び第19NMOSTラン
 ジスタTr1、Tr9、Tr10、Tr16、Tr17、Tr18、Tr19のゲート端
 子に接続される。

40

【0159】

第1及び第2ステージBST1、BST2、第4乃至第nステージBST4~BSTn
 、第1及び第2ダミーステージBSTn+1、BSTn+2も、上述した第2ステージB
 ST2と同じ構成を有する。

【0160】

ただし、第1ステージBST1の前にはステージが存在しないので、第1ステージBS
 T1に備えられた第1、第9、第10、第16、第17、第18、及び第19NMOSTラン
 ジスタTr1、Tr9、Tr10、Tr16、Tr17、Tr18、Tr19には、
 タイミングコントローラからのスタートパルスSPが供給される。すなわち、第1ステー

50

ジBST1の第1NMOSトランジスタTr1は、タイミングコントローラからのスタートパルスSPにตอบสนองして、第1ノードQを第1電圧源VDDで充電させる。

【0161】

また、第1ステージBST1の第9NMOSトランジスタTr9は、タイミングコントローラからのスタートパルスSPにตอบสนองして、第1ステージBST1の第2ノードQB1を第2電圧源VSSで放電させる。

【0162】

また、第1ステージBST1の第10NMOSトランジスタTr10は、タイミングコントローラからのスタートパルスにตอบสนองして、第4NMOSトランジスタTr4のゲート端子に第2電圧源VSSを供給することによって、第4NMOSトランジスタTr4をターンオフさせる。

10

【0163】

また、第1ステージBST1の第16NMOSトランジスタTr16は、タイミングコントローラからのスタートパルスにตอบสนองして、第12NMOSトランジスタTr12のゲート端子に第2電圧源VSSを供給することによって、第12NMOSトランジスタTr12をターンオフさせる。

【0164】

また、第1ステージBST1の第17NMOSトランジスタTr17は、タイミングコントローラからのスタートパルスにตอบสนองして、第12NMOSトランジスタTr12のゲート端子に第2電圧源VSSを供給することによって、第12NMOSトランジスタTr12をターンオフさせる。

20

【0165】

また、第1ステージBST1の第18NMOSトランジスタTr18は、タイミングコントローラからのスタートパルスSPにตอบสนองして、第2ノードQB1を第2電圧源VSSで放電させる。

【0166】

また、第1ステージBST1の第19NMOSトランジスタTr19は、タイミングコントローラからのスタートパルスSPにตอบสนองして、第3ノードQB2を第2電圧源VSSで放電させる。

【0167】

30

そして、第1及び第2ステージBST1、BST2の前々にはステージが存在しない。したがって、第1ステージBST1は第1スキャンパルスVout1を出力し、これを第1ゲートライン及び第2ステージBST2に供給する。これと同様に、第2ステージBST2は、第2スキャンパルスVout2を出力し、これを第2ゲートライン及び第3ステージBST3に供給する。

【0168】

そして、第2ダミーステージBSTn+2の次はステージが存在しない。したがって、第2ダミーステージBSTn+2の第21NMOSトランジスタTr21のソース端子、第22NMOSトランジスタTr22のドレイン端子、及び第23NMOSトランジスタTr23のドレイン端子は、第nステージBSTnの第20NMOSトランジスタTr20のゲート端子に接続される。

40

【0169】

第2シフトレジスタ301bに備えられた各ステージBST1～BSTn+2も、第1シフトレジスタ301aに備えられた各ステージBST1～BSTn+2と同じ回路構成を有する。

【0170】

このように構成された本発明の第1の実施の形態によるシフトレジスタの動作について説明すると、次の通りである。

【0171】

図10A及び図10Bは、図9の回路構成を有する第1シフトレジスタの第1乃至第3

50

ステージを示す図である。

【0172】

ここで、第1フレームの間に第3電圧源VDD3が正極性の電圧に維持され、第4電圧源VDD4が負極性の電圧に維持されると仮定し、第2フレームの間に第3電圧源VDD3が負極性の電圧に維持され、第4電圧源VDD4が正極性の電圧に維持されると仮定する。すなわち、奇数番目のフレームの間に、第3電圧源VDD3が正極性に維持され、第4電圧源VDD4が負極性に維持されると仮定し、偶数番目のフレームの間に、第3電圧源VDD3が負極性に維持され、第4電圧源VDD4が正極性に維持されると仮定する。

【0173】

まず、スタートパルスSPが第1NMOSトランジスタTr1のゲート端子、第9NMOSトランジスタTr9のゲート端子、第10NMOSトランジスタTr10のゲート端子、第16NMOSトランジスタTr16のゲート端子、第17NMOSトランジスタTr17のゲート端子、第18NMOSトランジスタTr18のゲート端子、及び第19NMOSトランジスタTr19のゲート端子に印加されて、第1、第9、第10、第16、第17、第18、及び第19NMOSトランジスタTr1、Tr9、Tr10、Tr16、Tr17、Tr18、Tr19をターンオンさせる。

【0174】

ここで、ターンオンされた第1NMOSトランジスタTr1を介して第1電圧源VDDが第1ノードQに供給される。このとき、第1ノードQが第1電圧源VDDで充電されることによって、第1ノードQにゲート端子が接続された第2、第3、第8、第15、及び第21NMOSトランジスタTr2、Tr3、Tr8、Tr15、Tr21がターンオンされる。

【0175】

そして、ターンオンされた第2及び第8NMOSトランジスタTr2、Tr8を介して第2電圧源VSSが第2ノードQB1に供給される。これにより、第2ノードQB1が放電され、第2ノードQB1にゲート端子が接続された第6、第7、及び第22NMOSトランジスタTr6、Tr7、Tr22がターンオフされる。

【0176】

また、ターンオンされた第3及び第19NMOSトランジスタTr3、Tr19を介して第2電圧源VSSが第3ノードQB2に供給される。これにより、第3ノードQB2が放電され、第3ノードQB2にゲート端子が接続された第13、第14及び第23NMOSトランジスタTr13、Tr14、Tr23がターンオフされる。

【0177】

そして、ターンオンされた第8、第9及び第10NMOSトランジスタTr8、Tr9、Tr10を介して第2電圧源VSSが第5NMOSトランジスタTr5のゲート端子に供給される。また、正極性の第3電圧源VDD3によって1フレームの間に常にターンオン状態を維持する第4NMOSトランジスタTr4を介して、第3電圧源VDD3が第5NMOSトランジスタTr5のゲート端子に供給される。したがって、第5NMOSトランジスタTr5のゲート端子には第2電圧源VSSと第3電圧源VDD3が供給される。このとき、第5NMOSトランジスタTr5のゲート端子に第2電圧源VSSを供給するトランジスタの数が、第5NMOSトランジスタTr5のゲート端子に第3電圧源VDD3を供給するトランジスタの数よりも多いので、第5NMOSトランジスタTr5のゲート端子には第2電圧源VSSが維持される。したがって、第5NMOSトランジスタTr5はターンオフされる。

【0178】

そして、ターンオンされた第15、第16及び第17NMOSトランジスタTr15、Tr16、Tr17を介して第2電圧源VSSが第12NMOSトランジスタTr12のゲート端子に供給される。したがって、第12NMOSトランジスタTr12はターンオフされる。一方、第11NMOSトランジスタTr11は負極性の第4電圧源VDD4によって1フレームの間に常にターンオフ状態を維持する。

【 0 1 7 9 】

このように第 1 ステージ B S T 1 の第 1 ノード Q が第 1 電圧源 V D D で充電され、第 2 及び第 3 ノード Q B 1、Q B 2 が第 2 電圧源 V S S で放電されることによって、第 1 ステージ B S T 1 がイネーブルされる。

【 0 1 8 0 】

この状態で、第 1 ステージ B S T 1 の第 2 1 N M O S トランジスタ T r 2 1 に第 1 クロックパルス C L K 1 が供給されると、第 2 1 N M O S トランジスタ T r 2 1 は、第 1 クロックパルス C L K 1 を第 1 スキャンパルス V o u t 1 として出力する。このとき、第 1 クロックパルス C L K 1 とスタートパルス S P は重なって出力されるので、第 1 スキャンパルス V o u t 1 はスタートパルス S P と重なって出力される。

10

【 0 1 8 1 】

この第 1 スキャンパルス V o u t 1 は、第 1 ゲートライン及び第 2 ステージ B S T 2 に供給される。すなわち、第 1 ステージ B S T 1 からの第 1 スキャンパルス V o u t 1 は、第 2 ステージ B S T 2 の第 1、第 9、第 10、第 16、第 17、第 18 及び第 19 N M O S トランジスタ T r 1、T r 9、T r 10、T r 16、T r 17、T r 18、T r 19 に供給される。これにより、第 2 ステージ B S T 2 の第 1 ノード Q が充電され、第 2 及び第 3 ノード Q B 1、Q B 2 が放電される。すなわち、第 2 ステージ B S T 2 は第 1 スキャンパルス V o u t 1 によってイネーブルされる。言い換えれば、第 1 ステージ B S T 1 がスタートパルス S P によってイネーブルされるのと同様に、第 2 ステージ B S T 2 は第 1 スキャンパルス V o u t 1 によってイネーブルされる。この状態で、第 2 ステージ B S T 2 の第 2 1 N M O S トランジスタ T r 2 1 に第 2 クロックパルス C L K 2 が供給されると、第 2 1 N M O S トランジスタ T r 2 1 は、第 2 クロックパルス C L K 2 を第 2 スキャンパルス V o u t 2 として出力する。このとき、第 2 クロックパルス C L K 2 は第 1 クロックパルス C L K 1 と重なるので、第 2 スキャンパルス V o u t 2 は第 1 スキャンパルス V o u t 1 と重なって出力される。

20

【 0 1 8 2 】

この第 2 スキャンパルス V o u t 2 は、第 2 ゲートライン及び第 3 ステージ B S T 3 に供給される。すなわち、第 2 ステージ B S T 2 からの第 2 スキャンパルス V o u t 2 は、第 3 ステージ B S T 3 の第 1、第 9、第 10、第 16、第 17、第 18 及び第 19 N M O S トランジスタ T r 1、T r 9、T r 10、T r 16、T r 17、T r 18、T r 19 に供給される。これにより、第 3 ステージ B S T 3 の第 1 ノード Q が充電され、第 2 及び第 3 ノード Q B 1、Q B 2 が放電される。すなわち、第 3 ステージ B S T 3 は第 2 スキャンパルス V o u t 2 によってイネーブルされる。言い換えれば、第 1 ステージ B S T 1 がスタートパルス S P によってイネーブルされるのと同様に、第 3 ステージ B S T 3 は第 2 スキャンパルス V o u t 2 によってイネーブルされる。

30

【 0 1 8 3 】

この状態で、第 3 ステージ B S T 3 の第 2 1 N M O S トランジスタ T r 2 1 に第 3 クロックパルス C L K 3 が供給されると、第 2 1 N M O S トランジスタ T r 2 1 は、第 3 クロックパルス C L K 3 を第 3 スキャンパルス V o u t 3 として出力する。このとき、第 3 クロックパルス C L K 3 は第 2 クロックパルス C L K 2 と重なるので、第 3 スキャンパルス V o u t 3 は第 2 スキャンパルス V o u t 2 と重なって出力される。

40

【 0 1 8 4 】

この第 3 スキャンパルス V o u t 3 は、第 3 ゲートライン及び第 4 ステージ B S T 4 に供給される。すなわち、第 3 ステージ B S T 3 からの第 3 スキャンパルス V o u t 3 は第 4 ステージ B S T 4 の第 1、第 9、第 10、第 16、第 17、第 18 及び第 19 N M O S トランジスタ T r 1、T r 9、T r 10、T r 16、T r 17、T r 18、T r 19 に供給される。これにより、第 4 ステージ B S T 4 の第 1 ノード Q が充電され、第 2 及び第 3 ノード Q B 1、Q B 2 が放電される。すなわち、第 4 ステージ B S T 4 は第 3 スキャンパルス V o u t 3 によってイネーブルされる。言い換えれば、第 1 ステージ B S T 1 がスタートパルス S P によってイネーブルされるのと同様に、第 4 ステージ B S T 4 は第 3 スキ

50

キャンパルス V_{out3} によってイネーブルされる。

【0185】

この状態で、第4ステージ $BST4$ の第21 $NMOS$ トランジスタ $Tr21$ に第4クロックパルス $CLK4$ が供給されると、第21 $NMOS$ トランジスタ $Tr21$ は、第4クロックパルス $CLK4$ を第4スキャンパルス V_{out4} として出力する。このとき、第4クロックパルス $CLK4$ は第3クロックパルス $CLK3$ と重なるので、第4スキャンパルス V_{out4} は第3スキャンパルス V_{out3} と重なって出力される。

【0186】

一方、第3ステージ $BST3$ から出力された第3スキャンパルス V_{out3} は、第1ステージ $BST1$ の第20 $NMOS$ トランジスタ $Tr20$ にも供給される。すなわち、第3スキャンパルス V_{out3} は、第1ステージ $BST1$ に備えられた第20 $NMOS$ トランジスタ $Tr20$ のゲート端子に供給される。これにより、第1ステージ $BST1$ がディセーブルされる。

10

【0187】

具体的に、第3スキャンパルス V_{out3} は、第1ステージ $BST1$ に備えられた第20 $NMOS$ トランジスタ $Tr20$ をターンオンさせる。すると、第2電圧源 VSS が、ターンオンされた第20 $NMOS$ トランジスタ $Tr20$ を介して第1ステージ $BST1$ の第1ノード Q に供給される。これにより、第1ステージ $BST1$ の第1ノード Q が放電される。したがって、第1ステージ $BST1$ の第1ノード Q に接続された第2、第3、第8、第15及び第21 $NMOS$ トランジスタ $Tr2$ 、 $Tr3$ 、 $Tr8$ 、 $Tr15$ 、 $Tr21$ がターンオフされる。また、このとき、スタートパルス SP がローに変化することによって、ロー状態のスタートパルス SP の供給される第1ステージ $BST1$ の第1、第9、第10、第16、第17、第18及び第19 $NMOS$ トランジスタ $Tr1$ 、 $Tr9$ 、 $Tr10$ 、 $Tr16$ 、 $Tr17$ 、 $Tr18$ 、 $Tr19$ がターンオフされる。

20

【0188】

ここで、第1ステージ $BST1$ の第9及び第10 $NMOS$ トランジスタ $Tr9$ 、 $Tr10$ はターンオフされることによって、第1ステージ $BST1$ の第5 $NMOS$ トランジスタ $Tr5$ のゲート端子にはそれ以上第2電圧源 VSS が供給されなくなる。その代わりに、第1ステージ $BST1$ の第5 $NMOS$ トランジスタ $Tr5$ のゲート端子には、第4 $NMOS$ トランジスタ $Tr4$ を介して第3電圧源 $VDD3$ が供給される。その結果、第5 $NMOS$ トランジスタ $Tr5$ は、第3電圧源 $VDD3$ によってターンオンされる。このターンオンされた第5 $NMOS$ トランジスタ $Tr5$ を介して第3電圧源 $VDD3$ が第1ステージ $BST1$ の第2ノード $QB1$ に供給される。これにより、第1ステージ $BST1$ の第2ノード $QB1$ が充電され、第1ステージ $BST1$ の第2ノード $QB1$ にゲート端子が接続された第6、第7及び第22 $NMOS$ トランジスタ $Tr6$ 、 $Tr7$ 、 $Tr22$ がターンオンされる。

30

【0189】

一方、ターンオンされた第6 $NMOS$ トランジスタ $Tr6$ を介して第2電圧源 VSS が第1ステージ $BST1$ の第1ノード Q に供給される。これにより、第1ステージ $BST1$ の第1ノード Q の放電速度がより速くなる。そして、ターンオンされた第7 $NMOS$ トランジスタ $Tr7$ を介して第2電圧源 VSS が第1ステージ $BST1$ の第3ノード $QB2$ に供給される。これにより、第3ノード $QB2$ が放電され、第3ノード $QB2$ にゲート端子が接続された第13、第14及び第23 $NMOS$ トランジスタ $Tr13$ 、 $Tr14$ 、 $Tr23$ がターンオフされる。

40

【0190】

このように第3ステージ $BST3$ からの第3スキャンパルス V_{out3} によって第1ステージ $BST1$ の第1ノード Q 及び第3ノード $QB2$ は放電され、第2ノード $QB1$ が充電される。すなわち、第1ステージ $BST1$ は、第3ステージ $BST3$ からの第3スキャンパルス V_{out3} に応答して、ディセーブルされる。このディセーブルされた第1ステージ $BST1$ は、自分に備えられた第22 $NMOS$ トランジスタ $Tr22$ を介して第2電

50

圧源 VSS を出力する。そして、この第2電圧源 VSS を第1ゲートラインに供給する。

【0191】

このような方式で、各ステージ $BST1 \sim BSTn+2$ は、前のステージから出力されたスキャンパルスによってイネーブルされる。そして、各ステージ $BST1 \sim BSTn+2$ は、次々のステージからのスキャンパルスによってディセーブルされる。

【0192】

一方、第2フレームには、第3電圧源 $VDD3$ が負極性に維持され、第4電圧源 $VDD4$ が正極性に維持される。これにより、各ステージ $BST1 \sim BSTn+2$ がディセーブルされる時、各ステージ $BST1 \sim BSTn+2$ の第2ノード $QB1$ が放電され、第3ノード $QB2$ が充電される。したがって、各ステージ $BST1 \sim BSTn+2$ がディセーブルされる時、第3ノード $QB2$ にゲート端子が接続された第23NMOSTランジスタ $Tr23$ を介して第2電圧源 VSS が出力される。このようにフレーム別に第2及び第3ノード $QB1$ 、 $QB2$ が交互に充電/放電されることで、出力部 $900b$ に備えられた第22及び第23NMOSTランジスタ $Tr22$ 、 $Tr23$ の劣化が防止される。

【0193】

第2シフトレジスタ $301b$ に備えられた各ステージ $BST1 \sim BSTn+2$ も、前記第1シフトレジスタ $301a$ に備えられた各ステージ $BST1 \sim BSTn+2$ と同様に動作する。ただし、第1シフトレジスタ $301a$ に備えられた各ステージ $BST1 \sim BSTn+2$ は、各ゲートライン $GL1 \sim GLn$ の一側にスキャンパルス $Vout1 \sim Voutn$ を印加し、第2シフトレジスタ $301b$ に備えられた各ステージ $BST1 \sim BSTn+2$ は、各ゲートライン $GL1 \sim GLn$ の他側にスキャンパルス $Vout1 \sim Voutn$ を供給する。

【0194】

以下、本発明の第2の実施の形態によるシフトレジスタについて詳細に説明する。

【0195】

図11は、本発明の第2の実施の形態によるシフトレジスタを示す図である。

本発明の第2の実施の形態によるシフトレジスタは、図11に示すように、第1シフトレジスタ $110a$ と第2シフトレジスタ $110b$ とで構成される。

【0196】

ここで、第1シフトレジスタ $110a$ は互いに従属的に接続された n 個のステージ $CST1 \sim CSTn$ 、そして第1及び第2ダミーステージ $CSTn+1$ 、 $CSTn+2$ で構成される。ここで、各ステージ $CST1 \sim CSTn+2$ は、スキャンパルス $Vout1 \sim Voutn+2$ を二つずつ出力する。すなわち、各ステージ $CST1 \sim CSTn+2$ は二つのスキャンパルスを1対として同時に出力し、また、各ステージ $CST1 \sim CSTn+2$ は1対のスキャンパルスを順に出力する。このとき、第1及び第2ダミーステージ $CSTn+1$ 、 $CSTn+2$ 以外のステージ $CST1 \sim CSTn$ から出力されたスキャンパルス $Vout1 \sim Voutn$ は、液晶パネル 300 のゲートライン $GL1 \sim GLn$ に順に供給されて、ゲートライン $GL1 \sim GLn$ を順にスキヤニングするようになる。

【0197】

すなわち、まず、第1ステージ $CST1$ が二つの第1スキャンパルス $Vout1$ を同時に出力し、続いて第2ステージ $CST2$ が二つの第2スキャンパルス $Vout2$ を同時に出力し、続いて第3ステージ $CST3$ が二つの第3スキャンパルス $Vout3$ を同時に出力する。このような方式で、最後には第 n ステージ $CSTn$ が二つの第 n スキャンパルス $Voutn$ を同時に出力する。

【0198】

一方、第 n ステージ $CSTn$ が二つの第 n スキャンパルス $Voutn$ を同時に出力した後、第1ダミーステージ $CSTn+1$ が第 $n+1$ スキャンパルス $Voutn+1$ を出力するが、このとき、第1ダミーステージ $CSTn+1$ から出力された第 $n+1$ スキャンパルス $Voutn+1$ はゲートラインには供給されず、第 $n-1$ ステージ $CSTn-1$ にのみ供給される。

【0199】

そして、第1ダミーステージCST_{n+1}が二つの第n+1スキャンパルスVout_{n+1}を同時に出力した後、第2ダミーステージCST_{n+2}が第n+2スキャンパルスVout_{n+2}を出力するが、このとき、第2ダミーステージCST_{n+2}から出力された第n+2スキャンパルスVout_{n+1}はゲートラインには供給されず、第nステージCST_nにのみ供給される。

【0200】

また、第1シフトレジスタ110aに備えられた各ステージCST₁～CST_{n+2}から出力されるスキャンパルスVout₁～Vout_{n+2}は互いに所定区間重なって出力される。ここで、一つのステージは二つの出力端子（以下、‘第1及び第2出力端子’という。）を有し、第1及び第2出力端子を介して同時に二つのスキャンパルス

10

【0201】

言い換えれば、一つのステージは第1出力端子を介してスキャンパルスを出力すると同時に、第2出力端子を介してスキャンパルスを出力する。したがって、各ステージCST₁～CST_{n+2}からは二つのスキャンパルスが同時に出力される。このとき、各ステージCST₁～CST_{n+2}の各第1出力端子を介して出力されるスキャンパルスは、互いに所定幅重なる。もちろん、各ステージCST₁～CST_{n+2}の各第2出力端子を介して出力されるスキャンパルスも、互いに所定幅重なる。例えば、第1ステージCST₁から出力された二つの第1スキャンパルスVout₁は、第2ステージCST₂から出力された二つの第2スキャンパルスVout₂と互いに所定幅重なる。

20

【0202】

ここで、第1シフトレジスタ110aに備えられた各ステージCST₁～CST_{n+2}は、二つのスキャンパルスのうち一つを自分に該当するゲートラインに供給し、残りの一つを次のステージと前々のステージに供給する。例えば、第3ステージCST₃は、二つの第3スキャンパルスVout₃を出力し、一つの第3スキャンパルスVout₃を第3ゲートラインに供給し、残り一つの第3スキャンパルスVout₃を第4ステージCST₄と第1ステージCST₁に供給する。一方、第2ダミーステージCST_{n+2}は、二つのスキャンパルスを出力しても良く、一つのスキャンパルスを出力しても良い。

【0203】

一方、このように構成された第1シフトレジスタ110aの全体ステージCST₁～CST_{n+2}には、第1乃至第4電圧源VDD、VSS、VDD₃、VDD₄、そして互いに順次的な位相差をもって循環する第1乃至第4クロックパルスCLK₁～CLK₄のうち一つのクロックパルスが印加される。ここで、第1電圧源VDDは正極性の直流電圧源を表し、第2電圧源VSSは負極性の電圧源を表す。そして、第3電圧源VDD₃及び第4電圧源VDD₄は、フレーム別に反転された極性を有する交流電圧源である。ここで、第3電圧源VDD₃は、第4電圧源VDD₄に反転された位相を有する。すなわち、同一フレーム内において第3電圧源VDD₃と第4電圧源VDD₄が相異なる極性を示す。

30

【0204】

一方、上述したように、第1乃至第4クロックパルスCLK₁～CLK₄は互いに1パルス幅ずつ位相遅延されて出力される。すなわち、第2クロックパルスCLK₂は、第1クロックパルスCLK₁よりも1パルス幅だけ位相遅延されて出力され、第3クロックパルスCLK₃は、第2クロックパルスCLK₂よりも1パルス幅だけ位相遅延されて出力され、第4クロックパルスCLK₄は、第3クロックパルスCLK₃よりも1パルス幅だけ位相遅延されて出力され、第1クロックパルスCLK₁は、第4クロックパルスCLK₄よりも1パルス幅だけ位相遅延されて出力される。

40

【0205】

このとき、第1乃至第4クロックパルスCLK₁～CLK₄は順に出力され、また、循環しつつ出力される。すなわち、第1クロックパルスCLK₁から第4クロックパルスCLK₄まで順に出力された後、再び第1クロックパルスCLK₁から第4クロックパルス

50

C L K 4 まで順に出力される。したがって、第 1 クロックパルス C L K 1 は、第 4 クロックパルス C L K 4 及び第 2 クロックパルス C L K 2 間に該当する期間で出力される。ここで、第 4 クロックパルス C L K 4 とスタートパルス S P を互いに同期させて出力しても良い。このときには、第 1 乃至第 4 クロックパルス C L K 1 ~ C L K 4 のうち第 4 クロックパルス C L K 4 が最初に出力される。

【 0 2 0 6 】

一方、本発明による第 1 シフトレジスタ 1 1 0 a は、二つ以上のクロックパルスを使用することができる。すなわち、本発明によるシフトレジスタは、第 1 乃至第 4 クロックパルス C L K 1 ~ C L K 4 のうち第 1 及び第 2 クロックパルス C L K 1、C L K 2 のみを使用しても良く、第 1 乃至第 3 クロックパルス C L K 1 ~ C L K 3 のみを使用しても良い。また、本発明によるシフトレジスタは、順に出力される 4 個以上のクロックパルスを使用しても良い。

【 0 2 0 7 】

第 2 シフトレジスタ 1 1 0 b も、上述した第 1 シフトレジスタ 1 1 0 a と同じ構成を有する。

【 0 2 0 8 】

次に、本発明の第 2 の実施の形態によるシフトレジスタに備えられたステージの構成についてより具体的に説明する。

【 0 2 0 9 】

図 1 2 は、図 1 1 の第 1 シフトレジスタに備えられた第 3 ステージを示す図である。

【 0 2 1 0 】

第 3 ステージ B S T 3 は、図 1 2 に示すように、大きく、第 1、第 2 及び第 3 ノード Q、Q B 1、Q B 2 の充電及び放電を制御するノード制御部 1 2 0 a と、第 1、第 2 及び第 3 ノード Q、Q B 1、Q B 2 の充電 / 放電状態によってそれぞれターンオンされて、スキャンパルスまたは第 2 電圧源 V S S を選択的に出力する出力部 1 2 0 b、1 2 0 c とで構成される。ここで、第 1、第 2 及び第 3 ノード Q、Q B 1、Q B 2 は選択的に充電及び放電されるが、具体的に、第 1 ノード Q が充電状態にあると第 2 ノード Q B 1 及び第 3 ノード Q B 2 とともに放電状態を維持し、第 1 ノード Q が放電状態にあると第 2 ノード Q B 1 及び第 3 ノード Q B 2 のうちいずれかが一つが充電状態を維持する。

【 0 2 1 1 】

すなわち、奇数番目のフレームでは、第 1 ノード Q が放電状態のとき、第 2 ノード Q B 1 が充電され、第 3 ノード Q B 2 が放電され、そして偶数番目のフレームでは、第 1 ノード Q が放電状態の時、第 2 ノード Q B 1 が放電され、第 3 ノード Q B 2 が充電される。このように第 1 ノード Q が放電状態にあるとき、第 2 ノード Q B 1 及び第 3 ノード Q B 2 にフレーム別に異なる極性の電圧源 V D D 3、V D D 4 を印加（充電及び放電）する理由は、第 2 ノード Q B 1 及び第 3 ノード Q B 2 にゲート端子が接続されたスイッチング素子の劣化を防止するためである。

【 0 2 1 2 】

第 3 ステージ C S T 3 のノード制御部 1 2 0 a は、第 1 乃至第 2 0 N M O S トランジスタ T r 1 ~ T r 2 0 で構成される。

【 0 2 1 3 】

第 1 N M O S トランジスタ T r 1 は、前のステージからのスキャンパルスに応答して、第 1 ノード Q を第 1 電圧源 V D D で充電させる。すなわち、第 1 N M O S トランジスタ T r 1 は、第 2 ステージ C S T 2 からの第 2 スキャンパルス V o u t 2 に応答して、第 1 ノード Q を第 1 電圧源 V D D で充電させる。このため、第 1 N M O S トランジスタ T r 1 のゲート端子は、第 2 ステージ C S T 2 に接続され、ソース端子は、第 1 電圧源 V D D を伝送する電源ラインに接続され、ドレイン端子は第 1 ノード Q に接続される。

【 0 2 1 4 】

第 2 N M O S トランジスタ T r 2 は、第 1 ノード Q に充電された第 1 電圧源 V D D に応答して、第 2 ノード Q B を第 2 電圧源 V S S で放電させる。このため、第 2 N M O S トラ

10

20

30

40

50

ンジスタTr2のゲート端子は、第1ノードQに接続され、ソース端子は第2ノードQB1に接続され、ドレイン端子は、第2電圧源VSSを伝送する電源ラインに接続される。

【0215】

第3NMOSトランジスタTr3は、第1ノードQに充電された第1電圧源VDDに
応答して、第3ノードQB2を第2電圧源VSSで放電させる。このため、第3NMOSト
ランジスタTr3のゲート端子は、第1ノードQに接続され、ソース端子は第3ノードQ
B2に接続され、ドレイン端子は、第2電圧源VSSを伝送する電源ラインに接続される
。

【0216】

第4NMOSトランジスタTr4は、フレームごとに異なる極性を有する第3電圧源V
DD3に
応答してターンオンまたはターンオフされ、ターンオン時に第3電圧源VDD3
を出力する。このため、第4NMOSトランジスタTr4のゲート端子は、第3電圧源V
DD3を伝送する電源ラインに接続され、ソース端子は、第3電圧源VDD3を伝送する
電源ラインに接続される。

10

【0217】

第5NMOSトランジスタTr5は、第4NMOSトランジスタTr4から出力された
第3電圧源VDD3に
応答して第2ノードQBを第3電圧源VDD3で充電させる。この
ため、第5NMOSトランジスタTr5のゲート端子は、第4NMOSトランジスタTr
4のドレイン端子に接続され、ソース端子は、第3電圧源VDD3を伝送する電源ライン
に接続され、ドレイン端子は第2ノードQBに接続される。

20

【0218】

第6NMOSトランジスタTr6は、第2ノードQBに充電された第3電圧源VDD3
に
応答して、第1ノードQを第2電圧源VSSで放電させる。このため、第6NMOSト
ランジスタTr6のゲート端子は、第2ノードQBに接続され、ソース端子は第1ノード
Qに接続され、ドレイン端子は、第2電圧源VSSを伝送する電源ラインに接続される。

【0219】

第7NMOSトランジスタTr7は、第2ノードQBに充電された第3電圧源VDD3
に
応答して、第3ノードQB2を第2電圧源VSSで放電させる。このため、第7NMOS
トランジスタTr7のゲート端子は、第2ノードQBに接続され、ソース端子は前記第
3ノードQB2に接続され、ドレイン端子は、第2電圧源VSSを伝送する電源ラインに
接続される。

30

【0220】

第8NMOSトランジスタTr8は、第1ノードQに充電された第1電圧源VDDに
応答して、第5NMOSトランジスタTr5のゲート端子に第2電圧源VSSを供給するこ
とによって、第5NMOSトランジスタTr5をターンオフさせる。このため、第8NM
OSTランジスタTr8のゲート端子は、第1ノードQに接続され、ソース端子は、第5
NMOSTランジスタTr5のゲート端子に接続され、ドレイン端子は、第2電圧源VSS
を伝送する電源ラインに接続される。

【0221】

第9NMOSトランジスタTr9は、前のステージからのスキャンパルスに
応答して、
第5NMOSTランジスタTr5のゲート端子に第2電圧源VSSを供給することによ
って、第5NMOSTランジスタTr5をターンオフさせる。すなわち、第9NMOSTラ
ンジスタTr9は、第2ステージCST2からの第2スキャンパルスVout2に
応答して、第5NMOSTランジスタTr5のゲート端子に第2電圧源VSSを供給すること
によって、第5NMOSTランジスタTr5をターンオフさせる。このため、第9NMOS
トランジスタTr9のゲート端子は、第2ステージCST2に接続され、ソース端子は、
第5NMOSTランジスタTr5のゲート端子に接続され、ドレイン端子は、第2電圧源
VSSを伝送する電源ラインに接続される。

40

【0222】

第10NMOSTランジスタTr10は、前のステージからのスキャンパルスに
応答し

50

て、第5 NMOSトランジスタTr 5のゲート端子に第2電圧源VSSを供給することによって、第5 NMOSトランジスタTr 5をターンオフさせる。すなわち、第10 NMOSトランジスタTr 10は、第2ステージCST 2からの第2スキャンパルスVout 2に
10 応答して、第5 NMOSトランジスタTr 5のゲート端子に第2電圧源VSSを供給することによって、第5 NMOSトランジスタTr 5をターンオフさせる。このため、第10 NMOSトランジスタTr 10のゲート端子は、第2ステージCST 2に接続され、ソース端子は、第5 NMOSトランジスタTr 5のゲート端子に接続され、ドレイン端子は、第2電圧源VSSを伝送する電源ラインに接続される。

【0223】

第11 NMOSトランジスタTr 11は、フレームごとに異なる極性を有する第4電圧源VDD 4に
10 応答してターンオンまたはターンオフされ、ターンオン時に、第4電圧源VDD 4を出力する。このため、第11 NMOSトランジスタTr 11のゲート端子は、第4電圧源VDD 4を伝送する電源ラインに接続され、ソース端子は、第4電圧源VDD 4を伝送する電源ラインに接続される。ここで、第4電圧源VDD 4は、毎フレームごとに第3電圧源VDD 3に反転された極性を有する。

【0224】

第12 NMOSトランジスタTr 12は、第11 NMOSトランジスタTr 11から出力された第4電圧源VDD 4に
20 応答して、第3ノードQB 2を第4電圧源VDD 4で充電させる。このため、第12 NMOSトランジスタTr 12のゲート端子は、第11 NMOSトランジスタTr 11のドレイン端子に接続され、ソース端子は、第4電圧源VDD 4を伝送する電源ラインに接続され、ドレイン端子は第3ノードQB 2に接続される。

【0225】

第13 NMOSトランジスタTr 13は、第3ノードQB 2に充電された第4電圧源VDD 4に
20 応答して、第1ノードQを第2電圧源VSSで放電させる。このため、第13 NMOSトランジスタTr 13のゲート端子は、第3ノードQB 2に接続され、ソース端子は第1ノードQに接続され、ドレイン端子は、第2電圧源VSSを伝送する電源ラインに接続される。

【0226】

第14 NMOSトランジスタTr 14は、第3ノードQB 2に充電された第4電圧源VDD 4に
30 応答して、第2ノードQBを第2電圧源VSSで放電させる。このため、第14 NMOSトランジスタTr 14のゲート端子は、第3ノードQB 2に接続され、ソース端子は第2ノードQBに接続され、ドレイン端子は、第2電圧源VSSを伝送する電源ラインに接続される。

【0227】

第15 NMOSトランジスタTr 15は、第1ノードQに充電された第1電圧源VDDに
40 応答して、第12 NMOSトランジスタTr 12のゲート端子に第2電圧源VSSを供給することによって、第12 NMOSトランジスタTr 12をターンオフさせる。このため、第15 NMOSトランジスタTr 15のゲート端子は、第1ノードQに接続され、ソース端子は、第12 NMOSトランジスタTr 12のゲート端子に接続され、ドレイン端子は、第2電圧源VSSを伝送する電源ラインに接続される。

【0228】

第16 NMOSトランジスタTr 16は、前のステージからのスキャンパルスに
50 応答して、第12 NMOSトランジスタTr 12のゲート端子に第2電圧源VSSを供給することによって、第12 NMOSトランジスタTr 12をターンオフさせる。すなわち、第16 NMOSトランジスタTr 16は、第2ステージCST 2からの第2スキャンパルスVout 2に
50 応答して、第12 NMOSトランジスタTr 12をターンオフさせる。このため、第16 NMOSトランジスタTr 16のゲート端子は、第2ステージCST 2に接続され、ソース端子は、第12 NMOSトランジスタTr 12のゲート端子に接続され、ドレイン端子は、第2電圧源VSSを伝送する電源ラインに接続される。

【0229】

第17NMOSトランジスタTr17は、前のステージからのスキャンパルスにตอบสนองして、第12NMOSトランジスタTr12のゲート端子に第2電圧源VSSを供給することによって、第12NMOSトランジスタTr12をターンオフさせる。すなわち、第17NMOSトランジスタTr17は、第2ステージCST2からの第2スキャンパルスVout2にตอบสนองして、第12NMOSトランジスタTr12をターンオフさせる。このため、第17NMOSトランジスタTr17のゲート端子は、第2ステージCST2に接続され、ソース端子は、第12NMOSトランジスタTr12のゲート端子に接続され、ドレイン端子は、第2電圧源VSSを伝送する電源ラインに接続される。

【0230】

第18NMOSトランジスタTr18は、前のステージからのスキャンパルスにตอบสนองして、第2ノードQB1を第2電圧源VSSで放電させる。すなわち、第18NMOSトランジスタTr18は、第2ステージCST2からの第2スキャンパルスVout2にตอบสนองして、第2ノードQB1を第2電圧源VSSで放電させる。このため、第18NMOSトランジスタTr18のゲート端子は、第2ステージCST2に接続され、ソース端子は第2ノードQB1に接続され、ドレイン端子は、第2電圧源VSSを伝送する電源ラインに接続される。

【0231】

第19NMOSトランジスタTr19は、前のステージからのスキャンパルスにตอบสนองして、第3ノードQB2を第2電圧源VSSで放電させる。すなわち、第19NMOSトランジスタTr19は、第2ステージCST2からの第2スキャンパルスVout2にตอบสนองして、第3ノードQB2を第2電圧源VSSで放電させる。このため、第19NMOSトランジスタTr19のゲート端子は、第2ステージCST2に接続され、ソース端子は第3ノードQB2に接続され、ドレイン端子は、第2電圧源VSSを伝送する電源ラインに接続される。

【0232】

第20NMOSトランジスタTr20は、次々のステージからのスキャンパルスにตอบสนองして、第1ノードQを第2電圧源VSSで放電させる。すなわち、第20NMOSトランジスタTr20のゲート端子は、第5ステージからの第5スキャンパルスVout5にตอบสนองして、第1ノードQを第2電圧源VSSで放電させる。このため、第20NMOSトランジスタTr20のゲート端子は、第5ステージに接続され、ソース端子は第1ノードQに接続され、ドレイン端子は、第2電圧源VSSを伝送する電源ラインに接続される。

【0233】

第3ステージCST3の第1出力部120bは、第21乃至23NMOSトランジスタTr21~Tr23で構成される。

【0234】

第21NMOSトランジスタTr21は、第1ノードQに充電された第1電圧源VDDにตอบสนองして、第3クロックパルスCLK3をスキャンパルスとして出力する。そして、このスキャンパルスを前々のステージと次のステージに供給する。このため、第21NMOSトランジスタTr21のゲート端子は、第1ノードQに接続され、ソース端子は、第3クロックパルスCLK3を伝送するクロックラインに接続され、ドレイン端子は、第1ステージCST1に備えられた第20NMOSトランジスタTr20のゲート端子、及び第4ステージCST4に備えられた第1、第9、第10、第16、第17、第18及び第19NMOSトランジスタTr1、Tr9、Tr10、Tr16、Tr17、Tr18、Tr19のゲート端子に接続される。

【0235】

第22NMOSトランジスタTr22は、第2ノードQB1に充電された第3電圧源VDD3にตอบสนองして、第2電圧源VSSを出力する。そして、この第2電圧源VSSを前々のステージと次のステージに供給する。このため、第22NMOSトランジスタTr22のゲート端子は、第2ノードQB1に接続され、ドレイン端子は、第2電圧源VSSを伝送する電源ラインに接続され、ソース端子は、第1ステージCST1に備えられた第20

10

20

30

40

50

NMOSトランジスタTr 20のゲート端子、及び第4ステージCST 4に備えられた第1、第9、第10、第16、第17、第18、及び第19NMOSトランジスタTr 1、Tr 9、Tr 10、Tr 16、Tr 17、Tr 18、Tr 19のゲート端子に接続される。

【0236】

第23NMOSトランジスタTr 23は、第3ノードQB 2に充電された第4電圧源VDD 4にตอบสนองして、第2電圧源VSSを出力する。そして、この第2電圧源VSSを前々のステージと次のステージに供給する。このため、第23NMOSトランジスタTr 23のゲート端子は、第2ノードQB 1に接続され、ドレイン端子は、第2電圧源VSSを伝送する電源ラインに接続され、ソース端子は、第1ステージCST 1に備えられた第20NMOSトランジスタTr 20のゲート端子、及び第4ステージCST 4に備えられた第1、第9、第10、第16、第17、第18及び第19NMOSトランジスタTr 1、Tr 9、Tr 10、Tr 16、Tr 17、Tr 18、Tr 19のゲート端子に接続される。

10

【0237】

第3ステージCST 3の第2出力部120cは、第24乃至第26NMOSトランジスタTr 24～Tr 26で構成される。

【0238】

第24NMOSトランジスタTr 24は、第1ノードQに充電された第1電圧源VDDにตอบสนองして、第3クロックパルスCLK 3をスキャンパルスとして第3ゲートラインに出力する。このため、第24NMOSトランジスタTr 24のゲート端子は、第1ノードQに接続され、ソース端子は、第3クロックパルスCLK 3を伝送するクロックラインに接続され、ドレイン端子は第3ゲートラインに接続される。

20

【0239】

第25NMOSトランジスタTr 25は、第2ノードQB 1に充電された第3電圧源VDD 3にตอบสนองして、第2電圧源VSSを第3ゲートラインに出力する。このため、第25NMOSトランジスタTr 25のゲート端子は、第2ノードQB 1に接続され、ドレイン端子は第2電圧源VSSを伝送する電源ラインに接続され、ソース端子は、第3ゲートラインに接続される。

【0240】

第26NMOSトランジスタTr 26は、第3ノードQB 2に充電された第4電圧源VDD 4にตอบสนองして、第2電圧源VSSを第3ゲートラインに出力する。このため、第26NMOSトランジスタTr 26のゲート端子は第2ノードQB 1に接続され、ドレイン端子は、第2電圧源VSSを伝送する電源ラインに接続され、ソース端子は第3ゲートラインに接続される。

30

【0241】

第1及び第2ステージCST 1、CST 2、第4乃至第nステージCST 4～CST n、第1及び第2ダミーステージCST n+1、CST n+2も、上述した第2ステージCST 2と同じ構成を有する。

【0242】

ただし、第1ステージCST 1の前にはステージが存在しないので、第1ステージCST 1に備えられた第1、第9、第10、第16、第17、第18及び第19NMOSトランジスタTr 1、Tr 9、Tr 10、Tr 16、Tr 17、Tr 18、Tr 19には、タイミングコントローラからのスタートパルスSPが供給される。すなわち、第1ステージCST 1の第1NMOSトランジスタTr 1は、タイミングコントローラからのスタートパルスSPにตอบสนองして、第1ノードQを第1電圧源VDDで充電させる。

40

【0243】

また、第1ステージCST 1の第9NMOSトランジスタTr 9は、タイミングコントローラからのスタートパルスSPにตอบสนองして、第1ステージCST 1の第2ノードQB 1を第2電圧源VSSで放電させる。

【0244】

50

また、第1ステージCST1の第10NMOSトランジスタTr10は、タイミングコントローラからのスタートパルスに応答して、第4NMOSトランジスタTr4のゲート端子に第2電圧源VSSを供給することによって、第4NMOSトランジスタTr4をターンオフさせる。

【0245】

また、第1ステージCST1の第16NMOSトランジスタTr16は、タイミングコントローラからのスタートパルスに応答して、第12NMOSトランジスタTr12のゲート端子に第2電圧源VSSを供給することによって、第12NMOSトランジスタTr12をターンオフさせる。

【0246】

10

また、第1ステージCST1の第17NMOSトランジスタTr17は、タイミングコントローラからのスタートパルスに応答して、第12NMOSトランジスタTr12のゲート端子に第2電圧源VSSを供給することによって、第12NMOSトランジスタTr12をターンオフさせる。

【0247】

また、第1ステージCST1の第18NMOSトランジスタTr18は、タイミングコントローラからのスタートパルスSPに응答して、第2ノードQB1を第2電圧源VSSで放電させる。

【0248】

また、第1ステージCST1の第19NMOSトランジスタTr19は、タイミングコントローラからのスタートパルスSPに응答して、第3ノードQB2を第2電圧源VSSで放電させる。

20

【0249】

そして、第1及び第2ステージCST1、CST2の前々にはステージが存在しない。したがって、第1ステージCST1は第1スキャンパルスVout1を出力し、これを第1ゲートライン及び第2ステージCST2に供給する。これと同様に、第2ステージCST2は、第2スキャンパルスVout2を出力し、これを第2ゲートライン及び第3ステージCST3に供給する。

【0250】

そして、第2ダミーステージCSTn+2の次にはステージが存在しない。したがって、第2ダミーステージCSTn+2の第21NMOSトランジスタTr21のソース端子、第22NMOSトランジスタTr22のドレイン端子、及び第23NMOSトランジスタTr23のドレイン端子は、第nステージCSTnの第20NMOSトランジスタTr20のゲート端子に接続される。

30

【0251】

第2シフトレジスタ110bに備えられた各ステージCST1~CSTn+2も、第1シフトレジスタ110aに備えられた各ステージCST1~CSTn+2と同じ構成を有する。

【0252】

図13A及び図13Bは、図12の回路構成を有する第1シフトレジスタの第3ステージを示す図である。

40

【0253】

本発明の第2の実施の形態によるシフトレジスタの動作は、前述した第1の実施の形態のうち、図9、図10A、及び図10Bに示す回路の動作と同一であり、単に第2の実施の形態によるシフトレジスタの各ステージCST1~CSTn+2は、二つずつのスキャンパルスを出力する点が異なる。また、二つのスキャンパルスのうち一つを次のステージ及び前々のステージに供給し、残り一つを該当ゲートラインに供給する。ここで、第1及び第2ダミーステージCSTn+1~CSTn+2はスキャンパルスを一つずつ出力しても良い。

【0254】

50

以上説明してきた本発明は、上述の実施の形態及び添付の図面によって限定されるものではなく、本発明の技術的思想を逸脱しない範囲内で種々の置換、変形及び変更が可能であるということは、本発明の属する技術分野における通常の知識を有する者にとって明白である。

【図面の簡単な説明】

【0255】

【図1】従来のシフトレジスタを示す図である。

【図2】スキャンパルスの理想的な波形と歪んだスキャンパルスの波形を示す図である。

【図3】本発明の第1の実施の形態によるシフトレジスタを示す図である。

【図4】第1乃至第4クロックパルス、及び第1乃至第4スキャンパルスのタイミング図である。

10

【図5】従来のスキャンパルスと本発明によるスキャンパルスを比較説明するための図である。

【図6】従来のスキャンパルスと本発明のスキャンパルスに対するシミュレーション波形を示す図である。

【図7】図3の第1シフトレジスタに備えられた第3ステージの回路構成図である。

【図8】図7の回路構成を有する第1シフトレジスタの第1乃至第3ステージを示す図である。

【図9】図3の第1シフトレジスタに備えられた第3ステージに対する他の回路構成図である。

20

【図10A】図9の回路構成を有する第1シフトレジスタの第1乃至第2ステージを示す図である。

【図10B】図9の回路構成を有する第1シフトレジスタの第3ステージを示す図である。

【図11】本発明の第2の実施の形態によるシフトレジスタを示す図である。

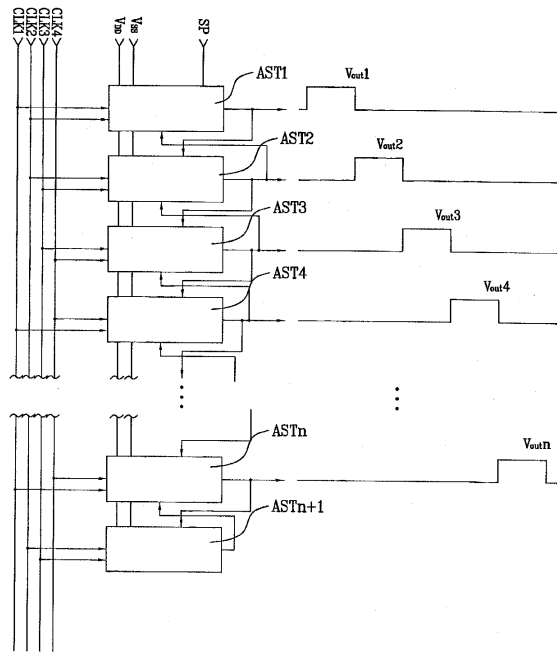
【図12】図11の第1シフトレジスタに備えられた第3ステージを示す図である。

【図13A】図12の回路構成を有する第1シフトレジスタの第1乃至第2ステージを示す図である。3ステージを示す図である。

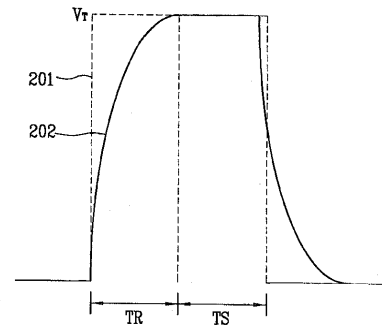
【図13B】図12の回路構成を有する第1シフトレジスタの第3ステージを示す図である。

30

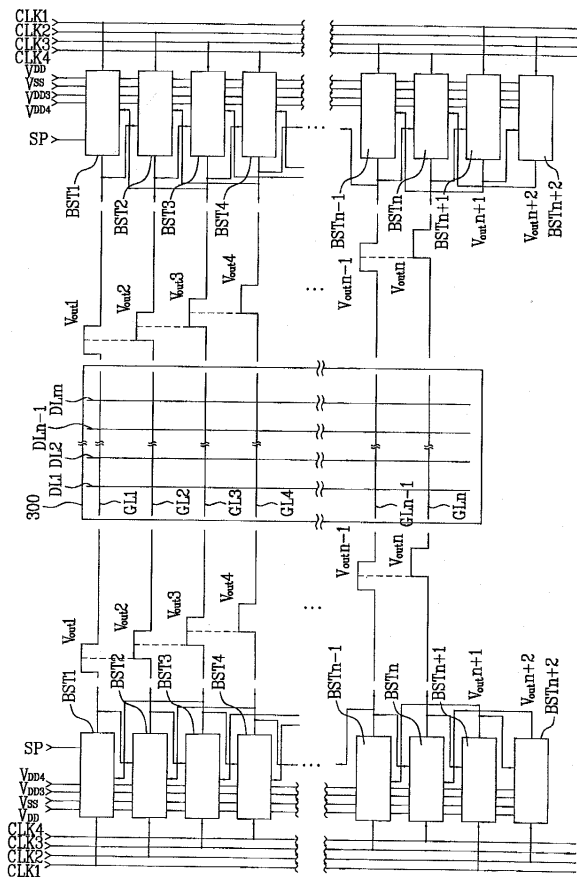
【図 1】



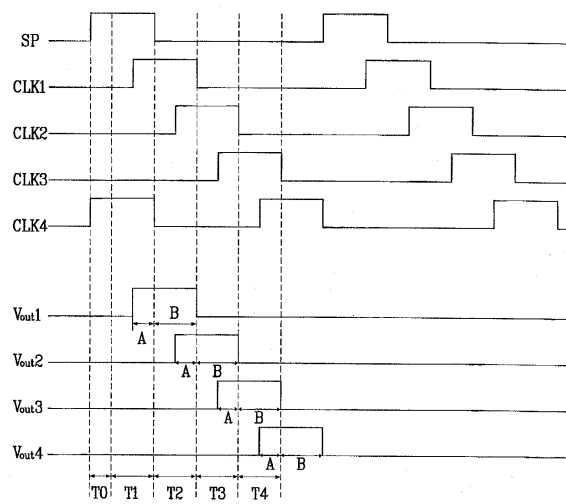
【図 2】



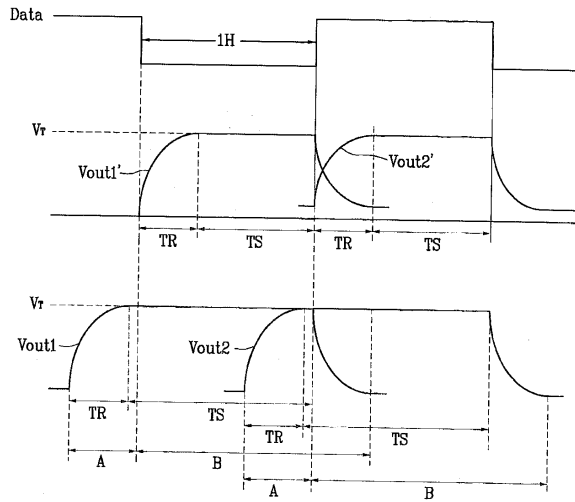
【図 3】



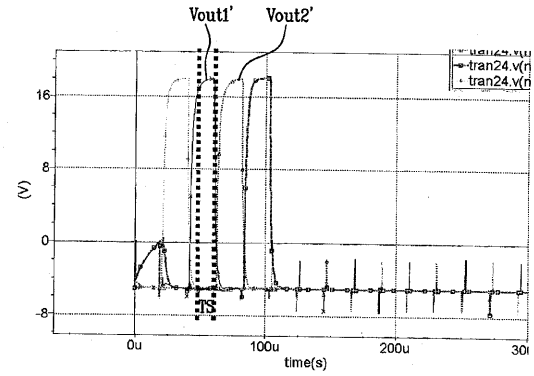
【図 4】



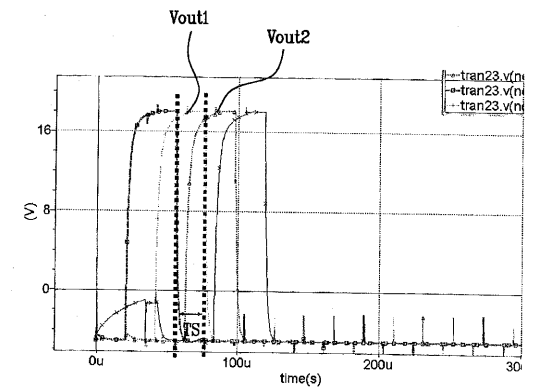
【図 5】



【図 6】

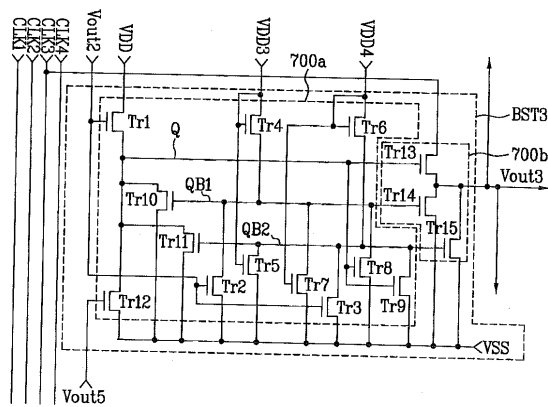


(a)

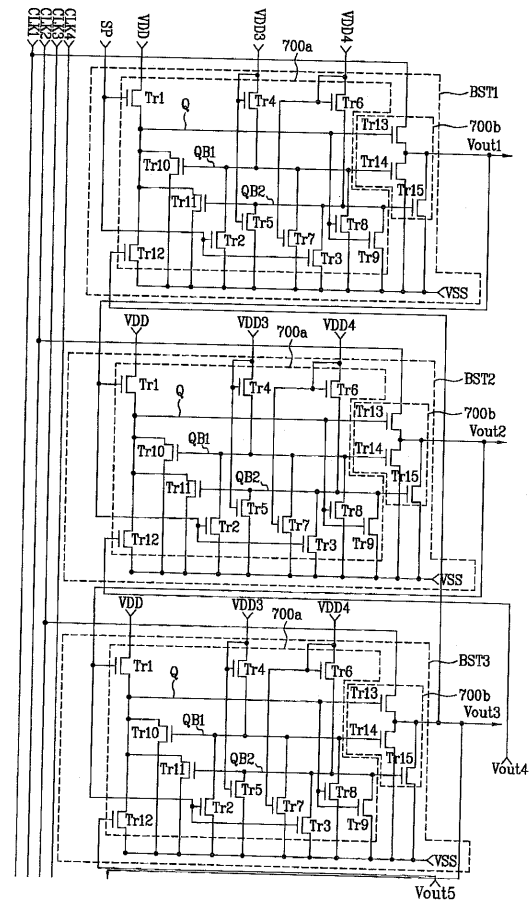


(b)

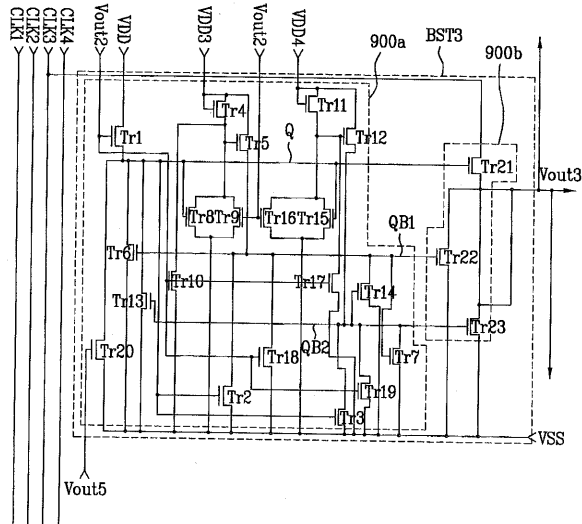
【図 7】



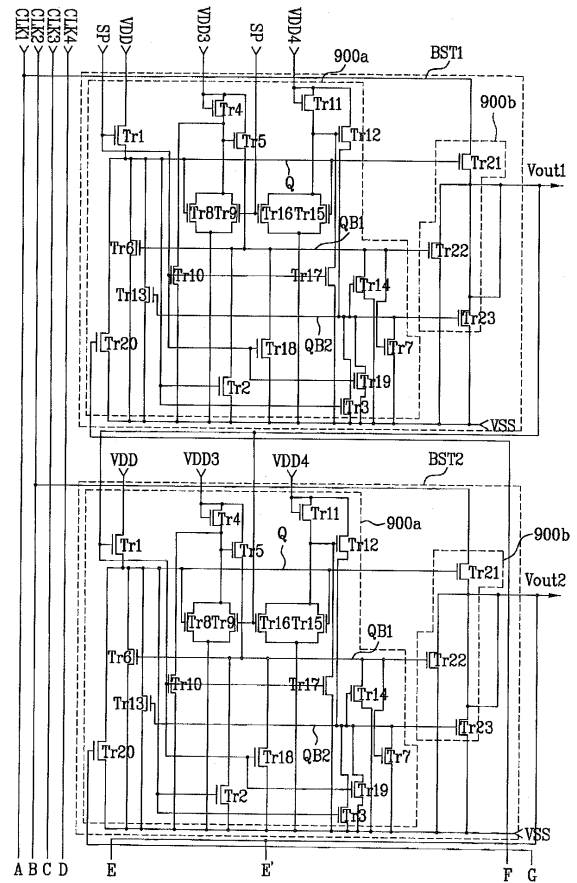
【図 8】



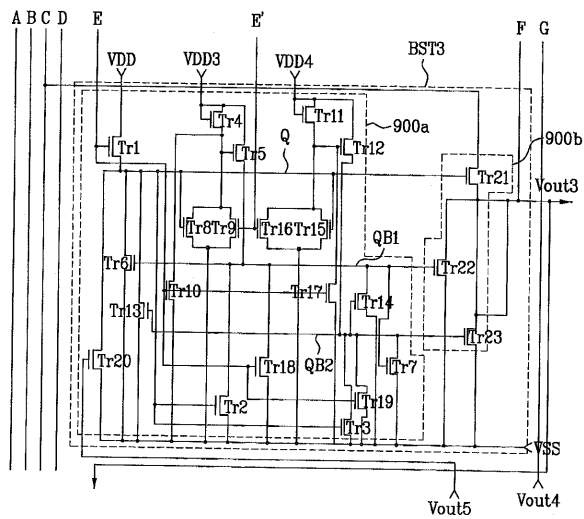
【図 9】



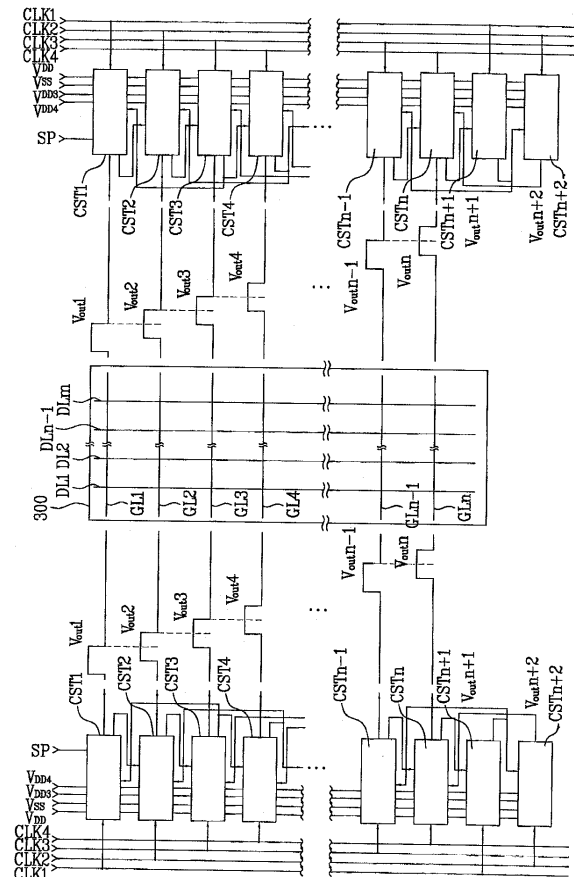
【図 10 A】



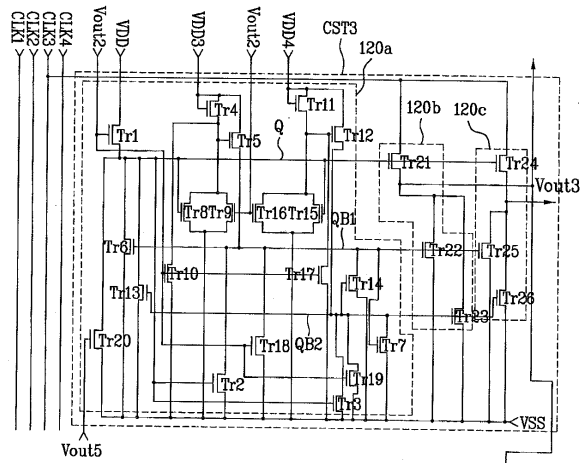
【図 10 B】



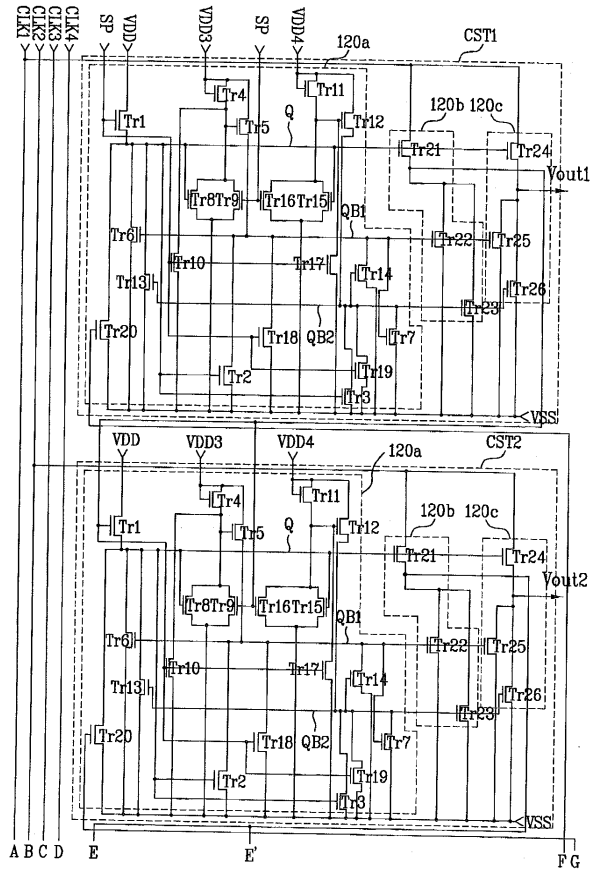
【図 11】



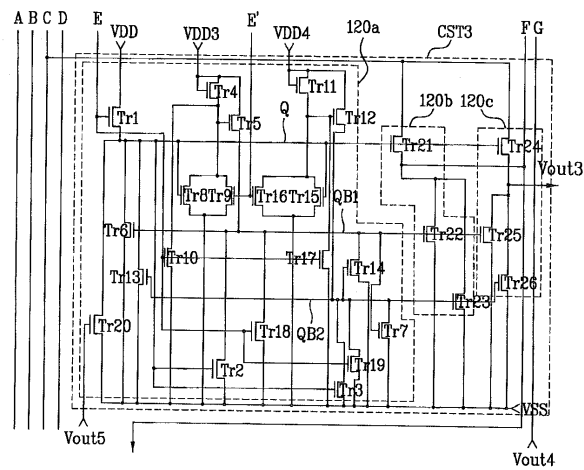
【図 12】



【図 13 A】



【図 13 B】



フロントページの続き

(51)Int.Cl.

F I

G 0 9 G 3/20 6 2 1 A

G 0 2 F 1/133 5 5 0

(72)発明者 張 容豪

大韓民国京畿道城南市盆唐區盆唐洞セトビョルミョル・サンプ・アパートメント 4 1 4 - 8 0 6

(72)発明者 金 彬

大韓民国ソウル陽川區木5洞モクドン4ダンチ・アパートメント 4 0 8 - 2 0 0 3

(72)発明者 尹 洙榮

大韓民国京畿道高陽市徳陽區幸臣洞ムウォンミョル1 0 ダンチ・ソグワン・アパートメント 1 0
1 0 - 8 0 2

審査官 堀部 修平

(56)参考文献 特開平0 8 - 0 6 2 5 8 0 (J P , A)

特開平0 7 - 1 4 0 4 3 9 (J P , A)

特開平0 2 - 1 2 3 3 2 6 (J P , A)

特開2 0 0 1 - 3 5 6 7 3 8 (J P , A)

特開昭6 3 - 0 7 7 0 3 1 (J P , A)

特表2 0 0 4 - 5 2 4 6 3 9 (J P , A)

特開平0 2 - 0 0 0 0 8 8 (J P , A)

特開昭6 2 - 2 7 1 5 6 9 (J P , A)

特開平1 0 - 1 9 8 3 1 3 (J P , A)

特開平0 2 - 2 3 9 2 2 6 (J P , A)

特開平0 9 - 3 2 5 7 3 8 (J P , A)

特開平1 1 - 2 6 5 1 7 4 (J P , A)

特開平0 4 - 2 8 9 8 9 3 (J P , A)

特開2 0 0 2 - 0 2 3 6 8 3 (J P , A)

(58)調査した分野(Int.Cl. , D B名)

G 0 9 G 3 / 0 0 - 3 / 3 8

G 0 2 F 1 / 1 3 3

专利名称(译)	显示装置的驱动电路		
公开(公告)号	JP4512064B2	公开(公告)日	2010-07-28
申请号	JP2006171649	申请日	2006-06-21
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	Eruji飞利浦杜迪股份有限公司		
当前申请(专利权)人(译)	Eruji显示有限公司		
[标]发明人	張容豪 金彬 尹洙榮		
发明人	張 容豪 金 彬 尹 洙榮		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
CPC分类号	G09G3/3677 G09G2310/0205 G09G2320/0223 G11C19/28		
FI分类号	G09G3/36 G09G3/20.622.D G09G3/20.611.J G09G3/20.622.E G09G3/20.612.K G09G3/20.621.A G02F1/133.550 G11C19/00 G11C19/00.J G11C19/28.D G11C19/28.230		
F-TERM分类号	2H093/NC16 2H093/NC22 2H093/NC34 2H093/NC66 2H093/ND34 2H093/ND36 2H093/ND58 2H193/ZA04 2H193/ZH40 2H193/ZH43 5B074/AA10 5B074/CA01 5B074/DA03 5B074/DB01 5B074/EA04 5C006/AF42 5C006/AF50 5C006/AF71 5C006/AF72 5C006/BB16 5C006/BC02 5C006/BC03 5C006/BF03 5C006/BF34 5C006/FA15 5C006/FA16 5C006/FA37 5C080/AA10 5C080/BB05 5C080/DD30 5C080/FF11 5C080/JJ03 5C080/JJ04		
代理人(译)	英年古河 Kajinami秩序		
优先权	1020050058609 2005-06-30 KR		
其他公开文献	JP2007011336A		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种显示装置的驱动电路及其驱动方法，其能够减少提供给液晶面板的栅极线的扫描脉冲的失真。解决方案：驱动电路包括第一移位寄存器，用于顺序地将第一扫描脉冲提供给显示器中包括的栅极线的一侧端，以顺序驱动栅极线，第一移位寄存器同时驱动至少两个相邻的栅极线。栅极线持续预定时间段，第二移位寄存器用于顺序地将第二扫描脉冲提供给栅极线的另一侧端，以顺序驱动栅极线，第二移位寄存器同时驱动至少两个相邻的栅极线持续预定的时间段。

【图 4】

