

(19) 日本国特許庁(JP)

## (12) 特 許 公 報(B2)

(11) 特許番号

特許第4512064号  
(P4512064)

(45) 発行日 平成22年7月28日(2010.7.28)

(24) 登録日 平成22年5月14日(2010.5.14)

(51) Int.CI.

F 1

**G09G 3/36 (2006.01)**  
**G09G 3/20 (2006.01)**  
**G02F 1/133 (2006.01)**

GO9G 3/36  
 GO9G 3/20 622D  
 GO9G 3/20 611J  
 GO9G 3/20 622E  
 GO9G 3/20 612K

請求項の数 26 (全 49 頁) 最終頁に続く

(21) 出願番号

特願2006-171649 (P2006-171649)

(22) 出願日

平成18年6月21日 (2006.6.21)

(65) 公開番号

特開2007-11336 (P2007-11336A)

(43) 公開日

平成19年1月18日 (2007.1.18)

審査請求日

平成18年6月21日 (2006.6.21)

(31) 優先権主張番号

10-2005-0058609

(32) 優先日

平成17年6月30日 (2005.6.30)

(33) 優先権主張国

韓国 (KR)

(73) 特許権者 501426046

エルジー ディスプレイ カンパニー リ  
ミテッド  
大韓民国 ソウル, ョンドゥンポーク, ヨ  
イドードン 20

(74) 代理人 100110423

弁理士 曾我 道治

(74) 代理人 100084010

弁理士 古川 秀利

(74) 代理人 100094695

弁理士 鈴木 憲七

(74) 代理人 100111648

弁理士 梶並 順

最終頁に続く

(54) 【発明の名称】表示装置の駆動回路

## (57) 【特許請求の範囲】

## 【請求項 1】

表示部に備えられたゲートラインの一側に順に第1スキャンパルスを供給して前記ゲートラインを順に駆動するとともに、隣接する少なくとも二つのゲートラインを一定期間同時に駆動する第1シフトレジスタと、

前記ゲートラインの他側に順に第2スキャンパルスを供給して前記ゲートラインを順に駆動するとともに、隣接する少なくとも二つのゲートラインを一定期間同時に駆動する第2シフトレジスタと

を備え、

前記第1シフトレジスタは、各第1スキャンパルスを各ゲートラインの一側に供給し、  
一方向に配列された複数のステージを備え、

前記第2シフトレジスタは、各第2スキャンパルスを各ゲートラインの他側に供給し、  
一方向に配列された複数のステージを備え、

第1シフトレジスタに備えられた各ステージは、

第1、第2及び第3ノードの論理状態を制御するノード制御部と、

前記第1、第2及び第3ノードの論理状態によって前記スキャンパルス及び非駆動用電圧源のうち一つを出力してゲートライン、次のステージ及び前のステージに供給する出力部と、

を備え、

前記第1シフトレジスタに備えられた第nステージのノード制御部は、

10

20

スタートパルスまたは第 n - 1 ステージからの第 1 スキャンパルスに応答して、第 1 ノードを第 1 電圧源で充電させる第 1 スイッチング素子と、

スタートパルスまたは第 n - 1 ステージからの第 1 スキャンパルスに応答して、第 2 ノードを第 2 電圧源で放電させる第 2 スイッチング素子と、

スタートパルスまたは第 n - 1 ステージからの第 1 スキャンパルスに応答して、第 3 ノードを第 2 電圧源で放電させる第 3 スイッチング素子と、

フレームごとに異なる極性を有する第 3 電圧源に応答してターンオンまたはターンオフされ、ターンオン時に第 2 ノードを第 3 電圧源で充電させる第 4 スイッチング素子と、

第 3 電圧源に応答してターンオンまたはターンオフされ、ターンオン時に第 3 ノードを第 2 電圧源で放電させる第 5 スイッチング素子と、

フレームごとに異なる極性を有し、前記第 3 電圧源に反転する極性を有する第 4 電圧源に応答してターンオンまたはターンオフされ、ターンオン時に第 3 ノードを前記第 4 電圧源で充電させる第 6 スイッチング素子と、

第 4 電圧源に応答してターンオンまたはターンオフされ、ターンオン時に第 2 ノードを第 2 電圧源で放電させる第 7 スイッチング素子と、

第 1 ノードに充電された第 1 電圧源に応答して、第 2 ノードを第 2 電圧源で放電させる第 8 スイッチング素子と、

第 1 ノードに充電された第 1 電圧源に応答して、第 3 ノードを第 2 電圧源で放電させる第 9 スイッチング素子と、

第 2 ノードに充電された第 3 電圧源に応答して、第 1 ノードを第 2 電圧源で放電させる第 10 スイッチング素子と、

第 3 ノードに充電された第 4 電圧源に応答して、第 1 ノードを第 2 電圧源で放電させる第 11 スイッチング素子と、

第 n + 2 ステージからの第 1 スキャンパルスに応答して、第 1 ノードを第 2 電圧源で放電させる第 12 スイッチング素子と

を備えることを特徴とする、表示装置の駆動回路。

#### 【請求項 2】

第 n + 1 ゲートライン (n は、自然数) を駆動するための第 1 スキャンパルスは、第 n ゲートラインを駆動するための第 1 スキャンパルスがアクティブ状態を維持する期間内に、前記第 n + 1 ゲートラインに供給されることを特徴とする、請求項 1 に記載の表示装置の駆動回路。

#### 【請求項 3】

第 n + 1 ゲートライン (n は、自然数) を駆動するための第 2 スキャンパルスは、第 n ゲートラインを駆動するための第 2 スキャンパルスがアクティブ状態を維持する期間内に、前記第 n + 1 ゲートラインに供給されることを特徴とする、請求項 1 に記載の表示装置の駆動回路。

#### 【請求項 4】

前記第 1 及び第 2 シフトレジスタに互いに位相差を有する複数のクロックパルスを供給するタイミングコントローラをさらに備えることを特徴とする、請求項 1 に記載の表示装置の駆動回路。

#### 【請求項 5】

各クロックパルスは順に出力され、先に出力されたクロックパルスがアクティブ状態を維持する期間内に出力されることを特徴とする、請求項 4 に記載の表示装置の駆動回路。

#### 【請求項 6】

各クロックパルス同士が同時にアクティブ状態を有する期間の大きさと各スキャンパルス同士が同時にアクティブ状態を有する期間の大きさとが同一であることを特徴とする、請求項 5 に記載の表示装置の駆動回路。

#### 【請求項 7】

前記第 1 シフトレジスタは、

最後に位置したステージの直前に位置したステージをディセーブルさせるためのスキャ

10

20

30

40

50

ンパルスを出力する第1ダミーステージと、

前記最後に位置したステージをディセーブルさせるためのスキャンパルスを出力する第2ダミーステージと

をさらに備えることを特徴とする、請求項1に記載の表示装置の駆動回路。

【請求項8】

前記第2ダミーステージは、第1ダミーステージからのスキャンパルスに応答してインエーブルされることを特徴とする、請求項7に記載の表示装置の駆動回路。

【請求項9】

前記第1シフトレジスタに備えられた第nステージの出力部は、

第1ノードに充電された第1電圧源に応答してスキャンパルスをゲートライン、第n+1ステージ及び第n-2ステージに供給する第13スイッチング素子と、

第2ノードに充電された第3電圧源に応答して第2電圧源をゲートライン、第n+1ステージ及び第n-2ステージに供給する第14スイッチング素子と、

第3ノードに充電された第4電圧源に応答して第2電圧源をゲートライン、第n+1ステージ及び第n-2ステージに供給する第15スイッチング素子と

を備えて構成されることを特徴とする、請求項1に記載の表示装置の駆動回路。

【請求項10】

表示部に備えられたゲートラインの一側に順に第1スキャンパルスを供給して前記ゲートラインを順に駆動するとともに、隣接する少なくとも二つのゲートラインを一定期間同時に駆動する第1シフトレジスタと、

前記ゲートラインの他側に順に第2スキャンパルスを供給して前記ゲートラインを順に駆動するとともに、隣接する少なくとも二つのゲートラインを一定期間同時に駆動する第2シフトレジスタと

を備え、

前記第1シフトレジスタは、各第1スキャンパルスを各ゲートラインの一側に供給し、一方向に配列された複数のステージを備え、

前記第2シフトレジスタは、各第2スキャンパルスを各ゲートラインの他側に供給し、一方向に配列された複数のステージを備え、

第1シフトレジスタに備えられた各ステージは、

第1、第2及び第3ノードの論理状態を制御するノード制御部と、

前記第1、第2及び第3ノードの論理状態によって前記スキャンパルス及び非駆動用電圧源のうち一つを出力してゲートライン、次のステージ及び前のステージに供給する出力部と、

を備え、

前記第1シフトレジスタに備えられた第nステージのノード制御部は、

スタートパルスまたは第n-1ステージからの第1スキャンパルスに応答して、第1ノードを第1電圧源で充電させる第1スイッチング素子と、

第1ノードに充電された第1電圧源に応答して、第2ノードを第2電圧源で放電させる第2スイッチング素子と、

第1ノードに充電された第1電圧源に応答して、第3ノードを第2電圧源で放電させる第3スイッチング素子と、

フレームごとに異なる極性を有する第3電圧源に応答してターンオンまたはターンオフされ、ターンオン時に第3電圧源を出力する第4スイッチング素子と、

前記第4スイッチング素子から出力された前記第3電圧源に応答して、第2ノードを第3電圧源で充電させる第5スイッチング素子と、

第2ノードに充電された第3電圧源に応答して、第1ノードを第2電圧源で放電させる第6スイッチング素子と、

第2ノードに充電された第3電圧源に応答して、第3ノードを第2電圧源で放電させる第7スイッチング素子と、

第1ノードに充電された第1電圧源に応答して、第5スイッチング素子のゲート端子に

10

20

30

40

50

第2電圧源を供給することによって、前記第5スイッチング素子をターンオフさせる第8スイッチング素子と、

スタートパルスまたは第n-1ステージからの第1スキャンパルスに応答して、第5スイッチング素子のゲート端子に第2電圧源を供給することによって、前記第5スイッチング素子をターンオフさせる第9スイッチング素子と、

スタートパルスまたは第n-1ステージからの第1スキャンパルスに応答して、第5スイッチング素子のゲート端子に第2電圧源を供給することによって、前記第5スイッチング素子をターンオフさせる第10スイッチング素子と、

フレームごとに異なる極性を有し、前記第3電圧源に反転された極性を有する第4電圧源に応答して、ターンオンまたはターンオフされ、ターンオン時に前記第4電圧源を出力する第11スイッチング素子と、10

前記第11スイッチング素子から出力された第4電圧源に応答して、第3ノードを前記第4電圧源で充電させる第12スイッチング素子と、

第3ノードに充電された第4電圧源に応答して、第1ノードを第2電圧源で放電させる第13スイッチング素子と、

第3ノードに充電された第4電圧源に応答して、第2ノードを第2電圧源で放電させる第14スイッチング素子と、

第1ノードに充電された第1電圧源に応答して、前記第12スイッチング素子のゲート端子に第2電圧源を供給することによって、前記第12スイッチング素子をターンオフさせる第15スイッチング素子と、20

スタートパルスまたは第n-1ステージからの第1スキャンパルスに応答して、前記第12スイッチング素子のゲート端子に第2電圧源を供給することによって、前記第12スイッチング素子をターンオフさせる第16スイッチング素子と、

スタートパルスまたは第n-1ステージからの第1スキャンパルスに応答して、前記第12スイッチング素子のゲート端子に第2電圧源を供給することによって、前記第12スイッチング素子をターンオフさせる第17スイッチング素子と、

スタートパルスまたは第n-1ステージからの第1スキャンパルスに応答して、第2ノードを第2電圧源で放電させる第18スイッチング素子と、

スタートパルスまたは第n-1ステージからの第1スキャンパルスに応答して、第3ノードを第2電圧源で放電させる第19スイッチング素子と、30

第n+2ステージからのスキャンパルスに応答して、第1ノードを第2電圧源で放電させる第20スイッチング素子と

を備えることを特徴とする、表示装置の駆動回路。

#### 【請求項11】

前記第1シフトレジスタに備えられた第nステージの出力部は、

第1ノードに充電された第1電圧源に応答して、第1スキャンパルスをゲートライン、第n+1ステージ及び第n-2ステージに供給する第21スイッチング素子と、

第2ノードに充電された第3電圧源に応答して、第2電圧源をゲートライン、第n+1ステージ及び第n-2ステージに供給する第22スイッチング素子と、

第3ノードに充電された第4電圧源に応答して、第2電圧源をゲートライン、第n+1ステージ及び第n-2ステージに供給する第23スイッチング素子と40

を備えて構成されることを特徴とする、請求項10に記載の表示装置の駆動回路。

#### 【請求項12】

表示部に備えられたゲートラインの一側に順に第1スキャンパルスを供給して前記ゲートラインを順に駆動するとともに、隣接する少なくとも二つのゲートラインを一定期間同時に駆動する第1シフトレジスタと、

前記ゲートラインの他側に順に第2スキャンパルスを供給して前記ゲートラインを順に駆動するとともに、隣接する少なくとも二つのゲートラインを一定期間同時に駆動する第2シフトレジスタと

を備え、

前記第1シフトレジスタは、各第1スキャンパルスを各ゲートラインの一側に供給し、  
一方向に配列された複数のステージを備え、

前記第2シフトレジスタは、各第2スキャンパルスを各ゲートラインの他側に供給し、  
一方向に配列された複数のステージを備え、

第1シフトレジスタに備えられた各ステージは、

第1、第2及び第3ノードの論理状態を制御するノード制御部と、

前記第1、第2及び第3ノードの論理状態によって前記スキャンパルス及び非駆動用電  
圧源のうち一つを出力してゲートラインに供給する第1出力部と、

前記第1、第2及び第3ノードの論理状態によって前記スキャンパルス及び非駆動用電  
圧源のうち一つを出力して前のステージ及び次のステージに供給する第2出力部と  
を備え、

前記第1シフトレジスタに備えられた第nステージのノード制御部は、

スタートパルスまたは第n-1ステージからのスキャンパルスに応答して、第1ノード  
を第1電圧源で充電させる第1スイッチング素子と、

第1ノードに充電された第1電圧源に応答して、第2ノードを第2電圧源で放電させる  
第2スイッチング素子と、

第1ノードに充電された第1電圧源に応答して、第3ノードを第2電圧源で放電させる  
第3スイッチング素子と、

フレームごとに異なる極性を有する第3電圧源に応答してターンオンまたはターンオフ  
され、ターンオン時に前記第3電圧源を出力する第4スイッチング素子と、

前記第4スイッチング素子から出力された前記第3電圧源に応答して、第2ノードを第  
3電圧源で充電させる第5スイッチング素子と、

第2ノードに充電された第3電圧源に応答して、第1ノードを第2電圧源で放電させる  
第6スイッチング素子と、

第2ノードに充電された第3電圧源に応答して、第3ノードを第2電圧源で放電させる  
第7スイッチング素子と、

第1ノードに充電された第1電圧源に応答して、第5スイッチング素子のゲート端子に  
第2電圧源を供給することによって、前記第5スイッチング素子をターンオフさせる第8  
スイッチング素子と、

スタートパルスまたは第n-1ステージからのスキャンパルスに応答して、第5スイッ  
チング素子のゲート端子に第2電圧源を供給することによって、前記第5スイッチング素  
子をターンオフさせる第9スイッching素子と、

スタートパルスまたは第n-1ステージからのスキャンパルスに応答して、第5スイッ  
チング素子のゲート端子に第2電圧源を供給することによって、前記第5スイッching素  
子をターンオフさせる第10スイッching素子と、

フレームごとに異なる極性を有し、前記第3電圧源に反転された極性を有する第4電圧  
源に応答して、ターンオンまたはターンオフされ、ターンオン時に前記第4電圧源を出力  
する第11スイッching素子と、

前記第11スイッching素子から出力された第4電圧源に応答して、第3ノードを前記  
第4電圧源で充電させる第12スイッching素子と、

第3ノードに充電された第4電圧源に応答して、第1ノードを第2電圧源で放電させる  
第13スイッching素子と、

第3ノードに充電された第4電圧源に応答して、第2ノードを第2電圧源で放電させる  
第14スイッching素子と、

第1ノードに充電された第1電圧源に応答して、前記第12スイッching素子のゲート  
端子に第2電圧源を供給することによって、前記第12スイッching素子をターンオフさ  
せる第15スイッching素子と、

スタートパルスまたは第n-1ステージからのスキャンパルスに応答して、前記第12  
スイッching素子のゲート端子に第2電圧源を供給することによって、前記第12スイッ  
ching素子をターンオフさせる第16スイッching素子と、

10

20

30

40

50

スタートパルスまたは第  $n - 1$  ステージからのスキャンパルスに応答して、前記第 1 2 スイッチング素子のゲート端子に第 2 電圧源を供給することによって、前記第 1 2 スイッチング素子をターンオフさせる第 1 7 スイッチング素子と、

スタートパルスまたは第  $n - 1$  ステージからのスキャンパルスに応答して、第 2 ノードを第 2 電圧源で放電させる第 1 8 スイッチング素子と、

スタートパルスまたは第  $n - 1$  ステージからのスキャンパルスに応答して、第 3 ノードを第 2 電圧源で放電させる第 1 9 スイッチング素子と、

第  $n + 2$  ステージからのスキャンパルスに応答して、第 1 ノードを第 2 電圧源で放電させる第 2 0 スイッチング素子と

を備えることを特徴とする、表示装置の駆動回路。

10

#### 【請求項 1 3】

前記第 1 シフトレジスタに備えられた第  $n$  ステージの第 1 出力部は、

第 1 ノードに充電された第 1 電圧源に応答して、第 1 スキャンパルスをゲートラインに供給する第 2 1 スイッチング素子と、

第 2 ノードに充電された第 3 電圧源に応答して、第 2 電圧源をゲートラインに供給する第 2 2 スイッチング素子と、

第 3 ノードに充電された第 4 電圧源に応答して、第 2 電圧源をゲートラインに供給する第 2 3 スイッチング素子と

を備えて構成されることを特徴とする、請求項 1 2 に記載の表示装置の駆動回路。

#### 【請求項 1 4】

前記第 1 シフトレジスタに備えられた第  $n$  ステージの第 2 出力部は、

第 1 ノードに充電された第 1 電圧源に応答して第 1 スキャンパルスを第  $n + 1$  ステージ及び第  $n - 2$  ステージに供給する第 2 4 スイッチング素子と、

第 2 ノードに充電された第 3 電圧源に応答して、第 2 電圧源を第  $n + 1$  ステージ及び第  $n - 2$  ステージに供給する第 2 5 スイッチング素子と、

第 3 ノードに充電された第 4 電圧源に応答して、第 2 電圧源を第  $n + 1$  ステージ及び第  $n - 2$  ステージに供給する第 2 6 スイッチング素子と

を備えて構成されることを特徴とする、請求項 1 3 に記載の表示装置の駆動回路。

#### 【請求項 1 5】

第 2 シフトレジスタに備えられた第  $n$  ステージ（ $n$  は、自然数）は、第  $n - 1$  ステージからの第 2 スキャンパルスに応答してイネーブルされて第 2 スキャンパルスを出力し、第  $n + 2$  ステージからの第 2 スキャンパルスに応答してディセーブルされることを特徴とする、請求項 1 に記載の表示装置の駆動回路。

#### 【請求項 1 6】

前記第 2 シフトレジスタは、最後に位置したステージの直前に位置したステージをディセーブルさせるためのスキャンパルスを出力する第 1 ダミーステージと、

前記最後に位置したステージをディセーブルさせるためのスキャンパルスを出力する第 2 ダミーステージと

をさらに備えることを特徴とする、請求項 1 5 に記載の表示装置の駆動回路。

#### 【請求項 1 7】

前記第 2 ダミーステージは、第 1 ダミーステージからのスキャンパルスに応答してイネーブルされることを特徴とする、請求項 1 6 に記載の表示装置の駆動回路。

#### 【請求項 1 8】

第 2 シフトレジスタに備えられた各ステージは、

第 1、第 2 及び第 3 ノードの論理状態を制御するノード制御部と、

前記第 1、第 2 及び第 3 ノードの論理状態によって前記スキャンパルス及び非駆動用電圧源のうち一つを出力してゲートライン、次のステージ及び前のステージに供給する出力部と

を備えることを特徴とする、請求項 1 に記載の表示装置の駆動回路。

#### 【請求項 1 9】

40

50

前記第2シフトレジスタに備えられた第nステージのノード制御部は、  
 スタートパルスまたは第n-1ステージからのスキャンパルスに応答して、第1ノード  
 を第1電圧源で充電させる第1スイッチング素子と、  
 スタートパルスまたは第n-1ステージからのスキャンパルスに応答して、第2ノード  
 を第2電圧源で放電させる第2スイッチング素子と、  
 スタートパルスまたは第n-1ステージからのスキャンパルスに応答して、第3ノード  
 を第2電圧源で放電させる第3スイッチング素子と、  
 フレームごとに異なる極性を有する第3電圧源に応答してターンオンまたはターンオフ  
 され、ターンオン時に第2ノードを第3電圧源で充電させる第4スイッチング素子と、  
 第3電圧源に応答してターンオンまたはターンオフされ、ターンオン時に第3ノードを  
 第2電圧源で放電させる第5スイッチング素子と、  
 フレームごとに異なる極性を有し、前記第3電圧源に反転する極性を有する第4電圧源  
 に応答してターンオンまたはターンオフされ、ターンオン時に第3ノードを前記第4電圧  
 源で充電させる第6スイッチング素子と、  
 第4電圧源に応答してターンオンまたはターンオフされ、ターンオン時に第2ノードを  
 第2電圧源で放電させる第7スイッチング素子と、  
 第1ノードに充電された第1電圧源に応答して、第2ノードを第2電圧源で放電させる  
 第8スイッチング素子と、  
 第1ノードに充電された第1電圧源に応答して、第3ノードを第2電圧源で放電させる  
 第9スイッチング素子と、  
 第2ノードに充電された第3電圧源に応答して、第1ノードを第2電圧源で放電させる  
 第10スイッチング素子と、  
 第3ノードに充電された第4電圧源に応答して、第1ノードを第2電圧源で放電させる  
 第11スイッチング素子と、  
 第n+2ステージからのスキャンパルスに応答して、第1ノードを第2電圧源で放電さ  
 せる第12スイッチング素子と  
 を備えることを特徴とする、請求項1\_8に記載の表示装置の駆動回路。  
**【請求項20】**  
 前記第2シフトレジスタに備えられた第nステージの出力部は、  
 第1ノードに充電された第1電圧源に応答してスキャンパルスをゲートライン、第n+  
 1ステージ及び第n-2ステージに供給する第13スイッチング素子と、  
 第2ノードに充電された第3電圧源に応答して第2電圧源をゲートライン、第n+1ス  
 テージ及び第n-2ステージに供給する第14スイッチング素子と、  
 第3ノードに充電された第4電圧源に応答して第2電圧源をゲートライン、第n+1ス  
 テージ及び第n-2ステージに供給する第15スイッチング素子と  
 を備えて構成されることを特徴とする、請求項1\_9に記載の表示装置の駆動回路。  
**【請求項21】**  
 前記第2シフトレジスタに備えられた第nステージのノード制御部は、  
 スタートパルスまたは第n-1ステージからのスキャンパルスに応答して、第1ノード  
 を第1電圧源で充電させる第1スイッチング素子と、  
 第1ノードに充電された第1電圧源に応答して、第2ノードを第2電圧源で放電させる  
 第2スイッチング素子と、  
 第1ノードに充電された第1電圧源に応答して、第3ノードを第2電圧源で放電させる  
 第3スイッチング素子と、  
 フレームごとに異なる極性を有する第3電圧源に応答してターンオンまたはターンオフ  
 され、ターンオン時に第3電圧源を出力する第4スイッチング素子と、  
 前記第4スイッチング素子から出力された前記第3電圧源に応答して、第2ノードを第  
 3電圧源で充電させる第5スイッチング素子と、  
 第2ノードに充電された第3電圧源に応答して、第1ノードを第2電圧源で放電させる  
 第6スイッチング素子と、

10

20

30

40

50

第2ノードに充電された第3電圧源に応答して、第3ノードを第2電圧源で放電させる第7スイッチング素子と、

第1ノードに充電された第1電圧源に応答して、第5スイッチング素子のゲート端子に第2電圧源を供給することによって、前記第5スイッチング素子をターンオフさせる第8スイッチング素子と、

スタートパルスまたは第n-1ステージからのスキャンパルスに応答して、第5スイッチング素子のゲート端子に第2電圧源を供給することによって、前記第5スイッチング素子をターンオフさせる第9スイッチング素子と、

スタートパルスまたは第n-1ステージからのスキャンパルスに応答して、第5スイッチング素子のゲート端子に第2電圧源を供給することによって、前記第5スイッチング素子をターンオフさせる第10スイッチング素子と、

フレームごとに異なる極性を有し、前記第3電圧源に反転された極性を有する第4電圧源に応答して、ターンオンまたはターンオフされ、ターンオン時に前記第4電圧源を出力する第11スイッチング素子と、

前記第11スイッチング素子から出力された第4電圧源に応答して、第3ノードを前記第4電圧源で充電させる第12スイッチング素子と、

第3ノードに充電された第4電圧源に応答して、第1ノードを第2電圧源で放電させる第13スイッチング素子と、

第3ノードに充電された第4電圧源に応答して、第2ノードを第2電圧源で放電させる第14スイッチング素子と、

第1ノードに充電された第1電圧源に応答して、前記第12スイッチング素子のゲート端子に第2電圧源を供給することによって、前記第12スイッチング素子をターンオフさせる第15スイッチング素子と、

スタートパルスまたは第n-1ステージからのスキャンパルスに応答して、前記第12スイッチング素子のゲート端子に第2電圧源を供給することによって、前記第12スイッチング素子をターンオフさせる第16スイッチング素子と、

スタートパルスまたは第n-1ステージからのスキャンパルスに応答して、前記第12スイッチング素子のゲート端子に第2電圧源を供給することによって、前記第12スイッチング素子をターンオフさせる第17スイッチング素子と、

スタートパルスまたは第n-1ステージからのスキャンパルスに応答して、第2ノードを第2電圧源で放電させる第18スイッチング素子と、

スタートパルスまたは第n-1ステージからのスキャンパルスに応答して、第3ノードを第2電圧源で放電させる第19スイッチング素子と、

第n+2ステージからのスキャンパルスに応答して、第1ノードを第2電圧源で放電させる第20スイッチング素子と

を備えることを特徴とする、請求項1\_8に記載の表示装置の駆動回路。

### 【請求項2\_2】

前記第2シフトレジスタに備えられた第nステージの出力部は、

第1ノードに充電された第1電圧源に応答して、スキャンパルスをゲートライン、第n+1ステージ及び第n-2ステージに供給する第21スイッチング素子と、

第2ノードに充電された第3電圧源に応答して、第2電圧源をゲートライン、第n+1ステージ及び第n-2ステージに供給する第22スイッチング素子と、

第3ノードに充電された第4電圧源に応答して、第2電圧源をゲートライン、第n+1ステージ及び第n-2ステージに供給する第23スイッチング素子と

を備えて構成されることを特徴とする、請求項2\_1に記載の表示装置の駆動回路。

### 【請求項2\_3】

第2シフトレジスタに備えられた各ステージは、

第1、第2及び第3ノードの論理状態を制御するノード制御部と、

前記第1、第2及び第3ノードの論理状態によって前記スキャンパルス及び非駆動用電圧源のうち一つを出力してゲートラインに供給する第1出力部と、

10

20

30

40

50

前記第1、第2及び第3ノードの論理状態によって前記スキャンパルス及び非駆動用電圧源のうち一つを出力して前のステージ及び次のステージに供給する第2出力部とを備えることを特徴とする、請求項1に記載の表示装置の駆動回路。

**【請求項24】**

前記第2シフトレジスタに備えられた第nステージのノード制御部は、  
スタートパルスまたは第n-1ステージからのスキャンパルスに応答して、第1ノードを第1電圧源で充電させる第1スイッチング素子と、  
第1ノードに充電された第1電圧源に応答して、第2ノードを第2電圧源で放電させる第2スイッチング素子と、  
第1ノードに充電された第1電圧源に応答して、第3ノードを第2電圧源で放電させる第3スイッチング素子と、

フレームごとに異なる極性を有する第3電圧源に応答してターンオンまたはターンオフされ、ターンオン時に前記第3電圧源を出力する第4スイッチング素子と、

前記第4スイッチング素子から出力された前記第3電圧源に応答して、第2ノードを第3電圧源で充電させる第5スイッチング素子と、

第2ノードに充電された第3電圧源に応答して、第1ノードを第2電圧源で放電させる第6スイッチング素子と、

第2ノードに充電された第3電圧源に応答して、第3ノードを第2電圧源で放電させる第7スイッチング素子と、

第1ノードに充電された第1電圧源に応答して、第5スイッチング素子のゲート端子に第2電圧源を供給することによって、前記第5スイッチング素子をターンオフさせる第8スイッチング素子と、

スタートパルスまたは第n-1ステージからのスキャンパルスに応答して、第5スイッチング素子のゲート端子に第2電圧源を供給することによって、前記第5スイッチング素子をターンオフさせる第9スイッチング素子と、

スタートパルスまたは第n-1ステージからのスキャンパルスに応答して、第5スイッチング素子のゲート端子に第2電圧源を供給することによって、前記第5スイッチング素子をターンオフさせる第10スイッチング素子と、

フレームごとに異なる極性を有し、前記第3電圧源に反転された極性を有する第4電圧源に応答して、ターンオンまたはターンオフされ、ターンオン時に前記第4電圧源を出力する第11スイッチング素子と、

前記第11スイッチング素子から出力された第4電圧源に応答して、第3ノードを前記第4電圧源で充電させる第12スイッチング素子と、

第3ノードに充電された第4電圧源に応答して、第1ノードを第2電圧源で放電させる第13スイッチング素子と、

第3ノードに充電された第4電圧源に応答して、第2ノードを第2電圧源で放電させる第14スイッチング素子と、

第1ノードに充電された第1電圧源に応答して、前記第12スイッチング素子のゲート端子に第2電圧源を供給することによって、前記第12スイッチング素子をターンオフさせる第15スイッチング素子と、

スタートパルスまたは第n-1ステージからのスキャンパルスに応答して、前記第12スイッチング素子のゲート端子に第2電圧源を供給することによって、前記第12スイッチング素子をターンオフさせる第16スイッチング素子と、

スタートパルスまたは第n-1ステージからのスキャンパルスに応答して、前記第12スイッチング素子のゲート端子に第2電圧源を供給することによって、前記第12スイッチング素子をターンオフさせる第17スイッチング素子と、

スタートパルスまたは第n-1ステージからのスキャンパルスに応答して、第2ノードを第2電圧源で放電させる第18スイッチング素子と、

スタートパルスまたは第n-1ステージからのスキャンパルスに応答して、第3ノードを第2電圧源で放電させる第19スイッチング素子と、

10

20

30

40

50

第  $n + 2$  ステージからのスキャンパルスに応答して、第 1 ノードを第 2 電圧源で放電させる第 20 スイッチング素子と

を備えることを特徴とする、請求項 23 に記載の表示装置の駆動回路。

**【請求項 25】**

前記第 2 シフトレジスタに備えられた第  $n$  ステージの第 1 出力部は、

第 1 ノードに充電された第 1 電圧源に応答して、スキャンパルスをゲートラインに供給する第 21 スイッチング素子と、

第 2 ノードに充電された第 3 電圧源に応答して、第 2 電圧源をゲートラインに供給する第 22 スイッチング素子と、

第 3 ノードに充電された第 4 電圧源に応答して、第 2 電圧源をゲートラインに供給する第 23 スイッチング素子と

を備えて構成されることを特徴とする、請求項 24 に記載の表示装置の駆動回路。 10

**【請求項 26】**

前記第 2 シフトレジスタに備えられた第  $n$  ステージの第 2 出力部は、

第 1 ノードに充電された第 1 電圧源に応答してスキャンパルスを第  $n + 1$  ステージ及び第  $n - 2$  ステージに供給する第 24 スイッチング素子と、

第 2 ノードに充電された第 3 電圧源に応答して、第 2 電圧源を第  $n + 1$  ステージ及び第  $n - 2$  ステージに供給する第 25 スイッチング素子と、

第 3 ノードに充電された第 4 電圧源に応答して、第 2 電圧源を第  $n + 1$  ステージ及び第  $n - 2$  ステージに供給する第 26 スイッチング素子と

を備えて構成されることを特徴とする、請求項 25 に記載の表示装置の駆動回路。 20

**【発明の詳細な説明】**

**【技術分野】**

**【0001】**

本発明は、表示装置の駆動回路に係り、特に、各スキャンパルス同士が一定時間の間に互いに重なるように各スキャンパルスのパルス幅を増加させて出力し、これによりスキャンパルスの歪みを防止することができる表示装置の駆動回路に関する。

**【背景技術】**

**【0002】**

通常の液晶表示装置は、電界を用いて液晶の光透過率を調節することによって画像を表示する。このため、液晶表示装置は、画素領域がマトリクス状に配列された液晶パネルと、この液晶パネルを駆動するための駆動回路とを備える。 30

**【0003】**

液晶パネルには、複数のゲートラインと複数のデータラインとが交差するように配列され、これらゲートラインとデータラインとが直交することによって定義される領域に画素領域が位置し、また、これら画素領域のそれぞれに電界を印加するための画素電極と共に共通電極が形成される。

**【0004】**

これら画素電極のそれぞれは、スイッチング素子である薄膜トランジスタ (TFT ; Th in Film Transistor) のソース電極及びドレイン電極を介してデータラインに接続される。この薄膜トランジスタは、ゲートラインを介してゲート電極に印加されるスキャンパルスによってターンオンされ、データラインのデータ信号が画素電極に充電されるようになる。 40

**【0005】**

一方、駆動回路は、ゲートラインを駆動するためのゲートドライバと、データラインを駆動するためのデータドライバと、これらゲートドライバとデータドライバを制御するための制御信号を供給するタイミングコントローラと、液晶表示装置で用いられる種々の駆動電圧を供給する電源供給部とを備える。

**【0006】**

ここで、タイミングコントローラは、ゲートドライバ及びデータドライバの駆動タイミ 50

ングを制御するとともに、データドライバに画素データ信号を供給する。また、電源供給部は、入力電源を昇圧または降圧することによって、液晶表示装置で必要とする共通電圧V COM、ゲートハイ電圧信号V GH、ゲートロー電圧信号V GLなどの駆動電圧を生成する。

#### 【0007】

そして、ゲートドライバは、スキャンパルスをゲートラインに順次供給して、液晶パネル上の液晶セルを1ライン分ずつ順次駆動する。また、データドライバは、ゲートラインのいずれか一つにスキャンパルスが供給される度にデータラインのそれぞれに画素電圧信号を供給する。これにより、液晶表示装置は、液晶セル別に画素電圧信号によって画素電極と共通電極との間に印加される電界によって光透過率を調節することによって画像を表示する。

10

#### 【0008】

ここで、ゲートドライバは、上述のようなスキャンパルスを順次出力するようにシフトレジスタを備える。これを、添付の図面を参照してより具体的に説明すると、次の通りである。

#### 【0009】

図1は、従来のシフトレジスタを示す図である。

#### 【0010】

従来のシフトレジスタは、図1に示すように、互いに従属的に接続されたn個のステージAST1～ASTn及び一つのダミーステージASTn+1で構成される。ここで、各ステージAST1～ASTn+1は、一つずつのスキャンパルスVout1～Voutn+1を出力する。すなわち、第1ステージAST1からダミーステージASTn+1まで順にスキャンパルスVout1～Voutn+1を出力する。このときに、ダミーステージASTn+1以外のステージAST1～ASTnから出力されたスキャンパルスVout1～Voutnは、液晶パネル((図示せず))のゲートラインに順次供給されてゲートラインを順次スキャニングするようになる。

20

#### 【0011】

このように構成されたシフトレジスタの全体ステージAST1～ASTn+1には、第1電圧源VDD及び第2電圧源VSSが印加され、互いに順次位相差を有する第1乃至第4クロックパルスCLK1～CLK4のうち二つのクロックパルスが供給される。ここで、第1電圧源VDDは正極性の電圧源を表し、第2電圧源VSSは接地電圧を表す。

30

#### 【0012】

ここで、ステージAST1～ASTn+1のうち最も上側に位置している第1ステージAST1には、第1電圧源VDD、第2電圧源VSS、及び二つのクロックパルスに加えてスタートパルスSPが供給される。

#### 【発明の開示】

#### 【発明が解決しようとする課題】

#### 【0013】

しかしながら、このように構成された従来のシフトレジスタには次のような問題点があった。

40

#### 【0014】

図2は、スキャンパルスの理想的な波形と歪んだスキャンパルスの波形を示す図である。

#### 【0015】

液晶表示装置の大面積化に伴ってゲートラインの長さが増加し、これによりゲートラインの抵抗及びキャパシタンス成分も増加することになる。これにより、図2に示すように、抵抗及びキャパシタンス成分によってゲートラインに供給されるスキャンパルス201は歪むことがある。参照番号201は、ゲートラインに抵抗及びキャパシタンス成分がないと仮定したときの理想的なスキャンパルス201を表す。

#### 【0016】

50

一方、スキャンパルス 201 が抵抗及びキャパシタンス成分によって歪むと、スキャンパルス 201 の立上り時間  $T_R$  が増加してその波形が歪んでしまう。参照番号 202 は、ゲートラインの抵抗及びキャパシタンス成分によって歪んだ形態のスキャンパルスを表す。

#### 【0017】

このように歪んだスキャンパルス 202 は、理想的なスキャンパルス 201 に比べて立上り時間  $T_R$  が長いため、相対的に目標電圧  $V_T$  に保持される有効充電時間  $T_S$  が短くなる。

#### 【0018】

このように波形の歪んだスキャンパルス 202 が薄膜トランジスタのゲート電極に印加されると、該薄膜トランジスタのターンオン時間が短くなるため、ターンオンされた薄膜トランジスタがデータラインからのデータ電圧をスイッチングする時間も短くなってしまう。その結果、ターンオンされた薄膜トランジスタのドレイン／ソース端子を経由して画素電極に印加されるデータ電圧もその波形が歪み、該画素電極にはデータ電圧が十分に充電されなくなる。

#### 【0019】

本発明は上記の問題点を解決するためのもので、その目的は、各スキャンパルス同士が一定時間互いに重なるように各スキャンパルスのパルス幅を増加させて出力し各スキャンパルスが目標電圧に保持される有効充電時間を増加させることによってスキャンパルスの歪みを防止できる表示装置の駆動回路を提供することにある。

#### 【課題を解決するための手段】

#### 【0020】

上記目的を達成するために、本発明に係る表示装置の駆動回路は、表示部に備えられたゲートラインの一側に順に第1スキャンパルスを供給して前記ゲートラインを順に駆動するとともに、隣接する少なくとも二つのゲートラインを一定期間同時に駆動する第1シフトレジスタと、前記ゲートラインの他側に順に第2スキャンパルスを供給して前記ゲートラインを順に駆動するとともに、隣接する少なくとも二つのゲートラインを一定期間同時に駆動する第2シフトレジスタとを備え、前記第1シフトレジスタは、各第1スキャンパルスを各ゲートラインの一側に供給し、一方向に配列された複数のステージを備え、前記第2シフトレジスタは、各第2スキャンパルスを各ゲートラインの他側に供給し、一方向に配列された複数のステージを備え、第1シフトレジスタに備えられた各ステージは、第1、第2及び第3ノードの論理状態を制御するノード制御部と、前記第1、第2及び第3ノードの論理状態によって前記スキャンパルス及び非駆動用電圧源のうち一つを出力してゲートライン、次のステージ及び前のステージに供給する出力部と、を備え、前記第1シフトレジスタに備えられた第nステージのノード制御部は、スタートパルスまたは第n-1ステージからの第1スキャンパルスに応答して、第1ノードを第1電圧源で充電させる第1スイッチング素子と、スタートパルスまたは第n-1ステージからの第1スキャンパルスに応答して、第2ノードを第2電圧源で放電させる第2スイッチング素子と、スタートパルスまたは第n-1ステージからの第1スキャンパルスに応答して、第3ノードを第2電圧源で放電させる第3スイッチング素子と、フレームごとに異なる極性を有する第3電圧源に応答してターンオンまたはターンオフされ、ターンオン時に第2ノードを第3電圧源で充電させる第4スイッチング素子と、第3電圧源に応答してターンオンまたはターンオフされ、ターンオフ時に第3ノードを第2電圧源で放電させる第5スイッチング素子と、フレームごとに異なる極性を有し、前記第3電圧源に反転する極性を有する第4電圧源に応答してターンオンまたはターンオフされ、ターンオン時に第3ノードを前記第4電圧源で充電させる第6スイッチング素子と、第4電圧源に応答してターンオンまたはターンオフされ、ターンオン時に第2ノードを第2電圧源で放電させる第7スイッチング素子と、第1ノードに充電された第1電圧源に応答して、第2ノードを第2電圧源で放電させる第8スイッチング素子と、第1ノードに充電された第1電圧源に応答して、第3ノードを第2電圧源で放電させる第9スイッチング素子と、第2ノードに充電された第3電圧源

10

20

30

40

50

に応答して、第1ノードを第2電圧源で放電させる第10スイッチング素子と、第3ノードに充電された第4電圧源に応答して、第1ノードを第2電圧源で放電させる第11スイッチング素子と、第n+2ステージからの第1スキャンパルスに応答して、第1ノードを第2電圧源で放電させる第12スイッチング素子とを備える。

また、表示部に備えられたゲートラインの一側に順に第1スキャンパルスを供給して前記ゲートラインを順に駆動するとともに、隣接する少なくとも二つのゲートラインを一定期間同時に駆動する第1シフトレジスタと、前記ゲートラインの他側に順に第2スキャンパルスを供給して前記ゲートラインを順に駆動するとともに、隣接する少なくとも二つのゲートラインを一定期間同時に駆動する第2シフトレジスタとを備え、前記第1シフトレジスタは、各第1スキャンパルスを各ゲートラインの一側に供給し、一方向に配列された複数のステージを備え、前記第2シフトレジスタは、各第2スキャンパルスを各ゲートラインの他側に供給し、一方向に配列された複数のステージを備え、第1シフトレジスタに備えられた各ステージは、第1、第2及び第3ノードの論理状態を制御するノード制御部と、前記第1、第2及び第3ノードの論理状態によって前記スキャンパルス及び非駆動用電圧源のうち一つを出力してゲートライン、次のステージ及び前のステージに供給する出力部と、を備え、前記第1シフトレジスタに備えられた第nステージのノード制御部は、スタートパルスまたは第n-1ステージからの第1スキャンパルスに応答して、第1ノードを第1電圧源で充電させる第1スイッチング素子と、第1ノードに充電された第1電圧源に応答して、第2ノードを第2電圧源で放電させる第2スイッチング素子と、第1ノードに充電された第1電圧源に応答して、第3ノードを第2電圧源で放電させる第3スイッチング素子と、フレームごとに異なる極性を有する第3電圧源に応答してターンオンまたはターンオフされ、ターンオン時に第3電圧源を出力する第4スイッチング素子と、前記第4スイッチング素子から出力された前記第3電圧源に応答して、第2ノードを第3電圧源で充電させる第5スイッチング素子と、第2ノードに充電された第3電圧源に応答して、第1ノードを第2電圧源で放電させる第6スイッチング素子と、第2ノードに充電された第3電圧源に応答して、第3ノードを第2電圧源で放電させる第7スイッチング素子と、第1ノードに充電された第1電圧源に応答して、第5スイッチング素子のゲート端子に第2電圧源を供給することによって、前記第5スイッチング素子をターンオフさせる第8スイッチング素子と、スタートパルスまたは第n-1ステージからの第1スキャンパルスに応答して、第5スイッチング素子のゲート端子に第2電圧源を供給することによって、前記第5スイッチング素子をターンオフさせる第9スイッチング素子と、スタートパルスまたは第n-1ステージからの第1スキャンパルスに応答して、第5スイッチング素子のゲート端子に第2電圧源を供給することによって、前記第5スイッチング素子をターンオフさせる第10スイッチング素子と、フレームごとに異なる極性を有し、前記第3電圧源に反転された極性を有する第4電圧源に応答して、ターンオンまたはターンオフされ、ターンオン時に前記第4電圧源を出力する第11スイッチング素子と、前記第11スイッチング素子から出力された第4電圧源に応答して、第3ノードを前記第4電圧源で充電させる第12スイッチング素子と、第3ノードに充電された第4電圧源に応答して、第1ノードを第2電圧源で放電させる第13スイッチング素子と、第3ノードに充電された第4電圧源に応答して、第2ノードを第2電圧源で放電させる第14スイッチング素子と、第1ノードに充電された第1電圧源に応答して、前記第12スイッチング素子のゲート端子に第2電圧源を供給することによって、前記第12スイッチング素子をターンオフさせる第15スイッチング素子と、スタートパルスまたは第n-1ステージからの第1スキャンパルスに応答して、前記第12スイッチング素子のゲート端子に第2電圧源を供給することによって、前記第12スイッチング素子をターンオフさせる第16スイッチング素子と、スタートパルスまたは第n-1ステージからの第1スキャンパルスに応答して、前記第12スイッチング素子のゲート端子に第2電圧源を供給することによって、前記第12スイッチング素子をターンオフさせる第17スイッチング素子と、スタートパルスまたは第n-1ステージからの第1スキャンパルスに応答して、第2ノードを第2電圧源で放電させる第18スイッチング素子と、スタートパルスまたは第n-1ステージからの第1スキャ

10

20

30

40

50

ンパルスに応答して、第3ノードを第2電圧源で放電させる第19スイッチング素子と、第n+2ステージからのスキャンパルスに応答して、第1ノードを第2電圧源で放電させる第20スイッチング素子とを備える。

また、表示部に備えられたゲートラインの一側に順に第1スキャンパルスを供給して前記ゲートラインを順に駆動するとともに、隣接する少なくとも二つのゲートラインを一定期間同時に駆動する第1シフトレジスタと、前記ゲートラインの他側に順に第2スキャンパルスを供給して前記ゲートラインを順に駆動するとともに、隣接する少なくとも二つのゲートラインを一定期間同時に駆動する第2シフトレジスタとを備え、前記第1シフトレジスタは、各第1スキャンパルスを各ゲートラインの一側に供給し、一方向に配列された複数のステージを備え、前記第2シフトレジスタは、各第2スキャンパルスを各ゲートラインの他側に供給し、一方向に配列された複数のステージを備え、第1シフトレジスタに備えられた各ステージは、第1、第2及び第3ノードの論理状態を制御するノード制御部と、前記第1、第2及び第3ノードの論理状態によって前記スキャンパルス及び非駆動用電圧源のうち一つを出力してゲートラインに供給する第1出力部と、前記第1、第2及び第3ノードの論理状態によって前記スキャンパルス及び非駆動用電圧源のうち一つを出力して前のステージ及び次のステージに供給する第2出力部とを備え、前記第1シフトレジスタに備えられた第nステージのノード制御部は、スタートパルスまたは第n-1ステージからのスキャンパルスに応答して、第1ノードを第1電圧源で充電させる第1スイッチング素子と、第1ノードに充電された第1電圧源に応答して、第2ノードを第2電圧源で放電させる第2スイッチング素子と、第1ノードに充電された第1電圧源に応答して、第3ノードを第2電圧源で放電させる第3スイッチング素子と、フレームごとに異なる極性を有する第3電圧源に応答してターンオンまたはターンオフされ、ターンオン時に前記第3電圧源を出力する第4スイッチング素子と、前記第4スイッチング素子から出力された前記第3電圧源に応答して、第2ノードを第3電圧源で充電させる第5スイッチング素子と、第2ノードに充電された第3電圧源に応答して、第1ノードを第2電圧源で放電させる第6スイッチング素子と、第2ノードに充電された第3電圧源に応答して、第3ノードを第2電圧源で放電させる第7スイッチング素子と、第1ノードに充電された第1電圧源に応答して、第5スイッチング素子のゲート端子に第2電圧源を供給することによって、前記第5スイッチング素子をターンオフさせる第8スイッチング素子と、スタートパルスまたは第n-1ステージからのスキャンパルスに応答して、第5スイッチング素子のゲート端子に第2電圧源を供給することによって、前記第5スイッチング素子をターンオフさせる第9スイッチング素子と、スタートパルスまたは第n-1ステージからのスキャンパルスに応答して、第5スイッチング素子のゲート端子に第2電圧源を供給することによって、前記第5スイッチング素子をターンオフさせる第10スイッチング素子と、フレームごとに異なる極性を有し、前記第3電圧源に反転された極性を有する第4電圧源に応答して、ターンオンまたはターンオフされ、ターンオン時に前記第4電圧源を出力する第11スイッチング素子と、前記第11スイッチング素子から出力された第4電圧源に応答して、第3ノードを前記第4電圧源で充電させる第12スイッチング素子と、第3ノードに充電された第4電圧源に応答して、第1ノードを第2電圧源で放電させる第13スイッチング素子と、第3ノードに充電された第4電圧源に応答して、第2ノードを第2電圧源で放電させる第14スイッチング素子と、第1ノードに充電された第1電圧源に応答して、前記第12スイッチング素子のゲート端子に第2電圧源を供給することによって、前記第12スイッチング素子をターンオフさせる第15スイッチング素子と、スタートパルスまたは第n-1ステージからのスキャンパルスに応答して、前記第12スイッチング素子のゲート端子に第2電圧源を供給することによって、前記第12スイッチング素子をターンオフさせる第16スイッチング素子と、スタートパルスまたは第n-1ステージからのスキャンパルスに応答して、前記第12スイッチング素子のゲート端子に第2電圧源を供給することによって、前記第12スイッチング素子をターンオフさせる第17スイッチング素子と、スタートパルスまたは第n-1ステージからのスキャンパルスに応答して、第2ノードを第2電圧源で放電させる第18スイッチング素子と、スタートパルスまたは第n-

10

20

30

40

50

1ステージからのスキャンパルスに応答して、第3ノードを第2電圧源で放電させる第1  
9スイッチング素子と、第n+2ステージからのスキャンパルスに応答して、第1ノード  
を第2電圧源で放電させる第20スイッチング素子とを備える。

【発明の効果】

【0022】

本発明による液晶表示装置のシフトレジスタは、複数のスキャンパルスを順に出力し、このとき、隣接する時間に出力されるスキャンパルス同士のパルス幅が互いに所定区間重なるようにスキャンパルスのパルス幅を増加させて出力するため、各スキャンパルスの有効充電時間を増加させることができると、上記のように各スキャンパルスの有効充電時間が増加すると、ゲートラインの抵抗及びキャパシタンス成分によってスキャンパルスに歪みが生じても、データ電圧を画素電極に正常に印加できるような充分な有効充電時間が確保可能になる。10

【発明を実施するための最良の形態】

【0023】

以下、添付の図面を参照して、本発明に係る液晶表示装置の好適な実施の形態について詳細に説明する。

【0024】

図3は、本発明の第1の実施の形態によるシフトレジスタの構成図である。

【0025】

本発明の第1の実施の形態による液晶表示装置のシフトレジスタは、図3に示すように、タイミングコントローラからの各クロックパルスC L K 1 ~ C L K 4 及びスタートパルスS Pに応答して複数のスキャンパルスV o u t 1 ~ V o u t nを順に出力するものの、このとき、隣接するスキャンパルスV o u t 1 ~ V o u t nが一定時間だけ重なり合う区間を有するように各スキャンパルスV o u t 1 ~ V o u t nのパルス幅を増加させて液晶パネル300のゲートラインG L 1 ~ G L nに出力することを特徴とする。20

【0026】

ここで、シフトレジスタは、第1及び第2シフトレジスタ301a, 301bからなる。すなわち、液晶パネル300の左側に配置される第1シフトレジスタ301aは、各ゲートラインG L 1 ~ G L nの一側にスキャンパルスを供給し、液晶パネル300の右側に配置された第2シフトレジスタ301bは、各ゲートラインG L 1 ~ G L nの他側にスキャンパルスを供給する。30

【0027】

ここで、表示装置のサイズを減少させるには、第1及び第2シフトレジスタ301a, 301bが液晶パネル300に内蔵されることが好ましい。

【0028】

一方、液晶パネル300には、一方向に配列される複数のゲートラインG L 1 ~ G L nと、このゲートラインG L 1 ~ G L nに直交するように配列された複数のデータラインD L 1 ~ D L mとが形成されており、データラインD L 1 ~ D L mは、データドライバから出力されるデータ電圧によって充電される。

【0029】

また、ゲートラインG L 1 ~ G L n及びデータラインD L 1 ~ D L mに囲まれて定義される各画素領域にはそれぞれ、薄膜トランジスタ及び画素電極が形成される。具体的に、薄膜トランジスタは、各ゲートラインG L 1 ~ G L nと各データラインD L 1 ~ D L mとが交差する付近に形成される。薄膜トランジスタは、各ゲートラインG L 1 ~ G L nに充電されたスキャンパルスV o u t 1 ~ V o u t nに応答してデータラインD L 1 ~ D L mに充電されたデータ電圧をスイッチングして画素電極に印加することによって、液晶パネル300に画像が表示されるようとする。40

【0030】

第1シフトレジスタ301aは、図3に示すように、互いに従属的に接続されたn個のステージB S T 1 ~ B S T n、及び第1及び第2ダミーステージB S T n + 1、B S T n50

+ 2 で構成される。ここで、各ステージ B S T 1 ~ B S T n + 2 はスキャンパルス V o u t 1 ~ V o u t n + 2 を一つずつ出力し、このとき、第 1 ステージ B S T 1 から第 2 ダミーステージ B S T n + 2 まで順にスキャンパルス V o u t 1 ~ V o u t n を出力する。ここで、第 1 及び第 2 ダミーステージ B S T n + 1 、 B S T n + 2 以外のステージ B S T 1 ~ B S T n から出力されたスキャンパルス V o u t 1 ~ V o u t n は、液晶パネル 3 0 0 (図示せず) のゲートライン G L 1 ~ G L n に順に供給され、ゲートライン G L 1 ~ G L n を順にスキャニングするようされる。

#### 【 0 0 3 1 】

第 2 シフトレジスタ 3 0 1 b も、第 1 シフトレジスタ 3 0 1 a と同じ構成を有する。したがって、第 1 シフトレジスタ 3 0 1 a に備えられた各ステージ B S T 1 ~ B S T n + 2 から出力されるスキャンパルス V o u t 1 ~ V o u t n + 2 は、第 2 シフトレジスタ 3 0 1 b に備えられた各ステージ B S T 1 ~ B S T n + 2 から出力されるスキャンパルス V o u t 1 ~ V o u t n + 2 と互いに同一である。10

#### 【 0 0 3 2 】

例えば、第 1 シフトレジスタ 3 0 1 a に備えられた第 1 ステージ B S T 1 から出力される第 1 スキャンパルス V o u t 1 は、第 2 シフトレジスタ 3 0 1 b に備えられた第 1 ステージ B S T 1 から出力される第 1 スキャンパルス V o u t 1 と同じ時間に第 1 ゲートライン G L 1 に供給される。

#### 【 0 0 3 3 】

これと同様に、第 1 シフトレジスタ 3 0 1 a に備えられた各ステージ B S T 1 ~ B S T n + 2 、及び第 2 シフトレジスタ 3 0 1 b に備えられた各ステージ B S T 1 ~ B S T n + 2 は互いに一対一対応し、互いに同じスキャンパルス V o u t 1 ~ V o u t n + 2 を出力するようになる。20

#### 【 0 0 3 4 】

ただし、第 1 シフトレジスタ 3 0 1 a に備えられた各ステージ B S T 1 ~ B S T n は、各ゲートライン G L 1 ~ G L n の一側にスキャンパルス V o u t 1 ~ V o u t n を印加し、第 2 シフトレジスタ 3 0 1 b に備えられた各ステージ B S T 1 ~ B S T n は、各ゲートライン G L 1 ~ G L n の他側にスキャンパルス V o u t 1 ~ V o u t n を印加する。

#### 【 0 0 3 5 】

このように構成された第 1 シフトレジスタ 3 0 1 a の全体ステージ B S T 1 ~ B S T n + 2 には、第 1 乃至第 4 電圧源 V D D 、 V S S 、 V D D 3 、 V D D 4 そして互いに順次位相差をもって循環する第 1 乃至第 4 クロックパルス C L K 1 ~ C L K 4 のうち一つのクロックパルスが印加される。ここで、第 1 電圧源 V D D は正極性の直流電圧源を表し、第 2 電圧源 V S S は負極性の電圧源を表す。そして、第 3 電圧源 V D D 3 及び第 4 電圧源 V D D 4 は、フレーム別に反転された極性を有する交流電圧源である。このとき、第 3 電圧源 V D D 3 は、第 4 電圧源 V D D 4 に反転された位相を有する。すなわち、同一フレーム内で第 3 電圧源 V D D 3 と第 4 電圧源 V D D 4 が異なる極性を表す。30

#### 【 0 0 3 6 】

ここで、第 1 シフトレジスタ 3 0 1 a に備えられたステージ C S T 1 ~ C S T n のうち最も上側に位置している第 1 ステージ B S T 1 には、第 1 乃至第 4 電圧源 V D D 、 V S S 、 V D D 3 、 V D D 4 、及び第 1 乃至第 4 クロックパルス C L K 1 ~ C L K 4 のうち二つのクロックパルスのほか、スタートパルス S P が供給される。40

#### 【 0 0 3 7 】

一方、上述したように、第 1 乃至第 4 クロックパルス C L K 1 ~ C L K 4 は互いに位相遅延されて出力される。すなわち、第 2 クロックパルス C L K 2 は、第 1 クロックパルス C L K 1 よりも位相遅延されて出力され、第 3 クロックパルス C L K 3 は、第 2 クロックパルス C L K 2 よりも位相遅延されて出力され、第 4 クロックパルス C L K 4 は、第 3 クロックパルス C L K 3 よりも位相遅延されて出力され、第 1 クロックパルス C L K 1 は、第 4 クロックパルス C L K 4 よりも位相遅延されて出力される。

#### 【 0 0 3 8 】

第1シフトレジスタ301aに備えられたステージCST1～CSTn+1のうち第1ステージBST1に印加されるスタートパルスSPは、クロックパルスCLK1～CLK4よりも先に出力される。また、スタートパルスSPは、1フレームに一回のみ出力される。すなわち、毎フレームごとにスタートパルスSPが最初に出力された後、第1乃至第4クロックパルスCLK1～CLK4が順に出力される。

#### 【0039】

このとき、第1乃至第4クロックパルスCLK1～CLK4は順に出力され、且つ循環しながら出力される。すなわち、第1クロックパルスCLK1から第4クロックパルスCLK4まで順に出力された後、再び第1クロックパルスCLK1から第4クロックパルスCLK4まで順に出力される。したがって、第1クロックパルスCLK1は、第4クロックパルスCLK4と第2クロックパルスCLK2間に該当する期間で出力される。ここで、第4クロックパルスCLK4とスタートパルスSPを互いに同期させ出力することができる。この場合は、第1乃至第4クロックパルスCLK1～CLK4のうち第4クロックパルスCLK4が最初に出力される。10

#### 【0040】

一方、本発明による第1シフトレジスタ301aは、二つ以上のクロックパルスを使用することができる。すなわち、本発明による第1シフトレジスタ301aは、第1乃至第4クロックパルスCLK1～CLK4のうち第1及び第2クロックパルスCLK1、CLK2のみを使用しても良く、第1乃至第3クロックパルスCLK1～CLK3のみを使用しても良い。また、本発明によるシフトレジスタは、順に出力される4個以上のクロックパルスを使用しても良い。20

#### 【0041】

第2シフトレジスタ301bも、上述した第1シフトレジスタ301aと同じ構成を有する。

#### 【0042】

このように構成されたシフトレジスタの動作について詳細に説明すると、次の通りである。

#### 【0043】

ここでは、第1シフトレジスタ301aと第2シフトレジスタ301bは同一に動作するので、第1シフトレジスタ301aについてのみ説明する。30

#### 【0044】

まず、タイミングコントローラからのスタートパルスSPが第1ステージBST1に入力されると、第1ステージBST1は、スタートパルスSPに応答してイネーブルされる。続いて、イネーブルされた第1ステージBST1は、タイミングコントローラからの第1クロックパルスCLK1を受けて第1スキャンパルスVout1を出力し、これを第1ゲートラインGL1と第2ステージBST2に供給する。すると、第2ステージBST2は、第1スキャンパルスVout1に応答してイネーブルされる。

#### 【0045】

その後、イネーブルされた第2ステージBST2は、タイミングコントローラからの第2クロックパルスCLK2を受けて第2スキャンパルスVout2を出力し、これを第2ゲートラインGL2と第3ステージBST3に供給する。すると、前記第3ステージBST3は、第2スキャンパルスVout2に応答してイネーブルされる。40

#### 【0046】

続いて、イネーブルされた第3ステージBST3は、タイミングコントローラからの第3クロックパルスCLK3を受けて第3スキャンパルスVout3を出力し、これを第3ゲートラインGL3、第4ステージBST4、及び第1ステージBST1に共に供給する。すると、第3スキャンパルスVout3に応答して第4ステージBST4はイネーブルされ、第1ステージBST1は、第3電圧源VSSを第1ゲートラインGL1に供給する。50

#### 【0047】

続いて、イネーブルされた第4ステージB S T 4は、タイミングコントローラからの第4クロックパルスC L K 4を受けて第4スキャンパルスV o u t 4を出力し、これを第4ゲートラインG L 4と第5ステージに供給する。すると、第5ステージは、第4スキャンパルスV o u t 4に応答してイネーブルされる。

#### 【 0 0 4 8 】

続いて、イネーブルされた第5ステージはタイミングコントローラからの第1クロックパルスC L K 1を受けて第5スキャンパルスを出力し、これを第5ゲートライン、第6ステージ、及び第3ステージB S T 3と共に供給する。すると、第5スキャンパルスに応答して第6ステージはイネーブルされ、第3ステージB S T 3は、第3電圧源V S Sを第3ゲートラインG L 3に供給する。

10

#### 【 0 0 4 9 】

このような方式で、第6乃至第nステージB S T nまで順に第6乃至第nスキャンパルスV o u t nを出力し、これらをそれぞれ第6乃至第nゲートラインG L nに順に供給する。このとき、隣接するスキャンパルス同士は一定時間だけ重なるパルス幅区間を有する。

#### 【 0 0 5 0 】

ここで、第1ダミーステージB S T n + 1は、第n - 1ステージB S T n - 1に第n + 1スキャンパルスV o u t n + 1を供給する役割を担い、第2ダミーステージB S T n + 2 3 0 0 hは、第nステージB S T nに第n + 2スキャンパルスV o u t n + 2を供給する役割を担う。すなわち、第1及び第2ダミーステージB S T n + 1、B S T n + 2から出力された第n + 1及び第n + 2スキャンパルスV o u t n + 1、V o u t n + 2はゲートラインには供給されなく、単に第n - 1及び第nステージB S T n - 1、B S T nが第2電圧源V S Sを出力するようにする役割を担うダミー出力である。

20

#### 【 0 0 5 1 】

このように各ステージは、スキャンパルスV o u t 1 ~ V o u t nを出力し、これを対応するゲートラインG L 1 ~ G L nにそれぞれ順に供給すると同時に、次のステージにスタートパルスS Pとして提供する。また、各ステージB S T 1 ~ B S T nは、次々のステージから出力されたスキャンパルスに応答して、対応するゲートラインに第2電圧源V S Sを供給する。

#### 【 0 0 5 2 】

30

第2シフトレジスタ3 0 1 bも、上述した第1シフトレジスタ3 0 1 aと同様に動作する。ただし、第1シフトレジスタ3 0 1 aに備えられた各ステージB S T 1 ~ B S T nは、各ゲートラインG L 1 ~ G L nの一側にスキャンパルスV o u t 1 ~ V o u t nを印加し、第2シフトレジスタ3 0 1 bに備えられた各ステージB S T 1 ~ B S T nは、各ゲートラインG L 1 ~ G L nの他側にスキャンパルスV o u t 1 ~ V o u t nを供給する。

#### 【 0 0 5 3 】

このように第1及び第2シフトレジスタ3 0 1 a, 3 0 1 bに備えられた各ステージB S T 1 ~ B S T n + 2が次のステージでなく、次々のステージから出力されたスキャンパルスを受け取る理由は、次の通りである。この理由を説明するに先立ち、各スキャンパルスV o u t 1 ~ V o u t n + 2及び第1乃至第4クロックパルスC L K 1 ~ C L K 4についてより具体的に説明する。ここで、全てのスキャンパルスV o u t 1 ~ V o u t nはその波形が同一なので、第1乃至第4スキャンパルスV o u t 1乃至V o u t 4を挙げて説明するものとする。

40

#### 【 0 0 5 4 】

図4は、第1乃至第4クロックパルス、及び第1乃至第4スキャンパルスのタイミング図である。

#### 【 0 0 5 5 】

まず、図4に示すように、第1乃至第4スキャンパルスV o u t 1 ~ V o u t 4のパルス幅は、予備充電区間A及び有効充電区間Bに分けられ、各スキャンパルスV o u t 1 ~ V o u t 4の予備充電区間Aは、以前スキャンパルスの有効充電区間Bと時間的に一部重

50

なる。また、各スキャンパルス  $V_{out1} \sim V_{out4}$  の有効充電区間 B は、次のスキャンパルスの予備充電区間 A と時間的に一部重なる。

#### 【0056】

したがって、各スキャンパルス  $V_{out1} \sim V_{out4}$  は、以前スキャンパルスの有効充電区間 B で出力し始め自分の有効充電区間 B では目標電圧  $V_T$  に到達するようになる。言い換れば、各スキャンパルス  $V_{out1} \sim V_{out4}$  は、自分の予備充電区間 A で目標電圧  $V_T$  に向けて徐々に増加し、以後自分の有効充電区間 B では完全に目標電圧  $V_T$  に維持される。

#### 【0057】

すなわち、第 1 スキャンパルス  $V_{out1}$  は、自分の予備充電区間 A に該当するスタートパルス  $S_P$  の一区間で出力し始め、自分の有効充電区間 B では目標電圧  $V_T$  に完全に維持される。そして、第 2 スキャンパルス  $V_{out2}$  は、自分の予備充電区間 A に該当する第 1 スキャンパルス  $V_{out1}$  の有効充電区間で出力し始め、自分の有効充電区間 B では完全に目標電圧  $V_T$  に維持される。

#### 【0058】

そして、第 3 スキャンパルス  $V_{out3}$  は、自分の予備充電区間 A に該当する前記第 2 スキャンパルス  $V_{out2}$  の有効充電区間 B で出力し始め、自分の有効充電区間 B では完全に目標電圧  $V_T$  に維持される。そして、第 4 スキャンパルス  $V_{out4}$  は、自分の予備充電区間 A に該当する第 3 スキャンパルス  $V_{out3}$  の有効充電区間 B で出力し始め、自分の有効充電区間 B では完全に目標電圧  $V_T$  に維持される。

10

20

#### 【0059】

これにより、各スキャンパルス  $V_{out1} \sim V_{out4}$  は、従来のスキャンパルスに比べて予備充電区間 A に該当するパルス幅だけ実質的により長いパルス幅を有し、スキャンパルス  $V_{out1} \sim V_{out4}$  を受け取る液晶パネル 300 の薄膜トランジスタのターンオン時間が増加するという長所がある。

#### 【0060】

一方、各スキャンパルス  $V_{out1} \sim V_{out4}$  は、タイミングコントローラから出力される第 1 乃至第 4 クロックパルス  $C_{LK1} \sim C_{LK4}$  に同期して出力されるので、これら第 1 乃至第 4 クロックパルス  $C_{LK1} \sim C_{LK4}$  もスキャンパルス  $V_{out1} \sim V_{out4}$  と同様に重なった区間を有する。

30

#### 【0061】

ここで、第 1 乃至第 4 クロックパルス  $C_{LK4}$  は、位相差をもって継続して循環するので、第 1 クロックパルス  $C_{LK1}$  は第 4 クロックパルス  $C_{LK4}$  と重なる。

#### 【0062】

このような本発明のスキャンパルスを従来のスキャンパルスと比較して説明すると、次の通りである。ここでは、従来の第 1 及び第 2 スキャンパルス  $V_{out1}'$ 、 $V_{out2}'$ 、そして本発明の第 1 及び第 2 スキャンパルス  $V_{out1}$ 、 $V_{out2}$  を挙げて説明する。

#### 【0063】

図 5 は、従来のスキャンパルスと本発明によるスキャンパルスとを比較説明するための図であり、図 6 は、従来のスキャンパルスと本発明のスキャンパルスに対するシミュレーション波形を示す図である。

40

#### 【0064】

従来の第 1 及び第 2 スキャンパルス  $V_{out1}'$ 、 $V_{out2}'$  は、ゲートラインの抵抗及びキャパシタンス成分によってその波形が歪むと、図 5 に示すように、その立上り時間  $T_R$  が増加し、これにより、第 1 及び第 2 スキャンパルス  $V_{out1}'$ 、 $V_{out2}'$  が目標電圧  $V_T$  に維持される有効充電時間  $T_S$  が減少するようになる。

#### 【0065】

一方、データ電圧  $D_{ata}$  は周期的に正極性及び負極性に変化しつつデータラインに印加されるが、このとき、スキャンパルスの有効充電時間  $T_S$  が、データ電圧が正極性に維

50

持される時間 1 H、または負極性に維持される時間 1 Hよりも短くなるため、データ電圧 Data が画素電極に正常に印加されなくなる。

【 0 0 6 6 】

しかしながら、本発明の第 1 スキャンパルス Vout 1 は、スタートパルス SP の一区間（第 1 スキャンパルス Vout 1 の予備充電区間 A）に該当する時点で出力し始まって徐々に増加し目標電圧 VT に到達し、それ以後は自分の有効充電区間 B に該当する時間の間に完全に目標電圧 VT に維持される。

【 0 0 6 7 】

すなわち、第 1 スキャンパルス Vout 1 の立上り時間 TR は、第 1 スキャンパルス Vout 1 の有効充電区間 B に該当する時間に含まれるのではなく、第 1 スキャンパルス Vout 1 の予備充電区間 A に該当する時間に含まれるので、第 1 スキャンパルス Vout 1 の有効充電区間 B に該当する時間が、立上り時間 TR によって減少しない。10

【 0 0 6 8 】

また、第 2 スキャンパルス Vout 2 は、第 1 スキャンパルス Vout 1 の有効充電区間 B（第 2 スキャンパルス Vout 2 の予備充電区間 A）に該当する時点で出力し始め徐々に増加して目標電圧 VT に到達し、それ以後は自分の有効充電区間 B に該当する時間の間に完全に目標電圧 VT に維持される。

【 0 0 6 9 】

すなわち、第 2 スキャンパルス Vout 2 の立上り時間 TR は、第 2 スキャンパルス Vout 2 の有効充電区間 B に該当する時間に含まれるのではなく、第 2 スキャンパルス Vout 2 の予備充電区間 A に該当する時間に含まれるので、第 1 スキャンパルス Vout 1 の有効充電区間 B に該当する時間が立上り時間 TR によって減少しない。20

【 0 0 7 0 】

したがって、図 6 の (a) 及び (b) に示すように、本発明での第 1 及び第 2 スキャンパルス Vout 1、Vout 2 は、従来の第 1 及び第 2 スキャンパルス Vout 1'、Vout 2' よりも長い有効充電時間 TS を有する。このとき、本発明の第 1 及び第 2 スキャンパルス Vout 1、Vout 2 の有効充電時間 TS は、データ電圧 Data が正極性及び負極性に維持される時間 1 H よりも長いため、データ電圧 Data は画素電極に正常に伝達される。

【 0 0 7 1 】

一方、互いに隣接する時間帯に出力されるスキャンパルス Vout 1 ~ Vout n は、互いに重なるパルス幅区間を有するため、従来におけるように各ステージ BST 1 ~ BST n + 2 に次のステージから出力されたスキャンパルスが入力されると、次のような問題につながる。30

【 0 0 7 2 】

すなわち、例えば、互いに隣接する時間帯に出力される第 1 スキャンパルス Vout 1 と第 2 スキャンパルス Vout 2 は互いに重なるパルス幅区間を有するので、従来におけるように、第 2 ステージ BST 2 から出力された前記第 2 スキャンパルス Vout 2 が、第 1 スキャンパルス Vout 1 を出力する第 1 ステージ BST 1 に入力されると、第 1 ステージ BST 1 は、自分の有効充電区間 B に該当する時点で第 2 電圧源 VSS を第 1 ゲートライン GL 1 に供給するようになる。40

【 0 0 7 3 】

言い換えれば、第 1 ステージ BST 1 は、第 1 スキャンパルス Vout 1 を前記第 1 ゲートライン GL 1 に完全に印加する前に第 2 スキャンパルス Vout 2 が出力される時点（具体的に、第 2 スキャンパルス Vout 2 の予備充電区間 A に該当する時点）で第 2 電圧源 VSS を第 1 ゲートライン GL 1 に供給するようになる。

【 0 0 7 4 】

これにより、第 1 ステージ BST 1 は、不完全なスキャンパルスを出力することがある。すると、各ゲートラインには従来と同じパルス幅を有するスキャンパルスが供給され、よって、各スキャンパルスは歪んでしまう。この理由から、本発明による各ステージ BST 50

T<sub>1</sub> ~ B S T<sub>n+2</sub> は、次のステージではなく、次々のステージからのスキャンパルスが入力される。すなわち、各ステージ B S T<sub>1</sub> ~ B S T<sub>n+2</sub> には、自分から出力されたスキャンパルスと重なる区間を持たないスキャンパルスが入力される。

#### 【 0 0 7 5 】

ここで、各ステージ B S T<sub>1</sub> ~ B S T<sub>n+2</sub>、第 1 及び第 2 ダミーステージ B S T<sub>n+1</sub>、B S T<sub>n+2</sub> に備えられた回路を詳細に説明すると、次の通りである。一方、第 1 及び第 2 シフトレジスタ 3 0 1 a, 3 0 1 b に備えられた各ステージ B S T<sub>1</sub> ~ B S T<sub>n+2</sub> の回路構成はいずれも同一なので、第 1 シフトレジスタ 3 0 1 a に備えられた第 3 ステージ B S T<sub>3</sub> を例に挙げて説明する。

#### 【 0 0 7 6 】

図 7 は、図 3 の第 1 シフトレジスタに備えられた第 3 ステージの回路構成図である。

#### 【 0 0 7 7 】

第 3 ステージ B S T<sub>3</sub> は、図 7 に示すように、大きく、第 1、第 2 及び第 3 ノード Q、Q B<sub>1</sub>、Q B<sub>2</sub> の充電及び放電を制御するノード制御部 7 0 0 a と、第 1、第 2、第 3 ノード Q、Q B<sub>1</sub>、Q B<sub>2</sub> の充電 / 放電状態によってターンオンされてスキャンパルスまたは第 2 電圧源 V S S を選択的に出力する出力部 7 0 0 b と、で構成される。ここで、第 1、第 2 及び第 3 ノード Q、Q B<sub>1</sub>、Q B<sub>2</sub> は選択的に充電及び放電されるが、具体的に、第 1 ノード Q が充電状態にあると第 2 ノード Q B<sub>1</sub> 及び第 3 ノード Q B<sub>2</sub> とも放電状態を維持し、第 1 ノード Q が放電状態にあると第 2 ノード Q B<sub>1</sub> 及び第 3 ノード Q B<sub>2</sub> のうちいずれか一つが充電状態を維持する。

#### 【 0 0 7 8 】

すなわち、奇数番目のフレームでは、第 1 ノード Q が放電状態のとき、第 2 ノード Q B<sub>1</sub> が充電され、第 3 ノード Q B<sub>2</sub> が放電され、そして、偶数番目のフレームでは、第 1 ノード Q が放電状態の時、第 2 ノード Q B<sub>1</sub> が放電され、前記第 3 ノード Q B<sub>2</sub> が充電される。このように第 1 ノード Q が放電状態のとき、第 2 ノード Q B<sub>1</sub> 及び第 3 ノード Q B<sub>2</sub> にフレーム別に異なる極性の電圧源 V D D<sub>3</sub>、V D D<sub>4</sub> を印加（充電及び放電）する理由は、第 2 ノード Q B<sub>1</sub> 及び第 3 ノード Q B<sub>2</sub> にゲート端子が接続されたスイッチング素子の劣化を防止するためである。

#### 【 0 0 7 9 】

第 3 ステージ B S T<sub>3</sub> のノード制御部 7 0 0 a は、第 1 乃至第 1 2 N M O S トランジスタ T r<sub>1</sub> ~ T r<sub>12</sub> で構成される。

#### 【 0 0 8 0 】

第 1 N M O S トランジスタ T r<sub>1</sub> は、前のステージからのスキャンパルスに応答して、第 1 ノード Q を第 1 電圧源 V D D で充電させる。すなわち、第 1 N M O S トランジスタ T r<sub>1</sub> は、第 2 ステージ B S T<sub>2</sub> からの第 2 スキャンパルス V o u t<sub>2</sub> に応答して、第 1 ノード Q を第 1 電圧源 V D D で充電させる。このため、第 1 N M O S トランジスタ T r<sub>1</sub> のゲート端子は第 2 ステージ B S T<sub>2</sub> に接続され、ソース端子は第 1 電圧源 V D D を伝送する電源ラインに接続され、ドレイン端子は第 1 ノード Q に接続される。

#### 【 0 0 8 1 】

第 2 N M O S トランジスタ T r<sub>2</sub> は、前のステージからのスキャンパルスに応答して、第 2 ノード Q B<sub>1</sub> を第 2 電圧源 V S S で放電させる。すなわち、第 2 N M O S トランジスタ T r<sub>2</sub> は、第 2 ステージ B S T<sub>2</sub> からの第 2 スキャンパルス V o u t<sub>2</sub> に応答して第 2 ノード Q B<sub>1</sub> を第 2 電圧源 V S S で放電させる。このため、第 2 N M O S トランジスタ T r<sub>2</sub> のゲート端子は第 2 ステージ B S T<sub>2</sub> に接続され、ソース端子は第 2 ノード Q B<sub>1</sub> に接続され、ドレイン端子は第 2 電圧源 V S S を伝送する電源ラインに接続される。

#### 【 0 0 8 2 】

第 3 N M O S トランジスタ T r<sub>3</sub> は、前のステージからのスキャンパルスに応答して、第 3 ノード Q B<sub>2</sub> を第 2 電圧源 V S S で放電させる。すなわち、第 3 N M O S トランジスタ T r<sub>3</sub> は、第 2 ステージ B S T<sub>2</sub> からの第 2 スキャンパルス V o u t<sub>2</sub> に応答して、第 3 ノード Q B<sub>2</sub> を第 2 電圧源 V S S で放電させる。このため、第 3 N M O S トランジスタ T r<sub>3</sub>

10

20

30

40

50

T<sub>r</sub>3 のゲート端子は第2ステージB<sub>S</sub>T<sub>2</sub>に接続され、ソース端子は第3ノードQ<sub>B</sub>2に接続され、ドレイン端子は第2電圧源V<sub>SS</sub>を伝送する電源ラインに接続される。

#### 【0083】

第4N<sub>MOS</sub>トランジスタT<sub>r</sub>4は、第3電圧源V<sub>DD</sub>3に応答してターンオンまたはターンオフされ、ターンオン時に第2ノードQ<sub>B</sub>1を第3電圧源V<sub>DD</sub>3で充電させる。このため、第4N<sub>MOS</sub>トランジスタT<sub>r</sub>4のゲート端子は第3電圧源V<sub>DD</sub>3を伝送する電源ラインに接続され、ソース端子は第3電圧源V<sub>DD</sub>3を伝送する電源ラインに接続され、ドレイン端子は第2ノードQ<sub>B</sub>1に接続される。ここで、第3電圧源V<sub>DD</sub>3は、毎フレームごとに正極性及び負極性を交互に有する交流電圧である。すなわち、第3電圧源V<sub>DD</sub>3は、奇数フレームには正極性を有し、偶数フレームには負極性を有する。

10

#### 【0084】

第5N<sub>MOS</sub>トランジスタT<sub>r</sub>5は、第3電圧源V<sub>DD</sub>3に応答して、第3ノードQ<sub>B</sub>2を第2電圧源V<sub>SS</sub>で放電させる。このため、第5N<sub>MOS</sub>トランジスタT<sub>r</sub>5のゲート端子は、第3電圧源V<sub>DD</sub>3を伝送する電源ラインに接続され、ソース端子は第3ノードQ<sub>B</sub>2に接続され、ドレイン端子は、第2電圧源V<sub>SS</sub>を伝送する電源ラインに接続される。

#### 【0085】

第6N<sub>MOS</sub>トランジスタT<sub>r</sub>6は、第4電圧源V<sub>DD</sub>4に応答してターンオンまたはターンオフされ、ターンオン時に第3ノードQ<sub>B</sub>2を第4電圧源V<sub>DD</sub>4で充電させる。このため、第6N<sub>MOS</sub>トランジスタT<sub>r</sub>6のゲート端子は第4電圧源V<sub>DD</sub>4を伝送する電源ラインに接続され、ソース端子は第4電圧源V<sub>DD</sub>4を伝送する電源ラインに接続され、ドレイン端子は第3ノードQ<sub>B</sub>2に接続される。ここで、第4電圧源V<sub>DD</sub>4は、毎フレームごとに正極性及び負極性を交互に有する交流電圧である。このとき、第4電圧源V<sub>DD</sub>4は、第3電圧源V<sub>DD</sub>3と反転された位相を有する。すなわち、第3電圧源V<sub>DD</sub>3は、奇数フレームには負極性を有し、偶数フレームには正極性を有する。

20

#### 【0086】

第7N<sub>MOS</sub>トランジスタT<sub>r</sub>7は、第4電圧源V<sub>DD</sub>4に応答して、第2ノードQ<sub>B</sub>1を第2電圧源V<sub>SS</sub>で放電させる。このため、第7N<sub>MOS</sub>トランジスタT<sub>r</sub>7のゲート端子は、第4電圧源V<sub>DD</sub>4を伝送する電源ラインに接続され、ソース端子は第2ノードQ<sub>B</sub>1に接続され、ドレイン端子は第2電圧源V<sub>SS</sub>を伝送する電源ラインに接続される。

30

#### 【0087】

第8N<sub>MOS</sub>トランジスタT<sub>r</sub>8は、第1ノードQに充電された第1電圧源V<sub>DD</sub>に応答して、第2ノードQ<sub>B</sub>1を第2電圧源V<sub>SS</sub>で放電させる。このため、第8N<sub>MOS</sub>トランジスタT<sub>r</sub>8のゲート端子は第1ノードQに接続され、ソース端子は第2ノードQ<sub>B</sub>1に接続され、ドレイン端子は第2電圧源V<sub>SS</sub>を伝送する電源ラインに接続される。

#### 【0088】

第9N<sub>MOS</sub>トランジスタT<sub>r</sub>9は、第1ノードQに充電された第1電圧源V<sub>DD</sub>に応答して、第3ノードQ<sub>B</sub>2を第2電圧源V<sub>SS</sub>で放電させる。このため、第9N<sub>MOS</sub>トランジスタT<sub>r</sub>9のゲート端子は第1ノードQに接続され、ソース端子は第3ノードQ<sub>B</sub>2に接続され、ドレイン端子は、第2電圧源V<sub>SS</sub>を伝送する電源ラインに接続される。

40

#### 【0089】

第10N<sub>MOS</sub>トランジスタT<sub>r</sub>10は、第2ノードQ<sub>B</sub>1に充電された第3電圧源V<sub>DD</sub>3に応答して、第1ノードQを第2電圧源V<sub>SS</sub>で放電させる。このため、第10N<sub>MOS</sub>トランジスタT<sub>r</sub>10のゲート端子は第2ノードQ<sub>B</sub>1に接続され、ソース端子は第1ノードQに接続され、ドレイン端子は第2電圧源V<sub>SS</sub>を伝送する電源ラインに接続される。

#### 【0090】

第11N<sub>MOS</sub>トランジスタT<sub>r</sub>11は、第3ノードQ<sub>B</sub>2に充電された第4電圧源V<sub>DD</sub>4に応答して、第1ノードQを第2電圧源V<sub>SS</sub>で放電させる。このため、第11N<sub>MOS</sub>

50

MOSトランジスタTr11のゲート端子は第3ノードQB2に接続され、ソース端子は第1ノードQに接続され、ドレイン端子は第2電圧源VSSを伝送する電源ラインに接続される。

#### 【0091】

第12NMOSトランジスタTr12は、次々のステージからのスキャンパルスに応答して、第1ノードQを第2電圧源VSSで放電させる。すなわち、第12NMOSトランジスタTr12は、第5ステージからの第5スキャンパルスVout5に応答して、第1ノードQを第2電圧源VSSで放電させる。このため、第12NMOSトランジスタTr12のゲート端子は、第5ステージの出力部に接続され、ソース端子は第1ノードQに接続され、ドレイン端子は、第2電圧源VSSを伝送する電源ラインに接続される。10

#### 【0092】

そして、第3ステージBST3の出力部700bは、第13乃至第15NMOSトランジスタTr13～Tr15で構成される。

#### 【0093】

第13NMOSトランジスタTr13は、第1ノードQに充電された第1電圧源VDDに応答して、クロックパルスをスキャンパルスとしてゲートラインに出力する。また、このスキャンパルスを前々のステージと次のステージに供給する。このため、第13NMOSトランジスタTr13のゲート端子は、第1ノードQに接続され、ソース端子は、第3クロックパルスCLK3を伝送するクロックラインに接続され、ドレイン端子は、第3ゲートライン、第1ステージBST1に備えられた第12NMOSのゲート端子、及び第4ステージBST4に備えられた第1乃至第3NMOSトランジスタTr1～Tr3のゲート端子に接続される。20

#### 【0094】

第14NMOSトランジスタTr14は、第2ノードQB1に充電された第3電圧源VDD3に応答して、第2電圧源VSSをゲートラインに供給する。すなわち、第14NMOSトランジスタTr14は、第2ノードQB1に充電された第3電圧源VDD3に応答して、第2電圧源VSSを第3ゲートラインに供給する。このため、第14NMOSトランジスタTr14のゲート端子は、第2ノードQB1に接続され、ドレイン端子は、第2電圧源VSSを伝送する電源ラインに接続され、ソース端子は、第3ゲートライン、第1ステージBST1に備えられた第12NMOSトランジスタTr12のゲート端子、及び第4ステージBST4に備えられた第1乃至第3NMOSトランジスタTr1～Tr3のゲート端子に接続される。30

#### 【0095】

第15NMOSトランジスタTr15は、第3ノードQB2に充電された第4電圧源VDD4に応答して、第2電圧源VSSをゲートラインに供給する。すなわち、第15NMOSトランジスタTr15は、第3ノードQB2に充電された第4電圧源VDD4に応答して、第2電圧源VSSを第3ゲートラインに供給する。このため、第15NMOSトランジスタTr15のゲート端子は、第2ノードQB1に接続され、ドレイン端子は、第2電圧源VSSを伝送する電源ラインに接続され、ソース端子は、第3ゲートライン、第1ステージBST1に備えられた第12NMOSのゲート端子、及び第4ステージBST4に備えられた第1乃至第3NMOSトランジスタTr1～Tr3のゲート端子に接続される。40

#### 【0096】

第1及び第2ステージBST1、BST2、第4乃至第nステージBST4～BSTn、そして第1及び第2ダミーステージBSTn+1、BSTn+2も、上述した第3ステージBST3と同じ構成を有する。

#### 【0097】

ただし、第1ステージBST1の前にはステージが存在しないため、第1ステージBST1に備えられた第1乃至第3NMOSトランジスタTr1～Tr3は、タイミングコントローラからのスタートパルスSPを受け取る。すなわち、第1ステージBST1の第150

NMOSトランジスタTr1は、タイミングコントローラからのスタートパルスSPに応答して、第1ステージBST1の第1ノードQを第1電圧源VDDで充電させる。

**【0098】**

そして、第2NMOSトランジスタTr2は、タイミングコントローラからのスタートパルスSPに応答して、第1ステージBST1の第2ノードQB1を第2電圧源VSSで放電させる。そして、第3NMOSトランジスタTr3は、タイミングコントローラからのスタートパルスSPに応答して、第1ステージBST1の第3ノードQB2を第2電圧源VSSで放電させる。

**【0099】**

そして、第1及び第2ステージBST1、BST2の前々にはステージが存在しない。  
したがって、第1ステージBST1は、第1スキャンパルスVout1を出力し、これを第1ゲートライン及び第2ステージBST2に供給する。これと同様に、第2ステージBST2は、第2スキャンパルスVout2を出力し、これを第2ゲートライン及び第3ステージBST3に供給する。

**【0100】**

そして、第2ダミーステージBSTn+2の次のステージにはステージが存在しない。  
したがって、第2ダミーステージBSTn+2の第13NMOSトランジスタTr13のソース端子、第14NMOSトランジスタTr14のドレイン端子、及び第15NMOSトランジスタTr15のドレイン端子は、第nステージBSTnの第12NMOSトランジスタTr12のゲート端子に接続される。

**【0101】**

第2シフトレジスタ301bに備えられた各ステージBST1～BSTn+2も、第1シフトレジスタ301aに備えられた各ステージBST1～BSTn+2と同じ回路構成を有する。

**【0102】**

このように構成された本発明の実施の形態によるシフトレジスタの動作を説明すると次の通りである。ここで、第1シフトレジスタ301aの動作と第2シフトレジスタ301bの動作は互いに同一なので、第1シフトレジスタ301aの動作についてのみ説明する。

**【0103】**

図8は、図7の回路構成を有する第1シフトレジスタの第1乃至第3ステージを示す図である。

**【0104】**

ここで、第1フレームの間に第3電圧源VDD3が正極性の電圧に維持され、第4電圧源VDD4が負極性の電圧に維持されると仮定し、第2フレームの間に第3電圧源VDD3が負極性の電圧に維持され、第4電圧源VDD4が正極性の電圧に維持されると仮定する。すなわち、奇数番目のフレームの間に、第3電圧源VDD3が正極性に維持され、第4電圧源VDD4が負極性に維持されると仮定し、偶数番目のフレームの間に、第3電圧源VDD3が負極性に維持され、第4電圧源VDD4が正極性に維持されると仮定する。

**【0105】**

まず、スタートパルスSPは、第1NMOSトランジスタTr1のゲート端子、第2NMOSトランジスタTr2のゲート端子、及び第3NMOSトランジスタTr3のゲート端子に印加され、第1、第2及び第3NMOSトランジスタTr1、Tr2、Tr3をターンオンさせる。

**【0106】**

こうなると、ターンオンされた第1NMOSトランジスタTr1を介して第1電圧源VDDが第1ノードQに供給される。このとき、第1ノードQが第1電圧源VDDで充電されることによって、第1ノードQにゲート端子が接続された第8、第9及び第13NMOSトランジスタTr8、Tr9、Tr13が同時にターンオンされる。ここで、ターンオンされた第8NMOSトランジスタTr8及び第2NMOSトランジスタTr2を介して

10

20

30

40

50

第2電圧源VSSが第2ノードQ B 1に供給される。したがって、第2ノードQ B 1は放電状態に維持され、この第2ノードQ B 1にゲート端子が接続された第10及び第14NMOSトランジスタTr10、Tr14がターンオフされる。

#### 【0107】

そして、ターンオンされた第3及び第9NMOSトランジスタTr3、Tr9を介して第2電圧源VSSが第3ノードQ B 2に供給される。このとき、第3ノードQ B 2が第2電圧源VSSで放電されることによって、第3ノードQ B 2にゲート端子が接続された第11及び第15NMOSトランジスタTr11、Tr15はターンオフされる。

#### 【0108】

また、第4NMOSトランジスタTr4は、自分のゲート端子に第3電圧源VDD3が印加されることによってターンオンされる。第3電圧源VDD3は、第1フレームの間に常に正極性状態を維持するので、第4NMOSトランジスタTr4は第1フレームの間に常にターンオン状態を維持する。

10

#### 【0109】

ここで、ターンオンされた第4NMOSトランジスタTr4を介して第3電圧源VDD3が第2ノードQ B 1に供給される。その結果、第2ノードQ B 1には上述した第2電圧源VSSと第3電圧源VDD3が同時に供給される。ところが、第2電圧源VSSを供給するトランジスタの数が、第3電圧源VDD3を供給するトランジスタの数よりも多いため、第2ノードQ B 1は第2電圧源VSSに維持される。これによって、第2ノードQ B 1は放電状態を維持する。したがって、第2ノードQ B 1にゲート端子が接続された第10及び第14NMOSトランジスタTr10、Tr14はターンオフされる。

20

#### 【0110】

また、第3電圧源VDD3は、第5NMOSトランジスタTr5のゲート端子にも供給される。したがって、第5NMOSトランジスタTr5も第1フレームの間に常にターンオン状態を維持する。このターンオンされた第5NMOSトランジスタTr5を介して第2電圧源VSSが第3ノードQ B 2に供給される。その結果、第3ノードQ B 2は、第3、第5及び第9NMOSトランジスタTr3、Tr5、Tr9によって放電状態を維持するようになる。したがって、第3ノードQ B 2にゲート端子が接続された第11及び第15NMOSトランジスタTr11、Tr15はターンオフされる。

30

#### 【0111】

また、第6NMOSトランジスタTr6は、自分のゲート端子に印加された第4電圧源VDD4によってターンオフされる。ここで、第4電圧源VDD4は第1フレームの間に負極性に維持されるので、第6NMOSトランジスタTr6は第1フレームの間に常にターンオフ状態を維持する。

#### 【0112】

また、第4電圧源VDD4は、第7NMOSトランジスタTr7のゲート端子にも印加されるので、第1フレームの間に第7NMOSトランジスタTr7は常にターンオフ状態を維持する。

#### 【0113】

このようにスタートパルスSPによって第1ステージBST1の第1ノードQが第1電圧源VDDで充電され、第2及び第3ノードQ B 1、Q B 2が第2電圧源VSSで放電されることによって、第1ステージBST1がイネーブルされる。

40

#### 【0114】

この状態で、第1ステージBST1の第13NMOSトランジスタTr13に第1クロップルスCLK1が供給されると、第13NMOSトランジスタTr13は第1クロップルスCLK1を第1スキャンパルスVout1として出力する。このとき、第1クロップルスCLK1とスタートパルスSPは重なって出力されるので、第1スキャンパルスVout1は、スタートパルスSPに重なって出力される。

#### 【0115】

この第1スキャンパルスVout1は、第1ゲートライン及び第2ステージBST2に

50

供給される。すなわち、第1ステージB S T 1からの第1スキャンパルスV o u t 1は、第2ステージB S T 2の第1、第2及び第3N M O SトランジスタT r 1、T r 2、T r 3に供給される。これにより、第2ステージB S T 2の第1ノードQが充電され、第2及び第3ノードQ B 1、Q B 2が放電される。

#### 【0 1 1 6】

すなわち、第2ステージB S T 2は、第1スキャンパルスV o u t 1によってイネーブルされる。言い換れば、第1ステージB S T 1がスタートパルスS Pによってイネーブルされるのと同様に、第2ステージB S T 2は第1スキャンパルスV o u t 1によってイネーブルされる。この状態で、第2ステージB S T 2の第13N M O SトランジスタT r 1 3に第2クロックパルスC L K 2が供給されると、第13N M O SトランジスタT r 1 3は、第2クロックパルスC L K 2を第2スキャンパルスV o u t 2として出力する。このとき、第2クロックパルスC L K 2は第1クロックパルスC L K 1と重なるので、第2スキャンパルスV o u t 2は第1スキャンパルスV o u t 1と重なって出力される。10

#### 【0 1 1 7】

この第2スキャンパルスV o u t 2は、第2ゲートライン及び第3ステージB S T 3に供給される。すなわち、第2ステージB S T 2からの第2スキャンパルスV o u t 2は、第3ステージB S T 3の第1、第2及び第3N M O SトランジスタT r 1、T r 2、T r 3に供給される。これにより、第3ステージB S T 3の第1ノードQが充電され、第2及び第3ノードQ B 1、Q B 2が放電される。20

#### 【0 1 1 8】

すなわち、第3ステージB S T 3は第2スキャンパルスV o u t 2によってイネーブルされる。言い換れば、第1ステージB S T 1がスタートパルスS Pによってイネーブルされるのと同様に、第3ステージB S T 3は第2スキャンパルスV o u t 2によってイネーブルされる。

#### 【0 1 1 9】

この状態で、第3ステージB S T 3の第13N M O SトランジスタT r 1 3に第3クロックパルスC L K 3が供給されると、第13N M O SトランジスタT r 1 3は、第3クロックパルスC L K 3を第3スキャンパルスV o u t 3として出力する。このとき、第3クロックパルスC L K 3は第2クロックパルスC L K 2と重なるので、第3スキャンパルスV o u t 3は第2スキャンパルスV o u t 2と重なって出力される。30

#### 【0 1 2 0】

この第3スキャンパルスV o u t 3は、第3ゲートライン及び第4ステージB S T 4に供給される。すなわち、第3ステージB S T 3からの第3スキャンパルスV o u t 3は第4ステージB S T 4の第1、第2及び第3N M O SトランジスタT r 1、T r 2、T r 3に供給される。

#### 【0 1 2 1】

これにより、第4ステージB S T 4の第1ノードQが充電され、第2及び第3ノードQ B 1、Q B 2が放電される。すなわち、第4ステージB S T 4は第3スキャンパルスV o u t 3によってイネーブルされる。言い換れば、第1ステージB S T 1がスタートパルスS Pによってイネーブルされるのと同様に、第4ステージB S T 4は第3スキャンパルスV o u t 3によってイネーブルされる。40

#### 【0 1 2 2】

この状態で、第4ステージB S T 4の第13N M O SトランジスタT r 1 3に第4クロックパルスC L K 4が供給されると、第13N M O SトランジスタT r 1 3は第4クロックパルスC L K 4を第4スキャンパルスV o u t 4として出力する。このとき、第4クロックパルスC L K 4は第3クロックパルスC L K 3と重なるので、第4スキャンパルスV o u t 4は第3スキャンパルスV o u t 3と重なって出力される。

#### 【0 1 2 3】

一方、第3ステージB S T 3から出力された第3スキャンパルスV o u t 3は、第1ステージB S T 1の第12N M O SトランジスタT r 1 2にも供給される。すなわち、第350

スキャンパルス  $V_{out\ 3}$  は、第 1 ステージ BST 1 に備えられた第 12 NMOS トランジスタ Tr 12 のゲート端子に供給される。これにより、第 1 ステージ BST 1 がディセーブルされる。

#### 【 0 1 2 4 】

具体的に、第 3 スキャンパルス  $V_{out\ 3}$  は、第 1 ステージ BST 1 に備えられた第 12 NMOS トランジスタ Tr 12 をターンオンさせる。すると、第 2 電圧源 VSS が、ターンオンされた第 12 NMOS トランジスタ Tr 12 を介して第 1 ステージ BST 1 の第 1 ノード Q に供給される。これにより、第 1 ステージ BST 1 の第 1 ノード Q が放電される。したがって、第 1 ステージ BST 1 の第 1 ノード Q に接続された第 8、第 9 及び第 13 NMOS トランジスタ Tr 8、Tr 9、Tr 13 がターンオフされる。また、このとき、スタートパルス SP がローに変化することによってこのロー状態のスタートパルス SP が供給される第 1 ステージ BST 1 の第 1、第 2 及び第 3 NMOS トランジスタ Tr 1、Tr 2、Tr 3 がターンオフされる。10

#### 【 0 1 2 5 】

ここで、第 1 ステージ BST 1 の第 2 及び第 8 NMOS トランジスタ Tr 2、Tr 8 がターンオフ状態にあるので、第 1 ステージ BST 1 の第 2 ノード QB 1 は、第 4 NMOS トランジスタ Tr 4 から供給される第 1 電圧源 VDD で充電される。したがって、第 1 ステージ BST 1 の第 2 ノード QB 1 にゲート端子が接続された第 10 及び第 14 NMOS トランジスタ Tr 10、Tr 14 ともターンオンされる。このとき、ターンオンされた第 14 NMOS トランジスタ Tr 14 を介して第 2 電圧源 VSS が第 1 ゲートラインに供給される。20

#### 【 0 1 2 6 】

一方、ターンオンされた第 10 NMOS トランジスタ Tr 10 を介して第 2 電圧源 VSS が第 1 ノード Q に供給される。その結果、第 1 ステージ BST 1 の第 1 ノード Q は、第 10 及び第 12 NMOS トランジスタ Tr 10、Tr 12 によって放電される。

#### 【 0 1 2 7 】

このように第 3 ステージ BST 3 からの第 3 スキャンパルス  $V_{out\ 3}$  によって第 1 ステージ BST 1 の第 1 ノード Q 及び第 3 ノード QB 2 は放電され、第 2 ノード QB 1 が充電される。すなわち、第 1 ステージ BST 1 は、第 3 ステージ BST 3 からの第 3 スキャンパルス  $V_{out\ 3}$  に応答してディセーブルされる。このディセーブルされた第 1 ステージ BST 1 は、自分に備えられた第 14 NMOS トランジスタ Tr 14 を介して第 2 電圧源 VSS を出力する。そして、この第 2 電圧源 VSS を第 1 ゲートラインに供給する。30

#### 【 0 1 2 8 】

このような方式で、各ステージ BST 1 ~ BST n + 2 は、前のステージから出力されたスキャンパルスによってイネーブルされる。そして、各ステージ BST 1 ~ BST n + 2 は次々のステージから出力されたスキャンパルスによってディセーブルされる。

#### 【 0 1 2 9 】

一方、第 2 フレームには、第 3 電圧源 VDD 3 が負極性に維持され、第 4 電圧源 VDD 4 が正極性に維持される。これにより、各ステージ BST 1 ~ BST n + 2 がディセーブルされる時、各ステージ BST 1 ~ BST n + 2 の第 2 ノード QB 1 が放電され、第 3 ノード QB 2 が充電される。40

#### 【 0 1 3 0 】

したがって、各ステージ BST 1 ~ BST n + 2 がディセーブルされる時、第 3 ノード QB 2 にゲート端子が接続された第 15 NMOS トランジスタ Tr 15 を介して第 2 電圧源 VSS が出力される。このようにフレーム別に第 2 及び第 3 ノード QB 1、QB 2 が交互に充電 / 放電されることによって、出力部 700b に備えられた第 14 及び第 15 NMOS トランジスタ Tr 14、Tr 15 の劣化が防止される。

#### 【 0 1 3 1 】

第 2 シフトレジスタ 301b に備えられた各ステージ BST 1 ~ BST n + 2 も、第 1 シフトレジスタ 301a に備えられた各ステージ BST 1 ~ BST n + 2 と同様に動作す50

る。ただし、第1シフトレジスタ301aに備えられた各ステージB S T 1 ~ B S T nは、各ゲートラインG L 1 ~ G L nの一側にスキャンパルスV o u t 1 ~ V o u t nを印加し、第2シフトレジスタ301bに備えられた各ステージB S T 1 ~ B S T nは、各ゲートラインG L 1 ~ G L nの他側にスキャンパルスV o u t 1 ~ V o u t nを供給する。

#### 【0132】

一方、第1及び第2シフトレジスタ301a, 301bの各ステージB S T 1 ~ B S T n + 2は、次のような回路構成を有しても良い。

#### 【0133】

図9は、図3の第1シフトレジスタに備えられた第3ステージの他の回路構成図である。

10

#### 【0134】

第3ステージC S T 3のノード制御部900aは、第1乃至第20N M O SトランジスタT r 1 ~ T r 2 0で構成される。

#### 【0135】

第1N M O SトランジスタT r 1は、前のステージからのスキャンパルスに応答して、第1ノードQを第1電圧源V D Dで充電させる。すなわち、第1N M O SトランジスタT r 1は、第2ステージB S T 2からの第2スキャンパルスV o u t 2に応答して、第1ノードQを第1電圧源V D Dで充電させる。このため、第1N M O SトランジスタT r 1のゲート端子は、第2ステージB S T 2に接続され、ソース端子は、第1電圧源V D Dを伝送する電源ラインに接続され、ドレイン端子は、第1ノードQに接続される。

20

#### 【0136】

第2N M O SトランジスタT r 2は、第1ノードQに充電された第1電圧源V D Dに応答して、第2ノードQ B 1を第2電圧源V S Sで放電させる。このため、第2N M O SトランジスタT r 2のゲート端子は、第1ノードQに接続され、ソース端子は、第2ノードQ B 1に接続され、ドレイン端子は、第2電圧源V S Sを伝送する電源ラインに接続される。

#### 【0137】

第3N M O SトランジスタT r 3は、第1ノードQに充電された第1電圧源V D Dに応答して、第3ノードQ B 2を第2電圧源V S Sで放電させる。このため、第3N M O SトランジスタT r 3のゲート端子は、第1ノードQに接続され、ソース端子は前記第3ノードQ B 2に接続され、ドレイン端子は、第2電圧源V S Sを伝送する電源ラインに接続される。

30

#### 【0138】

第4N M O SトランジスタT r 4は、フレームごとに異なる極性を有する第3電圧源V D D 3に応答してターンオンまたはターンオフされ、ターンオン時に第3電圧源V D D 3を出力する。このため、第4N M O SトランジスタT r 4のゲート端子は、第3電圧源V D D 3を伝送する電源ラインに接続され、ソース端子は、第3電圧源V D D 3を伝送する電源ラインに接続される。

#### 【0139】

第5N M O SトランジスタT r 5は、第4N M O SトランジスタT r 4から出力された第3電圧源V D D 3に応答して第2ノードQ B 1を第3電圧源V D D 3で充電させる。このため、第5N M O SトランジスタT r 5のゲート端子は、第4N M O SトランジスタT r 4のドレイン端子に接続され、ソース端子は、第3電圧源V D D 3を伝送する電源ラインに接続され、ドレイン端子は第2ノードQ B 1に接続される。

40

#### 【0140】

第6N M O SトランジスタT r 6は、第2ノードQ B 1に充電された第3電圧源V D D 3に応答して、第1ノードQを第2電圧源V S Sで放電させる。このため、第6N M O SトランジスタT r 6のゲート端子は第2ノードQ B 1に接続され、ソース端子は第1ノードQに接続され、ドレイン端子は第2電圧源V S Sを伝送する電源ラインに接続される。

#### 【0141】

50

第7 NMOSトランジスタTr7は、第2ノードQB1に充電された第3電圧源VDD3に応答して、第3ノードQB2を第2電圧源VSSで放電させる。このため、第7 NMOSトランジスタTr7のゲート端子は、第2ノードQB1に接続され、ソース端子は第3ノードQB2に接続され、ドレイン端子は、第2電圧源VSSを伝送する電源ラインに接続される。

#### 【0142】

第8 NMOSトランジスタTr8は、第1ノードQに充電された第1電圧源VDDに応答して、第5 NMOSトランジスタTr5のゲート端子に第2電圧源VSSを供給することによって、第5 NMOSトランジスタTr5をターンオフさせる。このため、第8 NMOSトランジスタTr8のゲート端子は、第1ノードQに接続され、ソース端子は、第5 NMOSトランジスタTr5のゲート端子に接続され、ドレイン端子は、第2電圧源VSSを伝送する電源ラインに接続される。10

#### 【0143】

第9 NMOSトランジスタTr9は、前のステージからのスキャンパルスに応答して、第5 NMOSトランジスタTr5のゲート端子に第2電圧源VSSを供給することによって、第5 NMOSトランジスタTr5をターンオフさせる。すなわち、第9 NMOSトランジスタTr9は、第2ステージBST2からの第2スキャンパルスVout2に応答して、第5 NMOSトランジスタTr5のゲート端子に第2電圧源VSSを供給することによって第5 NMOSトランジスタTr5をターンオフさせる。このため、第9 NMOSトランジスタTr9のゲート端子は、第2ステージBST2に接続され、ソース端子は、第5 NMOSトランジスタTr5のゲート端子に接続され、ドレイン端子は、第2電圧源VSSを伝送する電源ラインに接続される。20

#### 【0144】

第10 NMOSトランジスタTr10は、前のステージからのスキャンパルスに応答して、第5 NMOSトランジスタTr5のゲート端子に第2電圧源VSSを供給することによって、第5 NMOSトランジスタTr5をターンオフさせる。すなわち、第10 NMOSトランジスタTr10は、第2ステージBST2からの第2スキャンパルスVout2に応答して、第5 NMOSトランジスタTr5のゲート端子に第2電圧源VSSを供給することによって、第5 NMOSトランジスタTr5をターンオフさせる。このため、第10 NMOSトランジスタTr10のゲート端子は、第2ステージBST2に接続され、ソース端子は、第5 NMOSトランジスタTr5のゲート端子に接続され、ドレイン端子は、第2電圧源VSSを伝送する電源ラインに接続される。30

#### 【0145】

第11 NMOSトランジスタTr11は、フレームごとに異なる極性を有する第4電圧源VDD4に応答してターンオンまたはターンオフされ、ターンオン時に第4電圧源VDD4を出力する。このため、第11 NMOSトランジスタTr11のゲート端子は、第4電圧源VDD4を伝送する電源ラインに接続され、ソース端子は、第4電圧源VDD4を伝送する電源ラインに接続される。ここで、第4電圧源VDD4は、毎フレームごとに第3電圧源VDD3に反転された極性を有する。

#### 【0146】

第12 NMOSトランジスタTr12は、第11 NMOSトランジスタTr11から出力された第4電圧源VDD4に応答して、第3ノードQB2を第4電圧源VDD4で充電させる。このため、第12 NMOSトランジスタTr12のゲート端子は、第11 NMOSトランジスタTr11のドレイン端子に接続され、ソース端子は、第4電圧源VDD4を伝送する電源ラインに接続され、ドレイン端子は第3ノードQB2に接続される。40

#### 【0147】

第13 NMOSトランジスタTr13は、第3ノードQB2に充電された第4電圧源VDD4に応答して、第1ノードQを第2電圧源VSSで放電させる。このため、第13 NMOSトランジスタTr13のゲート端子は、第3ノードQB2に接続され、ソース端子は第1ノードQに接続され、ドレイン端子は、第2電圧源VSSを伝送する電源ラインに接続される。50

接続される。

**【0148】**

第14 NMOSトランジスタTr14は、第3ノードQB2に充電された第4電圧源VDD4に応答して、第2ノードQB1を第2電圧源VSSで放電させる。このため、第14 NMOSトランジスタTr14のゲート端子は、第3ノードQB2に接続され、ソース端子は第2ノードQB1に接続され、ドレイン端子は、第2電圧源VSSを伝送する電源ラインに接続される。

**【0149】**

第15 NMOSトランジスタTr15は、第1ノードQに充電された第1電圧源VDDに応答して、第12 NMOSトランジスタTr12のゲート端子に第2電圧源VSSを供給することによって、第12 NMOSトランジスタTr12をターンオフさせる。このため、第15 NMOSトランジスタTr15のゲート端子は、第1ノードQに接続され、ソース端子は、第12 NMOSトランジスタTr12のゲート端子に接続され、ドレイン端子は、第2電圧源VSSを伝送する電源ラインに接続される。10

**【0150】**

第16 NMOSトランジスタTr16は、前のステージからのスキャンパルスに応答して、第12 NMOSトランジスタTr12のゲート端子に第2電圧源VSSを供給することによって、第12 NMOSトランジスタTr12をターンオフさせる。すなわち、第16 NMOSトランジスタTr16は、第2ステージBST2からの第2スキャンパルスVout2に応答して、第12 NMOSトランジスタTr12をターンオフさせる。このため、第16 NMOSトランジスタTr16のゲート端子は、第2ステージBST2に接続され、ソース端子は、第12 NMOSトランジスタTr12のゲート端子に接続され、ドレイン端子は、第2電圧源VSSを伝送する電源ラインに接続される。20

**【0151】**

第17 NMOSトランジスタTr17は、前のステージからのスキャンパルスに応答して、第12 NMOSトランジスタTr12のゲート端子に第2電圧源VSSを供給することによって、第12 NMOSトランジスタTr12をターンオフさせる。すなわち、第17 NMOSトランジスタTr17は、第2ステージBST2からの第2スキャンパルスVout2に応答して、第12 NMOSトランジスタTr12をターンオフさせる。このため、第17 NMOSトランジスタTr17のゲート端子は、第2ステージBST2に接続され、ソース端子は、第12 NMOSトランジスタTr12のゲート端子に接続され、ドレイン端子は、第2電圧源VSSを伝送する電源ラインに接続される。30

**【0152】**

第18 NMOSトランジスタTr18は、前のステージからのスキャンパルスに応答して、第2ノードQB1を第2電圧源VSSで放電させる。すなわち、第18 NMOSトランジスタTr18は、第2ステージBST2からの第2スキャンパルスVout2に応答して、第2ノードQB1を第2電圧源VSSで放電させる。これのため、第18 NMOSトランジスタTr18のゲート端子は、第2ステージBST2に接続され、ソース端子は第2ノードQB1に接続され、ドレイン端子は、第2電圧源VSSを伝送する電源ラインに接続される。40

**【0153】**

第19 NMOSトランジスタTr19は、前のステージからのスキャンパルスに応答して、第3ノードQB2を第2電圧源VSSで放電させる。すなわち、第19 NMOSトランジスタTr19は、第2ステージBST2からの第2スキャンパルスVout2に応答して、第3ノードQB2を第2電圧源VSSで放電させる。このため、第19 NMOSトランジスタTr19のゲート端子は第2ステージBST2に接続され、ソース端子は第3ノードQB2に接続され、ドレイン端子は、第2電圧源VSSを伝送する電源ラインに接続される。

**【0154】**

第20 NMOSトランジスタTr20は、次々のステージからのスキャンパルスに応答50

して、第1ノードQを第2電圧源VSSで放電させる。すなわち、第20NMOSトランジスタTr20のゲート端子は、第5ステージからの第5スキャンパルスVout5に応答して、第1ノードQを第2電圧源VSSで放電させる。このため、第20NMOSトランジスタTr20のゲート端子は第5ステージに接続され、ソース端子は第1ノードQに接続され、ドレイン端子は、第2電圧源VSSを伝送する電源ラインに接続される。

#### 【0155】

そして、第3ステージBST3の出力部900bは、第21乃至23NMOSトランジスタTr21～Tr23で構成される。

#### 【0156】

第21NMOSトランジスタTr21は、第1ノードQに充電された第1電圧源VDDに応答して、第3クロックパルスCLK3をスキャンパルスとしてゲートラインに出力する。そして、この第3スキャンパルスVout3を前々のステージと次のステージの両方に供給する。このため、第21NMOSトランジスタTr21のゲート端子は、第1ノードQに接続され、ソース端子は、第3クロックパルスCLK3を伝送するクロックラインに接続され、ドレイン端子は、第3ゲートライン、第1ステージBST1に備えられた第20NMOSトランジスタTr20のゲート端子、及び第4ステージBST4に備えられた第1、第9、第10、第16、第17、第18、及び第19NMOSトランジスタTr1、Tr9、Tr10、Tr16、Tr17、Tr18、Tr19のゲート端子に接続される。

#### 【0157】

第22NMOSトランジスタTr22は、第2ノードQB1に充電された第3電圧源VDD3に応答して、第2電圧源VSSをゲートラインに供給する。すなわち、第14NMOSトランジスタTr14は、第2ノードQB1に充電された第3電圧源VDD3に応答して、第2電圧源VSSを第3ゲートラインに供給する。このため、第22NMOSトランジスタTr22のゲート端子は、第2ノードQB1に接続され、ドレイン端子は、第2電圧源VSSを伝送する電源ラインに接続され、ソース端子は、第3ゲートライン、第1ステージBST1に備えられた第20NMOSトランジスタTr20のゲート端子、及び第4ステージBST4に備えられた第1、第9、第10、第16、第17、第18、及び第19NMOSトランジスタTr1、Tr9、Tr10、Tr16、Tr17、Tr18、Tr19のゲート端子に接続される。

#### 【0158】

第23NMOSトランジスタTr23は、第3ノードQB2に充電された第4電圧源VDD4に応答して、第2電圧源VSSをゲートラインに供給する。すなわち、第23NMOSトランジスタTr23は、第3ノードQB2に充電された第4電圧源VDD4に応答して、第2電圧源VSSを第3ゲートラインに供給する。このため、第23NMOSトランジスタTr23のゲート端子は、第2ノードQB1に接続され、ドレイン端子は、第2電圧源VSSを伝送する電源ラインに接続され、ソース端子は、第3ゲートライン、第1ステージBST1に備えられた第20NMOSのゲート端子、及び第4ステージBST4に備えられた第1、第9、第10、第16、第17、第18、及び第19NMOSトランジスタTr1、Tr9、Tr10、Tr16、Tr17、Tr18、Tr19のゲート端子に接続される。

#### 【0159】

第1及び第2ステージBST1、BST2、第4乃至第nステージBST4～BSTn、第1及び第2ダミーステージBSTn+1、BSTn+2も、上述した第2ステージBST2と同じ構成を有する。

#### 【0160】

ただし、第1ステージBST1の前にはステージが存在しないので、第1ステージBST1に備えられた第1、第9、第10、第16、第17、第18、及び第19NMOSトランジスタTr1、Tr9、Tr10、Tr16、Tr17、Tr18、Tr19には、タイミングコントローラからのスタートパルスSPが供給される。すなわち、第1ステー

10

20

30

40

50

ジ BST 1 の第 1 NMOS ドランジスタ Tr 1 は、タイミングコントローラからのスタートパルス SP に応答して、第 1 ノード Q を第 1 電圧源 VDD で充電させる。

【 0161 】

また、第 1 ステージ BST 1 の第 9 NMOS ドランジスタ Tr 9 は、タイミングコントローラからのスタートパルス SP に応答して、第 1 ステージ BST 1 の第 2 ノード QB 1 を第 2 電圧源 VSS で放電させる。

【 0162 】

また、第 1 ステージ BST 1 の第 10 NMOS ドランジスタ Tr 10 は、タイミングコントローラからのスタートパルスに応答して、第 4 NMOS ドランジスタ Tr 4 のゲート端子に第 2 電圧源 VSS を供給することによって、第 4 NMOS ドランジスタ Tr 4 をターンオフさせる。  
10

【 0163 】

また、第 1 ステージ BST 1 の第 16 NMOS ドランジスタ Tr 16 は、タイミングコントローラからのスタートパルスに応答して、第 12 NMOS ドランジスタ Tr 12 のゲート端子に第 2 電圧源 VSS を供給することによって、第 12 NMOS ドランジスタ Tr 12 をターンオフさせる。

【 0164 】

また、第 1 ステージ BST 1 の第 17 NMOS ドランジスタ Tr 17 は、タイミングコントローラからのスタートパルスに応答して、第 12 NMOS ドランジスタ Tr 12 のゲート端子に第 2 電圧源 VSS を供給することによって、第 12 NMOS ドランジスタ Tr 12 をターンオフさせる。  
20

【 0165 】

また、第 1 ステージ BST 1 の第 18 NMOS ドランジスタ Tr 18 は、タイミングコントローラからのスタートパルス SP に応答して、第 2 ノード QB 1 を第 2 電圧源 VSS で放電させる。

【 0166 】

また、第 1 ステージ BST 1 の第 19 NMOS ドランジスタ Tr 19 は、タイミングコントローラからのスタートパルス SP に応答して、第 3 ノード QB 2 を第 2 電圧源 VSS で放電させる。

【 0167 】

そして、第 1 及び第 2 ステージ BST 1 、 BST 2 の前々にはステージが存在しない。したがって、第 1 ステージ BST 1 は第 1 スキャンパルス Vout 1 を出力し、これを第 1 ゲートライン及び第 2 ステージ BST 2 に供給する。これと同様に、第 2 ステージ BST 2 は、第 2 スキャンパルス Vout 2 を出力し、これを第 2 ゲートライン及び第 3 ステージ BST 3 に供給する。  
30

【 0168 】

そして、第 2 ダミーステージ BST n + 2 の次はステージが存在しない。したがって、第 2 ダミーステージ BST n + 2 の第 21 NMOS ドランジスタ Tr 21 のソース端子、第 22 NMOS ドランジスタ Tr 22 のドレイン端子、及び第 23 NMOS ドランジスタ Tr 23 のドレイン端子は、第 n ステージ BST n の第 20 NMOS ドランジスタ Tr 20 のゲート端子に接続される。  
40

【 0169 】

第 2 シフトレジスタ 301b に備えられた各ステージ BST 1 ~ BST n + 2 も、第 1 シフトレジスタ 301a に備えられた各ステージ BST 1 ~ BST n + 2 と同じ回路構成を有する。

【 0170 】

このように構成された本発明の第 1 の実施の形態によるシフトレジスタの動作について説明すると、次の通りである。

【 0171 】

図 10A 及び図 10B は、図 9 の回路構成を有する第 1 シフトレジスタの第 1 乃至第 3  
50

ステージを示す図である。

**【0172】**

ここで、第1フレームの間に第3電圧源VDD3が正極性の電圧に維持され、第4電圧源VDD4が負極性の電圧に維持されると仮定し、第2フレームの間に第3電圧源VDD3が負極性の電圧に維持され、第4電圧源VDD4が正極性の電圧に維持されると仮定する。すなわち、奇数番目のフレームの間に、第3電圧源VDD3が正極性に維持され、第4電圧源VDD4が負極性に維持されると仮定し、偶数番目のフレームの間に、第3電圧源VDD3が負極性に維持され、第4電圧源VDD4が正極性に維持されると仮定する。

**【0173】**

まず、スタートパルスSPが第1NMOSトランジスタTr1のゲート端子、第9NMOSトランジスタTr9のゲート端子、第10NMOSトランジスタTr10のゲート端子、第16NMOSトランジスタTr16のゲート端子、第17NMOSトランジスタTr17のゲート端子、第18NMOSトランジスタTr18のゲート端子、及び第19NMOSトランジスタTr19のゲート端子に印加されて、第1、第9、第10、第16、第17、第18、及び第19NMOSトランジスタTr1、Tr9、Tr10、Tr16、Tr17、Tr18、Tr19をターンオンさせる。10

**【0174】**

ここで、ターンオンされた第1NMOSトランジスタTr1を介して第1電圧源VDDが第1ノードQに供給される。このとき、第1ノードQが第1電圧源VDDで充電されることによって、第1ノードQにゲート端子が接続された第2、第3、第8、第15、及び第21NMOSトランジスタTr2、Tr3、Tr8、Tr15、Tr21がターンオンされる。20

**【0175】**

そして、ターンオンされた第2及び第8NMOSトランジスタTr2、Tr8を介して第2電圧源VSSが第2ノードQB1に供給される。これにより、第2ノードQB1が放電され、第2ノードQB1にゲート端子が接続された第6、第7、及び第22NMOSトランジスタTr6、Tr7、Tr22がターンオフされる。

**【0176】**

また、ターンオンされた第3及び第19NMOSトランジスタTr3、Tr19を介して第2電圧源VSSが第3ノードQB2に供給される。これにより、第3ノードQB2が放電され、第3ノードQB2にゲート端子が接続された第13、第14及び第23NMOSトランジスタTr13、Tr14、Tr23がターンオフされる。30

**【0177】**

そして、ターンオンされた第8、第9及び第10NMOSトランジスタTr8、Tr9、Tr10を介して第2電圧源VSSが第5NMOSトランジスタTr5のゲート端子に供給される。また、正極性の第3電圧源VDD3によって1フレームの間に常にターンオン状態を維持する第4NMOSトランジスタTr4を介して、第3電圧源VDD3が第5NMOSトランジスタTr5のゲート端子に供給される。したがって、第5NMOSトランジスタTr5のゲート端子には第2電圧源VSSと第3電圧源VDD3が供給される。このとき、第5NMOSトランジスタTr5のゲート端子に第2電圧源VSSを供給するトランジスタの数が、第5NMOSトランジスタTr5のゲート端子に第3電圧源VDD3を供給するトランジスタの数よりも多いので、第5NMOSトランジスタTr5のゲート端子には第2電圧源VSSが維持される。したがって、第5NMOSトランジスタTr5はターンオフされる。40

**【0178】**

そして、ターンオンされた第15、第16及び第17NMOSトランジスタTr15、Tr16、Tr17を介して第2電圧源VSSが第12NMOSトランジスタTr12のゲート端子に供給される。したがって、第12NMOSトランジスタTr12はターンオフされる。一方、第11NMOSトランジスタTr11は負極性の第4電圧源VDD4によって1フレームの間に常にターンオフ状態を維持する。50

**【0179】**

このように第1ステージB S T 1の第1ノードQが第1電圧源V D Dで充電され、第2及び第3ノードQ B 1、Q B 2が第2電圧源V S Sで放電されることによって、第1ステージB S T 1がイネーブルされる。

**【0180】**

この状態で、第1ステージB S T 1の第21N M O SトランジスタT r 2 1に第1クロックパルスC L K 1が供給されると、第21N M O SトランジスタT r 2 1は、第1クロックパルスC L K 1を第1スキャンパルスV o u t 1として出力する。このとき、第1クロックパルスC L K 1とスタートパルスS Pは重なって出力されるので、第1スキャンパルスV o u t 1はスタートパルスS Pと重なって出力される。10

**【0181】**

この第1スキャンパルスV o u t 1は、第1ゲートライン及び第2ステージB S T 2に供給される。すなわち、第1ステージB S T 1からの第1スキャンパルスV o u t 1は、第2ステージB S T 2の第1、第9、第10、第16、第17、第18及び第19N M O SトランジスタT r 1、T r 9、T r 10、T r 16、T r 17、T r 18、T r 19に供給される。これにより、第2ステージB S T 2の第1ノードQが充電され、第2及び第3ノードQ B 1、Q B 2が放電される。すなわち、第2ステージB S T 2は第1スキャンパルスV o u t 1によってイネーブルされる。言い換えれば、第1ステージB S T 1がスタートパルスS Pによってイネーブルされるのと同様に、第2ステージB S T 2は第1スキャンパルスV o u t 1によってイネーブルされる。この状態で、第2ステージB S T 2の第21N M O SトランジスタT r 2 1に第2クロックパルスC L K 2が供給されると、第21N M O SトランジスタT r 2 1は、第2クロックパルスC L K 2を第2スキャンパルスV o u t 2として出力する。このとき、第2クロックパルスC L K 2は第1クロックパルスC L K 1と重なるので、第2スキャンパルスV o u t 2は第1スキャンパルスV o u t 1と重なって出力される。20

**【0182】**

この第2スキャンパルスV o u t 2は、第2ゲートライン及び第3ステージB S T 3に供給される。すなわち、第2ステージB S T 2からの第2スキャンパルスV o u t 2は、第3ステージB S T 3の第1、第9、第10、第16、第17、第18及び第19N M O SトランジスタT r 1、T r 9、T r 10、T r 16、T r 17、T r 18、T r 19に供給される。これにより、第3ステージB S T 3の第1ノードQが充電され、第2及び第3ノードQ B 1、Q B 2が放電される。すなわち、第3ステージB S T 3は第2スキャンパルスV o u t 2によってイネーブルされる。言い換えれば、第1ステージB S T 1がスタートパルスS Pによってイネーブルされるのと同様に、第3ステージB S T 3は第2スキャンパルスV o u t 2によってイネーブルされる。30

**【0183】**

この状態で、第3ステージB S T 3の第21N M O SトランジスタT r 2 1に第3クロックパルスC L K 3が供給されると、第21N M O SトランジスタT r 2 1は、第3クロックパルスC L K 3を第3スキャンパルスV o u t 3として出力する。このとき、第3クロックパルスC L K 3は第2クロックパルスC L K 2と重なるので、第3スキャンパルスV o u t 3は第2スキャンパルスV o u t 2と重なって出力される。40

**【0184】**

この第3スキャンパルスV o u t 3は、第3ゲートライン及び第4ステージB S T 4に供給される。すなわち、第3ステージB S T 3からの第3スキャンパルスV o u t 3は第4ステージB S T 4の第1、第9、第10、第16、第17、第18及び第19N M O SトランジスタT r 1、T r 9、T r 10、T r 16、T r 17、T r 18、T r 19に供給される。これにより、第4ステージB S T 4の第1ノードQが充電され、第2及び第3ノードQ B 1、Q B 2が放電される。すなわち、第4ステージB S T 4は第3スキャンパルスV o u t 3によってイネーブルされる。言い換えれば、第1ステージB S T 1がスタートパルスS Pによってイネーブルされるのと同様に、第4ステージB S T 4は第3スキー50

ヤンパルス  $V_{out3}$  によってイネーブルされる。

**【0185】**

この状態で、第4ステージ BST4 の第21NMOSトランジスタ Tr21 に第4クロックパルス CLK4 が供給されると、第21NMOSトランジスタ Tr21 は、第4クロックパルス CLK4 を第4スキャンパルス  $V_{out4}$  として出力する。このとき、第4クロックパルス CLK4 は第3クロックパルス CLK3 と重なるので、第4スキャンパルス  $V_{out4}$  は第3スキャンパルス  $V_{out3}$  と重なって出力される。

**【0186】**

一方、第3ステージ BST3 から出力された第3スキャンパルス  $V_{out3}$  は、第1ステージ BST1 の第20NMOSトランジスタ Tr20 にも供給される。すなわち、第3スキャンパルス  $V_{out3}$  は、第1ステージ BST1 に備えられた第20NMOSトランジスタ Tr20 のゲート端子に供給される。これにより、第1ステージ BST1 がディセーブルされる。

10

**【0187】**

具体的に、第3スキャンパルス  $V_{out3}$  は、第1ステージ BST1 に備えられた第20NMOSトランジスタ Tr20 をターンオンさせる。すると、第2電圧源 VSS が、ターンオンされた第20NMOSトランジスタ Tr20 を介して第1ステージ BST1 の第1ノード Q に供給される。これにより、第1ステージ BST1 の第1ノード Q が放電される。したがって、第1ステージ BST1 の第1ノード Q に接続された第2、第3、第8、第15及び第21NMOSトランジスタ Tr2、Tr3、Tr8、Tr15、Tr21 がターンオフされる。また、このとき、スタートパルス SP がローに変化することによって、ロー状態のスタートパルス SP の供給される第1ステージ BST1 の第1、第9、第10、第16、第17、第18及び第19NMOSトランジスタ Tr1、Tr9、Tr10、Tr16、Tr17、Tr18、Tr19 がターンオフされる。

20

**【0188】**

ここで、第1ステージ BST1 の第9及び第10NMOSトランジスタ Tr9、Tr10 はターンオフされることによって、第1ステージ BST1 の第5NMOSトランジスタ Tr5 のゲート端子にはそれ以上第2電圧源 VSS が供給されなくなる。その代わりに、第1ステージ BST1 の第5NMOSトランジスタ Tr5 のゲート端子には、第4NMOSトランジスタ Tr4 を介して第3電圧源 VDD3 が供給される。その結果、第5NMOSトランジスタ Tr5 は、第3電圧源 VDD3 によってターンオンされる。このターンオンされた第5NMOSトランジスタ Tr5 を介して第3電圧源 VDD3 が第1ステージ BST1 の第2ノード QB1 に供給される。これにより、第1ステージ BST1 の第2ノード QB1 が充電され、第1ステージ BST1 の第2ノード QB1 にゲート端子が接続された第6、第7及び第22NMOSトランジスタ Tr6、Tr7、Tr22 がターンオンされる。

30

**【0189】**

一方、ターンオンされた第6NMOSトランジスタ Tr6 を介して第2電圧源 VSS が第1ステージ BST1 の第1ノード Q に供給される。これにより、第1ステージ BST1 の第1ノード Q の放電速度がより速くなる。そして、ターンオンされた第7NMOSトランジスタ Tr7 を介して第2電圧源 VSS が第1ステージ BST1 の第3ノード QB2 に供給される。これにより、第3ノード QB2 が放電され、第3ノード QB2 にゲート端子が接続された第13、第14及び第23NMOSトランジスタ Tr13、Tr14、Tr23 がターンオフされる。

40

**【0190】**

このように第3ステージ BST3 からの第3スキャンパルス  $V_{out3}$  によって第1ステージ BST1 の第1ノード Q 及び第3ノード QB2 は放電され、第2ノード QB1 が充電される。すなわち、第1ステージ BST1 は、第3ステージ BST3 からの第3スキャンパルス  $V_{out3}$  に応答して、ディセーブルされる。このディセーブルされた第1ステージ BST1 は、自分に備えられた第22NMOSトランジスタ Tr22 を介して第2電

50

圧源VSSを出力する。そして、この第2電圧源VSSを第1ゲートラインに供給する。

#### 【0191】

このような方式で、各ステージBST1～BSTn+2は、前のステージから出力されたスキャンパルスによってイネーブルされる。そして、各ステージBST1～BSTn+2は、次々のステージからのスキャンパルスによってディセーブルされる。

#### 【0192】

一方、第2フレームには、第3電圧源VDD3が負極性に維持され、第4電圧源VDD4が正極性に維持される。これにより、各ステージBST1～BSTn+2がディセーブルされる時、各ステージBST1～BSTn+2の第2ノードQB1が放電され、第3ノードQB2が充電される。したがって、各ステージBST1～BSTn+2がディセーブルされる時、第3ノードQB2にゲート端子が接続された第23NMOSトランジスタTr23を介して第2電圧源VSSが出力される。このようにフレーム別に第2及び第3ノードQB1、QB2が交互に充電／放電されることで、出力部900bに備えられた第22及び第23NMOSトランジスタTr22、Tr23の劣化が防止される。10

#### 【0193】

第2シフトレジスタ301bに備えられた各ステージBST1～BSTn+2も、前記第1シフトレジスタ301aに備えられた各ステージBST1～BSTn+2と同様に動作する。ただし、第1シフトレジスタ301aに備えられた各ステージBST1～BSTn+2は、各ゲートラインGL1～GLnの一側にスキャンパルスVout1～Voutnを印加し、第2シフトレジスタ301bに備えられた各ステージBST1～BSTn+2は、各ゲートラインGL1～GLnの他側にスキャンパルスVout1～Voutnを供給する。20

#### 【0194】

以下、本発明の第2の実施の形態によるシフトレジスタについて詳細に説明する。

#### 【0195】

図11は、本発明の第2の実施の形態によるシフトレジスタを示す図である。

本発明の第2の実施の形態によるシフトレジスタは、図11に示すように、第1シフトレジスタ110aと第2シフトレジスタ110bとで構成される。

#### 【0196】

ここで、第1シフトレジスタ110aは互いに従属的に接続されたn個のステージCST1～CSTn、そして第1及び第2ダミーステージCSTn+1、CSTn+2で構成される。ここで、各ステージCST1～CSTn+2は、スキャンパルスVout1～Voutn+2を二つずつ出力する。すなわち、各ステージCST1～CSTn+2は二つのスキャンパルスを1対として同時に出力し、また、各ステージCST1～CSTn+2は1対のスキャンパルスを順に出力する。このとき、第1及び第2ダミーステージCSTn+1、CSTn+2以外のステージCST1～CSTnから出力されたスキャンパルスVout1～Voutnは、液晶パネル300のゲートラインGL1～GLnに順に供給されて、ゲートラインGL1～GLnを順にスキャニングするようになる。30

#### 【0197】

すなわち、まず、第1ステージCST1が二つの第1スキャンパルスVout1を同時に出力し、続いて第2ステージCST2が二つの第2スキャンパルスVout2を同時に出力し、続いて第3ステージCST3が二つの第3スキャンパルスVout3を同時に出力する。このような方式で、最後には第nステージCSTnが二つの第nスキャンパルスVoutnを同時に出力する。40

#### 【0198】

一方、第nステージCSTnが二つの第nスキャンパルスVoutnを同時に出力した後、第1ダミーステージCSTn+1が第n+1スキャンパルスVoutn+1を出力するが、このとき、第1ダミーステージCSTn+1から出力された第n+1スキャンパルスVoutn+1はゲートラインには供給されず、第n-1ステージCSTn-1にのみ供給される。50

## 【0199】

そして、第1ダミーステージCST<sub>n+1</sub>が二つの第n+1スキャンパルスV<sub>out</sub><sub>n+1</sub>を同時に出力した後、第2ダミーステージCST<sub>n+2</sub>が第n+2スキャンパルスV<sub>out</sub><sub>n+2</sub>を出力するが、このとき、第2ダミーステージCST<sub>n+2</sub>から出力された第n+2スキャンパルスV<sub>out</sub><sub>n+1</sub>はゲートラインには供給されず、第nステージCST<sub>n</sub>にのみ供給される。

## 【0200】

また、第1シフトレジスタ110aに備えられた各ステージCST<sub>1</sub>～CST<sub>n+2</sub>から出力されるスキャンパルスV<sub>out</sub><sub>1</sub>～V<sub>out</sub><sub>n+2</sub>は互いに所定区間重なって出力される。ここで、一つのステージは二つの出力端子（以下、「第1及び第2出力端子」という。）を有し、第1及び第2出力端子を介して同時に二つのスキャンパルスを出力する。

10

## 【0201】

言い換れば、一つのステージは第1出力端子を介してスキャンパルスを出力すると同時に、第2出力端子を介してスキャンパルスを出力する。したがって、各ステージCST<sub>1</sub>～CST<sub>n+2</sub>からは二つのスキャンパルスが同時に出力される。このとき、各ステージCST<sub>1</sub>～CST<sub>n+2</sub>の各第1出力端子を介して出力されるスキャンパルスは、互いに所定幅重なる。もちろん、各ステージCST<sub>1</sub>～CST<sub>n+2</sub>の各第2出力端子を介して出力されるスキャンパルスも、互いに所定幅重なる。例えば、第1ステージCST<sub>1</sub>から出力された二つの第1スキャンパルスV<sub>out</sub><sub>1</sub>は、第2ステージCST<sub>2</sub>から出力された二つの第2スキャンパルスV<sub>out</sub><sub>2</sub>と互いに所定幅重なる。

20

## 【0202】

ここで、第1シフトレジスタ110aに備えられた各ステージCST<sub>1</sub>～CST<sub>n+2</sub>は、二つのスキャンパルスのうち一つを自分に該当するゲートラインに供給し、残りの一つを次のステージと前々のステージに供給する。例えば、第3ステージCST<sub>3</sub>は、二つの第3スキャンパルスV<sub>out</sub><sub>3</sub>を出力し、一つの第3スキャンパルスV<sub>out</sub><sub>3</sub>を第3ゲートラインに供給し、残り一つの第3スキャンパルスV<sub>out</sub><sub>3</sub>を第4ステージCST<sub>4</sub>と第1ステージCST<sub>1</sub>に供給する。一方、第2ダミーステージCST<sub>n+2</sub>は、二つのスキャンパルスを出力しても良く、一つのスキャンパルスを出力しても良い。

## 【0203】

30

一方、このように構成された第1シフトレジスタ110aの全体ステージCST<sub>1</sub>～CST<sub>n+2</sub>には、第1乃至第4電圧源VDD、VSS、VDD3、VDD4、そして互いに順次的な位相差をもって循環する第1乃至第4クロックパルスCLK<sub>1</sub>～CLK<sub>4</sub>のうち一つのクロックパルスが印加される。ここで、第1電圧源VDDは正極性の直流電圧源を表し、第2電圧源VSSは負極性の電圧源を表す。そして、第3電圧源VDD3及び第4電圧源VDD4は、フレーム別に反転された極性を有する交流電圧源である。ここで、第3電圧源VDD3は、第4電圧源VDD4に反転された位相を有する。すなわち、同一フレーム内において第3電圧源VDD3と第4電圧源VDD4が相異なる極性を示す。

## 【0204】

40

一方、上述したように、第1乃至第4クロックパルスCLK<sub>1</sub>～CLK<sub>4</sub>は互いに1パルス幅ずつ位相遅延されて出力される。すなわち、第2クロックパルスCLK<sub>2</sub>は、第1クロックパルスCLK<sub>1</sub>よりも1パルス幅だけ位相遅延されて出力され、第3クロックパルスCLK<sub>3</sub>は、第2クロックパルスCLK<sub>2</sub>よりも1パルス幅だけ位相遅延されて出力され、第4クロックパルスCLK<sub>4</sub>は、第3クロックパルスCLK<sub>3</sub>よりも1パルス幅だけ位相遅延されて出力され、第1クロックパルスCLK<sub>1</sub>は、第4クロックパルスCLK<sub>4</sub>よりも1パルス幅だけ位相遅延されて出力される。

## 【0205】

このとき、第1乃至第4クロックパルスCLK<sub>1</sub>～CLK<sub>4</sub>は順に出力され、また、循環しつつ出力される。すなわち、第1クロックパルスCLK<sub>1</sub>から第4クロックパルスCLK<sub>4</sub>まで順に出力された後、再び第1クロックパルスCLK<sub>1</sub>から第4クロックパルス

50

C L K 4まで順に出力される。したがって、第1クロックパルスC L K 1は、第4クロックパルスC L K 4及び第2クロックパルスC L K 2間に該当する期間で出力される。ここで、第4クロックパルスC L K 4とスタートパルスS Pを互いに同期させて出力しても良い。このときには、第1乃至第4クロックパルスC L K 1～C L K 4のうち第4クロックパルスC L K 4が最初に出力される。

#### 【0206】

一方、本発明による第1シフトレジスタ110aは、二つ以上のクロックパルスを使用することができる。すなわち、本発明によるシフトレジスタは、第1乃至第4クロックパルスC L K 1～C L K 4のうち第1及び第2クロックパルスC L K 1、C L K 2のみを使用しても良く、第1乃至第3クロックパルスC L K 1～C L K 3のみを使用しても良い。  
また、本発明によるシフトレジスタは、順に出力される4個以上のクロックパルスを使用しても良い。

10

#### 【0207】

第2シフトレジスタ110bも、上述した第1シフトレジスタ110aと同じ構成を有する。

#### 【0208】

次に、本発明の第2の実施の形態によるシフトレジスタに備えられたステージの構成についてより具体的に説明する。

#### 【0209】

図12は、図11の第1シフトレジスタに備えられた第3ステージを示す図である。

20

#### 【0210】

第3ステージB S T 3は、図12に示すように、大きく、第1、第2及び第3ノードQ、Q B 1、Q B 2の充電及び放電を制御するノード制御部120aと、第1、第2及び第3ノードQ、Q B 1、Q B 2の充電／放電状態によってそれぞれターンオンされて、スキヤンパルスまたは第2電圧源V S Sを選択的に出力する出力部120b、120cとで構成される。ここで、第1、第2及び第3ノードQ、Q B 1、Q B 2は選択的に充電及び放電されるが、具体的に、第1ノードQが充電状態にあると第2ノードQ B 1及び第3ノードQ B 2とも放電状態を維持し、第1ノードQが放電状態にあると第2ノードQ B 1及び第3ノードQ B 2のうちいずれか一つが充電状態を維持する。

#### 【0211】

30

すなわち、奇数番目のフレームでは、第1ノードQが放電状態のとき、第2ノードQ B 1が充電され、第3ノードQ B 2が放電され、そして偶数番目のフレームでは、第1ノードQが放電状態の時、第2ノードQ B 1が放電され、第3ノードQ B 2が充電される。このように第1ノードQが放電状態にあるとき、第2ノードQ B 1及び第3ノードQ B 2にフレーム別に異なる極性の電圧源V D D 3、V D D 4を印加（充電及び放電）する理由は、第2ノードQ B 1及び第3ノードQ B 2にゲート端子が接続されたスイッチング素子の劣化を防止するためである。

#### 【0212】

第3ステージC S T 3のノード制御部120aは、第1乃至第20N M O SトランジスタT r 1～T r 20で構成される。

40

#### 【0213】

第1N M O SトランジスタT r 1は、前のステージからのスキヤンパルスに応答して、第1ノードQを第1電圧源V D Dで充電させる。すなわち、第1N M O SトランジスタT r 1は、第2ステージC S T 2からの第2スキヤンパルスV o u t 2に応答して、第1ノードQを第1電圧源V D Dで充電させる。このため、第1N M O SトランジスタT r 1のゲート端子は、第2ステージC S T 2に接続され、ソース端子は、第1電圧源V D Dを伝送する電源ラインに接続され、ドレイン端子は第1ノードQに接続される。

#### 【0214】

第2N M O SトランジスタT r 2は、第1ノードQに充電された第1電圧源V D Dに応答して、第2ノードQ Bを第2電圧源V S Sで放電させる。このため、第2N M O SトランジスタT r 2は、第1ノードQに充電された第1電圧源V D Dに応答して、第2ノードQ Bを第2電圧源V S Sで放電させる。

50

ンジスタTr2のゲート端子は、第1ノードQに接続され、ソース端子は第2ノードQB1に接続され、ドレイン端子は、第2電圧源VSSを伝送する電源ラインに接続される。

#### 【0215】

第3NMOSトランジスタTr3は、第1ノードQに充電された第1電圧源VDDに応答して、第3ノードQB2を第2電圧源VSSで放電させる。このため、第3NMOSトランジスタTr3のゲート端子は、第1ノードQに接続され、ソース端子は第3ノードQB2に接続され、ドレイン端子は、第2電圧源VSSを伝送する電源ラインに接続される。

#### 【0216】

第4NMOSトランジスタTr4は、フレームごとに異なる極性を有する第3電圧源VDD3に応答してターンオンまたはターンオフされ、ターンオン時に第3電圧源VDD3を出力する。このため、第4NMOSトランジスタTr4のゲート端子は、第3電圧源VDD3を伝送する電源ラインに接続され、ソース端子は、第3電圧源VDD3を伝送する電源ラインに接続される。

#### 【0217】

第5NMOSトランジスタTr5は、第4NMOSトランジスタTr4から出力された第3電圧源VDD3に応答して第2ノードQBを第3電圧源VDD3で充電させる。このため、第5NMOSトランジスタTr5のゲート端子は、第4NMOSトランジスタTr4のドレイン端子に接続され、ソース端子は、第3電圧源VDD3を伝送する電源ラインに接続され、ドレイン端子は第2ノードQBに接続される。

10

#### 【0218】

第6NMOSトランジスタTr6は、第2ノードQBに充電された第3電圧源VDD3に応答して、第1ノードQを第2電圧源VSSで放電させる。このため、第6NMOSトランジスタTr6のゲート端子は、第2ノードQBに接続され、ソース端子は第1ノードQに接続され、ドレイン端子は、第2電圧源VSSを伝送する電源ラインに接続される。

20

#### 【0219】

第7NMOSトランジスタTr7は、第2ノードQBに充電された第3電圧源VDD3に応答して、第3ノードQB2を第2電圧源VSSで放電させる。このため、第7NMOSトランジスタTr7のゲート端子は、第2ノードQBに接続され、ソース端子は前記第3ノードQB2に接続され、ドレイン端子は、第2電圧源VSSを伝送する電源ラインに接続される。

30

#### 【0220】

第8NMOSトランジスタTr8は、第1ノードQに充電された第1電圧源VDDに応答して、第5NMOSトランジスタTr5のゲート端子に第2電圧源VSSを供給することによって、第5NMOSトランジスタTr5をターンオフさせる。このため、第8NMOSトランジスタTr8のゲート端子は、第1ノードQに接続され、ソース端子は、第5NMOSトランジスタTr5のゲート端子に接続され、ドレイン端子は、第2電圧源VSSを伝送する電源ラインに接続される。

#### 【0221】

第9NMOSトランジスタTr9は、前のステージからのスキャンパルスに応答して、第5NMOSトランジスタTr5のゲート端子に第2電圧源VSSを供給することによって、第5NMOSトランジスタTr5をターンオフさせる。すなわち、第9NMOSトランジスタTr9は、第2ステージCST2からの第2スキャンパルスVout2に応答して、第5NMOSトランジスタTr5のゲート端子に第2電圧源VSSを供給することによって、第5NMOSトランジスタTr5をターンオフさせる。このため、第9NMOSトランジスタTr9のゲート端子は、第2ステージCST2に接続され、ソース端子は、第5NMOSトランジスタTr5のゲート端子に接続され、ドレイン端子は、第2電圧源VSSを伝送する電源ラインに接続される。

40

#### 【0222】

第10NMOSトランジスタTr10は、前のステージからのスキャンパルスに応答し

50

て、第5 NMOSトランジスタTr5のゲート端子に第2電圧源VSSを供給することによって、第5 NMOSトランジスタTr5をターンオフさせる。すなわち、第10 NMOSトランジスタTr10は、第2ステージCST2からの第2スキャンパルスVout2に応答して、第5 NMOSトランジスタTr5のゲート端子に第2電圧源VSSを供給することによって、第5 NMOSトランジスタTr5をターンオフさせる。このため、第10 NMOSトランジスタTr10のゲート端子は、第2ステージCST2に接続され、ソース端子は、第5 NMOSトランジスタTr5のゲート端子に接続され、ドレイン端子は、第2電圧源VSSを伝送する電源ラインに接続される。

## 【0223】

第11 NMOSトランジスタTr11は、フレームごとに異なる極性を有する第4電圧源VDD4に応答してターンオンまたはターンオフされ、ターンオン時に、第4電圧源VDD4を出力する。このため、第11 NMOSトランジスタTr11のゲート端子は、第4電圧源VDD4を伝送する電源ラインに接続され、ソース端子は、第4電圧源VDD4を伝送する電源ラインに接続される。ここで、第4電圧源VDD4は、毎フレームごとに第3電圧源VDD3に反転された極性を有する。

## 【0224】

第12 NMOSトランジスタTr12は、第11 NMOSトランジスタTr11から出力された第4電圧源VDD4に応答して、第3ノードQB2を第4電圧源VDD4で充電させる。このため、第12 NMOSトランジスタTr12のゲート端子は、第11 NMOSトランジスタTr11のドレイン端子に接続され、ソース端子は、第4電圧源VDD4を伝送する電源ラインに接続され、ドレイン端子は第3ノードQB2に接続される。

## 【0225】

第13 NMOSトランジスタTr13は、第3ノードQB2に充電された第4電圧源VDD4に応答して、第1ノードQを第2電圧源VSSで放電させる。このため、第13 NMOSトランジスタTr13のゲート端子は、第3ノードQB2に接続され、ソース端子は第1ノードQに接続され、ドレイン端子は、第2電圧源VSSを伝送する電源ラインに接続される。

## 【0226】

第14 NMOSトランジスタTr14は、第3ノードQB2に充電された第4電圧源VDD4に応答して、第2ノードQBを第2電圧源VSSで放電させる。このため、第14 NMOSトランジスタTr14のゲート端子は、第3ノードQB2に接続され、ソース端子は第2ノードQBに接続され、ドレイン端子は、第2電圧源VSSを伝送する電源ラインに接続される。

## 【0227】

第15 NMOSトランジスタTr15は、第1ノードQに充電された第1電圧源VDDに応答して、第12 NMOSトランジスタTr12のゲート端子に第2電圧源VSSを供給することによって、第12 NMOSトランジスタTr12をターンオフさせる。このため、第15 NMOSトランジスタTr15のゲート端子は、第1ノードQに接続され、ソース端子は、第12 NMOSトランジスタTr12のゲート端子に接続され、ドレイン端子は、第2電圧源VSSを伝送する電源ラインに接続される。

## 【0228】

第16 NMOSトランジスタTr16は、前のステージからのスキャンパルスに応答して、第12 NMOSトランジスタTr12のゲート端子に第2電圧源VSSを供給することによって、第12 NMOSトランジスタTr12をターンオフさせる。すなわち、第16 NMOSトランジスタTr16は、第2ステージCST2からの第2スキャンパルスVout2に応答して、第12 NMOSトランジスタTr12をターンオフさせる。このため、第16 NMOSトランジスタTr16のゲート端子は、第2ステージCST2に接続され、ソース端子は、第12 NMOSトランジスタTr12のゲート端子に接続され、ドレイン端子は、第2電圧源VSSを伝送する電源ラインに接続される。

## 【0229】

10

20

30

40

50

第17 NMOSトランジスタTr17は、前のステージからのスキャンパルスに応答して、第12 NMOSトランジスタTr12のゲート端子に第2電圧源VSSを供給することによって、第12 NMOSトランジスタTr12をターンオフさせる。すなわち、第17 NMOSトランジスタTr17は、第2ステージCST2からの第2スキャンパルスVout2に応答して、第12 NMOSトランジスタTr12をターンオフさせる。このため、第17 NMOSトランジスタTr17のゲート端子は、第2ステージCST2に接続され、ソース端子は、第12 NMOSトランジスタTr12のゲート端子に接続され、ドレイン端子は、第2電圧源VSSを伝送する電源ラインに接続される。

#### 【0230】

第18 NMOSトランジスタTr18は、前のステージからのスキャンパルスに応答して、第2ノードQB1を第2電圧源VSSで放電させる。すなわち、第18 NMOSトランジスタTr18は、第2ステージCST2からの第2スキャンパルスVout2に応答して、第2ノードQB1を第2電圧源VSSで放電させる。このため、第18 NMOSトランジスタTr18のゲート端子は、第2ステージCST2に接続され、ソース端子は第2ノードQB1に接続され、ドレイン端子は、第2電圧源VSSを伝送する電源ラインに接続される。10

#### 【0231】

第19 NMOSトランジスタTr19は、前のステージからのスキャンパルスに応答して、第3ノードQB2を第2電圧源VSSで放電させる。すなわち、第19 NMOSトランジスタTr19は、第2ステージCST2からの第2スキャンパルスVout2に応答して、第3ノードQB2を第2電圧源VSSで放電させる。このため、第19 NMOSトランジスタTr19のゲート端子は、第2ステージCST2に接続され、ソース端子は第3ノードQB2に接続され、ドレイン端子は、第2電圧源VSSを伝送する電源ラインに接続される。20

#### 【0232】

第20 NMOSトランジスタTr20は、次々のステージからのスキャンパルスに応答して、第1ノードQを第2電圧源VSSで放電させる。すなわち、第20 NMOSトランジスタTr20のゲート端子は、第5ステージからの第5スキャンパルスVout5に応答して、第1ノードQを第2電圧源VSSで放電させる。このため、第20 NMOSトランジスタTr20のゲート端子は、第5ステージに接続され、ソース端子は第1ノードQに接続され、ドレイン端子は、第2電圧源VSSを伝送する電源ラインに接続される。30

#### 【0233】

第3ステージCST3の第1出力部120bは、第21乃至23 NMOSトランジスタTr21～Tr23で構成される。

#### 【0234】

第21 NMOSトランジスタTr21は、第1ノードQに充電された第1電圧源VDDに応答して、第3クロックパルスCLK3をスキャンパルスとして出力する。そして、このスキャンパルスを前々のステージと次のステージに供給する。このため、第21 NMOSトランジスタTr21のゲート端子は、第1ノードQに接続され、ソース端子は、第3クロックパルスCLK3を伝送するクロックラインに接続され、ドレイン端子は、第1ステージCST1に備えられた第20 NMOSトランジスタTr20のゲート端子、及び第4ステージCST4に備えられた第1、第9、第10、第16、第17、第18及び第19 NMOSトランジスタTr1、Tr9、Tr10、Tr16、Tr17、Tr18、Tr19のゲート端子に接続される。40

#### 【0235】

第22 NMOSトランジスタTr22は、第2ノードQB1に充電された第3電圧源VDD3に応答して、第2電圧源VSSを出力する。そして、この第2電圧源VSSを前々のステージと次のステージに供給する。このため、第22 NMOSトランジスタTr22のゲート端子は、第2ノードQB1に接続され、ドレイン端子は、第2電圧源VSSを伝送する電源ラインに接続され、ソース端子は、第1ステージCST1に備えられた第20

50

NMOSトランジスタTr20のゲート端子、及び第4ステージCST4に備えられた第1、第9、第10、第16、第17、第18、及び第19NMOSトランジスタTr1、Tr9、Tr10、Tr16、Tr17、Tr18、Tr19のゲート端子に接続される。

#### 【0236】

第23NMOSトランジスタTr23は、第3ノードQB2に充電された第4電圧源VDD4に応答して、第2電圧源VSSを出力する。そして、この第2電圧源VSSを前々のステージと次のステージに供給する。このため、第23NMOSトランジスタTr23のゲート端子は、第2ノードQB1に接続され、ドレイン端子は、第2電圧源VSSを伝送する電源ラインに接続され、ソース端子は、第1ステージCST1に備えられた第20NMOSトランジスタTr20のゲート端子、及び第4ステージCST4に備えられた第1、第9、第10、第16、第17、第18及び第19NMOSトランジスタTr1、Tr9、Tr10、Tr16、Tr17、Tr18、Tr19のゲート端子に接続される。  
10

#### 【0237】

第3ステージCST3の第2出力部120cは、第24乃至第26NMOSトランジスタTr24～Tr26で構成される。

#### 【0238】

第24NMOSトランジスタTr24は、第1ノードQに充電された第1電圧源VDDに応答して、第3クロックパルスCLK3をスキャンパルスとして第3ゲートラインに出力する。このため、第24NMOSトランジスタTr24のゲート端子は、第1ノードQに接続され、ソース端子は、第3クロックパルスCLK3を伝送するクロックラインに接続され、ドレイン端子は第3ゲートラインに接続される。  
20

#### 【0239】

第25NMOSトランジスタTr25は、第2ノードQB1に充電された第3電圧源VDD3に応答して、第2電圧源VSSを第3ゲートラインに出力する。このため、第25NMOSトランジスタTr25のゲート端子は、第2ノードQB1に接続され、ドレイン端子は第2電圧源VSSを伝送する電源ラインに接続され、ソース端子は、第3ゲートラインに接続される。

#### 【0240】

第26NMOSトランジスタTr26は、第3ノードQB2に充電された第4電圧源VDD4に応答して、第2電圧源VSSを第3ゲートラインに出力する。このため、第26NMOSトランジスタTr26のゲート端子は第2ノードQB1に接続され、ドレイン端子は、第2電圧源VSSを伝送する電源ラインに接続され、ソース端子は第3ゲートラインに接続される。  
30

#### 【0241】

第1及び第2ステージCST1、CST2、第4乃至第nステージCST4～CSTn、第1及び第2ダミーステージCSTn+1、CSTn+2も、上述した第2ステージCST2と同じ構成を有する。

#### 【0242】

ただし、第1ステージCST1の前にはステージが存在しないので、第1ステージCST1に備えられた第1、第9、第10、第16、第17、第18及び第19NMOSトランジスタTr1、Tr9、Tr10、Tr16、Tr17、Tr18、Tr19には、タイミングコントローラからのスタートパルスSPが供給される。すなわち、第1ステージCST1の第1NMOSトランジスタTr1は、タイミングコントローラからのスタートパルスSPに応答して、第1ノードQを第1電圧源VDDで充電させる。  
40

#### 【0243】

また、第1ステージCST1の第9NMOSトランジスタTr9は、タイミングコントローラからのスタートパルスSPに応答して、第1ステージCST1の第2ノードQB1を第2電圧源VSSで放電させる。

#### 【0244】

また、第1ステージCST1の第10NMOSトランジスタTr10は、タイミングコントローラからのスタートパルスに応答して、第4NMOSトランジスタTr4のゲート端子に第2電圧源VSSを供給することによって、第4NMOSトランジスタTr4をターンオフさせる。

## 【0245】

また、第1ステージCST1の第16NMOSトランジスタTr16は、タイミングコントローラからのスタートパルスに応答して、第12NMOSトランジスタTr12のゲート端子に第2電圧源VSSを供給することによって、第12NMOSトランジスタTr12をターンオフさせる。

## 【0246】

また、第1ステージCST1の第17NMOSトランジスタTr17は、タイミングコントローラからのスタートパルスに応答して、第12NMOSトランジスタTr12のゲート端子に第2電圧源VSSを供給することによって、第12NMOSトランジスタTr12をターンオフさせる。

## 【0247】

また、第1ステージCST1の第18NMOSトランジスタTr18は、タイミングコントローラからのスタートパルスSPに応答して、第2ノードQB1を第2電圧源VSSで放電させる。

## 【0248】

また、第1ステージCST1の第19NMOSトランジスタTr19は、タイミングコントローラからのスタートパルスSPに応答して、第3ノードQB2を第2電圧源VSSで放電させる。

## 【0249】

そして、第1及び第2ステージCST1、CST2の前々にはステージが存在しない。したがって、第1ステージCST1は第1スキャンパルスVout1を出力し、これを第1ゲートライン及び第2ステージCST2に供給する。これと同様に、第2ステージCST2は、第2スキャンパルスVout2を出力し、これを第2ゲートライン及び第3ステージCST3に供給する。

## 【0250】

そして、第2ダミーステージCSTn+2の次にはステージが存在しない。したがって、第2ダミーステージCSTn+2の第21NMOSトランジスタTr21のソース端子、第22NMOSトランジスタTr22のドレイン端子、及び第23NMOSトランジスタTr23のドレイン端子は、第nステージCSTnの第20NMOSトランジスタTr20のゲート端子に接続される。

## 【0251】

第2シフトレジスタ110bに備えられた各ステージCST1～CSTn+2も、第1シフトレジスタ110aに備えられた各ステージCST1～CSTn+2と同じ構成を有する。

## 【0252】

図13A及び図13Bは、図12の回路構成を有する第1シフトレジスタの第3ステージを示す図である。

## 【0253】

本発明の第2の実施の形態によるシフトレジスタの動作は、前述した第1の実施の形態のうち、図9、図10A、及び図10Bに示す回路の動作と同一であり、単に第2の実施の形態によるシフトレジスタの各ステージCST1～CSTn+2は、二つずつのスキャンパルスを出力する点が異なる。また、二つのスキャンパルスのうち一つを次のステージ及び前々のステージに供給し、残り一つを該当ゲートラインに供給する。ここで、第1及び第2ダミーステージCSTn+1～CSTn+2はスキャンパルスを一つずつ出力しても良い。

## 【0254】

10

20

30

40

50

以上説明してきた本発明は、上述の実施の形態及び添付の図面によって限定されるものではなく、本発明の技術的的思想を逸脱しない範囲内で種々の置換、変形及び変更が可能であるということは、本発明の属する技術分野における通常の知識を有する者にとって明白である。

【図面の簡単な説明】

【0255】

【図1】従来のシフトレジスタを示す図である。

【図2】スキャンパルスの理想的な波形と歪んだスキャンパルスの波形を示す図である。

【図3】本発明の第1の実施の形態によるシフトレジスタを示す図である。

【図4】第1乃至第4クロックパルス、及び第1乃至第4スキャンパルスのタイミング図  
である。 10

【図5】従来のスキャンパルスと本発明によるスキャンパルスを比較説明するための図である。

【図6】従来のスキャンパルスと本発明のスキャンパルスに対するシミュレーション波形を示す図である。

【図7】図3の第1シフトレジスタに備えられた第3ステージの回路構成図である。

【図8】図7の回路構成を有する第1シフトレジスタの第1乃至第3ステージを示す図である。

【図9】図3の第1シフトレジスタに備えられた第3ステージに対する他の回路構成図である。 20

【図10A】図9の回路構成を有する第1シフトレジスタの第1乃至第2ステージを示す図である。

【図10B】図9の回路構成を有する第1シフトレジスタの第3ステージを示す図である。

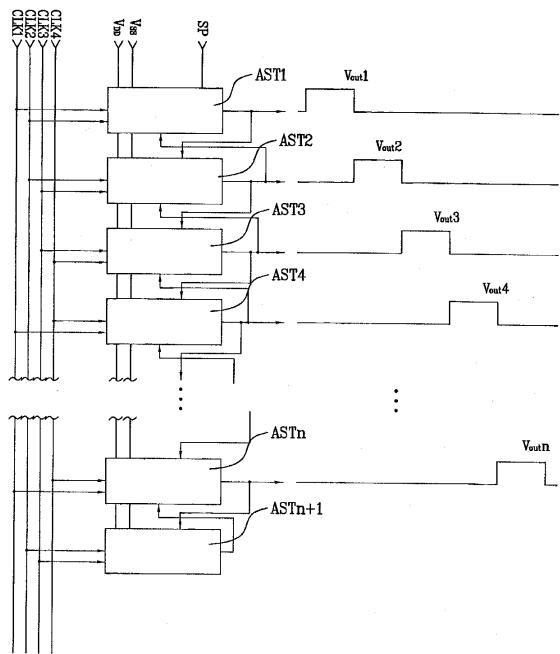
【図11】本発明の第2の実施の形態によるシフトレジスタを示す図である。

【図12】図11の第1シフトレジスタに備えられた第3ステージを示す図である。

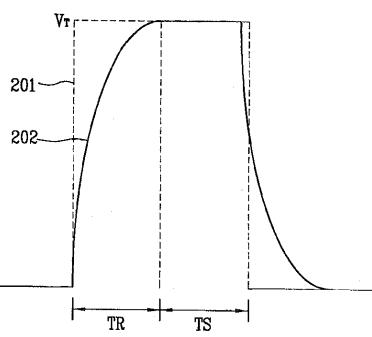
【図13A】図12の回路構成を有する第1シフトレジスタの第1乃至第2ステージを示す図である。3ステージを示す図である。

【図13B】図12の回路構成を有する第1シフトレジスタの第3ステージを示す図である。 30

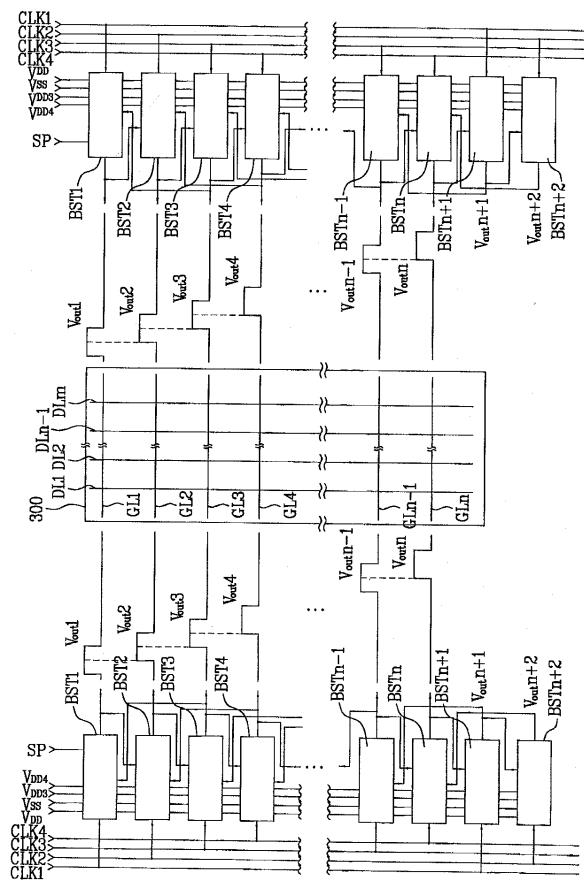
【図1】



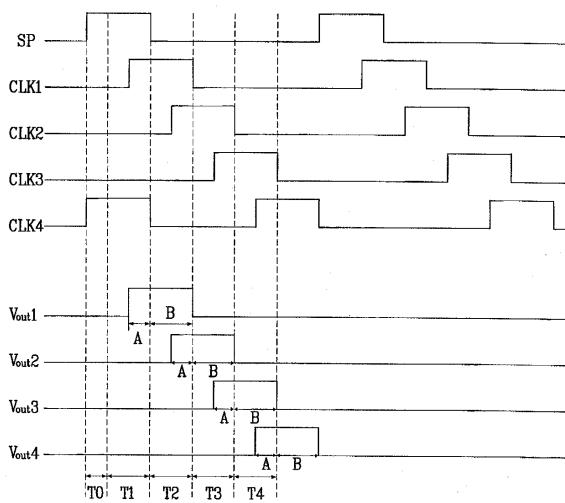
【図2】



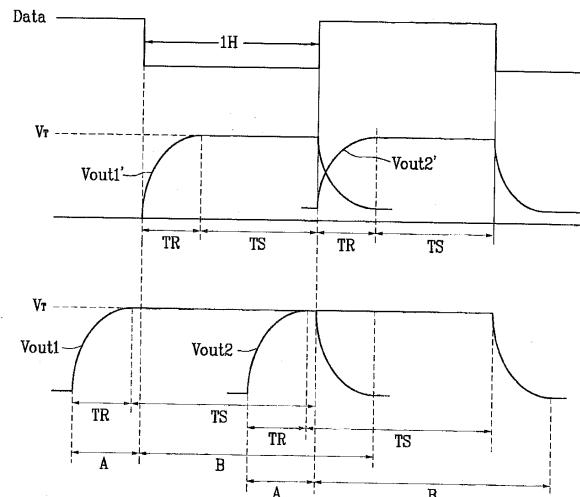
【図3】



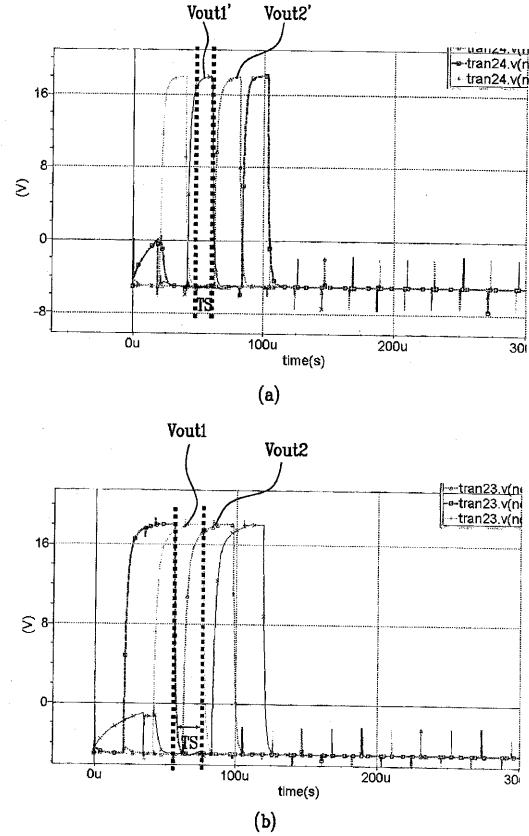
【図4】



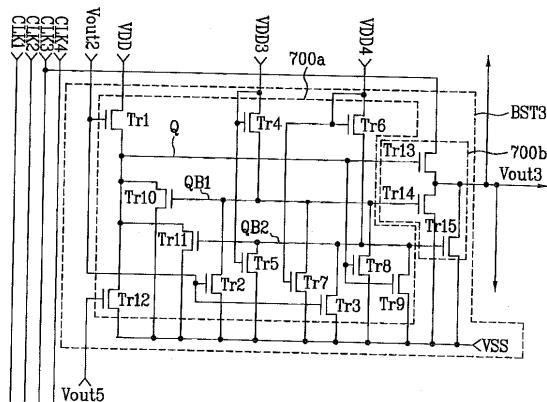
【図5】



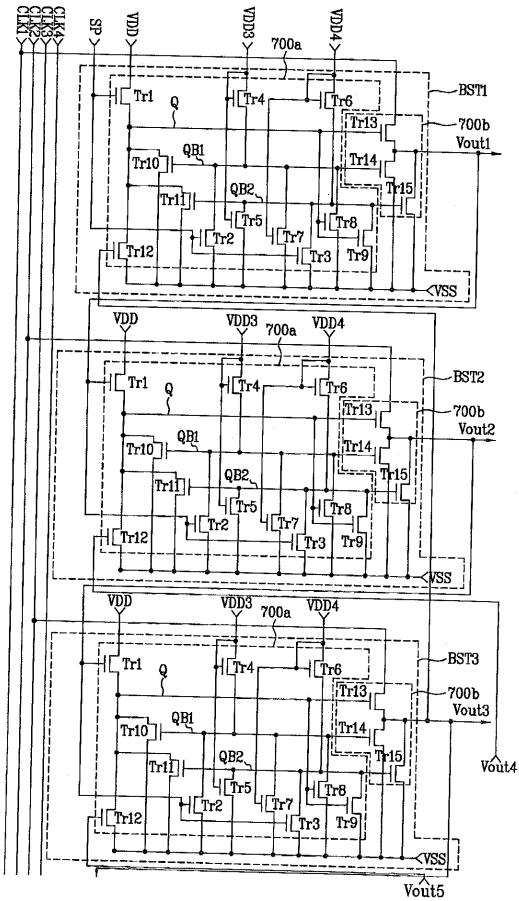
【図6】



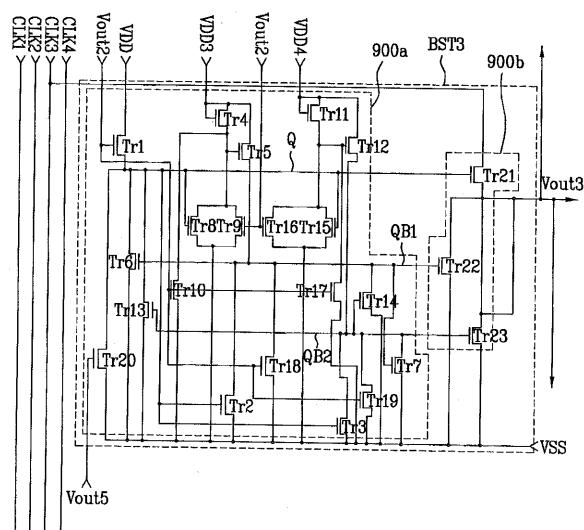
【図7】



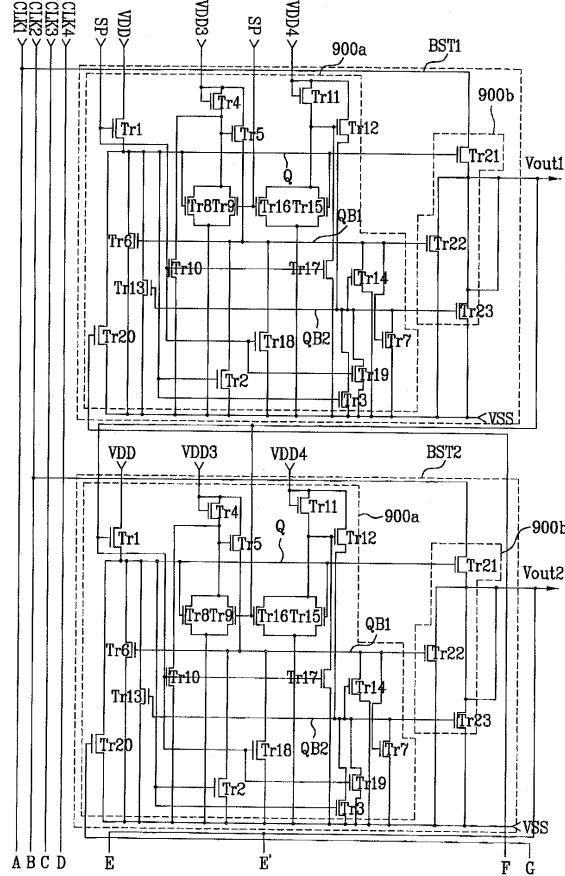
【図8】



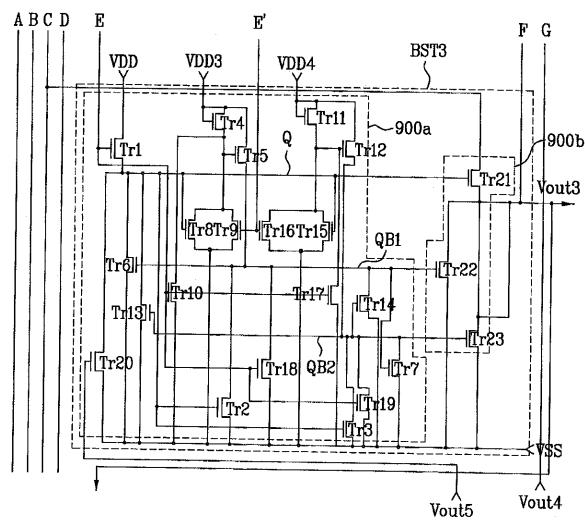
【図9】



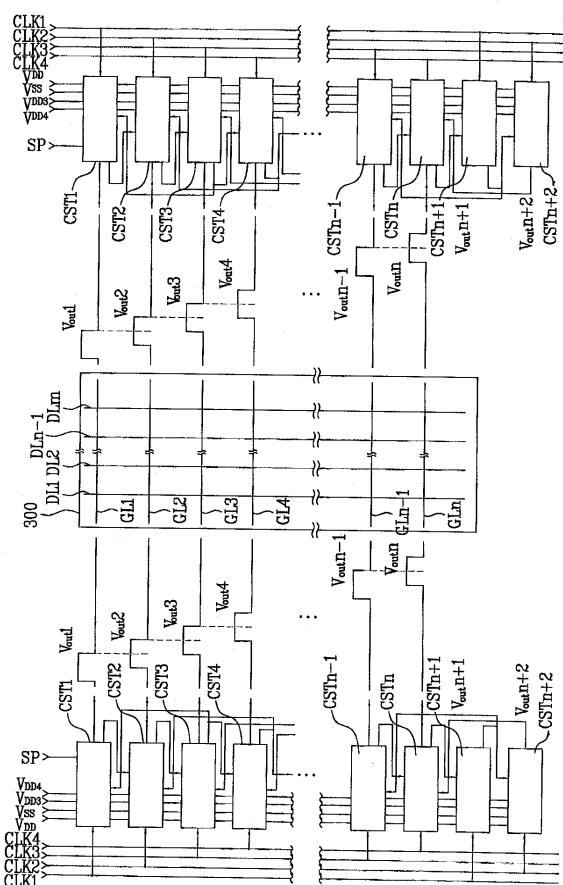
【図10A】



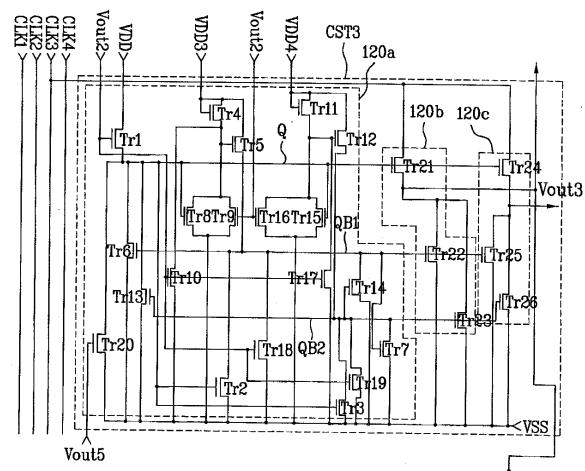
【図10B】



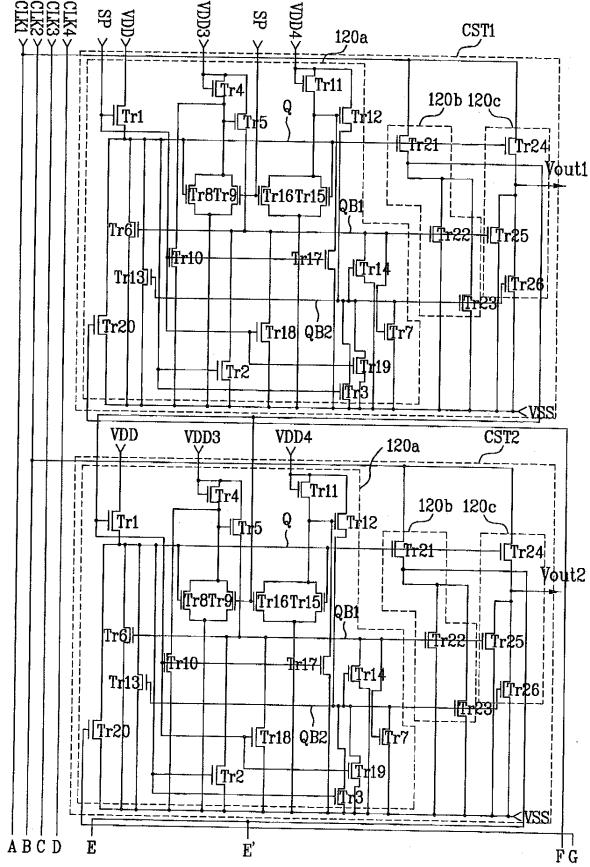
【図11】



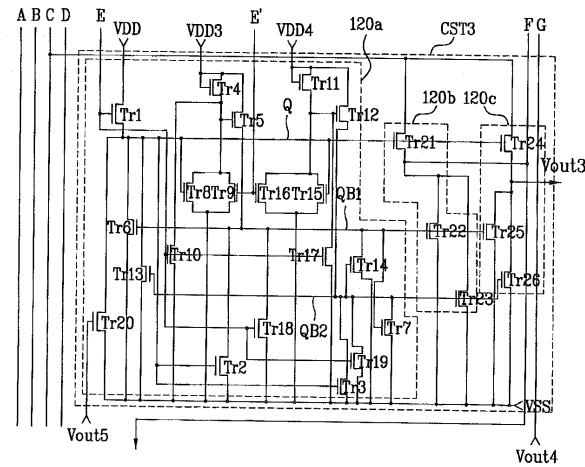
【図12】



【図13A】



【図13B】



---

フロントページの続き

(51)Int.Cl.

F I

G 0 9 G 3/20 6 2 1 A  
G 0 2 F 1/133 5 5 0

(72)発明者 張 容豪

大韓民国京畿道城南市盆唐區盆唐洞セトビヨルミヨル・サンブ・アパートメント 414-806

(72)発明者 金 彬

大韓民国ソウル陽川區木5洞モクドン4ダンチ・アパートメント 408-2003

(72)発明者 尹 淑榮

大韓民国京畿道高陽市徳陽區幸臣洞ムウォンミヨル10ダンチ・ソグワン・アパートメント 10  
10-802

審査官 堀部 修平

(56)参考文献 特開平08-062580(JP,A)

特開平07-140439(JP,A)

特開平02-123326(JP,A)

特開2001-356738(JP,A)

特開昭63-077031(JP,A)

特表2004-524639(JP,A)

特開平02-000088(JP,A)

特開昭62-271569(JP,A)

特開平10-198313(JP,A)

特開平02-239226(JP,A)

特開平09-325738(JP,A)

特開平11-265174(JP,A)

特開平04-289893(JP,A)

特開2002-023683(JP,A)

(58)調査した分野(Int.Cl., DB名)

G 0 9 G 3 / 0 0 - 3 / 3 8  
G 0 2 F 1 / 1 3 3

专利名称(译)	显示装置的驱动电路		
公开(公告)号	<a href="#">JP4512064B2</a>	公开(公告)日	2010-07-28
申请号	JP2006171649	申请日	2006-06-21
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	Eruji飞利浦杜迪股份有限公司		
当前申请(专利权)人(译)	Eruji显示有限公司		
[标]发明人	張容豪 金彬 尹洙榮		
发明人	張容豪 金彬 尹洙榮		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
CPC分类号	G09G3/3677 G09G2310/0205 G09G2320/0223 G11C19/28		
F1分类号	G09G3/36 G09G3/20.622.D G09G3/20.611.J G09G3/20.622.E G09G3/20.612.K G09G3/20.621.A G02F1/133.550 G11C19/00 G11C19/00.J G11C19/28.D G11C19/28.230		
F-Term分类号	2H093/NC16 2H093/NC22 2H093/NC34 2H093/NC66 2H093/ND34 2H093/ND36 2H093/ND58 2H193 /ZA04 2H193/ZH40 2H193/ZH43 5B074/AA10 5B074/CA01 5B074/DA03 5B074/DB01 5B074/EA04 5C006/AF42 5C006/AF50 5C006/AF71 5C006/AF72 5C006/BB16 5C006/BC02 5C006/BC03 5C006 /BF03 5C006/BF34 5C006/FA15 5C006/FA16 5C006/FA37 5C080/AA10 5C080/BB05 5C080/DD30 5C080/FF11 5C080/JJ03 5C080/JJ04		
代理人(译)	英年古河 Kajinami秩序		
优先权	1020050058609 2005-06-30 KR		
其他公开文献	<a href="#">JP2007011336A</a>		
外部链接	<a href="#">Espacenet</a>		

## 摘要(译)

要解决的问题：提供一种显示装置的驱动电路及其驱动方法，其能够减少提供给液晶面板的栅极线的扫描脉冲的失真。解决方案：驱动电路包括第一移位寄存器，用于顺序地将第一扫描脉冲提供给显示器中包括的栅极线的一侧端，以顺序驱动栅极线，第一移位寄存器同时驱动至少两个相邻的栅极线。栅极线持续预定时间段，第二移位寄存器用于顺序地将第二扫描脉冲提供给栅极线的另一侧端，以顺序驱动栅极线，第二移位寄存器同时驱动至少两个相邻的栅极线持续预定的时间段。

【图4】

