

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4470507号
(P4470507)

(45) 発行日 平成22年6月2日 (2010.6.2)

(24) 登録日 平成22年3月12日 (2010.3.12)

(51) Int.Cl.

F I

G09G 3/36 (2006.01)
G09G 3/20 (2006.01)

G09G 3/36
G09G 3/20 622E
G09G 3/20 622G
G09G 3/20 622K
G09G 3/20 622Q

請求項の数 1 (全 11 頁) 最終頁に続く

(21) 出願番号 特願2004-28822 (P2004-28822)
(22) 出願日 平成16年2月5日 (2004.2.5)
(65) 公開番号 特開2005-221695 (P2005-221695A)
(43) 公開日 平成17年8月18日 (2005.8.18)
審査請求日 平成18年7月26日 (2006.7.26)

(73) 特許権者 000002185
ソニー株式会社
東京都港区港南1丁目7番1号
(74) 代理人 100114627
弁理士 有吉 修一朗
(72) 発明者 市来 奈津美
福岡県福岡市早良区百道浜2丁目3番2号
ソニーセミコンダクタ九州株式会社内
(72) 発明者 後野 順一
福岡県福岡市早良区百道浜2丁目3番2号
ソニーセミコンダクタ九州株式会社内
(72) 発明者 鬼塚 佳代子
福岡県福岡市早良区百道浜2丁目3番2号
ソニーセミコンダクタ九州株式会社内

最終頁に続く

(54) 【発明の名称】 表示装置

(57) 【特許請求の範囲】

【請求項 1】

画素が行列状に配列され、第1の表示領域と第2の表示領域を有する画素部と、
該画素部の各行に対応して設けられ、制御信号が入力されると画素部の各画素を垂直方向に走査する垂直走査信号を出力すると共に、後段に制御信号を出力可能に構成されたシフトレジスタと、該シフトレジスタに順次制御信号が入力されることで第1の表示領域及び第2の表示領域の各画素を1行ずつ順次選択する第1の駆動モードと、第2の表示領域に対応する所定のシフトレジスタに略同時に制御信号が入力され、同所定のシフトレジスタは前段のシフトレジスタからの制御信号が遮断される一方、前記所定のシフトレジスタ以外のシフトレジスタは前段のシフトレジスタからの制御信号が入力されることで第1の表示領域の各画素を1行ずつ順次選択すると共に、第2の表示領域の各画素を複数行ずつ順次選択する第2の駆動モードとを、切り替えるスイッチ回路を有する垂直駆動系と、

第1の駆動モード時に前記垂直駆動系によって選択した第1の表示領域及び第2の表示領域の各画素に表示信号を順次書き込み、第2の駆動モード時に前記垂直駆動系によって選択した第1の表示領域の各画素に表示信号を順次書き込むと共に、第2の駆動モード時に前記垂直駆動系によって選択した第2の表示領域の各画素に所定の輝度レベル信号を順次書き込む様に構成された水平駆動系を備える

表示装置。

【発明の詳細な説明】

【技術分野】

【 0 0 0 1 】

本発明は表示装置に関する。詳しくは、第2の表示領域の各画素に複数行ずつ順次所定の輝度レベル信号を書き込むことによって、寄生容量によるノイズを抑制しようとした表示装置に係るものである。

【 背景技術 】

【 0 0 0 2 】

近年、アスペクト比が4:3の標準のテレビジョン方式（NTSC方式など）に対して、アスペクト比が16:9のいわゆるワイドビジョン（ハイビジョン）が開発され、これに伴ってワイドビジョン用の撮影モードを持ったビデオカメラ装置も発売されている。従って、標準のテレビジョン方式に対応したアスペクト比が4:3の画面を有する表示装置

10

【 0 0 0 3 】

上記した様に、アスペクト比が異なるテレビジョン方式に対応できる様にするためには、テレビジョン方式に応じてアスペクト比を切り替える必要がある。

【 0 0 0 4 】

ここで、アスペクト比を切り替える方法として、画素部の上端部及び下端部の所定数の走査線に黒色情報を書き込む処理を行う表示装置の駆動方法が提案されていた（例えば、特許文献1参照。）。

【 0 0 0 5 】

ところが、特許文献1に記載の方法により異なるアスペクト比での表示を行うには、その駆動をなす駆動系にメモリやスキャンコンバータなどの回路が必要となるため、その分高価なものになるという問題があった。特に、ビデオカメラ装置のEVF（Electronic View Finder）などに用いられる液晶表示装置では、装置の簡易化、低消費電力化が強く望まれていることから、異なったアスペクト比での表示を、できるだけ簡単な構成で廉価に実現したいという要求がある。

20

【 0 0 0 6 】

この様な要求に応じて、アスペクト比を切り替えるための制御信号が与えられた時に画素部の上下の所定領域の各画素を強制的にアクティブ状態にし黒レベル信号を一括して書き込むとともに、それ以外の領域の画素に対しては行単位で順にアクティブ状態にしつつ各行毎に表示信号を書き込む表示装置の駆動方法が提案されている（例えば、特許文献2

30

【 0 0 0 7 】

【特許文献1】特開平8-314421号公報

【 0 0 0 8 】

【特許文献2】特開2001-51643号公報

【 発明の開示 】

【 発明が解決しようとする課題 】

【 0 0 0 9 】

しかしながら、上記した従来の表示装置の駆動方法では、一括して黒レベル信号を書き込むために、寄生容量によるノイズの影響を受けやすく、黒表示領域に十分に黒信号が書き込めない等の問題がある。

40

【 0 0 1 0 】

本発明は、以上の点に鑑みて創案されたものであって、所定の輝度レベル信号を書き込む際の寄生容量によるノイズの影響を抑制することができる表示装置を提供することを目的とする。

【 課題を解決するための手段 】

【 0 0 1 1 】

上記の目的を達成するために、本発明に係る表示装置は、画素が行列状に配列され、第1の表示領域と第2の表示領域を有する画素部と、第1の駆動モード時に第1の表示領域及び第2の表示領域の各画素を一行ずつ順次選択し、第2の駆動モード時に第1の表示領

50

域の各画素を一行ずつ順次選択すると共に、第2の駆動モード時に第2の表示領域の各画素を複数行ずつ順次選択する様に構成された垂直駆動系と、第1の駆動モード時に前記垂直駆動系によって選択した第1の表示領域及び第2の表示領域の各画素に表示信号を順次書き込み、第2の駆動モード時に前記垂直駆動系によって選択した第1の表示領域の各画素に表示信号を順次書き込むと共に、第2の駆動モード時に前記垂直駆動系によって選択した第2の表示領域の各画素に所定の輝度レベル信号を順次書き込む様に構成された水平駆動系を備える。

【0012】

また、上記の目的を達成するために、本発明に係る表示装置の製造方法は、画素が行列状に配列され、第1の表示領域と第2の表示領域を有する画素部と、該画素部の各画素を行単位で選択する垂直駆動系と、該垂直駆動系により選択した画素に信号を書き込む水平駆動系を有し、前記第1の表示領域及び第2の表示領域の各画素に表示信号を書き込む第1の駆動モードと、前記第1の表示領域の各画素に表示信号を書き込み、前記第2の表示領域の各画素に所定の輝度レベル信号を書き込む第2の駆動モードを備える表示装置の駆動方法において、前記第1の駆動モード時は、前記垂直駆動系により前記第1の表示領域及び前記第2の表示領域の各画素を一行ずつ順次選択すると共に、選択した第1の表示領域及び第2の表示領域の各画素に表示信号を順次書き込み、前記第2の駆動モード時は、前記垂直駆動系により前記第1の表示領域の各画素は一行ずつ順次選択し、前記第2の表示領域の各画素は複数行ずつ順次選択すると共に、選択した第1の表示領域の各画素に表示信号を順次書き込み、選択した第2の表示領域の各画素に所定の輝度レベル信号を順次書き込む。

【0013】

上記した表示装置では、例えばアスペクト比が4:3の表示画面の場合における駆動モードである第1の駆動モード時には、垂直駆動系により第1の表示領域及び第2の表示領域の各画素を一行ずつ順次選択すると共に、第1の表示領域及び第2の表示領域の一行ずつ順次選択された各画素に表示信号を書き込むことによって、第1の表示領域及び第2の表示領域の各画素に対して一行ずつ表示信号を書き込むことができる。

【0014】

一方、例えばアスペクト比が16:9の表示画面の場合における駆動モードである第2の駆動モード時には、垂直駆動系により第1の表示領域の各画素を一行ずつ順次選択すると共に、第1の表示領域の一行ずつ順次選択された各画素に表示信号を書き込むことによって、第1の表示領域の各画素に対して一行ずつ表示信号を書き込むことができる。また、第2の駆動モード時には、垂直駆動系により第2の表示領域の各画素を複数行ずつ順次選択すると共に、第2の表示領域の複数行ずつ順次選択された各画素に所定の輝度レベル信号を書き込むことによって、第2の表示領域の各画素に対して複数行ずつ所定の輝度レベル信号を書き込むことができる。

【発明の効果】

【0015】

上記した本発明の表示装置では、第2の表示領域の各画素に所定の輝度レベル信号を書き込む際に、一括して書き込みを行わず、複数行ずつ書き込みを行うために、画素部が寄生容量によるノイズの影響を受け難く、十分に所定の輝度レベル信号の書き込みを行うことができる。

【0016】

また、本発明の表示装置では、外部に特別な回路を設けることなく簡単な回路構成を付加し、単にアスペクト比を切り替えるための制御信号を与えるだけで異なったアスペクト比での表示を簡単な構成にて廉価でかつ消費電力で実現することができる。

【発明を実施するための最良の形態】

【0017】

以下、本発明の実施の形態について図面を参照しながら説明し、本発明の理解に供する。

10

20

30

40

50

図 1 は本発明を適用したアクティブマトリクス型液晶表示装置の一例における液晶駆動回路の構成を説明するための図であり、ここで示す液晶駆動回路は、画素が行列状（マトリクス状）に配置されてなる画素部 1 と、画素部の例えば上側に配置され、各画素への表示データ若しくは黒レベル信号の書き込みを点順次で行う水平駆動系 2 と、画素部の例えば左側に配置され、各画素を行単位で選択する垂直駆動系 3 を備えている。

【 0 0 1 8 】

画素部 1 は、2 枚のガラス基板間に液晶材料が封入されることによって作製され、マトリクス状に配置された各画素は、スイッチング素子であるポリシリコン T F T 4 と、この T F T のドレイン電極に画素電極が接続された液晶セル 5 と、T F T のドレイン電極に一方の電極が接続された補助キャパシタ 6 から構成されている。

10

【 0 0 1 9 】

この画素構造において、各画素の T F T は、そのゲート電極が垂直方向（行方向）の画素数 2 2 0（以下、垂直画素数 2 2 0 と称する）に対応した 2 2 0 行分のゲートライン 7 - 1 , 7 - 2 , . . . 7 - 2 1 9 , 7 - 2 2 0 の各々にそれぞれ接続され、かつそのソース電極が水平方向（列方向）の画素数 5 6 0（以下、水平画素数 5 6 0 と称する）に対応した 5 6 0 列分の信号ライン 8 - 1 , 8 - 2 . . . 8 - 5 5 9 , 8 - 5 6 0 の各々にそれぞれ接続されている。また、液晶セルの対向電極及び補助キャパシタの他方の電極は、コモン電圧 V c o m が与えられるコモンライン 1 0 に接続されている。

【 0 0 2 0 】

ここで、画素部は、図 2 に示す様に第 1 の表示領域 1 1 と第 2 の表示領域 1 2 を有し、第 1 の表示領域にはアスペクト比が 4 : 3 の標準のテレビジョン信号に対応した標準モード及びアスペクト比が 1 6 : 9 のワイドビジョンに対応したワイドモードの両モードで表示データが供給される。一方、第 2 の表示領域には標準モードでは表示データが供給されるものの、ワイドモードでは表示データは供給されずに黒レベル信号が供給される。

20

【 0 0 2 1 】

なお、本実施例では、2 9 行から 1 9 2 行を第 1 の表示領域とし、1 行から 2 8 行及び 1 9 3 行から 2 2 0 行までを第 2 の表示領域（以下、便宜上 1 行から 2 8 行を上部表示領域、1 9 3 行から 2 2 0 行を下部表示領域と言う）とする場合を例に挙げて説明を行う。即ち、ワイドモードの際に 1 行から 2 8 行及び 1 9 3 行から 2 2 0 行の各画素について黒色表示を行う場合を例に挙げて説明を行う。

30

【 0 0 2 2 】

水平駆動系 2 は、水平画素数 5 6 0 に対応した 5 6 0 段の H シフトレジスタ（図示せず）からなる H スキャナ 1 3 と、水平画素数 5 6 0 に対応して設けられた 5 6 0 個の水平スイッチ 1 4 - 1 , 1 4 - 2 . . . 1 4 - 5 5 9 , 1 4 - 5 6 0 を有する。H スキャナは、水平スタートパルス H S T を水平クロック H C K に同期して順に転送することによって得られる各段の転送パルスを水平走査パルスとして順に出力する。水平スイッチは例えば M O S トランジスタからなり、H スキャナから順に出力される水平走査パルスに应答して順次オン状態となることで、表示データを画素部の信号ラインに供給する。

【 0 0 2 3 】

垂直駆動系 3 は、図 3 で示す様に、垂直画素数 2 2 0 に対応した段数の V シフトレジスタ 1 5 - 1 , 1 5 - 2 . . . 1 5 - 2 1 9 , 1 5 - 2 2 0 と、7 段目の V シフトレジスタ 1 5 - 7 に対応した垂直スイッチ 1 6 - 7 、1 1 段目の V シフトレジスタ 1 5 - 1 1 に対応した垂直スイッチ 1 6 - 1 1 、1 5 段目の V シフトレジスタ 1 5 - 1 5 に対応した垂直スイッチ 1 6 - 1 5 、1 9 段目の V シフトレジスタ 1 5 - 1 9 に対応した垂直スイッチ 1 6 - 1 9 、2 3 段目の V シフトレジスタ 1 5 - 2 3 に対応した垂直スイッチ 1 6 - 2 3 、1 9 9 段目の V シフトレジスタ 1 5 - 1 9 9 に対応した垂直スイッチ 1 6 - 1 9 9 、2 0 3 段目の V シフトレジスタ 1 5 - 2 0 3 に対応した垂直スイッチ 1 6 - 2 0 3 、2 0 7 段目の V シフトレジスタ 1 5 - 2 0 7 に対応した垂直スイッチ 1 6 - 2 0 7 、2 1 1 段目の V シフトレジスタ 1 5 - 2 1 1 に対応した垂直スイッチ 1 6 - 2 1 1 、2 1 5 段目の V シフトレジスタ 1 5 - 2 1 5 に対応した垂直スイッチ 1 6 - 2 1 5 からなる V スキャナ 1 7

40

50

を有する。

【0024】

ここで、上部表示領域に形成された垂直スイッチ16₋₇, 16₋₁₁, 16₋₁₅, 16₋₁₉, 16₋₂₃は、第1のCMOSスイッチ18及び第2のCMOSスイッチ19を有し、第1のCMOSスイッチのPチャネル側のゲート電極と第2のCMOSスイッチのNチャネル側のゲート電極はアスペクト比切り替え制御パルスWIDEラインに接続し、第1のCMOSスイッチのNチャネル側のゲート電極と第2のCMOSスイッチのPチャネル側のゲート電極はインバータ20を介してWIDEラインに接続し、第1のCMOSスイッチのソース電極は対応するVシフトレジスタの前段のVシフトレジスタに接続し、第2のCMOSスイッチのソース電極は2段目のVシフトレジスタに接続し、第1のCMOSスイッチのドレイン電極及び第2のCMOSスイッチのドレイン電極は対応するVシフトレジスタに接続している。

10

【0025】

また、下部表示領域に形成された垂直スイッチ16₋₁₉₉, 16₋₂₀₃, 16₋₂₀₇, 16₋₂₁₁, 16₋₂₁₅は、第1のCMOSスイッチ及び第2のCMOSスイッチを有し、第1のCMOSスイッチのPチャネル側のゲート電極と第2のCMOSスイッチのNチャネル側のゲート電極はWIDEラインに接続し、第1のCMOSスイッチのNチャネル側のゲート電極と第2のCMOSスイッチのPチャネル側のゲート電極はインバータを介してWIDEラインに接続し、第1のCMOSスイッチのソース電極は対応するVシフトレジスタの前段のVシフトレジスタに接続し、第2のCMOSスイッチのソース電極は194段目のVシフトレジスタに接続し、第1のCMOSスイッチのドレイン電極及び第2のCMOSスイッチのドレイン電極は対応するVシフトレジスタに接続している。

20

【0026】

なお、WIDEはハイレベル(以下、Hレベルと言う)とローレベル(以下、Lレベルと言う)の2値をとり、第1のCMOSスイッチ及び第2のCMOSスイッチは、Pチャネル側のゲート電極にLレベルのWIDEが供給された際にオンの状態となる様に設計されている。

【0027】

以下、垂直スタートパルスVST、垂直クロックVCK、WIDEの動作タイミング及びn段目のVシフトレジスタの出力パルス#nを示す図4、図5及び図6を参照して上記した液晶駆動回路の動作について説明する。なお、図中符号cは表示データの書き込みが行われる領域である画像表示部を示している。

30

【0028】

先ず、標準モード時は、図4に示す様にWIDEを常にLレベルとして、図7で示す様に第1のCMOSスイッチをオンの状態とし、第2のCMOSスイッチをオフの状態とする。

【0029】

この状態で、VSTをVCKに同期して順に転送することによって、垂直走査パルスを順に出力し、画素部(第1の表示領域及び第2の表示領域)の各画素を一行ずつ順に選択する。同時に水平駆動系で、垂直駆動系での垂直走査によって順に選択される行毎に、Hスキャナから順に出力される水平走査パルスに応答して水平スイッチが順次オン状態となることで、表示データを画素部の信号ラインに供給する。

40

この様にして、画素部の各画素に対して1行毎に点順次で表示データの書き込みが行われ、結果としてアスペクト比が4:3の表示画像を得ることができる。

【0030】

次に、ワイドモード時は、図5及び図6に示す様にWIDEを常にHレベルとして、図8に示す様に第1のCMOSスイッチをオフの状態とし、第2のCMOSスイッチをオンの状態とする。

【0031】

50

この状態で、VSTをVCKに同期して転送することによって、Vシフトレジスタは1段目から転送をし始めるが、3段目のVシフトレジスタに転送されると同時に7段目、11段目、15段目、19段目及び23段目のVシフトレジスタにも転送し、各々次段のVシフトレジスタに順に転送するために、垂直走査パルスが6段同時に出力し、画素部の3行目、7行目、11行目、15行目、19行目及び23行目の各画素が同時に選択され、画素部の4行目、8行目、12行目、16行目、20行目及び24行目の各画素が同時に選択され、画素部の5行目、9行目、13行目、17行目、21行目及び25行目の各画素が同時に選択され、画素部の6行目、10行目、14行目、18行目、22行目及び26行目の各画素が同時に選択できる。同時に水平駆動系で、上部表示領域に対応する図5中符号aで示す8H期間黒レベル信号を供給し、垂直駆動系での垂直走査によって選択される行毎に、Hスキャナから順に出力される水平走査パルスに应答して水平スイッチが順次オン状態となることで、黒レベル信号を上部表示領域の信号ラインに供給する。

10

この様に8H期間黒レベル信号を供給することで、上部表示領域の各画素に対して黒レベル信号の書き込みを行うことができる。

【0032】

次に、29段目から192段目までのVシフトレジスタは順次転送することによって、垂直走査パルスを順に出力し、第1の表示領域の各画素を一行ずつ順に選択する。同時に水平駆動系で、垂直駆動系での垂直走査によって順に選択される行毎に、Hスキャナから順に出力される水平走査パルスに应答して水平スイッチが順次オンとなることで、表示データを表示部の信号ラインに供給する。

20

この様にして、第1の表示領域の各画素に対して1行毎に点順次で表示データの書き込みが行われる。

【0033】

続いて、Vシフトレジスタは193段目から転送をし始めるが、195段目のVに転送されると同時に199段目、203段目、207段目、211段目及び215段目のVシフトレジスタにも転送し、各々次段のVシフトレジスタに順位転送するため、垂直走査パルスが6段同時に出力し、画素部の195行目、199行目、203行目、207行目、211行目及び215行目の各画素が同時に選択され、画素部の196行目、200行目、204行目、208行目、212行目及び216行目の各画素が同時に選択され、画素部の197行目、201行目、205行目、209行目、213行目及び217行目の各画素が同時に選択され、画素部の198行目、202行目、206行目、210行目、214行目及び218行目の各画素が同時に選択できる。同時に水平駆動系で、下部表示領域に対応する図6中符号bで示す8H期間黒レベル信号を供給し、垂直駆動系での垂直走査によって選択される行毎に、Hスキャナから順に出力される水平走査パルスに应答して水平スイッチが順次オン状態となることで、黒レベル信号を下部表示領域の信号ラインに供給する。

30

この様にして下部表示領域の各画素に対して黒レベル信号の書き込みが行われ、結果としてアスペクト比が16:9の表示画像を得ることができる。

【0034】

上記した本発明を適用したアクティブマトリクス型液晶表示装置では、第2の表示領域への黒レベル信号の書き込みを一括して行わないために、ワイドモードの際に画素部が寄生容量によるノイズの影響を受け難く、十分に黒レベル信号の書き込みを行うことができる。

40

【0035】

なお、上記の実施例では、2個のCMOSスイッチを1組として構成され、WIDEによりどちらか一方のスイッチがオンの状態となる垂直スイッチを、一方のCMOSスイッチのソース端子には前段のVシフトレジスタ出力が供給され、もう一方のCMOSスイッチのソース端子には複数行の同時選択を開始する前段のVシフトレジスタ出力を供給する様に第2の表示領域に付加しているが、標準モードで画素部の各画素を一行ずつ順に選択する様な垂直走査パルスを順に出力し、ワイドモードで第2の表示領域の各画素を複数行

50

ずつ順に選択する様な垂直走査パルスを順に出力することができるのであれば、他の回路構成であっても良い。

【 0 0 3 6 】

また、上記の実施例では、上部表示領域内の各画素を複数行ずつ選択して黒レベル信号の書き込みを行い、第 1 の表示領域の各画素を一行ずつ選択して表示データの書き込みを行った後に、下部表示領域内の各画素を複数行ずつ選択して黒レベル信号の書き込みを行っているが、上部表示領域内の各画素を少なくとも一行選択すると共に下部表示領域内の各画素を少なくとも一行選択して上部表示領域内及び下部表示領域内の各画素に同時に黒レベル信号の書き込みを行っても良い。

【 0 0 3 7 】

更に、上記の実施例では、ワイドモードの際に画面の上下に黒レベル信号を書き込み、黒枠表示を行うことによって異なるアスペクト比を実現するとしたが、ワイドモードの際に画面の上下に書き込む信号は必ずしも黒レベル信号に限定される必要は無く、他の輝度レベル信号を書き込むことによって異なるアスペクト比に対応するようにしても良い。

【 0 0 3 8 】

また、上記の実施例では、画素の表示素子として液晶セルを用いた液晶表示装置を例に挙げて説明を行ったが、画素の表示素子として例えばエレクトロルミネセンス (E L) 素子を用いた E L 表示装置などのアクティブマトリクス型表示装置全般に適用が可能である。

【 図面の簡単な説明 】

【 0 0 3 9 】

【 図 1 】 本発明を適用したアクティブマトリクス型液晶表示装置の一例における液晶駆動回路の構成を説明するための図である。

【 図 2 】 画素部を説明するための模式図である。

【 図 3 】 垂直駆動系を説明するための模式図である。

【 図 4 】 標準モードにおける各クロックパルスの動作タイミング及びシフトレジスタの出力パルスを説明するためのタイミングチャートである。

【 図 5 】 ワイドモードにおける各クロックパルスの動作タイミング及び上部表示領域のシフトレジスタの出力パルスを説明するためのタイミングチャートである。

【 図 6 】 ワイドモードにおける各クロックパルスの動作タイミング及び下部表示領域のシフトレジスタの出力パルスを説明するためのタイミングチャートである。

【 図 7 】 標準モードにおける垂直駆動系の動作を説明するための模式図である。

【 図 8 】 ワイドモードにおける垂直駆動系の動作を説明するための模式図である。

【 符号の説明 】

【 0 0 4 0 】

- 1 画素部
- 2 水平駆動系
- 3 垂直駆動系
- 4 T F T
- 5 液晶セル
- 6 補助キャパシタ
- 7 ゲートライン
- 8 信号ライン
- 10 コモンライン
- 11 第 1 の表示領域
- 12 第 2 の表示領域
- 13 H スキャナ
- 14 水平スイッチ
- 15 V シフトレジスタ
- 16 垂直スイッチ

10

20

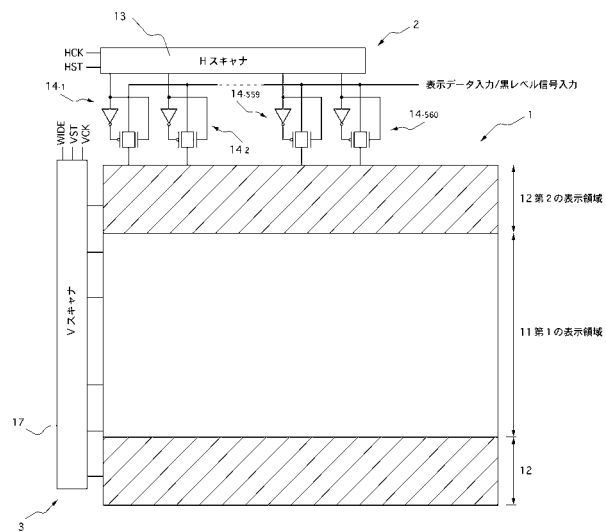
30

40

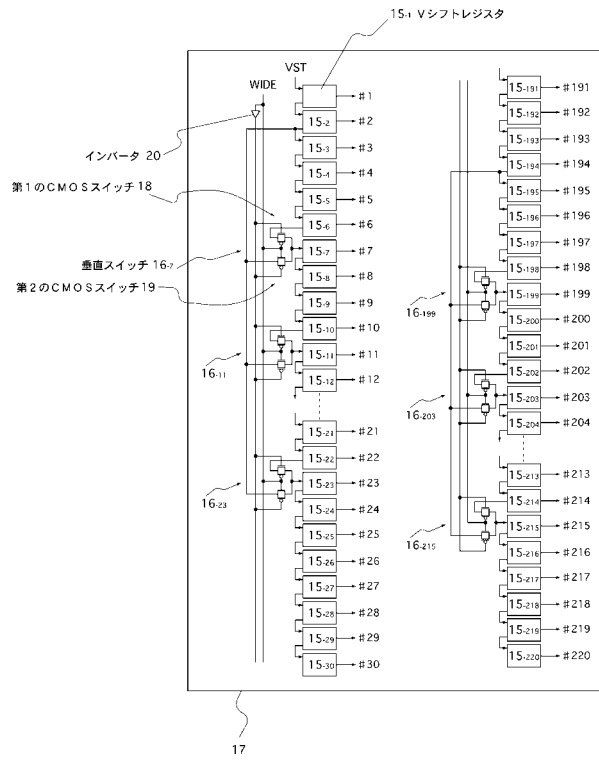
50

- | | |
|----|-------------|
| 17 | V スキャナ |
| 18 | 第1のCMOSスイッチ |
| 19 | 第2のCMOSスイッチ |
| 20 | インバータ |

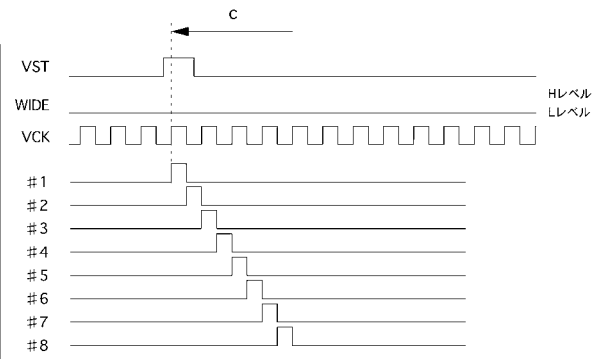
【圖 2】



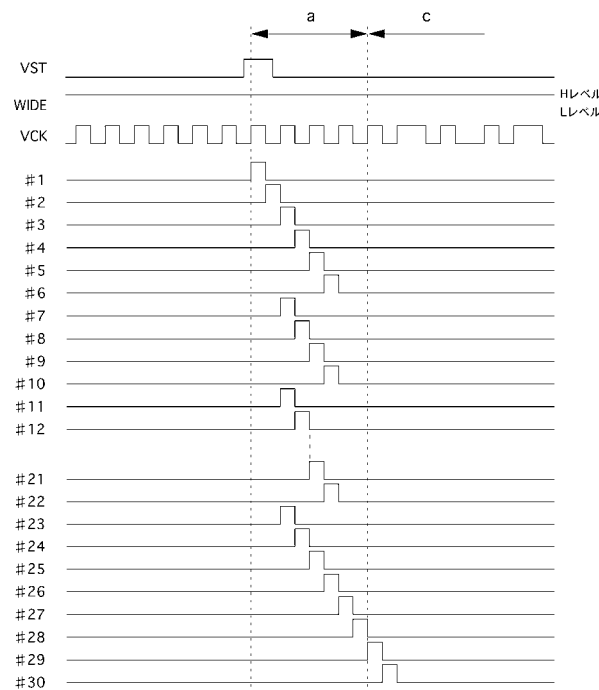
【図 3】



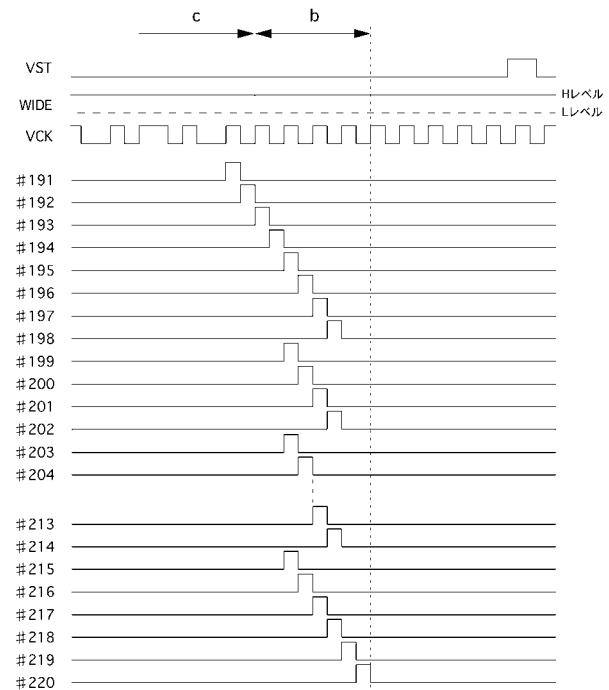
【図 4】



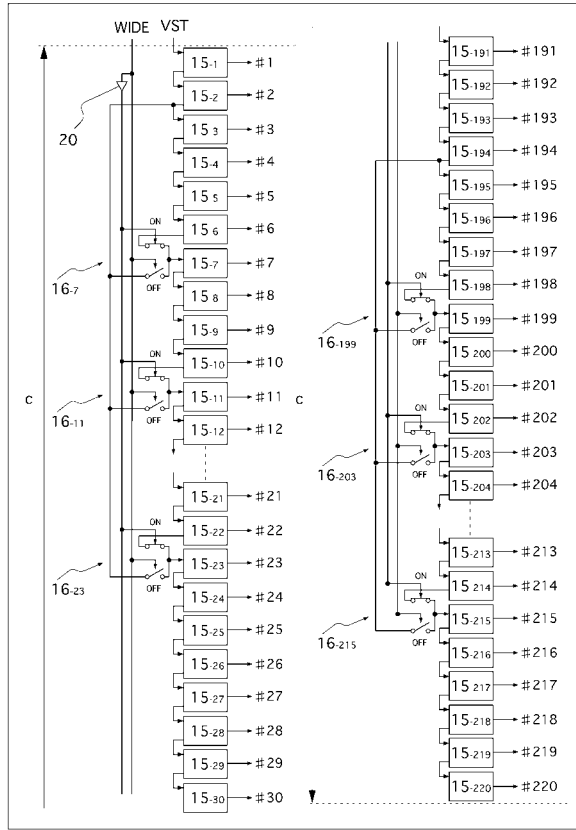
【図 5】



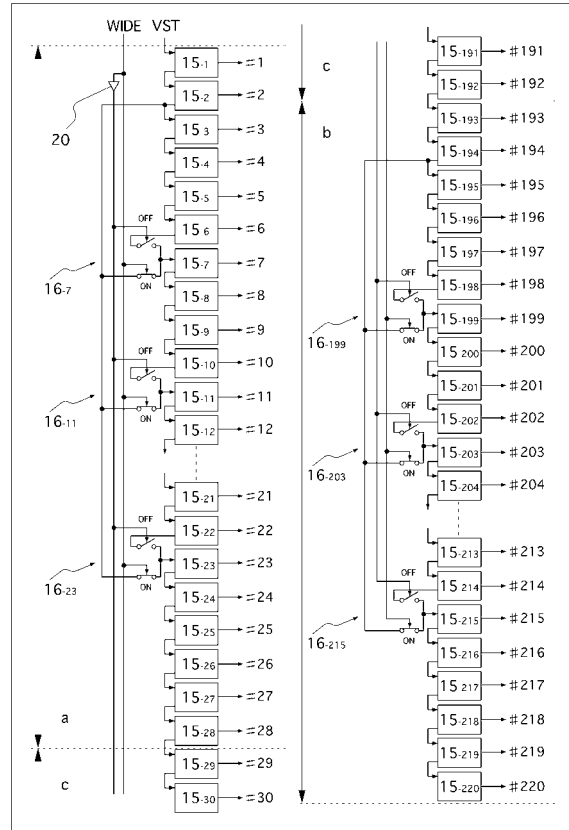
【図 6】



【図 7】



【図 8】



フロントページの続き

(51)Int.Cl. F I
G 0 9 G 3/20 6 2 2 R
G 0 9 G 3/20 6 5 0 G
G 0 9 G 3/20 6 6 0 Q

審査官 小川 浩史

(56)参考文献 特開 2 0 0 5 - 2 5 0 7 6 (J P , A)
特開 2 0 0 3 - 0 3 2 5 7 8 (J P , A)
特開 2 0 0 0 - 3 2 2 0 3 4 (J P , A)
特開 2 0 0 3 - 5 7 2 2 (J P , A)
特開平 0 9 - 0 0 9 1 8 0 (J P , A)
特開平 0 9 - 3 2 5 7 4 1 (J P , A)
特開平 0 8 - 3 1 4 4 2 3 (J P , A)
特開平 1 1 - 1 7 4 4 1 6 (J P , A)
特開 2 0 0 1 - 0 5 1 6 4 3 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)
G 0 9 G 3 / 3 6
G 0 9 G 3 / 2 0

专利名称(译)	表示装置		
公开(公告)号	JP4470507B2	公开(公告)日	2010-06-02
申请号	JP2004028822	申请日	2004-02-05
[标]申请(专利权)人(译)	索尼公司		
申请(专利权)人(译)	索尼公司		
当前申请(专利权)人(译)	索尼公司		
[标]发明人	市来奈津美 後野順一 鬼塚佳代子		
发明人	市来 奈津美 後野 順一 鬼塚 佳代子		
IPC分类号	G09G3/36 G09G3/20 G02F1/133 H04N5/66		
CPC分类号	G09G3/3677 G09G2310/0205 G09G2310/0232 G09G2310/0286 G09G2310/062 G09G2340/0442		
FI分类号	G09G3/36 G09G3/20.622.E G09G3/20.622.G G09G3/20.622.K G09G3/20.622.Q G09G3/20.622.R G09G3/20.650.G G09G3/20.660.Q G02F1/133.550 G09G3/20.611.A G09G3/20.611.J G09G3/20.623.C G09G3/20.650.E G11C19/00 G11C19/00.J H04N5/66.D H04N5/66.102.B		
F-TERM分类号	2H093/NA16 2H093/NA42 2H093/NA47 2H093/ND60 2H193/ZC22 5B074/AA10 5B074/CA01 5C006/AA01 5C006/AA16 5C006/AC11 5C006/AC23 5C006/AF36 5C006/AF42 5C006/AF51 5C006/AF59 5C006/AF71 5C006/BB16 5C006/BC03 5C006/BC13 5C006/BC16 5C006/BC22 5C006/BF03 5C006/BF11 5C006/BF24 5C006/BF26 5C006/BF27 5C006/BF33 5C006/FA04 5C006/FA05 5C006/FA16 5C006/FA22 5C006/FA31 5C006/FA37 5C006/FA43 5C006/FA47 5C006/FA51 5C058/AA08 5C058/BA01 5C058/BA22 5C080/AA10 5C080/BB06 5C080/DD05 5C080/DD12 5C080/DD23 5C080/DD26 5C080/DD27 5C080/EE26 5C080/FF11 5C080/GG08 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/KK43		
审查员(译)	小川博		
其他公开文献	JP2005221695A		
外部链接	Espacenet		

摘要(译)

A当写宽模式的黑电平信号，提供一种能够抑制由于寄生电容的噪声的影响的液晶显示装置。第一显示区域和具有第二显示区域中的像素部分，所述第一显示区域和第二显示区域的每个像素顺序地通过线选择线，以标准模式下，第一宽模式垂直驱动系统，被配置成通过多个行中的显示区域的各像素，和所述第一显示区域和由垂直驱动系统选择为标准模式第二显示区域的像素，宽模式的依次选择一个第一显示数据写入由在垂直驱动系统所选择的显示区的顺序的各像素，顺序地配置为写入黑电平信号，以由垂直驱动系统宽模式中选择的第二显示区域的各像素液晶显示装置具有水平驱动系统。点域

【図 1】

