

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4302121号
(P4302121)

(45) 発行日 平成21年7月22日 (2009. 7. 22)

(24) 登録日 平成21年5月1日 (2009. 5. 1)

(51) Int. Cl.

F I

G O 2 F 1/1368 (2006. 01)

G O 2 F 1/1368

H O 1 L 29/786 (2006. 01)

H O 1 L 29/78 6 2 4

請求項の数 4 (全 11 頁)

(21) 出願番号	特願2006-138992 (P2006-138992)	(73) 特許権者	302020207
(22) 出願日	平成18年5月18日 (2006. 5. 18)		東芝松下ディスプレイテクノロジー株式会
(65) 公開番号	特開2007-310130 (P2007-310130A)		社
(43) 公開日	平成19年11月29日 (2007. 11. 29)		東京都港区港南4-1-8
審査請求日	平成20年2月12日 (2008. 2. 12)	(74) 代理人	100062764
			弁理士 樺澤 襄
		(74) 代理人	100092565
			弁理士 樺澤 聡
		(74) 代理人	100112449
			弁理士 山田 哲也
		(72) 発明者	大田黒 洋
			東京都港区港南四丁目1番8号 東芝松下
			ディスプレイテクノロジー株式会社内

最終頁に続く

(54) 【発明の名称】 表示素子およびその検査方法

(57) 【特許請求の範囲】

【請求項 1】

複数の画素と、

これら画素をそれぞれ駆動させる複数のスイッチング素子と、

これらスイッチング素子に信号を送信する複数の信号配線と、

これら信号配線に設けられ、これら信号配線を検査する検査回路とを具備し、

前記検査回路は、

前記信号配線の少なくともいずれかの一端側に設けられ、オン時に前記信号配線に検査信号を供給可能な第1検査用スイッチング素子と、

一の前記第1検査用スイッチング素子が接続された前記信号配線の他端側と、他の前記第1検査用スイッチング素子が接続された前記信号配線の他端側との間に接続され、オン時にこれら信号配線間を短絡させる第2検査用スイッチング素子とを備え、

一の前記第1検査用スイッチング素子および前記第2検査用スイッチング素子は、前記信号配線の断線を検査する際にそれぞれオンされ、

他の前記第1検査用スイッチング素子は、前記信号配線の断線を検査する際にオフされ

、

前記各スイッチング素子は、前記信号配線の断線を検査する際にオンされて前記画素を順次駆動させる

ことを特徴とした表示素子。

【請求項 2】

10

20

一の前記第1検査用スイッチング素子は、前記信号配線の短絡を検査する際にオンされ

、
他の前記第1検査用スイッチング素子および前記第2検査用スイッチング素子は、前記信号配線の短絡を検査する際にそれぞれオフされ、

前記スイッチング素子は、前記信号配線の短絡を検査する際にオンされて前記画素を順次駆動させる

ことを特徴とした請求項1記載の表示素子。

【請求項3】

複数の画素と、これら画素をそれぞれ駆動させる複数のスイッチング素子と、これらスイッチング素子に信号を送信する複数の信号配線と、これら信号配線に設けられ、これら信号配線を検査する検査回路とを具備し、前記検査回路は、前記信号配線の少なくともいずれかの一端側に設けられ、オン時に前記信号配線に検査信号を供給可能な第1検査用スイッチング素子と、一の前記第1検査用スイッチング素子が接続された前記信号配線他端側と、他の前記第1検査用スイッチング素子が接続された前記信号配線他端側との間に接続され、オン時にこれら信号配線間を短絡させる第2検査用スイッチング素子とを備えた表示素子の検査方法であって、

一の前記第1検査用スイッチング素子および前記第2検査用スイッチング素子をそれぞれオンし、他の前記第1検査用スイッチング素子をオフして、前記信号配線に信号を供給した状態で、前記スイッチング素子により前記画素を順次駆動させることで前記信号配線の断線を検査する

ことを特徴とした表示素子の検査方法。

【請求項4】

一の前記第1検査用スイッチング素子をオンし、他の前記第1検査用スイッチング素子および前記第2検査用スイッチング素子をそれぞれオフして、一の前記第1検査用スイッチング素子を介して前記信号配線に信号を供給した状態で、前記スイッチング素子により前記画素を順次駆動させることで前記信号配線の短絡を検査する

ことを特徴とした請求項3記載の表示素子の検査方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、信号配線に設けられた検査回路を備えた表示素子およびその検査方法に関する。

【背景技術】

【0002】

従来、この種の表示素子としての液晶パネルは、アレイ基板と対向基板との間に液晶層を介在して形成されたパネル本体を備え、このパネル本体には、複数の画素がマトリクス状に配設されている。アレイ基板上には、画素駆動用のスイッチング素子としての薄膜トランジスタ(TFT)が画素に対応してそれぞれ配設されるとともに、これら薄膜トランジスタのゲート電極およびソース電極に電氣的に接続される信号配線としての走査線であるゲート線と信号線とが格子状に配設されている。さらに、これらゲート線および信号線の端部には、アレイ基板上にて、駆動手段としてのドライバICが電氣的に接続される。すなわち、この液晶パネルは、いわゆるCOG(Chip On Glass)型のものである。

【0003】

このような液晶パネルの製造工程において、ゲート線や信号線の断線、あるいは短絡などを検査する検査工程があり、この検査のために、ゲート線および信号線の端部に、検査用スイッチング素子としての検査用TFTを有する検査回路が設けられている。

【0004】

この検査工程においては、検査用TFTをオンさせてゲート線および信号線に所定の検査信号を供給して画素の点灯状態を目視することで、ゲート線、あるいは信号線の断線、短絡などを検出可能となっている。

【0005】

ところで、このような検査工程により検査されるゲート線および信号線は、ドライバICとの接続部であるドライバIC実装部の近傍が対向基板に覆われていないことから、このドライバIC実装部の近傍にて断線、あるいは短絡が発生しやすい。このため、検査用TF TをドライバICと反対端部に配設してこの反対端部から検査信号を供給すると、検査信号がそのゲート線、あるいは信号線を反対端部まで通過し、正常時と同様に画素が点灯してしまうので、特に断線を検出することが容易でない。

【0006】

そこで、検査用TF TをドライバIC実装部側に配設し、ドライバIC側から検査信号を供給することが好ましい（例えば、特許文献1参照。）。

10

【特許文献1】特開2004-102260号公報

【発明の開示】

【発明が解決しようとする課題】

【0007】

しかしながら、近年、狭額縁化への要求などからドライバICが小型化してきており、検査用TF Tを配設するスペースを十分に確保することが容易でなくなっている。

【0008】

このため、検査用TF Tを小型化することが必要となり、その結果、検査用TF Tの駆動能力が低下し、液晶パネルの検査時に、むらなどの画質異常が発生し、誤判定の原因となってしまうおそれがあるという問題点を有している。

20

【0009】

本発明は、このような点に鑑みなされたもので、検査回路を省スペース化しつつ信号配線を実際に検査できる表示素子およびその検査方法を提供することを目的とする。

【課題を解決するための手段】

【0010】

本発明は、複数の画素と、これら画素をそれぞれ駆動させる複数のスイッチング素子と、これらスイッチング素子に信号を送信する複数の信号配線と、これら信号配線に設けられ、これら信号配線を検査する検査回路とを具備し、前記検査回路は、前記信号配線の少なくともいずれかの一端側に設けられ、オン時に前記信号配線に検査信号を供給可能な第1検査用スイッチング素子と、一の前記第1検査用スイッチング素子が接続された前記信号配線の他端側と、他の前記第1検査用スイッチング素子が接続された前記信号配線の他端側との間に接続され、オン時にこれら信号配線間を短絡させる第2検査用スイッチング素子とを備え、一の前記第1検査用スイッチング素子および前記第2検査用スイッチング素子は、前記信号配線の断線を検査する際にそれぞれオンされ、他の前記第1検査用スイッチング素子は、前記信号配線の断線を検査する際にオフされ、前記各スイッチング素子は、前記信号配線の断線を検査する際にオンされて前記画素を順次駆動させるものである。

30

【0011】

また、本発明は、複数の画素と、これら画素をそれぞれ駆動させる複数のスイッチング素子と、これらスイッチング素子に信号を送信する複数の信号配線と、これら信号配線に設けられ、これら信号配線を検査する検査回路とを具備し、前記検査回路は、前記信号配線の少なくともいずれかの一端側に設けられ、オン時に前記信号配線に検査信号を供給可能な第1検査用スイッチング素子と、一の前記第1検査用スイッチング素子が接続された前記信号配線の他端側と、他の前記第1検査用スイッチング素子が接続された前記信号配線の他端側との間に接続され、オン時にこれら信号配線間を短絡させる第2検査用スイッチング素子とを備えた表示素子の検査方法であって、一の前記第1検査用スイッチング素子および前記第2検査用スイッチング素子をそれぞれオンし、他の前記第1検査用スイッチング素子をオフして、前記信号配線に信号を供給した状態で、前記スイッチング素子により前記画素を順次駆動させることで前記信号配線の断線を検査するものである。

40

【0012】

50

そして、信号配線の検査用の検査回路を、信号配線の少なくともいずれかの一端側に設ける第1検査用スイッチング素子と、一の第1検査用スイッチング素子が接続された信号配線の他端側と他の第1検査用スイッチング素子が接続された信号配線の他端側との間に接続され、オン時にこれら信号配線間を短絡させる第2検査用スイッチング素子とで構成し、各スイッチング素子を、信号配線の断線を検査する際にオンして画素を順次駆動させる。

【発明の効果】

【0013】

本発明によれば、第1検査用スイッチング素子と第2検査用スイッチング素子とを両方用いることで第1検査用スイッチング素子と第2検査用スイッチング素子とのそれぞれを小型化しつつ駆動能力を確保できるため、検査回路を省スペース化しつつ信号配線を確実に検査できる。

10

【発明を実施するための最良の形態】

【0014】

以下、本発明の第1の実施の形態の表示素子の構成を図1および図2を参照して説明する。

【0015】

図1および図2において、1は表示素子としての液晶素子であるアクティブマトリクス型の液晶パネルであり、この液晶パネル1は、基板としての略四角形平板状のアレイ基板2と、基板としての略四角形平板状の対向基板3とを対向配置し、これら基板2、3間に液晶層4を介在して構成されている。そして、この液晶パネル1の中央部には、平面視で四角形状の図示しない有効表示領域が形成され、この有効表示領域には、複数の画素6が例えばM行×N列のマトリクス状に設けられて配置されている。さらに、これら画素6のそれぞれには、表示電極としての画素電極、蓄積容量としての画素補助容量である補助容量、および、スイッチング素子としての薄膜トランジスタ8（以下、TFT8という）がそれぞれ1つずつ配置されている。

20

【0016】

また、アレイ基板2の表面には、信号配線としての走査線であるゲート線11が、このアレイ基板2の図1に示す左右方向に沿って互いに平行に複数配設されているとともに、信号配線としての信号線12が、このアレイ基板2の図1に示す上下方向に沿って互いに平行に複数配設されている。したがって、これらゲート線11および信号線12は、アレイ基板2上に交差して格子状であるマトリクス状に配線されている。そして、これらゲート線11および信号線12の各交点に対応して、画素電極、補助容量およびTFT8のそれぞれが画素6毎に設けられており、ゲート線11は、各TFT8のゲート電極に、信号線12は各TFT8のソース電極に、それぞれ電氣的に接続されている。

30

【0017】

一方、アレイ基板2の有効表示領域の外方である額縁部13には、駆動手段としての細長四角形状のドライバIC14が複数配設される。これらドライバIC14には、各ゲート線11および各信号線の一端部が電氣的に接続される。そして、これらドライバIC14は、各ゲート線11に供給する走査信号によりTFT8をオンオフさせるタイミングに同期して各信号線12に画素信号を供給させることによって、所定の画素6を駆動し、有効表示領域に所定の画像を表示させる。

40

【0018】

そして、信号線12の一端側であるドライバIC14に電氣的に接続される側と反対側、すなわち図1に示す上端側には、第1検査用スイッチング素子としての一括点画薄膜トランジスタである第1検査用薄膜トランジスタ21（以下、第1検査用TFT21という）が電氣的に接続されている。また、互いに隣接する信号線12の他端側であるドライバIC14側の間には、第2検査用スイッチング素子としての第2検査用薄膜トランジスタ22（以下、第2検査用TFT22という）が電氣的に接続されている。

【0019】

50

第1検査用TFT21は、オン時に信号線12に検査信号を供給するためのものであり、第1検査用入力線としての第1検査用ゲート線24、あるいは、第2検査用入力線としての第2検査用ゲート線25にゲート電極が電氣的に接続され、第1検査用信号線26、あるいは、第2検査用信号線27にソース電極が電氣的に接続され、かつ、信号線12に各ドレイン電極が電氣的に接続されている。

【0020】

ここで、第1検査用TFT21は、互いに隣接するもの同士のゲート電極が異なるゲート線24、25に電氣的に接続され、ソース電極が異なる検査用信号線26、27に電氣的に接続されている。すなわち、第1検査用ゲート線24にゲート電極が電氣的に接続され第1検査用信号線26にソース電極が電氣的に接続された第1検査用TFT21のドレイン電極に、 $2n-1$ 列（ n は1以上の自然数）の信号線12が電氣的に接続され、第2検査用ゲート線25にゲート電極が電氣的に接続され第2検査用信号線27にソース電極が電氣的に接続された第1検査用TFT21のドレイン電極に、 $2n$ 列（ n は1以上の自然数）の信号線12が電氣的に接続されている。以下、第1検査用ゲート線24にゲート電極が電氣的に接続され第1検査用信号線26にソース電極が電氣的に接続された第1検査用TFT21を第1検査用TFT21aとし、第2検査用ゲート線25にゲート電極が電氣的に接続され第2検査用信号線27にソース電極が電氣的に接続された第1検査用TFT21を第1検査用TFT21bとするとともに、これらTFT21a、21bのドレイン電極に電氣的に接続された信号線12をそれぞれ信号線12a、12bとする。

【0021】

また、各検査用信号線26、27は、検査信号としての画像信号が入力されるものである。なお、検査用信号線26、27のそれぞれには、カラー表示用に赤（R）、緑（G）および青（B）などの信号線が必要であるが、便宜上、図面においてはそれぞれ1本の線で示すものとする。

【0022】

一方、第2検査用TFT22は、ドライバIC14の下部に配置されている。また、第2検査用TFT22のゲート電極は、検査用入力線としての検査用ゲート線28に電氣的に接続されている。また、これら第2検査用TFT22は、ソース電極とドレイン電極とが互いに隣接する信号線12のそれぞれに電氣的に接続されている。本実施の形態においては、信号線12aにソース電極が電氣的に接続され、信号線12bにドレイン電極が電氣的に接続されている。したがって、第2検査用TFT22は、オン時に信号線12a、12b間を短絡させる。

【0023】

そして、これらTFT21、22、ゲート線24、25、28および各検査用信号線26、27などにより、信号線12の断線、あるいは短絡すなわちショートなどの検査をする検査回路29が構成されている。

【0024】

次に、上記第1の実施の形態の作用を説明する。

【0025】

まず、通常の点画検査をする際には、ゲート線11を“High”に設定して全てのTFT8をオンした状態で、各ゲート線24、25を“High”に設定して各TFT21をオンするとともに、検査用ゲート線28を“Low”に設定して各TFT22をオフすることで、各信号線12a、12bのドライバIC14側を開放すなわちオープン状態とし、この状態で各検査用信号線26、27に所定の画像信号を入力する。

【0026】

次いで、信号線12の断線を検査する際には、第1検査用ゲート線24を“High”に設定して第1検査用TFT21aをオンするとともに、第2検査用ゲート線25を“Low”に設定して第1検査用TFT21bをオフし、さらに、検査用ゲート線28を“High”に設定することで第2検査用TFT22をオンすることにより、信号線12bの一端をオープンにするとともに、第1検査用信号線26、第1検査用TFT21a、信号線12a、第2検査用TFT22、検査用ゲート線28および信号線12bへと連続する信号線を形成し、第1検査用信号

線26に所定の画像信号を入力する。

【0027】

このとき、信号線12a、12bが正常であれば、全ての画素6が正常に点灯するのに対して、信号線12a、12bに断線箇所があれば、その断線箇所から信号線12bの一端に至る信号線に接続された画素6が点灯しないことで、この断線箇所を特定できる。

【0028】

さらに、信号線12のショートを検査する際には、第1検査用ゲート線24を“High”に設定して第1検査用TFT21aをオンするとともに、第2検査用ゲート線25を“Low”に設定して第1検査用TFT21bをオフし、さらに、検査用ゲート線28を“Low”に設定することで第2検査用TFT22をオフすることにより、信号線12bの両端をオープン状態とし、第1検査用信号線26に所定の画像信号を入力する。

10

【0029】

このとき、信号線12a、12bが正常であれば、信号線12aに電氣的に接続されたTFT8に接続された画素6のみが点灯するのに対して、信号線12a、12bに短絡箇所があれば、信号線12bに電氣的に接続されたTFT8に接続された画素6も点灯することで、この短絡箇所を特定できる。

【0030】

上述したように、上記第1の実施の形態によれば、検査回路29を、信号線12の一端側に設ける第1検査用TFT21と、信号線12の他端側に設ける第2検査用TFT22とで構成することにより、第1検査用TFT21と第2検査用TFT22とを両方用いることで、第1検査用TFT21と第2検査用TFT22とのそれぞれを小型化しつつ駆動能力を確保できるので、検査回路29を省スペース化しつつ信号線12を確実に検査できる。

20

【0031】

すなわち、信号線などのドライバIC側のみに検査用TFTを配設する従来の場合では、ドライバICのスリム化に伴い、その配設スペースが小さくなる結果、検査用TFTが小さくなって駆動力が低下することから、検査用TFTなどのばらつきによっては、液晶パネルの検査時にむらなどの画質異常が発生して、誤判定の原因となるおそれがあったのに対して、本実施の形態によれば、検査回路29を複数のTFT21、22に分けることで、各TFT21、22の大きさを小さくしても十分な駆動力を確保でき、液晶パネル1の検査時にむらなどが生じることがないため、信号線12の断線あるいはショートなどの誤判定を防止しつつ、ドライバIC14のスリム化、すなわち液晶パネル1の狭額縁化などにも容易に対応できる。

30

【0032】

また、所定の画像信号が入力される第1検査用TFT21をドライバIC14側と反対側に設け、第2検査用TFT22を、第1検査用TFT21aと電氣的に接続された信号線12aと第1検査用TFT21bと電氣的に接続された信号線12bとの間をオン時に短絡させるように配設することにより、ドライバIC14側に配設する第2検査用TFT22に画像信号を入力する信号線が不要となるとともに、ドライバIC14側に配設する第2検査用TFT22の個数を、第1検査用TFT21の半分とすることができるため、検査回路29のドライバIC14側のスペースを低減できる。

40

【0033】

特に、検査用の画像をカラー表示とする際には、この画像に対応する画像信号を入力する信号線が複数本となるので、このような信号線をドライバIC14側に設けずに済むことで、ドライバIC14側を確実に省スペース化できる。

【0034】

さらに、第2検査用TFT22にて信号線12a、12b間を接続し、この第2検査用TFT22をオンオフすることにより、第1検査用信号線26、第1検査用TFT21a、信号線12a、第2検査用TFT22、検査用ゲート線28および信号線12bにより構成される配線を形成したり解除したりして、信号線12の断線とショートとを確実に、かつ、効率よく検出できる。特に、信号線12のドライバIC14側は、平面視で額縁部13に突出しており、対向基板3に

50

より覆われていないため、製造工程において傷つきやすい部分であるから、上記配線の形成および解除により、上記のドライバ I C 14 近傍での信号線 12a, 12b の断線やショートをも確実に検知できることで、製品の信頼性を向上できる。

【0035】

なお、上記第 1 の実施の形態において、例えば図 3 に示す第 2 の実施の形態のように、第 1 検査用 T F T 21a のドレイン電極を、 $4n - 3$ 列 (n は 1 以上の自然数) および $4n - 2$ 列 (n は 1 以上の自然数) の信号線 12 に電氣的に接続するとともに、第 1 検査用 T F T 21b のドレイン電極を、 $4n - 1$ 列 (n は 1 以上の自然数) および $4n$ 列 (n は 1 以上の自然数) の信号線 12 に電氣的に接続し、第 2 検査用 T F T 22 を信号線 12a, 12b 間すなわち信号線 12 の 1 つ置き、換言すれば奇数列間および偶数列間に電氣的に接続することも可能である。

10

【0036】

同様に、第 1 検査用 T F T 21a のドレイン電極を、互いに隣接する 3 列以上の複数列の信号線 12a に電氣的に接続し、第 1 検査用 T F T 21b のドレイン電極を、互いに隣接する 3 列以上の他の複数列の信号線 12b に電氣的に接続して、第 2 検査用 T F T 22 を、信号線 12a, 12b 間に 2 列置き、3 列置き…に電氣的に接続しても上記第 2 の実施の形態と同様の作用効果を奏することができる。

【0037】

さらに、上記各実施の形態において、各 T F T 21a, 21b を任意の配置としても、これら 21a, 21b が同数であれば、信号線 12a, 12b 間を電氣的に接続するように第 2 検査用 T F T 22 を配設することで同様の作用効果を奏することは言うまでもない。

20

【0038】

次に、第 3 の実施の形態を図 4 を参照して説明する。なお、上記各実施の形態と同様の構成および作用については、同一符号を付してその説明を省略する。

【0039】

この第 3 の実施の形態は、上記第 1 の実施の形態の構成を、信号配線としての走査線であるゲート線 11 に適用したものである。

【0040】

すなわち、第 1 検査用 T F T 21a は、ゲート電極が第 1 検査用ゲート線 24 に電氣的に接続され、ソース電極が第 1 検査用信号線 26 に電氣的に接続され、かつ、ドレイン電極が $2m - 1$ 行 (m は 1 以上の自然数) のゲート線 11 に電氣的に接続されている。また、第 1 検査用 T F T 21b は、ゲート電極が第 1 検査用ゲート線 25 に電氣的に接続され、ソース電極が第 2 検査用信号線 27 に電氣的に接続され、かつ、ドレイン電極が $2m$ 行 (m は 1 以上の自然数) のゲート線 11 に電氣的に接続されている。

30

【0041】

以下、各 T F T 21a, 21b のドレイン電極に電氣的に接続されたゲート線 11 をそれぞれゲート線 11a, 11b とする。

【0042】

また、第 2 検査用 T F T 22 は、ドライバ I C 14 の下部にて各ゲート線 11a, 11b 間に電氣的に接続されている。

40

【0043】

そして、通常の点画検査をする際には、各ゲート線 24, 25 を “H i g h” に設定して各 T F T 21 をオンするとともに、検査用ゲート線 28 を “L o w” に設定して各 T F T 22 をオフすることで、各ゲート線 11a, 11b のドライバ I C 14 側を開放すなわちオープン状態とし、この状態で検査用信号線 26, 27 に検査信号としての所定のオンオフ信号を入力した後、各信号線 12 に所定の画像信号を入力する。

【0044】

次いで、ゲート線 11 の断線を検査する際には、第 1 検査用ゲート線 24 を “H i g h” に設定して第 1 検査用 T F T 21a をオンするとともに、第 2 検査用ゲート線 25 を “L o w” に設定して第 1 検査用 T F T 21b をオフし、さらに、検査用ゲート線 28 を “H i g h” に

50

設定することで第2検査用TF T22をオンすることにより、第1検査用信号線26、第1検査用TF T21a、ゲート線11a、第2検査用TF T22、検査用ゲート線28、ゲート線11b、第1検査用TF T21b、および、第2検査用信号線27へと、ループ状に連続する信号線を形成し、これら検査用信号線26、27に所定の画像信号を入力する。

【0045】

このとき、ゲート線11a、11bが正常であれば、全てのTF T8がオンされて画素6が正常に点灯するのに対して、ゲート線11a、11bに断線箇所があれば、その断線箇所からゲート線11bの一端に至る信号線に接続された画素6が点灯しないことで、この断線箇所を特定できる。

【0046】

10

さらに、ゲート線11のショートを検査する際には、第1検査用ゲート線24を“High”に設定して第1検査用TF T21aをオンするとともに、第2検査用ゲート線25を“Low”に設定して第1検査用TF T21bをオフし、さらに、検査用ゲート線28を“Low”に設定することで第2検査用TF T22をオフすることにより、ゲート線11bの両端をオープン状態とし、検査用信号線26、27に所定の画像信号を入力する。

【0047】

このとき、ゲート線11a、11bが正常であれば、ゲート線11aに電氣的に接続されたTF T8のみがオンされるため、このTF T8に接続された画素6のみが点灯するのに対して、ゲート線11a、11bに短絡箇所があれば、ゲート線11bに電氣的に接続されたTF T8に接続された画素6も点灯することで、この短絡箇所を特定できる。

20

【0048】

この結果、上記第1の実施の形態と同様の作用効果を奏することが可能である。

【0049】

なお、上記第2の実施の形態を、上記第3の実施の形態のように、ゲート線11の検査に適用する構成とすることも可能である。

【0050】

また、ゲート線11と信号線12との双方に上記各実施の形態と同様の検査回路29を設けて、それぞれの断線およびショートを検出するように構成することも可能である。

【0051】

さらに、駆動手段として、ゲート線11および信号線12のそれぞれの入力を制御するドライバIC14を用いたが、ゲート線11用の駆動手段としてのドライバICと信号線12用の駆動手段としてのドライバICとを別個に設ける場合でも、上記各構成を同様に適用できる。

30

【0052】

そして、液晶パネル1以外でも、例えば有機EL表示素子など、他の様々な表示素子に適用できる。

【図面の簡単な説明】

【0053】

【図1】本発明の第1の実施の形態の表示素子を示す説明回路図である。

【図2】同上表示素子を示す説明断面図である。

40

【図3】本発明の第2の実施の形態の表示素子を示す説明回路図である。

【図4】本発明の第3の実施の形態の表示素子を示す説明回路図である。

【符号の説明】

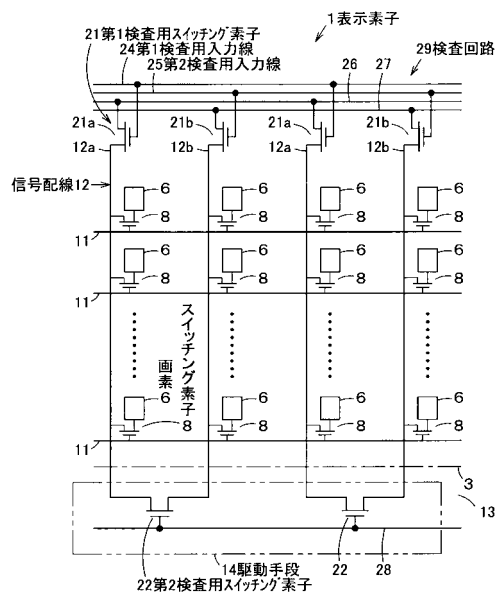
【0054】

- 1 表示素子としての液晶パネル
- 6 画素
- 8 スイッチング素子としての薄膜トランジスタ
- 11 信号配線としてのゲート線
- 12 信号配線としての信号線
- 21 第1検査用スイッチング素子としての第1検査用薄膜トランジスタ

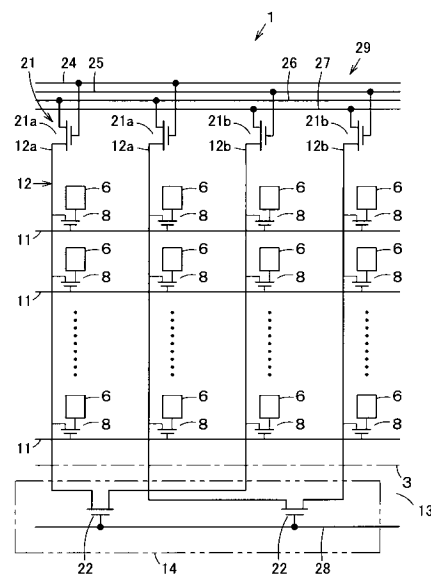
50

- 22 第2検査用スイッチング素子としての第2検査用薄膜トランジスタ
 29 検査回路

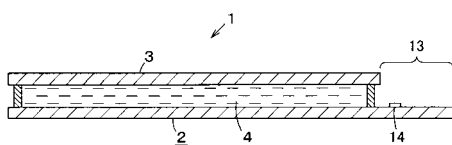
【図1】



【図3】



【図2】



フロントページの続き

- (72)発明者 岩井 義夫
東京都港区港南四丁目1番8号 東芝松下ディスプレイテクノロジー株式会社内
- (72)発明者 大友 哲哉
東京都港区港南四丁目1番8号 東芝松下ディスプレイテクノロジー株式会社内

審査官 田部 元史

- (56)参考文献 特開2001-147650 (JP, A)
特開2003-308056 (JP, A)
特開平04-288588 (JP, A)
特開2002-296620 (JP, A)
特開平02-154292 (JP, A)
特開2003-271067 (JP, A)

- (58)調査した分野(Int.Cl., DB名)
G02F 1/13-1/141

专利名称(译)	显示装置及其检查方法		
公开(公告)号	JP4302121B2	公开(公告)日	2009-07-22
申请号	JP2006138992	申请日	2006-05-18
[标]申请(专利权)人(译)	东芝松下显示技术股份有限公司		
申请(专利权)人(译)	东芝松下显示技术有限公司		
当前申请(专利权)人(译)	东芝松下显示技术有限公司		
[标]发明人	大田黒洋 岩井義夫 大友哲哉		
发明人	大田黒 洋 岩井 義夫 大友 哲哉		
IPC分类号	G02F1/1368 H01L29/786		
CPC分类号	G02F1/1362 G02F2001/136254		
FI分类号	G02F1/1368 H01L29/78.624		
F-TERM分类号	2H092/GA60 2H092/GA61 2H092/JA24 2H092/JB13 2H092/JB38 2H092/JB77 2H092/NA25 2H092/NA29 2H092/NA30 2H092/PA06 2H192/AA24 2H192/FB22 2H192/HB03 2H192/HB05 2H192/HB13 2H192/HB23 5F110/AA24 5F110/BB01 5F110/NN71 5F110/NN72 5F110/NN73		
代理人(译)	山田哲也		
其他公开文献	JP2007310130A		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供能够可靠地检查信号线同时节省测试电路空间的液晶面板。检查电路包括设置在信号线12的一端侧的第一检查TFT21和设置在信号线12的另一端侧的第二检查TFT22。通过同时使用第一检查TFT21和第二检查TFT22，可以在使第一检查TFT21和第二检查TFT22中的每一个小型化的同时确保驱动能力，从而可以使检查电路29节省空间。可以可靠地检查信号线12。点域1

