

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号
特許第3872377号
(P3872377)

(45) 発行日 平成19年1月24日(2007. 1. 24)

(24) 登録日 平成18年10月27日(2006. 10. 27)

(51) Int.Cl.

F I

GO2F 1/1343 (2006.01)

GO2F 1/1368 (2006.01)

GO9G 3/36 (2006.01)

GO2F 1/1343

GO2F 1/1368

GO9G 3/36

請求項の数 1 (全 19 頁)

(21) 出願番号	特願2002-129358 (P2002-129358)	(73) 特許権者	390009531
(22) 出願日	平成14年4月30日 (2002. 4. 30)		インターナショナル・ビジネス・マシー
(65) 公開番号	特開2003-322866 (P2003-322866A)		ズ・コーポレーション
(43) 公開日	平成15年11月14日 (2003. 11. 14)		INTERNATIONAL BUSIN
審査請求日	平成15年2月18日 (2003. 2. 18)		ESS MASCHINES CORPO
前置審査			RATION
			アメリカ合衆国10504 ニューヨーク
			州 アーモンク ニュー オーチャード
			ロード
		(74) 代理人	100086243
			弁理士 坂口 博
		(74) 代理人	100091568
			弁理士 市位 嘉宏
		(74) 復代理人	100104880
			弁理士 古部 次郎
			最終頁に続く

(54) 【発明の名称】 画像表示素子および画像表示装置

(57) 【特許請求の範囲】

【請求項 1】

行方向および列方向に画素電極をマトリックス状に配列した表示素子であって、
表示信号を伝達する複数の表示信号線と、
共通する前記表示信号線を伝達される前記表示信号が時分割で供給される第1の画素電極および第2の画素電極と、
前記共通する表示信号線と前記第1の画素電極との間に直列に接続されて設けられる第1のスイッチング素子および第2のスイッチング素子と、
前記共通する表示信号線と前記第2の画素電極との間に設けられる第3のスイッチング素子と、
前記第1のスイッチング素子および前記第3のスイッチング素子に走査信号を伝達する第1の走査信号線と、
前記第2のスイッチング素子に走査信号を伝達するとともに、前記第1の走査信号線と並設される第2の走査信号線とを含む表示素子要素が列方向に複数段配設され、
前記第2の走査信号線は、後段の前記表示素子要素における前記第1の走査信号線から分岐されたものであり、前記第1の画素電極および前記第2の画素電極と前記第1の走査信号線との間に配設されるとともに、前記第1の走査信号線と画像表示領域外で交差し、かつ、前記表示素子要素における前段に位置する前記第1の走査信号線と前記第1の画素電極および前記第2の画素電極との間に蓄積容量が形成され、
さらに、前記第2のスイッチング素子を保護する保護膜層を有し、前記第1の走査信号

線及び前記第2の走査信号線が、画像表示領域内で当該保護膜層の下に形成され、かつ、前記第2のスイッチング素子に接続される前記第2の走査信号線の一部が前記画像表示領域外で当該保護膜層上に形成されることを特徴とする画像表示素子。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は画像表示装置、特に液晶表示装置の高精細化に寄与する技術に関するものである。

【0002】

【従来の技術】

液晶表示装置として、スイッチング素子としてのTFT(Thin Film Transistor、薄膜トランジスタ)を用いたアクティブ・マトリックス方式の液晶表示装置が知られている。このアクティブ・マトリックス方式の液晶表示装置は、走査信号線と表示信号線とをマトリックス状に配設し、その交点に薄膜トランジスタが配設されたTFTアレイ基板と、その基板と所定の間隙を隔てて配置されるカラーフィルタ基板との間に液晶材料を封入し、この液晶材料に与える電圧を薄膜トランジスタにより制御して、液晶の電気光学的効果を利用して表示を可能としている。

【0003】

アクティブ・マトリックス方式の液晶表示装置の高精細化に伴う画素数の増大につれて以下のような問題が提起されている。すなわち、画素数の増大に伴う表示信号線および走査信号線の数量が非常に多くなり、駆動ICの数も膨大となり、コストの上昇を招いている。また、駆動ICとTFTアレイ基板における接続のための電極ピッチが狭くなり、接続が困難になるとともに接続作業の歩留まりを低下させる。

この問題を同時に解決するために、列方向に隣接する2つ以上の画素に1本の表示信号線から時分割で電位を与えることで、必要な駆動ICの数を減らし、接続端子のピッチを大きくする提案がこれまで数多くなされている。例えば、特開平6-138851号公報、特開平6-148680号公報、特開平11-2837号公報、特開平5-265045号公報、特開平5-188395号公報、特開平5-303114号公報である。なお、以上の構成を有する表示素子を、多重画素表示素子と呼ぶことにする。

【0004】

【発明が解決しようとする課題】

液晶表示装置においても、コスト低減の観点から製造工程の短縮が図られている。前述のTFTアレイ基板は、写真蝕刻工程(Photo Engraving Process、以下PEP)を用いて作成されているが、このPEPの工程数を低減することが進められている。例えば、従来7つのマスク工程(これを7PEPと呼ぶ)でTFTアレイ基板を得ていたのに対して、5PEPと工程数を低減した省PEPプロセスが採用されている。

省PEPプロセスにより前述した多重画素表示素子のTFTアレイ基板を作成すると、詳しくは後述するが、走査信号線またはゲート電極と電気的に接続された部分が液晶層または配向層に露出することがある。なお、以下この露出のことを、ゲートの露出と言うことにする。この露出は、画像特性に悪影響を及ぼしてしまう。この部分を保護膜で被うことも考えられるが、そのためには保護膜を形成するための工程数を増やす必要がある。しかしこれでは、省PEPプロセスを採用する意味が失われてしまう。

そこで本発明は、多重画素表示素子において、省PEPプロセスを用いた場合であっても、走査信号線またはゲート電極と電気的に接続された部分の液晶層または配向層への露出を防止する技術を提供する。また本発明は、この技術を用いた液晶表示素子、液晶表示装置の提供を課題とする。

【0005】

【課題を解決するための手段】

本発明による課題を解決するための手段を述べる前に、従来の多重画素表示素子において生ずるゲートの露出について詳述する。

図 17 は、多重画素表示素子 22 の一例を示す等価回路図である。

図 17 において、表示信号線 D_m を挟んで隣接する画素電極 A_{100} および B_{100} について、第 1 の T F T M_1 、第 2 の T F T M_2 および第 3 の T F T M_3 と 3 つの T F T が以下のように配置されている。

まず、第 1 の T F T M_1 は、そのソース電極が表示信号線 D_m に、またそのドレイン電極が画素電極 A_{100} に接続している。また、第 1 の T F T M_1 のゲート電極は第 2 の T F T M_2 のソース電極に接続している。ここで、T F T は 3 端子のスイッチング素子であり、液晶表示装置において、表示信号線 D_m に接続される側をソース電極と、また画素電極に接続される側をドレイン電極と呼ぶ例があるが、逆の例もある。つまり、ゲート電極を除く 2 つの電極のいずれをソース電極と、またドレイン電極と呼ぶかは一義的に定まってい

10

【0006】

次に、第 2 の T F T M_2 は、一方のソース/ドレイン電極が第 1 の T F T M_1 のゲート電極に、また他方のソース/ドレイン電極が走査信号線 G_{n+2} に接続されている。

したがって、第 1 の T F T M_1 のゲート電極は第 2 の T F T M_2 を介して走査信号線 G_{n+2} に接続されることになる。また、第 2 の T F T M_2 のゲート電極は走査信号線 G_{n+1} に接続される。したがって、隣接する 2 本の走査信号線 G_{n+1} と G_{n+2} が同時に選択電位（以下、単に選択という）になっている期間にのみ、第 1 の T F T M_1 が ON になり表示信号線 D_m の電位が画素電極 A_{100} に供給される。

20

第 3 の T F T M_3 は、一方のソース/ドレイン電極が表示信号線 D_m に、また他方のソース/ドレイン電極が画素電極 B_{100} に接続されている。また、第 3 の T F T M_3 のゲート電極は走査信号線 G_{n+1} に接続されている。したがって、走査信号線 G_{n+1} が選択になっているときに、第 3 の T F T M_3 が ON になり表示信号線 D_m の電位が画素電極 B_{100} に供給される。

【0007】

図 18 は図 17 に示した多重画素表示素子 22 の画素電極 C_{100} および D_{100} 近傍の回路構造を模式的に示す平面図である。前述のように、多重画素表示素子 22 は P E P により製造されるが、図 18 は、同一の P E P 工程で得られる層に同一のグラデーションを施している。このグラデーションは、工程の順位をも示しており、薄いグラデーションほど先行する工程であることを示している。例えば、走査信号線 G_{n+1} 、 G_{n+2} は、表示信号線 D_m より先に形成されたことを意味している。

30

図 18 において、第 1 の T F T M_1 は、画素電極 A_{100} に接続されたソース/ドレイン電極 51 と、表示信号線 D_m に接続されたソース/ドレイン電極 61 と、ゲート電極 71 とから構成されている。第 2 の T F T M_2 は、接続端子 81 を介して第 1 の T F T M_1 のゲート電極 71 と接続されているソース/ドレイン電極 52 と、走査信号線 G_{n+2} と接続されるソース/ドレイン電極 62 と、走査信号線 G_{n+1} の一部であるゲート電極 72 とから構成される。

走査信号線 G_{n+2} には接続端子 82 を介して分岐配線 83 が接続され、その分岐配線 83 の一部がソース/ドレイン電極 62 を構成している。

40

【0008】

図 19 は、図 18 の Z - Z 部分の断面図である。なお、図 19 の縮尺は図 18 と相違していることを断っておく。

図 19 に示すように、ガラス基板 95 上に走査信号線 G_{n+1} 、 G_{n+2} およびゲート電極 71 が形成されている。また、ガラス基板 95 上には、走査信号線 G_{n+1} （ゲート電極 72）、 G_{n+2} およびゲート電極 71 を被うゲート絶縁膜 94 が形成されており、ゲート絶縁膜 94 上の第 1 の T F T M_1 および第 2 の T F T M_2 の該当箇所には半導体層 931 および 932 が形成されている。半導体層 931 上には、ソース/ドレイン電極 51 および 61 が形成され、チャンネル保護膜 96 とともに第 1 の T F T M_1 を構成している。また、半導体層 932 上には、ソース/ドレイン電極 52 および 62 が形成され、チ

50

ャネル保護膜 9 6 とともに第 2 の T F T M 2 を構成している。さらにこれら膜上には保護膜 9 1 が積層されている。

【 0 0 0 9 】

ゲート電極 7 1 上には、ゲート絶縁膜 9 4 および保護膜 9 1 を貫通するコンタクト・ホール 9 7 が形成され、一方ソース/ドレイン電極 5 2 上には保護膜 9 1 を貫通するコンタクト・ホール 9 8 が形成されている。このコンタクト・ホール 9 7 および 9 8 に接続端子 8 1 が入り込むことにより、ソース/ドレイン電極 5 2 とゲート電極 7 1 とが電氣的に接続される。また、走査信号線 $G n + 2$ 上にはゲート絶縁膜 9 4 および保護膜 9 1 を貫通するコンタクト・ホール 1 0 0 が形成され、一方ソース/ドレイン電極 6 2 上には保護膜 9 1 を貫通するコンタクト・ホール 9 9 が形成されている。このコンタクト・ホール 9 9 および 1 0 0 に接続端子 8 2 が入り込むことにより、ソース/ドレイン電極 6 2 と走査信号線 $G n + 2$ とが電氣的に接続される。

10

【 0 0 1 0 】

ここで、接続端子 8 1 および 8 2 上には保護膜 9 1 が形成されていない。したがって、ゲート電極 7 1 および走査信号線 $G n + 2$ は、各々、接続端子 8 1 および 8 2 を介して外部に露出していることになる。図 1 9 には示していないが、通常、保護膜 9 1 上には配向膜が形成されており、さらに配向膜上には液晶層が存在している。したがって、ゲート電極 7 1 および走査信号線 $G n + 2$ は、配向膜に電氣的に接触している。このような構造で、ゲート電極 7 1 および走査信号線 $G n + 2$ に対して電位（ゲート電位）が供給されると、配向膜に接続端子 8 1 および 8 2 が接触している領域では、配向膜に対して際限なく電荷を供給してしまう。そのため、この領域には液晶層中に存在する不純物イオンが集中することにより、電圧降下や、電荷保持不良が発生して、画質劣化を招くおそれがある。

20

【 0 0 1 1 】

図 1 7 ~ 図 1 9 に示した従来の多重画素表示素子（以下、単に表示素子）2 2 は、省 P E P プロセス、具体的には 5 P E P で製造されたものである。図 2 0 は、5 P E P により表示素子 2 2 を製造する工程を示す図である。

はじめに、ガラス基板上 9 5 に走査信号線 $G n + 1$ （ゲート電極 7 2）、 $G n + 2$ を形成するための金属膜を成膜する。金属膜を成膜後、P E P により、図 2 0（a）に示すようにゲート電極 7 1、走査信号線 $G n + 1$ （ゲート電極 7 2）、 $G n + 2$ をパターンニングする。

30

次に、ゲート電極 7 1、走査信号線 $G n + 1$ （ゲート電極 7 2）および $G n + 2$ が形成されたガラス基板 9 5 上に、ゲート絶縁膜 9 4、半導体層 9 3 を成膜する。さらに、半導体層 9 3 上に、チャネル保護膜 9 6 を形成するための膜を成膜する。その後、P E P により、図 2 0（b）に示すように半導体層 9 3 上にチャネル保護膜 9 6 をパターンニングする。

【 0 0 1 2 】

その後、ソース/ドレイン電極 5 1、6 1、5 2、6 2 および分岐配線 8 3 を形成するための金属膜を成膜する。この金属膜を成膜後、図 2 0（c）に示すように、P E P によりソース/ドレイン電極 5 1、6 1、5 2、6 2、分岐配線 8 3 および半導体層 9 3 1、9 3 2 をパターンニングする。

次いで、保護膜 9 1 を形成するための膜を成膜し、さらに図 2 0（d）に示すように、P E P によって保護膜 9 1 をパターンニングする。このパターンニングの時に、コンタクト・ホール 9 7、9 8、9 9、1 0 0 が形成される。

40

保護膜 9 1 を形成後、画素電極を形成するための例えば酸化インジウム・スズ膜（Indium Tin Oxide, I T O）をスパッタリングで成膜する。この I T O 膜により接続端子 8 1、8 2 も形成される。I T O 成膜後に、図 2 0（e）に示すよう、P E P により接続端子 8 1、8 2 をパターンニングする。

【 0 0 1 3 】

表示素子 2 2 において、ゲート電位の露出が生ずる箇所は、第 1 の T F T M 1 と第 2 の T F T M 2 の接続部分、および分岐配線 8 3 と走査信号線 $G n + 2$ との接続部分の 2 箇所である。もちろんこの 2 箇所というのは、1 つの画素電極に関してのものであるから、

50

表示素子 2 2 全体について見れば、画素電極ごとに同様のゲート電位の露出が存在することになる。

ゲート電位の露出についてさらに言及すると、第 1 の T F T M 1 のゲート電極 7 1 および第 2 の T F T M 2 のソース/ドレイン電極 5 2 が接続端子 8 1 を介して接続されている。また、分岐配線 8 3 および走査信号線 G_{n+2} が接続端子 8 2 を介して接続されている。

接続端子 8 1 または 8 2 による接続が必要なのは、ゲート電極 7 1 とソース/ドレイン電極 5 2、あるいは分岐配線 8 3 と走査信号線 G_{n+2} とが異なる P E P 工程で形成され、その後、コンタクトホールが形成されるためである。例えば、接続端子 8 1 を保護膜 9 1 よりも先行して形成すれば、ゲート電位の露出を防止することができるが、図 2 0 で説明した 5 P E P の場合、保護膜 9 1 より以前に接続端子 8 1 を形成する工程を挿入する余地がない。

【 0 0 1 4 】

ここで、表示素子 2 2 を基にゲート電位の露出を回避するための方策を検討してみる。

まず、第 1 の T F T M 1 と第 2 の T F T M 2 の接続部分については、第 1 の T F T M 1 のソース/ドレイン電極 6 1 を第 2 の T F T M 2 のソース/ドレイン電極 5 2 および 6 2 を介して表示信号線 D_m に接続、つまり第 1 の T F T M 1 と第 2 の T F T M 2 とを直列に接続すると同時に、第 1 の T F T M 1 のゲート電極 7 1 を走査信号線 G_{n+2} に直接に接続すればよい。ソース/ドレイン電極 6 1、5 2 は同一の P E P 工程で成形することができるから接続端子 8 1 は不要となり、しかもこれらソース/ドレイン電極 6 1、5 2 は 5 P E P によっても保護膜 9 1 の下層に位置するから、当該接続部分についてゲート電位が露出することはない。

【 0 0 1 5 】

次に、分岐配線 8 3 と走査信号線 G_{n+2} との接続部分については、まず、分岐配線 8 3 を走査信号線 G_{n+2} と同一の層で形成する必要がある。しかし、そのとき分岐配線 8 3 は走査信号線 G_{n+1} と同一の層になるため、これを第 1 の T F T M 1 のゲート電極 7 1 に接続するためには走査信号線 G_{n+1} と交差する構造をとる必要があり、再びゲート電位の露出が生じてしまう。このため、第 1 の T F T M 1 と第 2 の T F T M 2 との接続部分のような措置を講ずることはできない。ところが、当該接続部分が存在していたとしても、そこが表示領域外であれば、画質低下の問題が生ずることはない。前述のように、当該接続部分は、表示素子 2 2 において各画素電極に存在するが、これを表示素子 2 2 の x 方向の最端部に集約すればよい。そして、この集約した接続部分を表示領域外に位置させればよい。

図 1 7 に示すように、表示素子 2 2 は、走査信号線 G_{n+2} から、複数の分岐配線 B_1 、 $B_2 \dots$ が引出されているが、この引出しを 1 本あるいは 2 本に留めれば、当該接続部分を最端部（図 1 7 では左端部あるいは右端部になる）に集約させることができる。例えば、図 1 7 において、走査信号線 G_{n+2} から引出された 1 本の分岐配線 B_1 が、画素電極 A_{100} の第 2 の T F T M 2、画素電極 A_{110} の第 2 の T F T M 2 ... に接続される構造とすればよい。

【 0 0 1 6 】

さらに、分岐配線 8 3 と走査信号線 G_{n+2} との接続部分については、以下の解決手段もなし得る。

図 1 7 に示すように、表示素子 2 2 は、走査信号線 G_{n+1} と走査信号線 G_{n+2} からの分岐配線 B_1 とが交差している。この交差が、あるために、ゲート電位の露出が生じる。そこで、この交差が生じない配線の構造を採用すれば、分岐配線 8 3 と走査信号線 G_{n+2} との接続部分についてもゲート電位の露出を防止することができる。この構造は、後述するように、第 1 の T F T M 1 と第 2 の T F T M 2 とを直列に接続すること、さらに所定の走査信号線からの分岐配線を 1 本あるいは 2 本にすること、を前提に実現することができる。

【 0 0 1 7 】

本発明は以上の知見に基づくものであって、行方向および列方向に画素電極をマトリックス状に配列した表示素子であって、表示信号を伝達する複数の表示信号線と、共通する前記表示信号線を伝達される前記表示信号が時分割で供給される第1の画素電極および第2の画素電極と、前記共通する表示信号線と前記第1の画素電極との間に直列に接続されて設けられる第1のスイッチング素子および第2のスイッチング素子と、前記共通する表示信号線と前記第2の画素電極との間に設けられる第3のスイッチング素子と、前記第1のスイッチング素子および前記第3のスイッチング素子に走査信号を伝達する第1の走査信号線と、前記第2のスイッチング素子に走査信号を伝達するとともに、前記第1の走査信号線と並設される第2の走査信号線とを含む表示素子要素が列方向に複数段配設され、前記第2の走査信号線は、後段の前記表示素子要素における前記第1の走査信号線から分岐されたものであり、さらに、前記第2のスイッチング素子を保護する保護膜層を有し、前記第1の走査信号線及び前記第2の走査信号線が、画像表示領域内で前記保護膜層の下に形成されることを特徴とする画像表示素子である。

10

【0018】

本発明の画像表示素子において、前記第2の走査信号線は、後段に位置する前記表示素子要素における前記第1の走査信号線から分岐されたものとし、かつ前記表示素子要素における前段に位置する前記第1の走査信号線と前記第1の画素電極および前記第2の画素電極との間に蓄積容量を形成する。また本発明において、前記第1のスイッチング素子および前記第2のスイッチング素子は、前記第1の画素電極と前記表示信号線との間で直列に接続する。この場合、前記画像表示素子は、前記第2のスイッチング素子を保護する保護膜層を有し、前記第2のスイッチング素子に接続される前記第2の走査信号線の一部が前記画像表示領域外で前記保護膜層上に形成される。

20

【0019】

また本発明において、前記第2の走査信号線は、前記第1の画素電極および前記第2の画素電極と前記第1の走査信号線との間に配設されるとともに、前記第1の走査信号線と画像表示領域外で交差させる。この場合、前記画像表示素子は、前記第2のスイッチング素子を保護する保護膜層を有し、前記第2のスイッチング素子に接続される前記第2の走査信号線の一部が前記画像表示領域外で前記保護膜層上に形成される。

【0020】

本発明のより具体的な構成を備えた画像表示装置は、行方向および列方向に画素電極をマトリックス状に配列した画像表示領域と、この画像表示領域の周囲に位置する画像非表示領域とを備えた画像表示装置であって、表示信号を供給する表示信号供給回路と、走査信号を供給する走査信号供給回路と、表示信号供給回路から供給される前記表示信号を前記画素電極に向けて伝達する互いに平行な複数の表示信号線と、走査信号供給回路から供給される走査信号を画素電極に向けて伝達する互いに平行な複数の走査信号線と、 n (n は正の整数) 番目の走査信号線と $n+1$ 番目の走査信号線との間に配設され、かつ所定の表示信号線から表示信号の伝達を受ける第1の画素電極および第2の画素電極と、所定の表示信号線と第1の画素電極との間に直列に接続される第1のスイッチング素子および第2のスイッチング素子と、所定の表示信号線と第2の画素電極との間に接続される第3のスイッチング素子と、を備え、第1のスイッチング素子および第3のスイッチング素子は、 $n+1$ 番目の走査信号線に伝達される走査信号によりオン・オフが制御され、第2のスイッチング素子は、 $n+1$ 番目の走査信号線よりも後段に位置する $n+2$ 番目の走査信号線から分岐された分岐走査信号線に伝達される前記走査信号によりオン・オフが制御され、前記 $n+2$ 番目の走査信号線から前記画像非表示領域で分岐された前記分岐走査信号線は、前記画像非表示領域において前記行方向に延びる第1部分と、前記第1部分に接続されて前記列方向に延びる第2部分とを含み、前記画像非表示領域で前記 $n+1$ 番目の走査信号線と交差していることを特徴としている。

30

40

【0021】

本発明の画像表示装置において、前記 $n+2$ 番目の走査信号線から前記画像非表示領域で分岐された前記分岐走査信号線は、前記画像非表示領域において前記行方向に延びる第1

50

部分と、前記第 1 部分に接続されて前記列方向に延びる第 2 部分とを含み、前記画像非表示領域で前記 $n + 1$ 番目の走査信号線と交差する構成とすることができる。

【0022】

さらに本発明のより具体的な構成を備えた画像表示装置として、行方向および列方向に画素電極をマトリックス状に配列した画像表示領域と、この画像表示領域の周囲に位置する画像非表示領域とを備えた画像表示装置であって、表示信号を供給する表示信号供給回路と、走査信号を供給する走査信号供給回路と、前記表示信号供給回路から供給される前記表示信号を前記画素電極に向けて伝達する互いに平行な複数の表示信号線と、前記走査信号供給回路から供給される前記走査信号を前記画素電極に向けて伝達する互いに平行な複数の走査信号線と、 n (n は正の整数) 番目の走査信号線と $n + 1$ 番目の走査信号線との間に配設され、かつ所定の前記表示信号線から前記表示信号の伝達を受ける第 1 の画素電極および第 2 の画素電極と、前記所定の表示信号線と前記第 1 の画素電極との間に直列に接続される第 1 のスイッチング素子および第 2 のスイッチング素子と、前記所定の表示信号線と前記第 2 の画素電極との間に接続される第 3 のスイッチング素子と、を備え、前記第 1 のスイッチング素子および第 3 のスイッチング素子は、前記 n 番目の走査信号線に伝達される前記走査信号によりオン・オフが制御され、前記第 2 のスイッチング素子は、前記 $n + 1$ 番目の走査信号線から前記 n 番目の走査信号線と交差部分が存在しないように分岐された分岐走査信号線に伝達される前記走査信号によりオン・オフが制御されることを特徴とする画像表示装置を提供する。

【0023】

【発明の実施の形態】

(第 1 の実施の形態)

以下、本発明の画像表示装置を液晶表示装置に関する実施の形態に基づき説明する。

図 1 は本実施の形態に係る液晶表示装置 1 の主要構成を示すブロック図である。

本実施の形態に係る液晶表示装置 1 は、1 つの共通する表示信号線を挟んで隣接する 2 つの画素が当該表示信号線を共有することにより、表示信号線の本数を半減できるところに特徴を有している。また、本実施の形態による液晶表示装置 1 は、その表示領域内において、ゲート電位が露出しない構造となっており、その特徴を有している。なお、液晶表示装置 1 としては、表示素子 2 を構成する TFT アレイ基板、TFT アレイ基板と対向するカラーフィルタ基板、バックライト・ユニット等の要素を備える必要があるが、本発明の特徴部分ではないことからその記載は省略する。

【0024】

図 1 に示すように、液晶表示装置 1 は、表示信号線 30 を介して表示素子 2 内に配置される画素電極に表示信号を供給、つまり電位を書き込むための駆動回路である X ドライバ 3 と、走査信号線 40 を介して TFT (薄膜トランジスタ) の ON・OFF を制御する走査信号を供給するための駆動回路である Y ドライバ 4 を備えている。表示素子 2 には、画素が $M \times N$ (M , N は任意の正の整数) の数だけマトリックス状に配列してある。

X ドライバ 3 および Y ドライバ 4 は、図示しないタイミング・コントローラに接続されている。このタイミング・コントローラは、例えばパーソナル・コンピュータ等のシステム側から、表示信号であるデジタル・ビデオ・データ、同期信号、クロック信号等を受けて、X ドライバ 3 および Y ドライバ 4 の駆動を制御する。

【0025】

次に、図 2 に基づいて、表示素子 2 における回路構成を説明する。なお、図 2 は表示素子 2 の一部についてのみ記載しており、実際の表示素子 2 には図 2 に示す構造の回路が連続的に形成されている。また、画素電極 A 1 1, C 1 1, A 1 2 ... の左側に記してある点線は表示素子 2 における画像表示領域と画像非表示領域の境界を示しており、この点線より右側が画像表示領域である。

図 2 において、表示信号線 D m を挟んで隣接する画素電極 A 1 1 および B 1 1 について、第 1 の TFT M 1、第 2 の TFT M 2 および第 3 の TFT M 3 と 3 つの TFT が以下のように配置されている。

10

20

30

40

50

まず、第1のTFT M1は、そのソース/ドレイン電極が表示信号線Dmに、また他方のソース/ドレイン電極が第2のTFT M2のソース/ドレイン電極に接続されている。また、第1のTFT M1のゲート電極は走査信号線Gn+1(第1の走査信号線)の一部が構成している。

【0026】

次に、第2のTFT M2は、一方のソース/ドレイン電極が第1のTFT M1のソース/ドレイン電極に、他方のソース/ドレイン電極が画素電極A11に接続されている。また、第2のTFT M2のゲート電極は、走査信号線Gn+2(第3の走査信号線)から分岐された走査信号線Gn+2'(第2の走査信号線)の一部が構成している。

第1のTFT M1と第2のTFT M2とが以上のような接続関係を有しているから、隣接する2本の走査信号線Gn+1とGn+2が同時に選択電位になっている期間にのみ、第1のTFT M1および第2のTFT M2がONになり表示信号線Dmの電位が画素電極A11に供給される。

第3のTFT M3は、一方のソース/ドレイン電極が表示信号線Dmに、他方のソース/ドレイン電極が画素電極B11に接続されている。また、第3のTFT M3のゲート電極は走査信号線Gn+1の一部が構成している。したがって、走査信号線Gn+1が選択電位になっている期間に、第3のTFT M3がONになり表示信号線Dmの電位が画素電極B11に供給される。

【0027】

以上の回路構成を有している表示素子2において、画素電極A11および画素電極B11は、共通する単一の表示信号線Dmから表示信号が供給される。つまり、表示信号線Dmは、画素電極A11および画素電極B11に対して共通の表示信号線Dmということができる。したがって、画素がM×Nのマトリックス状に配列されているのに対して、表示信号線DmはM/2本となる。画素電極A11には第1のTFT M1および第2のTFT M2が接続されており、第1のTFT M1は表示信号線Dmに接続されるとともに、第2のTFT M2に接続される。第1のTFT M1のゲート電極は走査信号線Gn+1に接続されている。また第2のTFT M2のゲート電極は走査信号線Gn+1の後段の走査信号線Gn+2から分岐された走査信号線Gn+2'に接続されている。

【0028】

ここで、走査信号線Gn+2とGn+2'は、画像表示領域内において、互いに平行に配設されている。走査信号線Gn+2とGn+2'とは、Yドライバ4からは単一の配線として引き出されているが、画像非表示領域内において分岐されている。したがって、走査信号線Gn+2とGn+2'とは、元々は単一の配線であるが、異なる行に対する画素電極を対象として走査信号を伝達する。同様のことが、走査信号線Gn+1とGn+1'、Gn+3とGn+3'にも当てはまる。つまり、表示素子2の複数の走査信号線は、一対の走査信号線Gn+1とGn+1'等の集合により構成されている。また、Gn+1とGn+2'とは、画素電極A11よりもその走査方向の後段側に配設されている。そして、走査信号線Gn+2'は走査信号線Gn+1よりも画素電極A11側に配設され、また、画素電極A11の前段側の走査信号線Gnと画素電極A11との間には蓄積容量Csを形成している。

【0029】

図3は本実施の形態による表示素子2の回路構造を模式的に示す部分平面図である。

図3に示すように、画素電極A11(10)に関して、走査信号線Gn+1上に第1のTFT M1が、また走査信号線Gn+2'上に第2のTFT M2が配置されている。また、画素電極B11(10)に関して、走査信号線Gn+1上に第3のTFT M3が配置されている。つまり、第1のTFT M1および第3のTFT M3は、走査信号線Gn+1の一部をゲート電極とし、第2のTFT M2は走査信号線Gn+2'の一部をゲート電極としている。なお、図3には図4で示す保護膜等の記載は省略している。

図4は図3のX-X部分の断面を示す図である。図4に示すように、ガラス基板15上に走査信号線Gn+1、Gn+2'が形成されている。また、ガラス基板15上には、走査

10

20

30

40

50

信号線 G_{n+1} 、 G_{n+2}' を被うゲート絶縁膜 14 が形成されており、ゲート絶縁膜 14 上の所定領域には半導体層 13 が形成されている。半導体層 13 上にはチャネル保護膜 16 を除く部分にソース/ドレイン層 12 が形成され、さらにソース/ドレイン層 12 上には保護膜 11 が形成されている。以上のような積層構造によって、第 1 の TFT M1 および第 2 の TFT M2 が構成されている。第 2 の TFT M2 側の保護膜 11 にはコンタクト・ホール 17 が設けられており、このコンタクト・ホール 17 を介して、画素電極 10 と第 2 の TFT M2 を構成するソース/ドレイン層 12 が電氣的に接続されている。

【0030】

図 5 は、表示素子 2 の図 4 に対応する部分についての製造工程を説明する図である。

10

はじめに、ガラス基板上 15 に走査信号線 G_{n+1} 、 G_{n+2}' を形成するための金属膜を例えばスパッタリングにより成膜する。この金属膜を構成する材料として、Ta、Mo-Ta 合金、Mo-W 合金、Al 等を用いることができる。金属膜を成膜後、写真蝕刻工程 (Photo Engraving Process、以下 PEP) により、図 5 (a) に示すように走査信号線 G_{n+1} 、 G_{n+2}' をパターンニングする。

次に、走査信号線 G_{n+1} 、 G_{n+2}' が形成されたガラス基板 15 上に、ゲート絶縁膜 14 を形成するための例えば SiO_2 膜、 Si_3N_4 膜、半導体層 13 を形成するための例えば a-Si (アモルファス・シリコン) 膜を成膜する。さらに、a-Si 膜上に、チャネル保護膜 16 を形成するための例えば SiO_2 膜を成膜する。これら 3 つの膜を例えば CVD (Chemical Vapor Deposition) で形成した後に、PEP により、図 5 (b) に示すようにゲート絶縁膜 14、半導体層 13 上にチャネル保護膜 16 をパターンニングする。

20

【0031】

その後、ソース/ドレイン層 12 を形成するための金属膜を例えばスパッタリングによって成膜する。この金属膜を構成する材料として、Al、Ti、Mo 等を用いることができる。金属膜を成膜後、図 5 (c) に示すように、PEP によりソース/ドレイン層 12 および半導体層 13 をパターンニングする。

次いで、保護膜 11 を形成するための例えば Si_3N_4 膜を CVD で製膜し、さらに図 5 (d) に示すように、PEP によって保護膜 11 をパターンニングする。このパターンニングの時に、コンタクト・ホール 17 が形成される。

保護膜 11 を形成後、画素電極 10 を形成するための例えば酸化インジウム・スズ膜 (Indium Tin Oxide, ITO) をスパッタリングで成膜する。ITO 成膜後に、図 5 (e) に示すよう、PEP により画素電極 10 をパターンニングする。以上図 4 および図 5 で示した通り、本実施の形態による表示素子 2 は、5 PEP プロセスによっても、その表示領域内において、ゲート電位が露出しない。なお、第 3 の TFT M3 の部分についてゲート電位が露出しないことは、説明を要しないであろう。

30

【0032】

次に、表示素子 2 の表示領域外の部分の構造について図 6 および図 7 に基づいて説明する。

図 6 は、図 2 の点線で囲まれた領域の構造を模式的に示す平面図である。図 6 に示すように、同一の走査信号を供給する 2 つの走査信号線 G_{n+2} 、 G_{n+2}' は、画素電極 C11, D11, C21, D21... を挟んで配置されることになる。2 つの走査信号線 G_{n+2} および G_{n+2}' は、接続配線 18 および接続端子 19 を介して電氣的に接続されている。この接続配線 18 は、図 4 および図 5 で示したソース/ドレイン層 12 と同工程で形成される。また、接続端子 19 は、画素電極 10 と同工程で形成されるから、ITO で構成される。このことは、図 6 の Y-Y 断面を示す図 7 を参照することにより理解が容易となる。

40

【0033】

図 7 に示すように、走査信号線 G_{n+1} 、 G_{n+2} および G_{n+2}' が形成されたガラス基板 15 (図示せず) 上には、ゲート絶縁膜 14 が形成されている。そして、ゲート絶縁膜 14 が形成された所定の領域 (図中、中央部分) には、半導体層 13 が、さらに接続配

50

線 18 として機能するソース/ドレイン層 12 が形成されている。ソース/ドレイン層 12 上およびゲート絶縁膜 14 上には保護膜 11 が形成されている。ソース/ドレイン層 12 上の保護膜 11 にはコンタクト・ホール 17 が形成されている。また、走査信号線 $G_n + 2$ 上のゲート絶縁膜 14 および保護膜 11 にもコンタクト・ホール 17 が形成されている。このコンタクト・ホール 17 に入り込んだ接続端子 19 を介してゲート絶縁膜 14 とソース/ドレイン層 12 とが電氣的に接続されている。ITO で構成されているこの接続端子 19 上には、保護膜 11 が形成されていない。したがって、走査信号線 $G_n + 2$ および $G_n + 2'$ は接続端子 19 を介して外部に露出していることになる。

【0034】

以上説明したように、第 1 の実施の形態による表示素子 2 は、表示領域外において走査信号線 $G_n + 2$ および $G_n + 2'$ が外部に露出するものの、表示領域内でゲート電位が露出しない構造となっている。したがって、液晶中に存在する不純物イオンが集中することによる画像品質の劣化を防止することができる。

【0035】

次に、図 8 ~ 図 11 の等価回路図を参照しつつ、走査信号線 $G_n + 1 \sim G_n + 3$ の選択、非選択による画素電極 A 11 ~ 画素電極 D 11 の動作について説明する。

図 8 に示すように走査信号線 $G_n + 1$ と走査信号線 $G_n + 2$ の両方が選択されてから走査信号線 $G_n + 2$ が非選択電位（以下、単に非選択という）になるまでの期間には、第 1 の TFT M1 ~ 第 3 の TFT M3 が ON される。図 8 に示すように画素電極 A 11、画素電極 B 11 および画素電極 D 11 に、表示信号線 Dm から画素電極 A 11 に与えるべき電位 V_{a1} が書き込まれる。ここで画素電極 A 11 の電位 V_{a1} が決まる。なお、図 8 において走査信号線 $G_n + 1$ 、 $G_n + 2$ および $G_n + 2'$ が選択されていることを、当該線図を太線で示している。また、電位が書き込まれている画素電極にはハッチングを施している。

【0036】

走査信号線 $G_n + 2$ が非選択になった後に、表示信号線 Dm から供給される電位は画素電極 B 11 に与えるべき電位 V_{b1} に変わる。

走査信号線 $G_n + 2$ が非選択になった後の期間も引き続き走査信号線 $G_n + 1$ を選択にしておくことで、図 9 に示すように画素電極 B 11 には電位 V_{b1} が書き込まれ、画素電極 B 11 の電位が決まる。このように、表示信号線 Dm の電位が時分割で画素電極 A 11 および画素電極 B 11 に供給される。

【0037】

次に走査信号線 $G_n + 1$ が非選択になった後に、表示信号線 Dm の電位は画素電極 C 11 に与えるべき電位 V_{c1} に変わる。

走査信号線 $G_n + 1$ が非選択になった後の期間に、走査信号線 $G_n + 2$ が再び選択になるとともに走査信号線 $G_n + 3$ が選択になると、図 10 に示すように画素電極 C 11、画素電極 D 11 および画素電極 B 21 に電位 V_{c1} が書き込まれる。ここで画素電極 C 11 の電位 V_{c1} が決まる。

走査信号線 $G_n + 3$ が非選択になった後に、表示信号線 Dm から供給される電位は画素電極 D 11 に与えるべき電位 V_{d1} に変わる。

走査信号線 $G_n + 3$ が非選択になった後の期間も引き続き走査信号線 $G_n + 2$ を選択にしておくことで、図 11 に示すように画素電極 D 11 には電位 V_{d1} が書き込まれ、画素電極 D 11 の電位が決まる。

【0038】

以上の説明では、走査信号線 $G_n + 1 \sim G_n + 3$ による画素電極 A 11、B 11、C 11 および D 11 の動作を対象としたが、他の画素電極についても同様であることは当業者であれば容易に理解されよう。

表示素子 2 は、画素電極 A 11、B 11、A 12、B 12 ... の間、つまり X 方向には画素電極間に表示信号線 Dm、Dm + 1 ... のみしか配設されていない。一方で、Y 方向には分岐された分の走査信号線および TFT が配設されている。通常、画素電極 A 11 ... は、縦

10

20

30

40

50

長の形状を有している。したがって、表示素子 2 のように X 方向に表示信号線 D_m , $D_m + 1 \dots$ のみしか配設しない構造とすれば、画素電極 $A_{11} \dots$ の長辺方向を開口率の向上のために有効に使用することができる。

【0039】

(第 2 の実施の形態)

以下、本発明による第 2 の実施の形態について説明する。この第 2 の実施の形態は、表示領域内および表示領域外ともにゲート電位の露出がない表示素子構造を有している点で、第 1 の実施の形態をさらに進歩させている。なお、第 2 の実施の形態による液晶表示装置 1 の基本構成は第 1 の実施の形態と同様であるので、表示素子 2 1 についてその相違を中心にして説明する。

10

【0040】

図 1 2 は、第 2 の実施の形態による表示素子 2 1 の等価回路図である。

図 1 2 において、表示信号線 D_m を挟んで隣接する画素電極 A_{11} および B_{11} について、第 1 の TFT M_{11} 、第 2 の TFT M_{12} および第 3 の TFT M_{13} の 3 つの TFT が以下のように配置されている。

まず、第 1 の TFT M_{11} は、一方のソース/ドレイン電極が表示信号線 D_m に、他方のソース/ドレイン電極が第 2 の TFT M_{12} のソース/ドレイン電極に接続されている。また、第 1 の TFT M_{11} のゲート電極は走査信号線 G_n の一部が構成している。次に、第 2 の TFT M_{12} は、一方のソース/ドレイン電極が第 1 の TFT M_{11} のソース/ドレイン電極に、他方のソース/ドレイン電極が画素電極 A_{11} に接続されている。また、第 2 の TFT M_{12} のゲート電極は、走査信号線 G_{n+1}' の一部が構成している。走査信号線 G_{n+1}' は、走査信号線 G_{n+1} から分岐されたものである。

20

第 1 の TFT M_{11} と第 2 の TFT M_{12} とが以上のような接続関係を有しているから、隣接する 2 本の走査信号線 G_n と G_{n+1}' が同時に選択電位になっている期間にのみ、第 1 の TFT M_{11} および第 2 の TFT M_{12} が ON になり表示信号線 D_m の電位が画素電極 A_{11} に供給される。

第 3 の TFT M_{13} は、一方のソース/ドレイン電極が表示信号線 D_m に、他方のソース/ドレイン電極が画素電極 B_{11} に接続されている。また、第 3 の TFT M_{13} のゲート電極は走査信号線 G_n の一部が構成している。したがって、走査信号線 G_n が選択電位になっている期間に、第 3 の TFT M_{13} が ON になり表示信号線 D_m の電位が画素電極 B_{11} に供給される。

30

【0041】

ここで、第 2 の実施の形態における第 1 の TFT M_{11} 、第 2 の TFT M_{12} および第 3 の TFT M_{13} の画素電極 A_{11} 、 B_{11} に対する接続構造と、第 1 の実施の形態における第 1 の TFT M_1 、第 2 の TFT M_2 および第 3 の TFT M_3 の画素電極 A_1 、 B_1 に対する接続構造に、基本的な差異がないことは、図 1 2 および図 2 とを対比すれば容易に理解できる。したがって、第 2 の実施の形態における表示素子 2 1 が、表示領域内でゲート電位が露出しないことも容易に類推できる。

【0042】

ところが、第 2 の実施の形態と第 1 の実施の形態とでは以下のような差異がある。

40

第 1 の実施の形態においては、画素電極 A_{11} を基準として、走査方向の後段側に位置する 2 つの走査信号線 G_{n+1} および G_{n+2}' 上に各々第 1 の TFT M_1 および第 2 の TFT M_2 が形成されていた。そして、走査信号線 G_{n+1} よりも後段に位置する走査信号線 G_{n+2} から分岐した走査信号線 G_{n+2}' が画素電極 A_{11} に近い方の第 2 の TFT M_2 に接続され、かつ走査信号線 G_{n+1} が画素電極 A_{11} に遠い方の第 1 の TFT M_1 に接続されている。したがって、走査信号線 G_{n+1} と走査信号線 G_{n+2}' とが交差することになる。この交差部分が、既に説明した、表示領域外におけるゲート電位の露出原因となる。

【0043】

これに対して第 2 の実施の形態においては、画素電極 A_{11} を基準として、走査方向の前

50

段側に位置する走査信号線 G_n と、走査方向の後段側に位置する走査信号線 G_{n+1} から分岐された走査信号線 G_{n+1}' が、各々第1の TFT M11 および第2の TFT M12 のゲート電極を構成している。そして、走査信号線 G_n よりも後段に位置する走査信号線 G_{n+1}' が画素電極 A11 に近いほうの第2の TFT M12 に接続され、かつ走査信号線 G_n が画素電極 A11 に遠い方の第1の TFT M11 に接続されている。したがって、図12に示されるように、走査信号線 G_n と分岐配線を含めた走査信号線 G_{n+1} には交差部分が存在しないことになる。そのために、第2の実施の形態による表示素子21には、表示領域内はもちろん、表示領域外においてもゲートの露出が生じないのである。

【0044】

10

次に、第2の実施の形態による表示素子21の動作を、図13～図16に基づいて簡単に説明しておく。なお、図13～図16は、走査信号線 G_n 、 G_{n+1} による画素電極 A11、B11、C11 および D11 の動作のみを示している。図13に示すように走査信号線 G_n と走査信号線 G_{n+1} の両方が選択されてから走査信号線 G_{n+1} が非選択になるまでの期間には、第1の TFT M11～第3の TFT M13 が ON される。したがって、図13に示すように画素電極 A11、画素電極 B11 および画素電極 D11 に、表示信号線 D_m から画素電極 A11 に与えるべき電位 V_{a2} が書き込まれる。ここで画素電極 A11 の電位 V_{a2} が決まる。

【0045】

走査信号線 G_{n+1} が非選択になった後に、表示信号線 D_m から供給される電位は画素電極 B11 に与えるべき電位 V_{b2} に変わる。

20

走査信号線 G_{n+1} が非選択になった後の期間も引き続き走査信号線 G_n を選択にしておくことで、図14に示すように画素電極 B11 には電位 V_{b2} が書き込まれる、画素電極 B11 の電位が決まる。このように、表示信号線 D_m の電位が時分割で画素電極 A11 および画素電極 B11 に供給される。

【0046】

走査信号線 G_n が非選択になった後に、表示信号線 D_m の電位は画素電極 C11 に与えるべき電位 V_{c2} に変わる。走査信号線 G_n が非選択になった後の期間に、走査信号線 G_{n+1} が再び選択になるとともに走査信号線 G_{n+2} が選択になると、図15に示すように画素電極 C11 および画素電極 D11 に電位 V_{c2} が書き込まれる。ここで画素電極 C11

30

の電位 V_{c2} が決まる。走査信号線 G_{n+2} が非選択になった後に、表示信号線 D_m から供給される電位は画素電極 D11 に与えるべき電位 V_{d2} に変わる。

走査信号線 G_{n+2} が非選択になった後の期間も引き続き走査信号線 G_{n+1} を選択にしておくことで、図16に示すように画素電極 D11 には電位 V_{d2} が書き込まれ、画素電極 D11 の電位が決まる。

【0047】

以上説明したように第1および第2の実施の形態による表示素子2、21は、その表示領域内あるいはさらに表示領域外でもゲート電位の露出が回避される。したがって、液晶中に存在する不純物イオンが集中することによる画像品質の劣化を防止することができる。また、1つの共通する表示信号線を挟んで隣接する2つの画素が当該表示信号線を共有することにより、表示信号線の本数を半減できる。

40

【0048】

【発明の効果】

以上説明したように、本発明によれば、隣接する2つ以上の画素に1本の表示信号線から時分割で電位を与えるアクティブ・マトリックス方式の表示装置において、ゲート電位の露出を避けることができる。

【図面の簡単な説明】

【図1】 第1の実施の形態に係る液晶表示装置の構成を示すブロック図である。

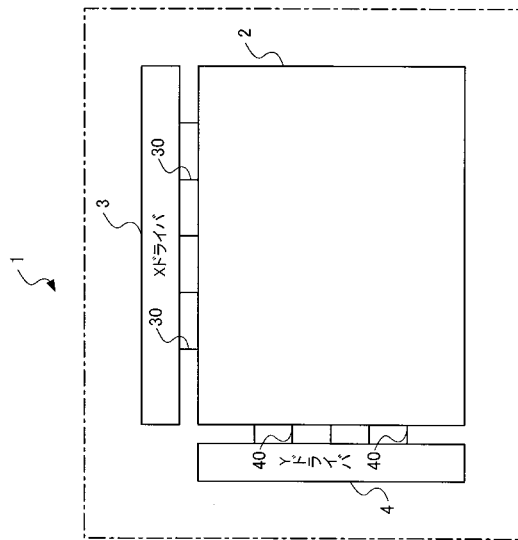
【図2】 第1の実施の形態における表示素子の等価回路図である。

50

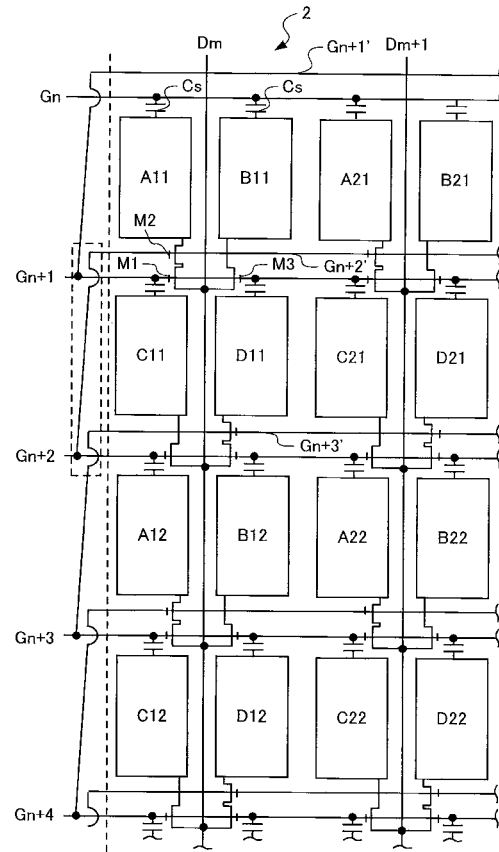
- 【図 3】 第 1 の実施の形態における表示素子の回路構造を示す部分平面図である。
- 【図 4】 第 1 の実施の形態における表示素子の回路構造を示す部分断面図である。
- 【図 5】 第 1 の実施の形態における表示素子の製造工程を示す図である。
- 【図 6】 第 1 の実施の形態における表示素子の表示領域外の回路構造を示す部分断面図である。
- 【図 7】 第 1 の実施の形態における表示素子の表示領域外の回路構造を示す部分平面図である。
- 【図 8】 第 1 の実施の形態における表示素子の動作を説明するための図である。
- 【図 9】 第 1 の実施の形態における表示素子の動作を説明するための図であって、図 8 の次の状態を示す図である。 10
- 【図 10】 第 1 の実施の形態における表示素子の動作を説明するための図であって、図 9 の次の状態を示す図である。
- 【図 11】 第 1 の実施の形態における表示素子の動作を説明するための図であって、図 10 の次の状態を示す図である。
- 【図 12】 第 2 の実施の形態における表示素子の等価回路図である。
- 【図 13】 第 2 の実施の形態における表示素子の動作を説明するための図である。
- 【図 14】 第 2 の実施の形態における表示素子の動作を説明するための図であって、図 13 の次の状態を示す図である。
- 【図 15】 第 2 の実施の形態における表示素子の動作を説明するための図であって、図 14 の次の状態を示す図である。 20
- 【図 16】 第 2 の実施の形態における表示素子の動作を説明するための図であって、図 15 の次の状態を示す図である。
- 【図 17】 従来の表示素子の等価回路図である。
- 【図 18】 従来の表示素子の回路構造を示す部分平面図である。
- 【図 19】 従来の表示素子の回路構造を示す部分断面図である。
- 【図 20】 従来の表示素子の製造工程を示す図である。
- 【符号の説明】

1 ... 液晶表示装置、2, 21 ... 表示素子、3 ... X ドライバ、4 ... Y ドライバ、10 ... 画素電極、11 ... 保護膜、12 ... ソース / ドレイン層、13 ... 半導体層、14 ... ゲート絶縁膜、15 ... ガラス基板、16 ... チャネル保護膜、17 ... コンタクト・ホール、18 ... 接続配線、19 ... 接続端子、A11, B11, C11, D11, A12, B12, C12, D12 ... 画素電極、M1, M11, M2, M12, M3, M13 ... TFT、Gn, Gn+1, Gn+2, Gn+3, Gn+4, Gn', Gn+1', Gn+2', Gn+3', Gn+4' ... 走査信号線、Dm, Dm+1 ... 表示信号線 30

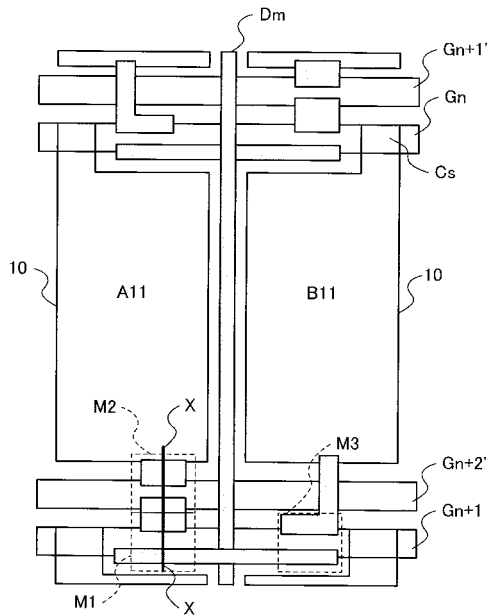
【図 1】



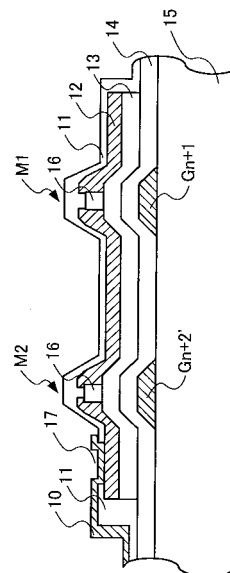
【図 2】



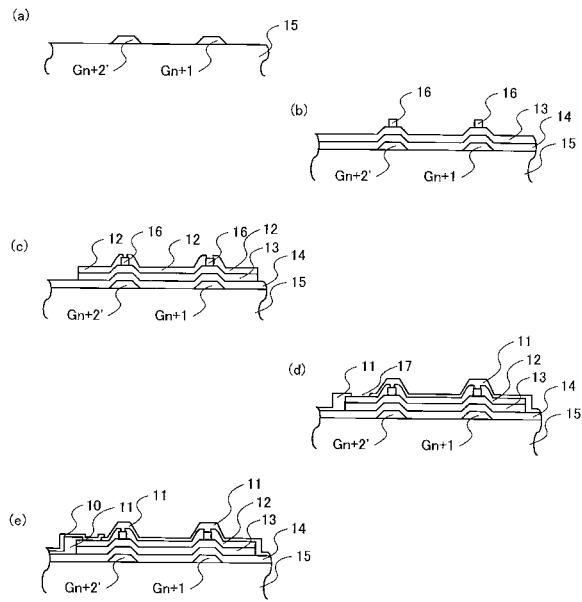
【図 3】



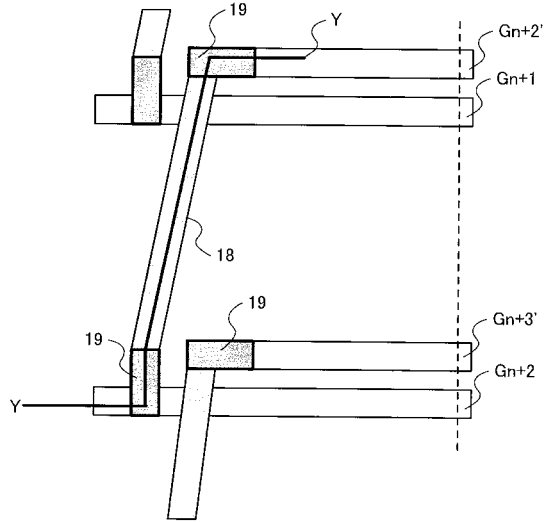
【図 4】



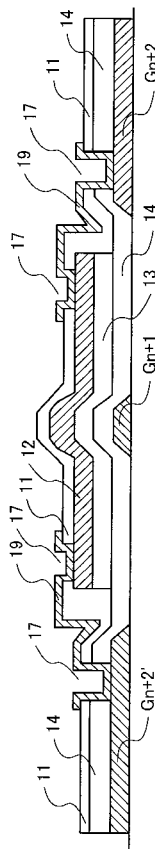
【 図 5 】



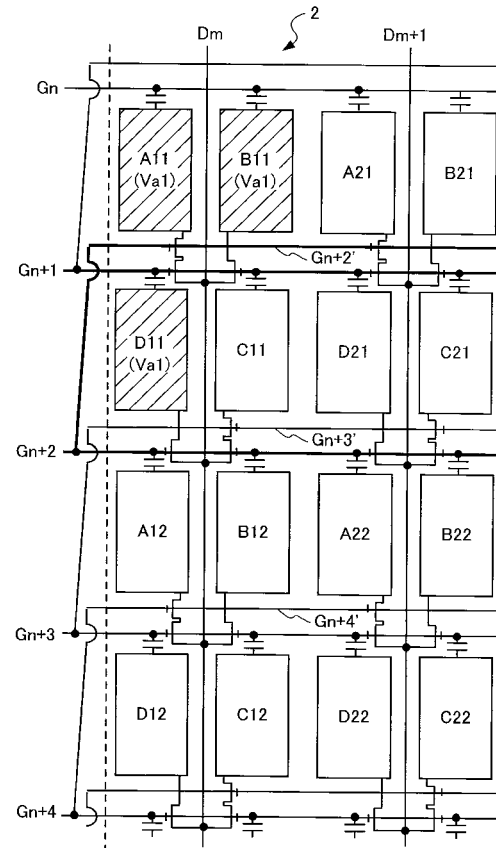
【 図 6 】



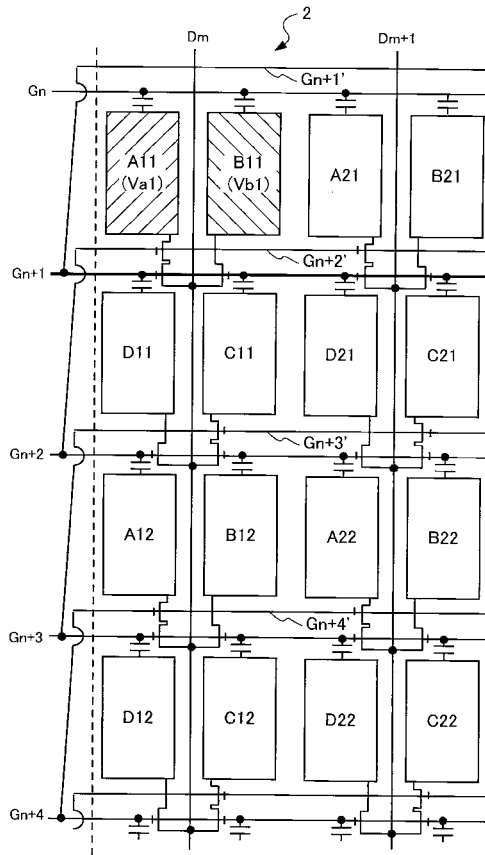
【 図 7 】



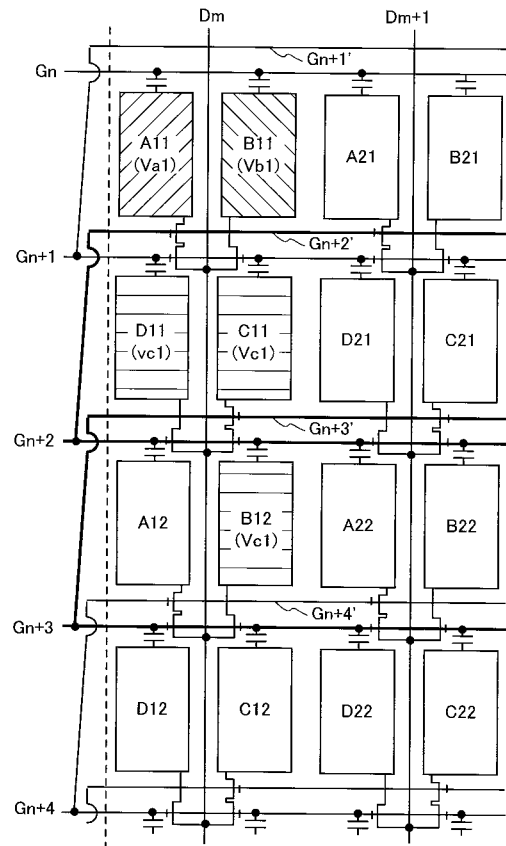
【 図 8 】



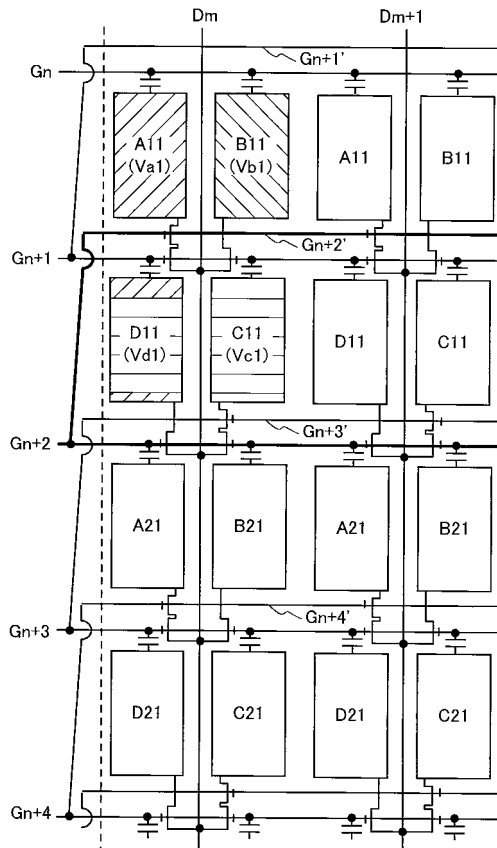
【図 9】



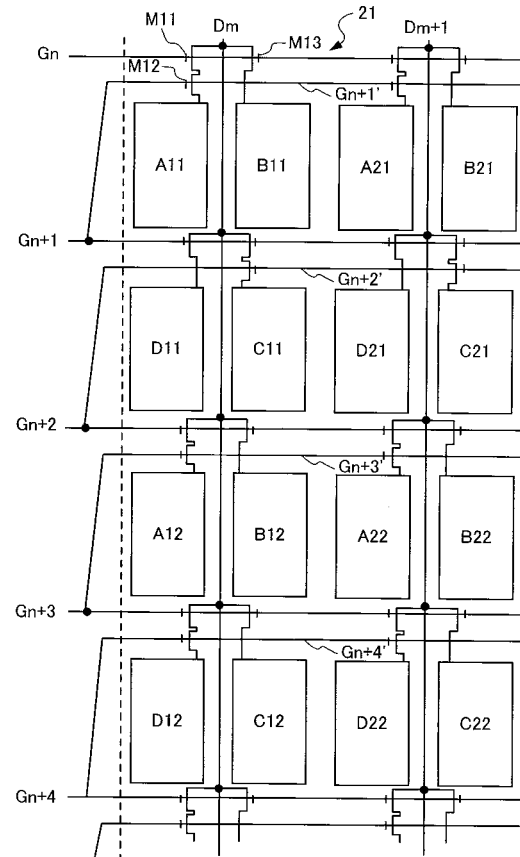
【図 10】



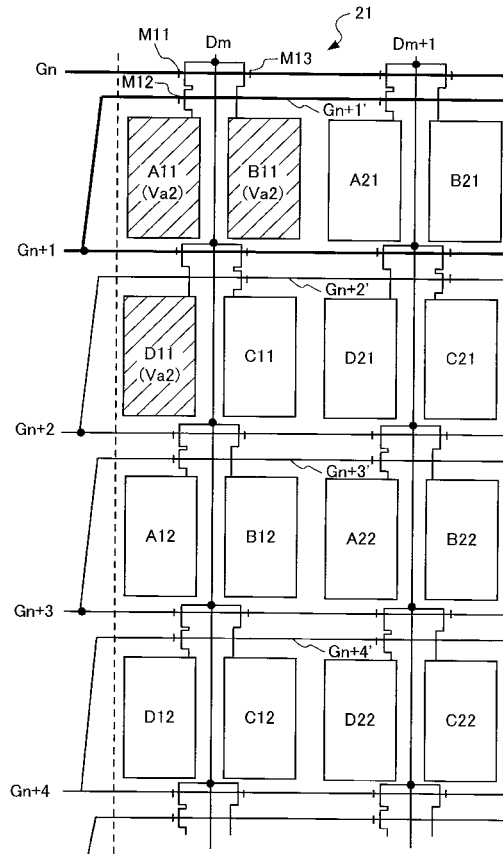
【図 11】



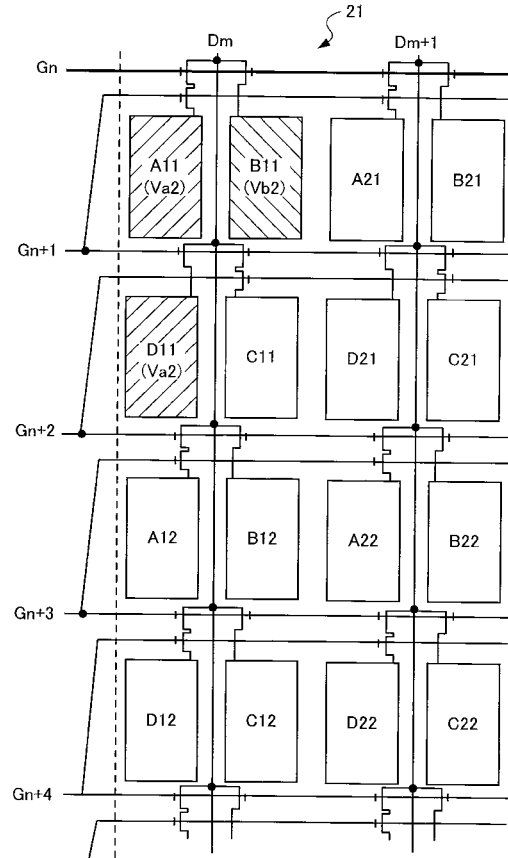
【図 12】



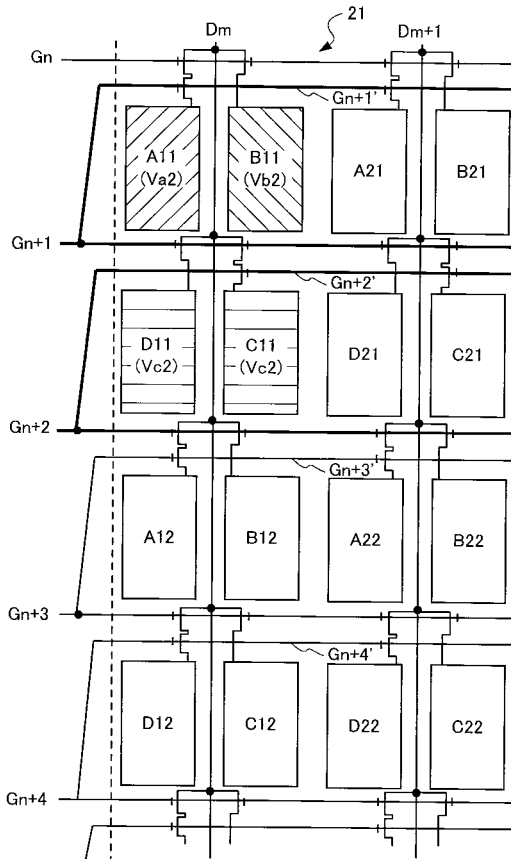
【図 13】



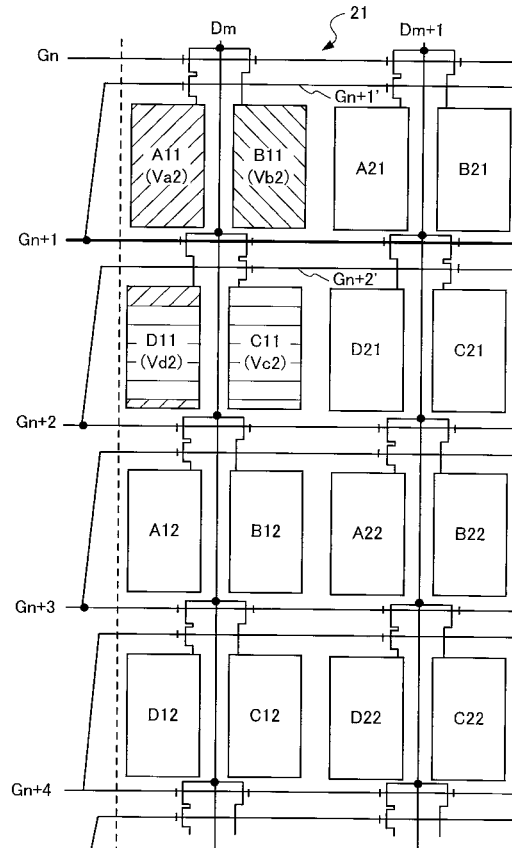
【図 14】



【図 15】



【図 16】



フロントページの続き

(72)発明者 古立 学

神奈川県大和市下鶴間 1 6 2 3 番地 1 4 日本アイ・ピー・エム株式会社 大和事業所内

(72)発明者 中嶋 浩詞

神奈川県大和市下鶴間 1 6 2 3 番地 1 4 日本アイ・ピー・エム株式会社 大和事業所内

審査官 山口 裕之

(56)参考文献 特開平 0 5 - 1 8 8 3 9 5 (J P , A)

特開平 0 5 - 2 6 5 0 4 5 (J P , A)

特開平 0 5 - 3 0 3 1 1 4 (J P , A)

特開平 0 9 - 2 8 1 4 6 5 (J P , A)

特開平 0 9 - 1 2 0 0 8 3 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

G02F 1/1343

G02F 1/1368

专利名称(译)	图像显示装置和图像显示装置		
公开(公告)号	JP3872377B2	公开(公告)日	2007-01-24
申请号	JP2002129358	申请日	2002-04-30
[标]申请(专利权)人(译)	国际商业机器公司		
申请(专利权)人(译)	国际商业机器公司		
当前申请(专利权)人(译)	国际商业机器公司		
[标]发明人	古立学 中嶋浩詞		
发明人	古立 学 中嶋 浩詞		
IPC分类号	G02F1/1343 G02F1/1368 G09G3/36 G02F1/133 G02F1/1362		
CPC分类号	G02F1/136286 B31B50/80 B31B2160/102		
FI分类号	G02F1/1343 G02F1/1368 G09G3/36 G02F1/133.550		
F-TERM分类号	2H092/JA24 2H092/JB33 2H092/JB68 2H092/NA23 2H093/NA16 2H093/NA45 2H093/NC16 2H093/NC34 2H093/NC35 2H093/ND40 2H093/NE03 2H192/AA24 2H192/AA33 2H192/AA42 2H192/BC31 2H192/CB05 2H192/CB71 2H192/CC04 2H192/CC22 2H192/CC24 2H192/CC62 2H192/DA02 2H192/FA35 2H193/ZA04 2H193/ZC26 2H193/ZP03 5C006/BB16 5C006/BC03 5C006/BC08 5C006/BC20 5C006/BF34 5C006/EB05 5C006/FA51		
代理人(译)	坂口 博		
审查员(译)	山口博之		
其他公开文献	JP2003322866A		
外部链接	Espacenet		

摘要(译)

要解决的问题：即使在使用PEP保存过程时，也要防止与扫描信号线或栅电极电连接的部分暴露于液晶层或取向层。解决方案：公共显示信号线Dm连接到图像电极A11和图像电极B11。第一TFT M1和第二TFT M2串联连接在图像电极A11和显示信号线Dm上。第三TFT连接在图像电极B11和显示信号线Dm两端。第一TFT M1和第三TFT M3使用扫描信号线Gn + 1作为其栅电极。此外，第二TFT M2使用从扫描信号线Gn + 2分支的扫描信号线Gn + 2'作为其栅电极。扫描信号线Gn + 1和Gn + 2'在显示区域中平行排列。Z

