

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3866011号
(P3866011)

(45) 発行日 平成19年1月10日(2007.1.10)

(24) 登録日 平成18年10月13日(2006.10.13)

(51) Int. Cl.	F I	
G09G 3/36 (2006.01)	G09G 3/36	
G09G 3/20 (2006.01)	G09G 3/20	611H
G02F 1/133 (2006.01)	G09G 3/20	612F
	G09G 3/20	623E
	G09G 3/20	623B

請求項の数 5 (全 19 頁) 最終頁に続く

(21) 出願番号	特願2000-164770 (P2000-164770)	(73) 特許権者	503121103
(22) 出願日	平成12年5月30日(2000.5.30)		株式会社ルネサステクノロジ
(65) 公開番号	特開2001-343948 (P2001-343948A)		東京都千代田区丸の内二丁目4番1号
(43) 公開日	平成13年12月14日(2001.12.14)	(73) 特許権者	000233169
審査請求日	平成16年6月1日(2004.6.1)		株式会社日立超エル・エス・アイ・システムズ
			東京都小平市上水本町5丁目22番1号
		(74) 代理人	100089071
			弁理士 玉村 静世
		(72) 発明者	岡村 和浩
			東京都小平市上水本町五丁目20番1号
			株式会社日立製作所 半導体グループ内

最終頁に続く

(54) 【発明の名称】 ドライバ及び液晶ディスプレイ装置

(57) 【特許請求の範囲】

【請求項1】

互いに電圧レベルが異なる複数の階調電圧を発生させるための階調電圧作成回路と、
入力データをデコードし、そのデコード結果に基づいて、上記階調電圧作成回路からの
複数の階調電圧の中から第1階調電圧とそれに対応する第2階調電圧とを選択するための
デコーダと、

上記第1階調電圧とそれに対応する第2階調電圧とに基づいて駆動電圧を得るためのア
ンプと、を含むドライバであって、

上記アンプは、差動対を形成するための第1トランジスタと、

上記第1トランジスタに差動結合された第2トランジスタと、

上記第2トランジスタに並列接続された第3トランジスタと、

上記第1階調電圧が上記第2トランジスタに伝達され、上記第2階調電圧が上記第3ト
ランジスタに伝達される第1の状態と、上記第1階調電圧が上記第3トランジスタに伝達
され、上記第2階調電圧が上記第2トランジスタに伝達される第2の状態とを所定の周期
で切り換えるためのスイッチ回路と、を含んで成ることを特徴とするドライバ。

【請求項2】

液晶の交流駆動のための交流化信号と、内部クロック信号とに基づいて、上記第1の状態
と上記第2の状態との切り換えを制御可能な制御信号を生成する回路を含む請求項1記載
のドライバ。

【請求項3】

互いに電圧レベルが異なる複数の階調電圧を発生させるための階調電圧作成回路と、
入力データをデコードし、そのデコード結果に基づいて、上記階調電圧作成回路からの複
数の階調電圧の中から第 1 階調電圧とそれに対応する第 2 階調電圧とを選択するためのデ
コードと、

上記第 1 階調電圧とそれに対応する第 2 階調電圧とに基づいて駆動電圧を得るためのアン
プと、を含むドライバであって、

上記アンプは、差動対を形成するための第 1 トランジスタと、

上記第 1 トランジスタに差動結合された第 2 トランジスタと、

上記第 2 トランジスタに並列接続された第 3 トランジスタと、

上記第 1 トランジスタに並列接続された第 4 トランジスタと、

上記第 1 階調電圧が上記第 2 トランジスタに伝達され、上記第 2 階調電圧が上記第 3 トラ
ンジスタに伝達され、上記アンプの出力電圧が上記第 1 トランジスタ及び上記第 4 トラン
ジスタに伝達される第 1 の状態と、上記第 1 階調電圧が上記第 3 トランジスタに伝達され
、上記第 2 階調電圧が上記第 2 トランジスタに伝達され、上記アンプの出力電圧が上記第
1 トランジスタ及び上記第 4 トランジスタに伝達される第 2 の状態と、上記第 1 階調電圧
が上記第 1 トランジスタに伝達され、上記 2 階調電圧が上記第 4 トランジスタに伝達され
、上記アンプの出力電圧が上記第 2 トランジスタ及び上記第 3 トランジスタに伝達される
第 3 の状態と、上記第 1 階調電圧が上記第 4 トランジスタに伝達され、上記第 2 階調電圧
が上記第 1 トランジスタに伝達され、上記アンプの出力電圧が上記第 2 トランジスタ及び
上記第 3 トランジスタに伝達される第 4 の状態とを所定の周期で切り換えるためのスイッ
チ回路と、を含んで成ることを特徴とするドライバ。

【請求項 4】

液晶の交流駆動のための交流化信号と、内部クロック信号とに基づいて、上記第 1 の状態
と上記第 2 の状態と上記第 3 の状態と上記第 4 の状態の切り換えを制御可能な制御信号を
生成する回路を含む請求項 3 記載のドライバ。

【請求項 5】

複数のゲート線とこの複数のゲート線に交差するように配置された複数のソース線とを含
む表示パネルと、上記複数のソース線を駆動するためのソースドライバとを含む液晶ディ
スプレイ装置において、

上記ソースドライバとして、請求項 1 乃至 4 の何れか 1 項記載のドライバを用いて成るこ
とを特徴とする液晶ディスプレイ装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、ドライバ、さらには第 1 階調電圧と第 2 階調電圧とに基づいて駆動電圧を得る
アンプを含むドライバに関し、例えば TFT 型カラー液晶パネルを駆動するためのソース
ドライバに適用して有効な技術に関する。

【0002】

【従来の技術】

液晶パネルは、複数のソース線と、それに交差するように配列されたゲート線とを含み、
ソース線とゲート線との交差箇所に液晶セルが配置される。そのような液晶パネルを駆動
するための駆動装置には、ソース線を駆動するためのソースドライバ、及びゲート線を駆
動するためのゲートドライバが設けられている。ソースドライバは、駆動情報を 1 ライン
単位で出力する。このとき、ゲートソースドライバは、複数のソース線を時分割で駆動す
る。

【0003】

尚、液晶ディスプレイについて記載された文献の例としては、昭和 58 年に株式会社オー
ム社から発行された「電子通信ハンドブック(第 472 頁)」がある。

【0004】

【発明が解決しようとする課題】

10

20

30

40

50

ソースドライバにおいては、表示データをデコードし、そのデコード結果に対応する階調電圧選択が選択され、選択された階調電圧がバッファリングされてから液晶パネルに出力される。上記階調電圧は、複数の抵抗が結合されて成る階調電圧作成回路で分圧されることで形成される。例えば64階調の場合、抵抗ラダー回路から64レベルの電圧がそのまま出力される。

【0005】

通常、64階調よりは256階調のほうが画質は向上する。しかしながら、256階調の場合、抵抗ラダー回路から256レベルの電圧を出力しなければならず、階調電圧作成回路やその周辺の構成が煩雑になる。それを回避するには、電圧の加算平均により上記アンプ回路において中間レベルの階調電圧を形成すればよい。

10

【0006】

すなわち、上記デコーダの出力に応じて、階調電圧作成回路からの複数の階調電圧の中から2種類の電圧を選択し、選択した2種類の電圧を上記アンプ回路において加算平均することで、上記2種類の電圧の中間レベルの電圧を上記アンプ回路側で形成する。そのようにすれば、上記中間レベルに相当する階調電圧を上記階調電圧作成回路において形成する必要がなくなり、その分、上記階調電圧作成回路やその周辺の簡略化を図ることができる。そのように加算平均を行うため、アンプ回路においては、当該アンプ回路に入力される階調電圧の数に対応して複数の入力端子、及びその入力端子に対応してMOSトランジスタなどの能動素子が設けられる。その場合のアンプ回路について本願発明者が検討したところ、上記加算平均のために複数の入力端子が存在すると、それに対応するMOSトランジスタのしきい値のばらつきによって、ソース線駆動電圧にレベル差を生じ、画質劣化を招くことが見いだされた。

20

【0007】

本発明の目的は、階調電圧の加算平均を行う場合の画質劣化を防止するための技術を提供することにある。

【0008】

本発明の前記並びにその他の目的と新規な特徴は本明細書の記述及び添付図面から明らかになるであろう。

【0009】

【課題を解決するための手段】

本願において開示される発明のうち代表的なものの概要を簡単に説明すれば下記の通りである。

30

【0010】

すなわち、互いに電圧レベルが異なる複数の階調電圧を発生させるための階調電圧作成回路と、入力データをデコードし、そのデコード結果に基づいて、上記階調電圧作成回路からの複数の階調電圧の中から第1階調電圧とそれに対応する第2階調電圧とを選択するためのデコーダと、上記第1階調電圧とそれに対応する第2階調電圧とに基づいて駆動電圧を得るためのアンプとを含んで液晶ドライバが構成されるとき、上記アンプにおいて、上記アンプの出力信号が帰還される第1トランジスタと、上記第1トランジスタに差動結合された第2トランジスタと、上記第2トランジスタに並列接続された第3トランジスタとを設け、さらに上記第1階調電圧が上記第1トランジスタに伝達され、上記第2階調電圧が上記第2トランジスタに伝達される第1の状態と、上記第1階調電圧が上記第2トランジスタに伝達され、上記第2階調電圧が上記第1トランジスタに伝達される第2の状態とを所定の周期で切り換えるためのスイッチ回路を設ける。

40

【0011】

上記の手段によれば、スイッチ回路は、上記第1の状態と上記第2の状態とを所定の周期で切り換える。これにより、アンプにおいては、第2トランジスタと、それに並列接続された第3トランジスタとの間でしきい値の差に起因する誤差が平均化され、このことが、階調電圧の加算平均を行う場合の画質劣化の防止を達成する。

【0012】

50

このとき、上記スイッチ回路の動作制御信号を容易に得るには、液晶の交流駆動のための交流化信号と、内部クロック信号とに基づいて、上記第1の状態と上記第2の状態との切り換えを制御可能な制御信号を生成する回路を設けるとよい。

【0013】

また、上記アンプにおいて、差動対を形成するための第1トランジスタと、上記第1トランジスタに差動結合された第2トランジスタと、上記第2トランジスタに並列接続された第3トランジスタと、上記第1トランジスタに並列接続された第4トランジスタと、上記第1階調電圧が上記第2トランジスタに伝達され、上記第2階調電圧が上記第3トランジスタに伝達され、上記アンプの出力電圧が上記第1トランジスタ及び上記第4トランジスタに伝達される第1の状態と、上記第1階調電圧が上記第3トランジスタに伝達され、上記第2階調電圧が上記第2トランジスタに伝達され、上記アンプの出力電圧が上記第1トランジスタ及び上記第4トランジスタに伝達される第2の状態と、上記第1階調電圧が上記第1トランジスタに伝達され、上記第2階調電圧が上記第4トランジスタに伝達され、上記アンプの出力電圧が上記第2トランジスタ及び上記第3トランジスタに伝達される第3の状態と、上記第1階調電圧が上記第4トランジスタに伝達され、上記第2階調電圧が上記第1トランジスタに伝達され、上記アンプの出力電圧が上記第2トランジスタ及び上記第3トランジスタに伝達される第4の状態とを所定の周期で切り換えるためのスイッチ回路とを設ける。

10

【0014】

上記の手段によれば、スイッチ回路は、上記第1の状態、上記第2の状態、上記第3の状態、上記第4の状態とを所定の周期で切り換える。これにより、上記第1トランジスタ、第2トランジスタ、第3トランジスタ、及び第4トランジスタとの間でしきい値の差が平均化される。このことが、階調電圧の加算平均を行う場合の画質劣化の防止を達成する。

20

【0015】

このとき、上記スイッチ回路の動作制御信号を容易に得るには、液晶の交流駆動のための交流化信号と、内部クロック信号とに基づいて、上記第1の状態と上記第2の状態と上記第3の状態と上記第4の状態の切り換えを制御可能な制御信号を生成する回路を設けるとよい。

【0016】

また、複数のゲート線とこの複数のゲート線に交差するように配置された複数のソース線とを含む表示パネルと、上記複数のソース線を駆動するためのソース線ドライバとを含んで液晶ディスプレイ装置が構成されるとき、上記ソースドライバとして、上記構成のドライバを用いることができる。

30

【0017】

【発明の実施の形態】

図4には、本発明にかかる液晶ディスプレイ装置の構成例が示される。

【0018】

液晶ディスプレイ装置36は、特に制限されないが、カラー液晶パネル12と、このカラー液晶パネル12のゲート線を駆動するための複数のゲートドライバ10-1~10-3と、上記カラー液晶パネル12のデータ線を駆動するための複数のソースドライバ11-1~11-nと、この液晶ディスプレイ装置36全体の動作制御を司るコントローラ14と、カラー液晶パネル12を駆動するための電源を供給する液晶駆動電源回路13とを含む。

40

【0019】

カラー液晶パネル12は、特に制限されないが、TFT型であり、そのサイズは1024×768ドットとされ、複数のゲート線と、それに交差するように配置された複数のデータ線と、ゲート線及びデータ線の交差箇所に対応して配置されたnチャンネル型MOSトランジスタ及び液晶素子とを含んで成る。例えば図5に示されるように、複数のnチャンネル型MOSトランジスタ221のゲート電極は、対応するゲート線g1~g4に結合され、当該トランジスタ221のドレイン電極は対応するデータ線d1~d3に結合され、

50

当該トランジスタ 2 2 1 のソース電極とグランド GND との間に液晶素子 2 2 2 が結合される。カラー表示を可能とするため、隣接する 3 本のデータ線 d 1 , d 2 , d 3 は、RGB (レッド、グリーン、ブルー) に対応しており、この RGB に対応する 3 個の素子により 1 個の画素が形成される。図 5 に示される構成例に従えば、ゲートドライバ 1 0 - 1 によってゲート線 g 1 ~ g 4 が選択的にハイレベルに駆動され、ソースドライバ 1 1 - 1 によって濃度に応じた電圧レベルでデータ線 d 1 , d 2 , d 3 が駆動されることにより、対応する n チャンネル型 MOS トランジスタ 2 2 1 がオンされて、対応する液晶素子 2 2 2 の容量がチャージアップされる。その後、ゲートドライバ 1 0 - 1 の出力信号がローレベルにされて n チャンネル型 MOS トランジスタ 2 2 1 がオフされて、液晶素子 2 2 2 の電圧が保持される。

10

【 0 0 2 0 】

次に、ソースドライバ 1 1 - 1 ~ 1 1 - n について詳述する。尚、上記複数個のソースドライバ 1 1 - 1 ~ 1 1 - n は互いに同一構成とされる。そのため、以下の説明ではソースドライバ 1 1 - 1 についてのみ詳細に説明する。

【 0 0 2 1 】

図 6 にはソースドライバの構成例が示される。

【 0 0 2 2 】

図 6 に示されるようにソースドライバ 1 1 - 1 は、クロック制御回路 8 0、ラッチ回路 9 2 , 9 3 , 9 4、デコーダ 8 4、アンプ回路 8 5、データ反転回路 8 6、及び階調電圧作成回路 8 7 を含み、公知の半導体集積回路製造技術により、単結晶シリコン基板などの一つの半導体基板に形成される。

20

【 0 0 2 3 】

上記クロック制御回路 8 0 には、コントローラ 1 4 からの水平方向拡大信号 LCHPA 1 , LCHPA 2 0 ~ 2、データ出力水平クロック信号 CL 1、データ転送クロック CL 2、データ転送クロック CL 4 が入力される。イネーブル信号 EIO 0 ~ 2 R * (* はローアクティブ又は信号反転を示す)、EIO 0 ~ 2 L * は、ソースドライバのイネーブル信号とされ、このイネーブル信号がローレベルにアサートされることによって当該ソースドライバ内へのデータ取り込みが行われる。M は交流化信号である。液晶の破損防止のため、この交流化信号 M によって液晶の交流駆動が制御される。この交流化信号 M は、データ出力水平クロック信号 CL 1 の立ち上がりエッジのタイミングで取り込まれ、交流化信号 M の極性に応じて、正極性側 (V 0 ~ V 4) と負極性 (V 5 ~ V 9) 側との出力電圧が選択的に発生される。特に制限されないが、交流化信号 M が論理値 “ 0 ” の場合、奇数出力端子 (Y 1 , Y 3 , ... , Y 3 8 3) からは正極性の液晶印加電圧が出力され、偶数出力端子 (Y 2 , Y 4 , ... , Y 3 8 4) からは負極性の液晶印加電圧が出力される。また、交流化信号 M が論理値 “ 1 ” の場合、奇数出力端子 (Y 1 , Y 3 , ... , Y 3 8 3) からは負極性の液晶印加電圧が出力され、偶数出力端子 (Y 2 , Y 4 , ... , Y 3 8 4) からは正極性の液晶印加電圧が出力される。SHL は表示データのシフト方向を指示する信号とされ、ラッチアドレスセクタ 8 1 を介して、第 1 ラッチ回路に書き込まれる表示データのシフト方向が制御される。

30

【 0 0 2 4 】

コントローラ 1 4 から伝達されるデータ D 5 7 ~ D 5 0 , D 4 7 ~ D 4 0 , D 3 7 ~ D 3 0 , D 2 7 ~ D 2 0 , D 1 7 ~ D 1 0 , D 0 7 ~ D 0 0 は、データ反転回路 8 6 を介して第 1 ラッチ回路 9 2 へ伝達される。反転回路 8 6 は、コントローラ 1 4 から伝達されるデータ反転信号 POL に応じて、上記データの論理を反転する。

40

【 0 0 2 5 】

第 1 ラッチ回路 9 2 は、データ反転回路 8 6 からのデータをラッチアドレスセクタ 8 1 の制御により保持する。水平方向の拡大やセンタリング表示は、ラッチアドレスセクタ 8 1 の制御により、データ反転回路 8 6 の出力データを第 1 ラッチ回路 9 2 へ書き込む際のアдрес制御により行われる。この第 1 ラッチ回路 9 2 の後段には、当該第 1 ラッチ回路 9 2 の出力データを保持可能な第 2 ラッチ回路 9 3 が設けられ、この第 2 ラッチ回路 9

50

3の後段には当該ラッチ回路93の出力データを保持可能な第3ラッチ回路94が設けられる。第1ラッチ回路92、第2ラッチ回路93、第3ラッチ回路94は、それぞれ384本のデータ線に対応する数のデータラッチを8プレーン備える。8プレーン備えるのは、各ソース線駆動端子から、例えば256階調の電圧を出力するために端子当たり8ビットのデジタルデータが必要となるからである。

【0026】

また、ラッチ回路94の後段には、ラッチ回路出力データをデコードするためのデコーダ84が設けられる。上記デコーダ84の出力信号は、ソース線の駆動のため、後段のアンプ回路85でバッファリングされてから外部出力される。

【0027】

上記デコーダ84でのデコードに必要とされる各種レベルの電圧は、階調電圧生成回路87において各種レベルの入力電圧V0～V9を抵抗分圧することで生成される。例えば図7に示されるように、各種レベルの入力電圧V0～V9を取り込んで、代表的に示されるラダー抵抗R1～R8の組み合わせによって、正極性256階調及び負極性256階調を示すための複数レベルの電圧を得る。上記アンプ回路85において、2種類の階調電圧の加算平均を行うことでその中間レベルが形成されるため、階調電圧作成回路87における電圧出力端子数は、160個とされ、上記デコーダ84において、そのうちの2個が選択され、対応する階調電圧が上記アンプ回路85へ伝達される。例えば256階調の出力電圧レベルは、5～10Vの範囲において、20mV刻みとされる。

【0028】

アンプ回路85は、デコーダ84の出力端子数に対応する384個のアンプ85-1～85-384を含んで成る。アンプ85-1～85-384は互いに同一構成とされる。

【0029】

図8～図10には、カラー液晶パネル12の駆動例が示される。尚、「+」、「-」は、ドットの論理が反転していることを示している。

【0030】

図8にはドット反転駆動の様子が示される。

【0031】

上記のようにソースドライバ11-1～11-nは、交流化信号Mの論理を切り換えることにより液晶の交流駆動が可能とされる。例えば交流化信号Mをデータ出力水平クロック信号CL1毎に切り換えることで、互いに隣接するドット毎に極性の異なる階調電圧を印加するドット反転駆動が可能とされる。

【0032】

図9にはnライン反転駆動の様子が示される。

【0033】

交流化信号Mの論理をデータ出力水平クロック信号CL1のn回毎に切り換えた場合、図9に示されるように水平方向1ドット毎、垂直方向nライン毎のnライン反転駆動となる。

【0034】

図10にはフレーム反転駆動の様子が示される。

【0035】

交流化信号Mの論理をフレーム毎に切り換えることにより、図10に示されるように水平方向1ドット毎、垂直方向1フレーム毎のフレーム反転駆動を行うことができる。

【0036】

図11には、フレーム反転時のデータ入力と交流化信号M及び出力レベルとの関係が示される。

【0037】

データ出力水平クロック信号CL1の立ち上がり時点での交流化信号Mの論理レベルに応じて正極性、負極性それぞれの階調電圧選択を行うことで、次のデータ出力水平クロック信号CL1からそれぞれの階調電圧が出力される。HVは正極側256階調の電圧を示し

10

20

30

40

50

、LVは負極側256階調の電圧を示す。交流化信号Mが論理値“0”の場合、奇数出力端子からは正極性の液晶印加電圧HVが出力され、偶数出力端子からは負極性の液晶印加電圧LVが出力される。また、交流化信号Mが論理値“1”の場合、奇数出力端子からは負極性の液晶印加電圧が出力され、偶数出力端子からは正極性の液晶印加電圧が出力される。

【0038】

次に、アンプ回路85について詳述する。アンプ回路85に含まれる384個のアンプ85-1~85-384は、互いに同一構成であるため、そのうちのひとつについて詳述する。

【0039】

図1には、上記アンプ回路85における複数のアンプのうちの一つであるアンプ85-1の構成例が代表的に示される。

【0040】

pチャンネル型MOSトランジスタQ11と、pチャンネル型MOSトランジスタQ12とが差動結合され、上記pチャンネル型MOSトランジスタQ12にpチャンネル型MOSトランジスタQ13が差動結合される。pチャンネル型MOSトランジスタQ11~Q13のソース電極は、pチャンネル型MOSトランジスタQ1を介して高電位側電源V_{dd}に結合される。pチャンネル型MOSトランジスタQ12、Q13のゲート電極には、スイッチ回路41を介して入力端子IN1又はIN2からの入力信号が与えられる。スイッチ回路41は、オフセットキャンセル信号LCHPA1、LCHPA2に基づいて、入力端子IN1から入力された階調電圧をpチャンネル型MOSトランジスタQ12のゲート電極に伝達し、入力端子IN2から入力された階調電圧をpチャンネル型MOSトランジスタQ13のゲート電極に伝達する第1の状態と、入力端子IN1から入力された階調電圧をpチャンネル型MOSトランジスタQ13のゲート電極に伝達し、入力端子IN2から入力された階調電圧をpチャンネル型MOSトランジスタQ12のゲート電極に伝達する第2の状態とを所定の周期で切り換える。これにより、入力端子IN1、IN2を介してデコーダ84から入力される2系統の階調電圧がpチャンネル型MOSトランジスタQ12、Q13に交互に伝達される。

【0041】

上記pチャンネル型MOSトランジスタQ11~Q13のゲート電極は、カレントミラー型負荷を形成するnチャンネル型MOSトランジスタQ3、Q4を介してグランドGNDに結合される。pチャンネル型MOSトランジスタQ12、Q13と、pチャンネル型MOSトランジスタQ4との直列接続ノードは、後段のnチャンネル型MOSトランジスタQ5のゲート電極に結合される。このpチャンネル型MOSトランジスタQ5は、pチャンネル型MOSトランジスタQ2に直列接続さえ、この直列接続ノードから、このアンプ85-1の出力端子OUTが引き出される。上記pチャンネル型MOSトランジスタQ5のドレイン電極とゲート電極との間に位相補償用のキャパシタC1が設けられる。

【0042】

また、上記pチャンネル型MOSトランジスタQ1、Q2のゲート電極には所定のバイアス電圧V_Bが供給され、それによって、上記pチャンネル型MOSトランジスタQ1、Q2は定電流源として機能する。

【0043】

図2には、上記スイッチ回路41の構成例が示される。

【0044】

図2に示されるようにスイッチ回路41は、pチャンネル型MOSトランジスタQ21、Q22、Q23、Q24を含んで成る。pチャンネル型MOSトランジスタQ21は、入力端子IN2とpチャンネル型MOSトランジスタQ13との間の信号経路を断続可能に配置され、オフセットキャンセル信号LCHPA1によって動作制御される。pチャンネル型MOSトランジスタQ22は、入力端子IN1とpチャンネル型MOSトランジスタQ13との間の信号経路を断続可能に配置され、オフセットキャンセル信号LCHPA2

10

20

30

40

50

によって動作制御される。オフセットキャンセル信号 L C H P A 1 , L C H P A 2 は相補レベルの信号とされ、そのために、上記 p チャンネル型 M O S トランジスタ Q 2 1 , Q 2 2 は何れか一方が選択的に導通される。p チャンネル型 M O S トランジスタ Q 2 3 は、入力端子 I N 2 と p チャンネル型 M O S トランジスタ Q 1 2 との間の信号経路を断続可能に配置され、オフセットキャンセル信号 L C H P A 2 によって動作制御される。p チャンネル型 M O S トランジスタ Q 2 4 は、入力端子 I N 1 と p チャンネル型 M O S トランジスタ Q 1 2 との間の信号経路を断続可能に配置され、オフセットキャンセル信号 L C H P A 1 によって動作制御される。オフセットキャンセル信号 L C H P A 1 , L C H P A 2 は相補レベルの信号とされ、そのために、上記 p チャンネル型 M O S トランジスタ Q 2 3 , Q 2 4 は何れか一方が選択的に導通される。

10

【 0 0 4 5 】

図 1 2 には、上記スイッチ回路 4 1 の動作制御のためのオフセットキャンセル信号 L C H P A 1 , L C H P A 2 を生成するオフセットキャンセル信号生成回路が示される。

【 0 0 4 6 】

図 1 2 に示されるオフセットキャンセル信号生成回路 1 2 1 は、特に制限されないが、上記交流化信号 M をデータ出力水平クロック信号 C L 1 に同期させるためのフリップフロップ回路 F F 1 と、このフリップフロップ回路 F F 1 の出力信号を 1 / 2 分周するフリップフロップ回路 F F 2 とを含んで成り、それは、図 6 に示されるクロック制御回路 8 0 内に配置される。フリップフロップ回路 F F 1 , F F 2 は、データ端子 D、クロックパルス端子 C P、非反転出力端子 Q、反転出力端子 Q N を含む。フリップフロップ回路 F F 1 の非反転出力端子 D からの出力信号が後段のフリップフロップ回路 F F 2 のクロックパルス端子 C P に伝達される。フリップフロップ回路 F F 2 では、反転出力端子 Q N からデータ端子 D へ帰還される。フリップフロップ回路 F F 2 の非反転出力端子 Q からオフセットキャンセル信号 L C H P A 1 , L C H P A 2 が得られ、それが上記スイッチ回路 4 1 に伝達される。

20

【 0 0 4 7 】

図 1 3 には、上記オフセットキャンセル信号生成回路 1 2 1 における主要部の動作タイミングが示される。図 1 3 に示されるように、オフセットキャンセル信号 L C H P A 1 , L C H P A 2 は相補レベルとされる。交流化信号 M は、液晶パネルの焼け付きを防止するために、フレーム単位など一定の周期で反転されるから、これを利用することにより、例えば 4 フレーム毎にオフセット動作を行うための上記オフセットキャンセル信号 L C H P A 1 , L C H P A 2 を容易に生成することができる。

30

【 0 0 4 8 】

図 3 には、上記スイッチ回路 4 1 によるオフセットキャンセル動作例が示される。

【 0 0 4 9 】

1 フレーム目において、入力端子 I N 1 と p チャンネル型 M O S トランジスタ Q 1 2 のゲート電極とが結合され、入力端子 I N 2 と p チャンネル型 M O S トランジスタ Q 1 3 のゲート電極とが結合される。

【 0 0 5 0 】

2 フレーム目においては、上記交流化信号 M に基づいて上記 1 フレーム目のドット反転が行われる。このとき、上記オフセットキャンセル制御信号 L C H P A 1 , L C H P A 2 の論理変化が無いため、スイッチ回路 4 1 による接続状態は上記 1 フレーム目と同じである。

40

【 0 0 5 1 】

3 フレーム目においては、上記交流化信号 M の論理が既に反転されており、上記オフセットキャンセル制御信号 L C H P A 1 , L C H P A 2 の論理変化が変化されるため、スイッチ回路 4 1 の状態変化により、入力端子 I N 1 と p チャンネル型 M O S トランジスタ Q 1 3 のゲート電極とが結合され、入力端子 I N 2 と p チャンネル型 M O S トランジスタ Q 1 2 のゲート電極とが結合される。

【 0 0 5 2 】

50

4 フレーム目においては、上記交流化信号 M に基づいて上記 3 フレーム目のドット反転が行われる。このとき、上記オフセットキャンセル制御信号 L C H P A 1 , L C H P A 2 の論理変化が無い場合、スイッチ回路 4 1 による接続状態は上記 3 フレーム目と同じである。

【 0 0 5 3 】

上記 1 フレーム目から 4 フレーム目で 1 サイクルが終了し、この 1 サイクルにおいて、上記スイッチ回路 4 1 による接続状態の切り換えが 1 回だけ行われる。このようにして上記スイッチ回路 4 1 による接続状態の切り換えが行われることにより、上記入力端子 I N 1 , I N 2 を介して取り込まれる 2 種類の階調電圧が、p チャンネル型 M O S トランジスタ Q 1 2 , Q 1 3 に交互に取り込まれることになるので、上記スイッチ回路 4 1 による接続状態の切り換え毎に、上記入力端子 I N 1 , I N 2 から見た M O S トランジスタのしきい値の高低関係が逆となり、しきい値のばらつきに起因するオフセットがキャンセルされる。

10

【 0 0 5 4 】

図 1 4 には、本発明にかかる液晶ディスプレイ装置が適用されるコンピュータシステムが示される。

【 0 0 5 5 】

このコンピュータシステムは、システムバス B U S を介して、マイクロコンピュータ 3 1 、 D R A M (ダイナミック・ランダム・アクセス・メモリ) 3 2 、 S R A M 3 3 (スタティック・ランダム・アクセス・メモリ)、R O M (リード・オンリ・メモリ) 3 4 、周辺装置制御部 3 5 、液晶表示装置などが、互いに信号のやり取り可能に結合され、予め定められたプログラムに従って所定のデータ処理を行う。上記マイクロコンピュータ 3 1 は、本システムの論理的中核とされ、主として、アドレス指定、情報の読み出しと書き込み、データの演算、命令のシーケンス、割り込の受け、記憶装置と入出力装置との情報交換の起動等の機能を有し、演算制御部や、バス制御部、メモリアクセス制御部などから構成される。上記 D R A M 3 2 や、S R A M 3 3 、及び R O M 3 4 は内部記憶装置として位置付けられている。D R A M 3 2 は、メインメモリとされ、マイクロコンピュータ 3 1 での計算や制御における作業領域として利用される。S R A M 3 3 は、二次キャッシュメモリとされ、メインメモリである D R A M 3 2 の記憶内容の一部が記憶されることにより、マイクロコンピュータ 3 1 が必要とする情報を速やかに取り込むことができるようになっている。また、R O M 3 4 には読み出し専用のプログラムが格納される。周辺装置制御部 3 5 によって、ハードディスクなどの外部記憶装置 3 8 の動作制御や、キーボード 3 9 などからの情報入力制御が行われる。また、上記液晶ディスプレイ装置 3 6 によって画像表示が行われる。

20

30

【 0 0 5 6 】

上記した例によれば、以下の作用効果を得ることができる。

【 0 0 5 7 】

(1) 液晶パネルにおける 1 フレーム目から 4 フレーム目で 1 サイクルが終了し、この 1 サイクルにおいて、スイッチ回路 4 1 による接続状態の切り換えが 1 回だけ行われる。このようにして上記スイッチ回路 4 1 による接続状態の切り換えが行われることにより、上記入力端子 I N 1 , I N 2 を介して取り込まれる 2 種類の階調電圧が、p チャンネル型 M O S トランジスタ Q 1 2 , Q 1 3 に交互に取り込まれることになるので、スイッチ回路 4 1 による接続状態の切り換え毎に、入力端子 I N 1 , I N 2 から見た M O S トランジスタのしきい値の高低関係が逆となり、しきい値のばらつきに起因するオフセットがキャンセルされる。

40

【 0 0 5 8 】

(2) 上記 (1) の作用効果を有するソースドライバを含むカラー液晶パネル 1 2 や液晶ディスプレイ装置 3 6 においては、アンプにおける M O S トランジスタのしきい値ばらつきに起因するオフセットがキャンセルされるため画質が向上する。

【 0 0 5 9 】

50

図15には、上記アンプ85-1の別の構成例が示される。

【0060】

図15に示されるアンプ85-1が、図1に示されるのと大きく相違するのは、pチャンネル型MOSトランジスタQ11に並列接続されたpチャンネル型MOSトランジスタQ14が設けられた点、及びスイッチ回路41に代えてスイッチ回路42が設けられた点である。このスイッチ回路42は、上記第1階調電圧がpチャンネル型MOSトランジスタQ12に伝達され、上記第2階調電圧が上記pチャンネル型MOSトランジスタQ13に伝達され、上記アンプ85-1の出力電圧がpチャンネル型MOSトランジスタQ11及び上記pチャンネル型MOSトランジスタQ14に伝達される第1の状態と、上記第1階調電圧が上記pチャンネル型MOSトランジスタQ13に伝達され、上記第2階調電圧が上記pチャンネル型MOSトランジスタQ12に伝達され、上記アンプ85-1の出力電圧がpチャンネル型MOSトランジスタQ11及び上記pチャンネル型MOSトランジスタQ14に伝達される第2の状態と、上記第1階調電圧が上記pチャンネル型MOSトランジスタQ11に伝達され、上記2階調電圧が上記pチャンネル型MOSトランジスタQ14に伝達され、上記アンプ85-1の出力電圧が上記pチャンネル型MOSトランジスタQ12及びQ13に伝達される第3の状態と、上記第1階調電圧が上記pチャンネル型MOSトランジスタQ14に伝達され、上記第2階調電圧が上記pチャンネル型MOSトランジスタQ11に伝達され、上記アンプの出力電圧が上記pチャンネル型MOSトランジスタQ12及び上記pチャンネル型MOSトランジスタQ13に伝達される第4の状態とを所定の周期で切り換えるために設けられる。

10

20

【0061】

図16には上記スイッチ回路42の構成例が示される。

【0062】

図16に示されるように、上記スイッチ回路42は、pチャンネル型MOSトランジスタQ31~Q42を含んで成る。

【0063】

pチャンネル型MOSトランジスタQ31は、入力端子IN1とpチャンネル型MOSトランジスタQ11との間の信号経路を断続可能に配置され、オフセットキャンセル信号LCHPB1によって動作制御される。pチャンネル型MOSトランジスタQ32は、入力端子IN2とpチャンネル型MOSトランジスタQ11との間の信号経路を断続可能に配置され、オフセットキャンセル信号LCHPB2によって動作制御される。pチャンネル型MOSトランジスタQ33は、アンプ85-1の出力端子OUTとpチャンネル型MOSトランジスタQ11との間の信号経路を断続可能に配置され、オフセットキャンセル信号CHOPAによって動作制御される。pチャンネル型MOSトランジスタQ34は、入力端子IN1とpチャンネル型MOSトランジスタQ14との間の信号経路を断続可能に配置され、オフセットキャンセル信号LCHPB2によって動作制御される。pチャンネル型MOSトランジスタQ35は、入力端子IN2とpチャンネル型MOSトランジスタQ14との間の信号経路を断続可能に配置され、オフセットキャンセル信号LCHPB1によって動作制御される。pチャンネル型MOSトランジスタQ36は、アンプ85-1の出力端子OUTとpチャンネル型MOSトランジスタQ14との間の信号経路を断続可能に配置され、オフセットキャンセル信号CHOPAによって動作制御される。pチャンネル型MOSトランジスタQ42は、入力端子IN1とpチャンネル型MOSトランジスタQ12との間の信号経路を断続可能に配置され、オフセットキャンセル信号LCHPA1によって動作制御される。pチャンネル型MOSトランジスタQ41は、入力端子IN2とpチャンネル型MOSトランジスタQ12との間の信号経路を断続可能に配置され、オフセットキャンセル信号LCHPA2によって動作制御される。

30

40

【0064】

pチャンネル型MOSトランジスタQ40は、アンプ85-1の出力端子OUTとpチャンネル型MOSトランジスタQ12との間の信号経路を断続可能に配置され、オフセットキャンセル信号CHOPBによって動作制御される。pチャンネル型MOSトランジスタ

50

Q 3 9 は、入力端子 I N 1 と p チャンネル型 M O S トランジスタ Q 1 3 との間の信号経路を断続可能に配置され、オフセットキャンセル信号 L C H P A 2 によって動作制御される。p チャンネル型 M O S トランジスタ Q 3 8 は、入力端子 I N 2 と p チャンネル型 M O S トランジスタ Q 1 3 との間の信号経路を断続可能に配置され、オフセットキャンセル信号 L C H P A 1 によって動作制御される。p チャンネル型 M O S トランジスタ Q 3 7 は、アンプ 8 5 - 1 の出力端子 O U T と p チャンネル型 M O S トランジスタ Q 1 3 との間の信号経路を断続可能に配置され、オフセットキャンセル信号 C H O P B によって動作制御される。

【 0 0 6 5 】

図 1 7 には、上記スイッチ回路 4 2 の動作制御のためのオフセットキャンセル信号 L C H P A 1 , L C H P A 2 , C H O P B , L C H P B 1 , L C H P B 2 , C H O P A を生成するオフセットキャンセル信号生成回路 1 2 2 が示される。

10

【 0 0 6 6 】

図 1 7 に示されるオフセットキャンセル信号生成回路 1 2 2 は、特に制限されないが、上記交流化信号 M をデータ出力水平クロック信号 C L 1 に同期させるためのフリップフロップ回路 F F 3 と、このフリップフロップ回路 F F 3 の出力信号を 1 / 2 分周するフリップフロップ回路 F F 4 と、このフリップフロップ回路 F F 5 の出力信号をさらに 1 / 2 分周するためフリップフロップ回路 F F 5 と、インバータ G 1 ~ G 5 , G 1 0 ~ G 1 4、及びナンドゲート G 6 ~ G 9 を含んで成る。フリップフロップ回路 F F 4 の非反転出力端子 Q からの出力信号がインバータ G 1 で反転されることで、オフセットキャンセル信号 C H O P B が得られる。そして、この信号をさらにインバータ G 1 0 で反転されることで、オフセットキャンセル信号 C H O P A が得られる。フリップフロップ回路 F F 4 の非反転出力端子 Q からの出力信号がインバータ G 2 で反転され、フリップフロップ回路 F F 4 の反転出力端子 Q N からの出力信号がインバータ G 3 で反転される。フリップフロップ回路 F F 5 の非反転出力端子 Q からの出力信号がインバータ G 4 で反転され、フリップフロップ回路 F F 5 の反転出力端子 Q N からの出力信号がインバータ G 5 で反転される。上記インバータ G 2 , G 4 の出力信号のナンド論理がナンドゲート G 6 で得られ、その出力信号が後段のインバータ G 1 1 で反転されることによってオフセットキャンセル信号 L C H P B 1 が得られる。上記インバータ G 3 , G 5 の出力信号のナンド論理がナンドゲート G 7 で得られ、その出力信号が後段のインバータ G 1 2 で反転されることによってオフセットキャンセル信号 L C H P A 1 が得られる。上記インバータ G 3 , G 4 の出力信号のナンド論理がナンドゲート G 8 で得られ、その出力信号が後段のインバータ G 1 3 で反転されることによってオフセットキャンセル信号 L C H P A 2 が得られる。上記インバータ G 2 , G 5 の出力信号のナンド論理がナンドゲート G 9 で得られ、その出力信号が後段のインバータ G 1 4 で反転されることによってオフセットキャンセル信号 L C H P B 2 が得られる。

20

30

【 0 0 6 7 】

図 1 8 には上記オフセットキャンセル信号生成回路 1 2 2 における主要部の動作波形が示される。図 1 8 に示されるように、上記交流化信号 M とデータ出力水平クロック信号 C L 1 とに基づいて、オフセットキャンセル信号 L C H P A 1 , L C H P A 2 , C H O P B , L C H P B 1 , L C H P B 2 , C H O P A が容易に生成される。上記のように交流化信号 M は、フレーム単位など一定の周期で反転するため、それを利用することにより、例えば 8 フレーム毎にオフセットキャンセル動作を行うようなタイミングで上記オフセットキャンセル信号を容易に生成することができる。

40

【 0 0 6 8 】

図 1 9 には、上記スイッチ回路 4 1 によるオフセットキャンセル動作例が示される。

【 0 0 6 9 】

1 フレーム目において、入力端子 I N 1 と p チャンネル型 M O S トランジスタ Q 1 2 のゲート電極とが結合され、入力端子 I N 2 と p チャンネル型 M O S トランジスタ Q 1 3 のゲート電極とが結合され、アンプ 8 5 - 1 の出力端子 p チャンネル型 M O S トランジスタ Q 1 1 , Q 1 4 のゲート電極が結合される。

50

【 0 0 7 0 】

2 フレーム目においては、上記交流化信号 M に基づいて上記 1 フレーム目のドット反転が行われる。このとき、上記オフセットキャンセル信号 L C H P A 1 , L C H P A 2 , C H O P B , L C H P B 1 , L C H P B 2 , C H O P A の論理変化が無いため、スイッチ回路 4 2 による接続状態は上記 1 フレーム目と同じである。

【 0 0 7 1 】

3 フレーム目においては、上記交流化信号 M の論理が既に反転されており、オフセットキャンセル信号 L C H P A 2 がローレベルにされることで、入力端子 I N 1 が p チャンネル型 M O S トランジスタ Q 1 3 のゲート電極へ接続され、入力端子 I N 2 が p チャンネル型 M O S トランジスタ Q 1 2 のゲート電極に結合される。

10

【 0 0 7 2 】

4 フレーム目においては、上記交流化信号 M に基づいて上記 3 フレーム目のドット反転が行われる。このとき、上記オフセットキャンセル信号 L C H P A 1 , L C H P A 2 , C H O P B , L C H P B 1 , L C H P B 2 , C H O P A の論理変化が無いため、スイッチ回路 4 2 による接続状態は上記 3 フレーム目と同じである。

【 0 0 7 3 】

5 フレーム目においては、オフセットキャンセル信号 L C H P B 1 がローレベルに変化されることで、信号入力端子 I N 1 が p チャンネル型 M O S トランジスタ Q 1 1 のゲート電極に結合され、入力端子 I N 2 が p チャンネル型 M O S トランジスタ Q 1 4 のゲート電極に結合される。また、このとき、オフセットキャンセル信号 C H O P B がローレベルにされることで、アンプ 8 5 - 1 の出力端子 O U T が p チャンネル型 M O S トランジスタ Q 1 2 , Q 1 3 のゲート電極に結合される。

20

【 0 0 7 4 】

6 フレーム目においては上記交流化信号 M に基づいて上記 5 フレーム目のドット反転が行われる。このとき、上記オフセットキャンセル信号 L C H P A 1 , L C H P A 2 , C H O P B , L C H P B 1 , L C H P B 2 , C H O P A の論理変化が無いため、スイッチ回路 4 2 による接続状態は上記 5 フレーム目と同じである。

【 0 0 7 5 】

7 フレーム目においては、オフセットキャンセル信号 L C H P B 2 がローレベルに変化されることで、入力端子 I N 1 が p チャンネル型 M O S トランジスタ Q 1 4 のゲート電極に結合され、入力信号 I N 2 が p チャンネル型 M O S トランジスタ Q 1 2 のゲート電極に結合される。

30

【 0 0 7 6 】

8 フレーム目においては、上記交流化信号 M に基づいて上記 7 フレーム目のドット反転が行われる。このとき、上記オフセットキャンセル信号 L C H P A 1 , L C H P A 2 , C H O P B , L C H P B 1 , L C H P B 2 , C H O P A の論理変化が無いため、スイッチ回路 4 2 による接続状態は上記 7 フレーム目と同じである。

【 0 0 7 7 】

このように図 1 6 に示される構成においては、上記第 1 階調電圧が p チャンネル型 M O S トランジスタ Q 1 2 に伝達され、上記第 2 階調電圧が上記 p チャンネル型 M O S トランジスタ Q 1 3 に伝達され、上記アンプ 8 5 - 1 の出力電圧が p チャンネル型 M O S トランジスタ Q 1 1 及び上記 p チャンネル型 M O S トランジスタ Q 1 4 に伝達される第 1 の状態と、上記第 1 階調電圧が上記 p チャンネル型 M O S トランジスタ Q 1 3 に伝達され、上記第 2 階調電圧が上記 p チャンネル型 M O S トランジスタ Q 1 2 に伝達され、上記アンプ 8 5 - 1 の出力電圧が p チャンネル型 M O S トランジスタ Q 1 1 及び上記 p チャンネル型 M O S トランジスタ Q 1 4 に伝達される第 2 の状態と、上記第 1 階調電圧が上記 p チャンネル型 M O S トランジスタ Q 1 1 に伝達され、上記第 2 階調電圧が上記 p チャンネル型 M O S トランジスタ Q 1 4 に伝達され、上記アンプ 8 5 - 1 の出力電圧が上記 p チャンネル型 M O S トランジスタ Q 1 2 及び Q 1 3 に伝達される第 3 の状態と、上記第 1 階調電圧が上記 p チャンネル型 M O S トランジスタ Q 1 4 に伝達され、上記第 2 階調電圧が上記 p チャンネ

40

50

ル型MOSトランジスタQ11に伝達され、上記アンプの出力電圧が上記pチャンネル型MOSトランジスタQ12及び上記pチャンネル型MOSトランジスタQ13に伝達される第4の状態とが所定の周期で切り換えられるので、pチャンネル型MOSトランジスタQ11～Q14のしきい値のばらつきに起因するオフセットキャンセルすることができる。

【0078】

以上本発明者によってなされた発明を具体的に説明したが、本発明はそれに限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0079】

以上の説明では主として本発明者によってなされた発明をその背景となった利用分野であるTFT型カラー液晶パネルに適用した場合について説明したが、本発明はそれに限定されるものではなく、各種表示パネルに広く適用することができる。

【0080】

本発明は、少なくとも上記第1階調電圧とそれに対応する第2階調電圧とに基づいて液晶印加電圧を出力するためのアンプ回路を備えることを条件に適用することができる。

【0081】

【発明の効果】

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記の通りである。

【0082】

すなわち、スイッチ回路により、第1の状態と第2の状態とが所定の周期で切り換えられることにより、第2トランジスタと、それに並列接続された第3トランジスタとの間でしきい値の差に起因するオフセットをキャンセルすることができ、それによって、階調電圧の加算平均を行う場合の画質劣化の防止を図ることができる。

【0083】

また、スイッチ回路により、第1の状態、第2の状態、第3の状態、及び第4の状態が所定の周期で切り換えられることにより、第1トランジスタ、第2トランジスタ、第3トランジスタ、及び第4トランジスタとの間でしきい値の差が平均化され、それにより、階調電圧の加算平均を行う場合の画質劣化の防止を図ることができる。

【図面の簡単な説明】

【図1】本発明にかかる液晶ドライバにおけるアンプの構成例回路図である。

【図2】上記アンプに含まれるスイッチ回路の構成例回路図である。

【図3】上記スイッチ回路によるオフセットキャンセル動作例の説明図である。

【図4】上記液晶ドライバを含む液晶ディスプレイ装置の構成例ブロック図である。

【図5】上記液晶ディスプレイ装置に含まれるカラー液晶パネルの構成例回路図である。

【図6】上記液晶ドライバであるソースドライバの構成例ブロック図である。

【図7】上記ソースドライバに含まれる階調電圧生成回路の出力電圧の説明図である。

【図8】上記カラー液晶パネルの駆動例説明図である。

【図9】上記カラー液晶パネルの駆動例説明図である。

【図10】上記カラー液晶パネルの駆動例説明図である。

【図11】上記カラー液晶パネルのフレーム反転時のデータ入力と交流化信号及び出力レベルとの関係説明図である。

【図12】上記ソースドライバに含まれるオフセットキャンセル信号生成回路の構成例ブロック図である。

【図13】上記オフセットキャンセル信号生成回路における主要部の動作タイミング図である。

【図14】上記液晶ディスプレイ装置の適用例であるコンピュータシステムの構成例ブロック図である。

【図15】上記アンプの別の構成例回路図である。

【図16】上記スイッチ回路の別の構成例回路図である。

10

20

30

40

50

【図17】上記オフセットキャンセル信号生成回路の別の構成例回路図である。

【図18】図17に示されるオフセットキャンセル信号生成回路における主要部の動作タイミング図である。

【図19】上記スイッチ回路によるオフセットキャンセル動作例説明図である。

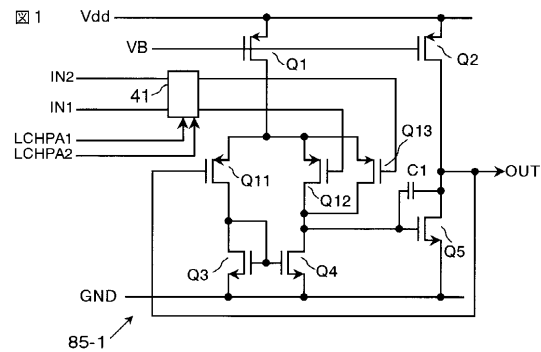
【符号の説明】

- 1 2 液晶パネル
- 1 1 - 1 ~ 1 1 - n ソースドライバ
- 1 0 - 1 ~ 1 0 - 3 ゲートドライバ
- 3 6 液晶ディスプレイ装置
- 4 1 , 4 2 スイッチ回路
- 8 0 クロック制御回路
- 8 1 ラッチアドレスセクタ
- 8 4 デコーダ
- 8 5 アンプ回路
- 8 5 - 1 ~ 8 5 - 3 8 4 アンプ
- 8 6 データ反転回路
- 8 7 階調電圧作成回路
- 9 2 第1ラッチ回路
- 9 3 第2ラッチ回路
- 9 4 第3ラッチ回路
- 1 2 1 , 1 2 2 オフセットキャンセル信号生成回路
- Q 1 1 , Q 1 2 , Q 1 3 , Q 1 4 pチャンネル型MOSトランジスタ

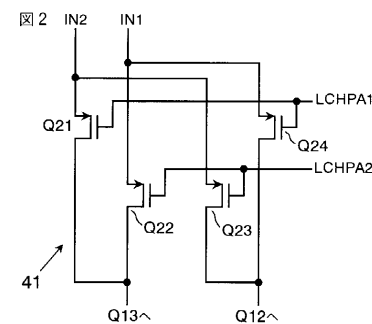
10

20

【図1】



【図2】

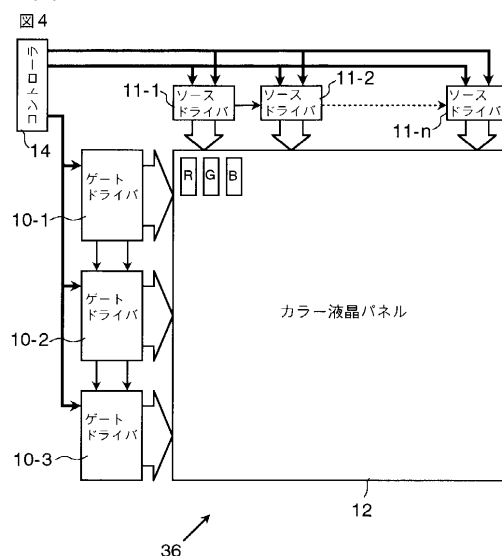


【図3】

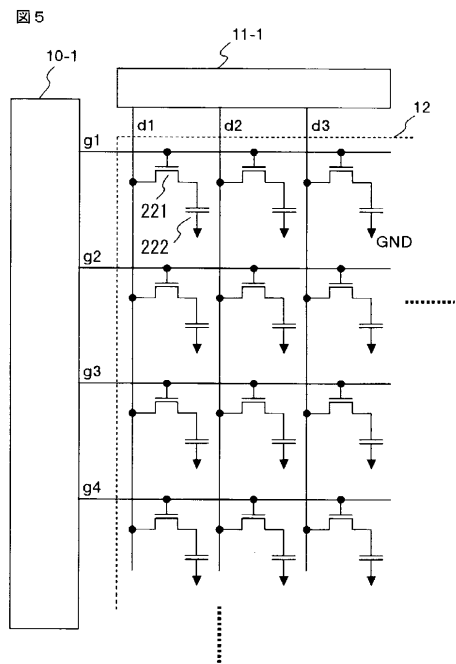
図3

フレーム	入出力	接続MOS	フレーム	入出力	接続MOS
1フレーム目	IN1	Q12	3フレーム目	IN1	Q13
	IN2	Q13		IN2	Q12
	OUT	Q11		OUT	Q11
2フレーム目	(1フレーム目のドット反転)		4フレーム目	(3フレーム目のドット反転)	

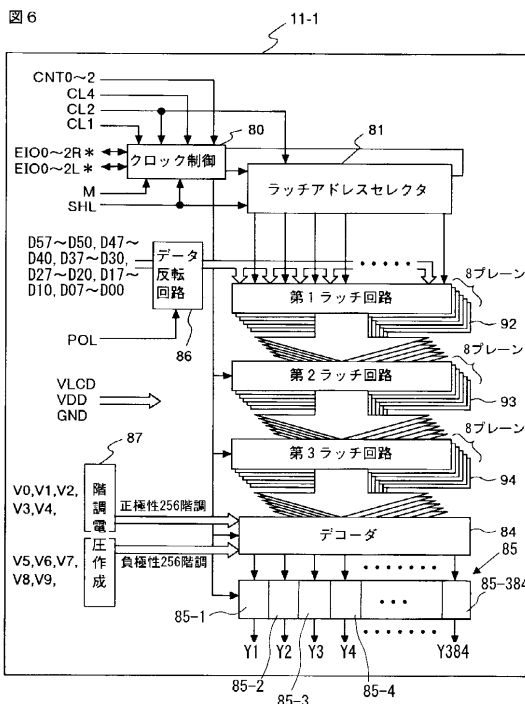
【図4】



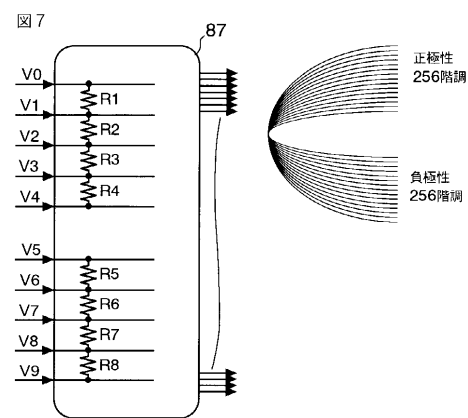
【 図 5 】



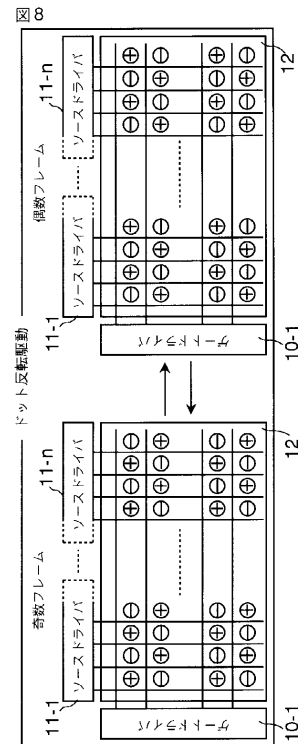
【 図 6 】



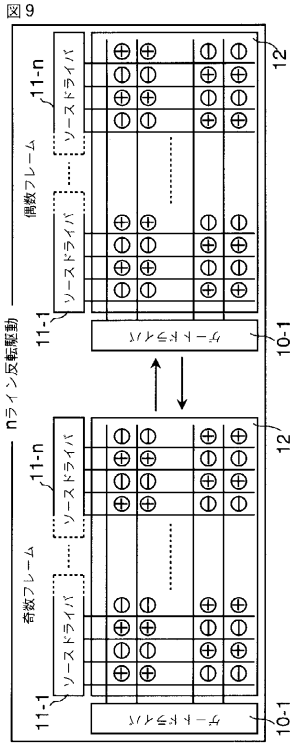
【 図 7 】



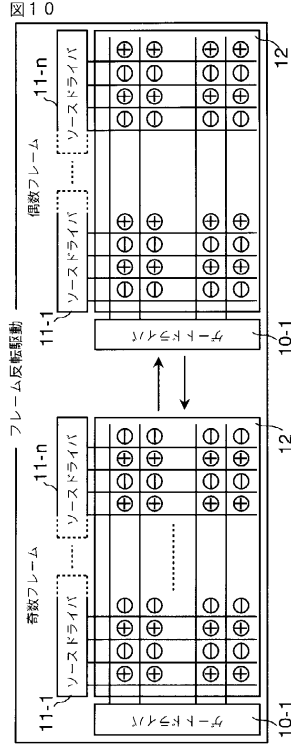
【 図 8 】



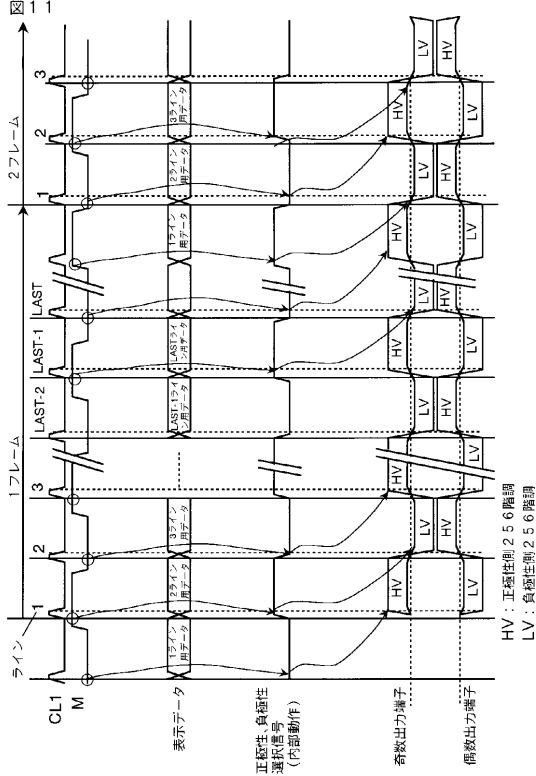
【 9 】



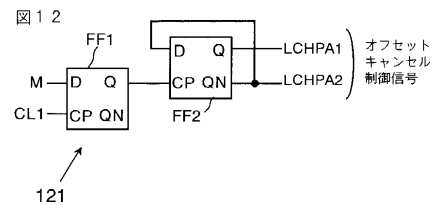
【 10 】



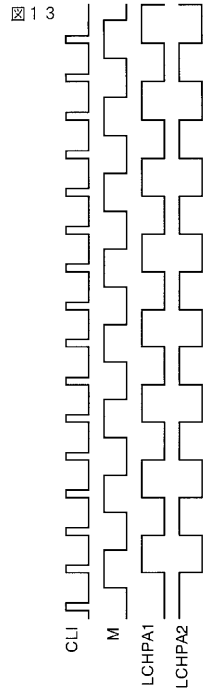
【 11 】



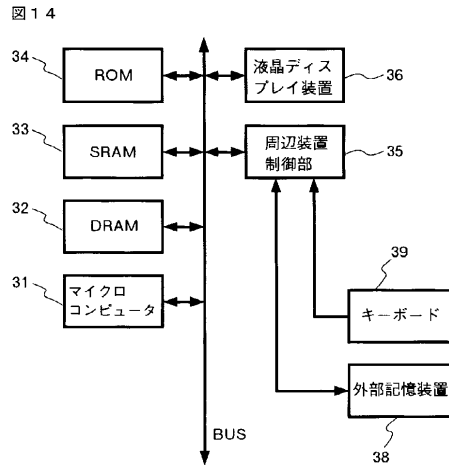
【 12 】



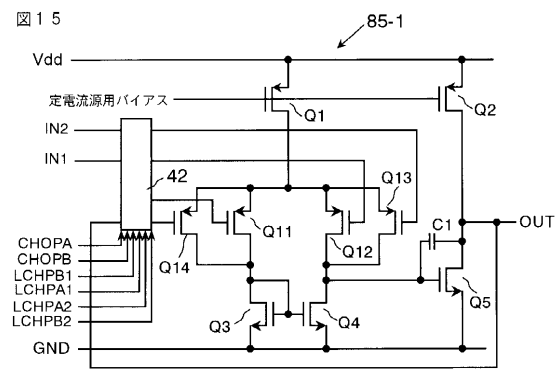
【 図 1 3 】



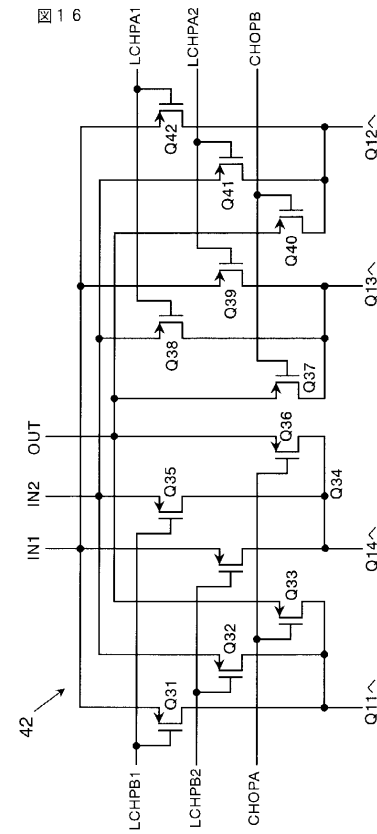
【 図 1 4 】



【 図 1 5 】

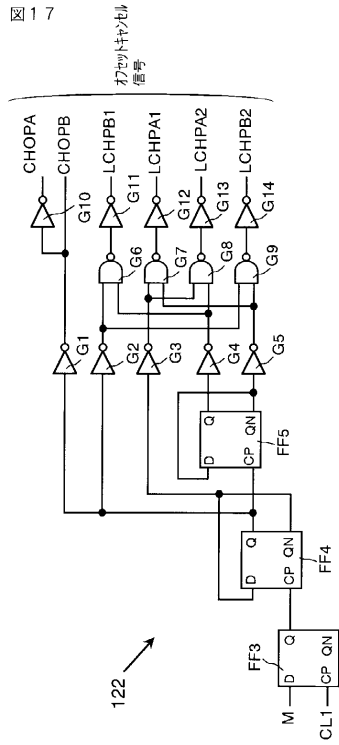


【 図 1 6 】



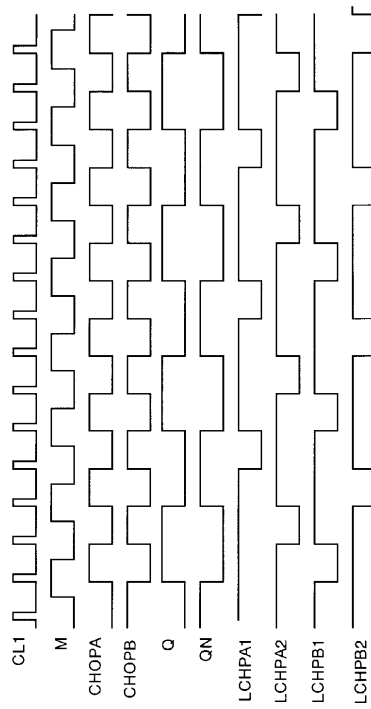
【 図 17 】

図 17



【 図 18 】

図 18



【 図 19 】

図 19

フレーム	入出力	接続	フレーム	入出力	接続
1フレーム目	IN1	Q12	5フレーム目	IN1	Q11
	IN2	Q13		IN2	Q14
	OUT	Q11		OUT	Q12
		Q14			Q13
2フレーム目	(1フレーム目のドット反転)		6フレーム目	(5フレーム目のドット反転)	
3フレーム目	IN1	Q13	7フレーム目	IN1	Q14
	IN2	Q12		IN2	Q11
	OUT	Q11		OUT	Q12
		Q14			Q13
4フレーム目	(3フレーム目のドット反転)		8フレーム目	(7フレーム目のドット反転)	

フロントページの続き

(51) Int.Cl. F I
G 0 2 F 1/133 5 5 0
G 0 9 G 3/20 6 4 2 A

(72)発明者 小寺 浩一
東京都小平市上水本町5丁目2番1号 株式会社日立超エル・エス・アイ・システムズ内

(72)発明者 山口 聡
千葉県茂原市早野3681番地 日立デバイスエンジニアリング株式会社内

(72)発明者 川田 賢治
千葉県茂原市早野3681番地 日立デバイスエンジニアリング株式会社内

(72)発明者 鈴木 進也
千葉県茂原市早野3681番地 日立デバイスエンジニアリング株式会社内

審査官 橋本 直明

(56)参考文献 特開2001-034234(JP,A)
特開2000-183747(JP,A)
特開平07-104716(JP,A)
特開平11-109928(JP,A)
特開平09-251282(JP,A)
特開平07-152349(JP,A)
特開平02-130586(JP,A)

(58)調査した分野(Int.Cl., DB名)

G09G 3/36

G02F 1/133

G09G 3/20

专利名称(译)	驱动器和液晶显示器件		
公开(公告)号	JP3866011B2	公开(公告)日	2007-01-10
申请号	JP2000164770	申请日	2000-05-30
[标]申请(专利权)人(译)	株式会社日立制作所 日立超大规模集成电路系统株式会社 日立器件工程株式会社		
申请(专利权)人(译)	株式会社日立制作所 日立超萨尔瓦多ES眼系统 日立设备工程有限公司		
当前申请(专利权)人(译)	瑞萨科技公司 日立超萨尔瓦多ES眼系统		
[标]发明人	岡村和浩 小寺浩一 山口聡 川田賢治 鈴木進也		
发明人	岡村 和浩 小寺 浩一 山口 聡 川田 賢治 鈴木 進也		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
FI分类号	G09G3/36 G09G3/20.611.H G09G3/20.612.F G09G3/20.623.E G09G3/20.623.B G02F1/133.550 G09G3/20.642.A G09G3/20.641.K		
F-TERM分类号	2H093/NA16 2H093/NA31 2H093/NA53 2H093/NC34 2H093/ND06 2H193/ZA04 2H193/ZC07 2H193/ZC13 2H193/ZC14 2H193/ZD23 5C006/AA14 5C006/AA16 5C006/AA17 5C006/AA22 5C006/AC26 5C006/BB16 5C006/BC12 5C006/BF24 5C006/BF25 5C006/BF26 5C006/BF43 5C006/FA22 5C006/FA38 5C080/AA10 5C080/BB05 5C080/CC03 5C080/DD05 5C080/EE29 5C080/EE30 5C080/JJ01 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05		
审查员(译)	Naoaki桥本		
其他公开文献	JP2001343948A		
外部链接	Espacenet		

摘要(译)

要解决的问题：在平均灰度电压时防止图像质量下降。提供第一晶体管（Q11），差分耦合到第一晶体管的第二晶体管（Q12），以及与第二晶体管并联连接的第三晶体管（Q13），第一灰度电压被传输到第一晶体管并且第二灰度级电压被传输到第二晶体管的第一状态和第二状态，其中第一灰度级电压被传输到第二晶体管，并且，在第二晶体管和第三晶体管之间提供以预定周期切换第二灰阶电压被传输到第一晶体管的第二状态，通过平均由差异引起的误差来抵消偏移。

図3

フレーム	入出力	接続MOS	フレーム	入出力	接続MOS
1フレーム目	IN1	Q12	3フレーム目	IN1	Q13
	IN2	Q13		IN2	Q12
	OUT	Q11		OUT	Q11
2フレーム目	(1フレーム目の ドット反転)		4フレーム目	(3フレーム目の ドット反転)	