

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3632589号

(P3632589)

(45) 発行日 平成17年3月23日(2005.3.23)

(24) 登録日 平成17年1月7日(2005.1.7)

(51) Int.Cl.<sup>7</sup>

F I

G09G 3/36

G09G 3/36

G02F 1/133

G02F 1/133 505

G09G 3/20

G02F 1/133 575

G09G 3/20 611F

G09G 3/20 622Q

請求項の数 7 (全 13 頁) 最終頁に続く

(21) 出願番号 特願2000-344852 (P2000-344852)  
 (22) 出願日 平成12年11月13日 (2000.11.13)  
 (65) 公開番号 特開2002-149131 (P2002-149131A)  
 (43) 公開日 平成14年5月24日 (2002.5.24)  
 審査請求日 平成14年10月7日 (2002.10.7)

(73) 特許権者 000002369  
 セイコーエプソン株式会社  
 東京都新宿区西新宿2丁目4番1号  
 (74) 代理人 100090479  
 弁理士 井上 一  
 (74) 代理人 100090387  
 弁理士 布施 行夫  
 (74) 代理人 100090398  
 弁理士 大淵 美千栄  
 (72) 発明者 小林 和男  
 長野県諏訪市大和3丁目3番5号 セイコ  
 ーエプソン株式会社内

審査官 鈴野 幹夫

最終頁に続く

(54) 【発明の名称】 表示駆動装置およびそれを用いた電気光学装置並びに電子機器

(57) 【特許請求の範囲】

【請求項1】

複数のコモン電極および複数のセグメント電極の各々の交点にそれぞれ形成される複数の画素を有し、前記複数の画素の各々に印加される電圧によって各画素の電気光学材料の配列状態が制御される表示部を、 $L$  ( $L \geq 2$ ) 本のコモン電極を順次同時に選択しながら駆動する表示駆動装置において、

$L$  本のコモン電極を同時に選択する走査信号を前記複数のコモン電極の各々に供給するコモン電極駆動手段と、

データ信号を前記複数のセグメント電極の各々に供給するセグメント電極駆動手段と、  
 前記複数のセグメント電極の各1本毎にそれぞれ  $N$  ビットの表示データが同時に読み出される記憶手段と、

10

前記記憶手段から同時に読み出された  $N$  ビットの表示データを、所定ビット毎に分割してデコードする複数のサブデコードを有し、前記複数のサブデコードから前記各1本のセグメント電極に印加される電圧を出力するデコードと、

を有し、

前記  $N$  ビットの表示データのうち、各画素の階調値を2進数で示した時に同一桁に属する各画素のデータが、前記記憶手段にて連続するカラムアドレスに記憶され、かつ、連続する  $N/n$  ( $n \geq 2$ ) 個のカラムアドレス毎に一つのサブデコードが設けられ、

前記記憶手段に記憶された  $N$  ビットの表示データが、各1本の前記セグメント電極上の  $L$  個の各画素の  $2^A$  ( $A = N/L \geq 2$ ) 階調データである第1のモードでは、一水平走査期

20

間内をA個に分割した期間の各々にて、前記複数のサブデコーダからの選ばれた一つのサブデコーダの出力電圧を出力し、  
前記記憶手段に記憶されたNビットの表示データが、 $n \times L$ 個の各画素の $2^B$  ( $1 \leq B = A/n$ ) 階調データである第2のモードでは、n個の一水平走査期間の各々にて、前記複数のサブデコーダからの選ばれた一つのサブデコーダの出力電圧を出力することを特徴とする表示駆動装置。

【請求項2】

請求項1において、  
前記第1のモードおよび前記第2のモードの一方を選択する端子を有することを特徴とする表示駆動装置。

10

【請求項3】

請求項1において、  
前記表示データを外部より入力するインターフェース回路を有し、前記第1のモードおよび前記第2のモードの一方を選択するモード選択信号が前記インターフェース回路を介して入力されることを特徴とする表示駆動装置。

【請求項4】

請求項1乃至3のいずれかにおいて、  
前記第1のモードは、前記Nビットの表示データを、各1本の前記セグメント電極上のL個の各画素の2階調データとしたことを特徴とする表示駆動装置。

【請求項5】

20

請求項4において、  
前記第2のモードは、前記Nビットの表示データが、 $2L$ 個の各画素の4階調データであることを特徴とする表示駆動装置。

【請求項6】

請求項1乃至5のいずれかに記載の表示駆動装置を有することを特徴とする電気光学装置。

【請求項7】

請求項6に記載の電気光学装置を有することを特徴とする電子機器。

【発明の詳細な説明】

【0001】

30

【発明の属する技術分野】

本発明は、表示駆動装置及びそれを用いた電気光学装置並びに電子機器に関する。

【0002】

【背景技術】

近年の携帯電話、携帯情報端末またはゲーム装置などの電子機器に組み込まれ、画面表示制御を行なう表示駆動装置は、低価格化、低消費電力化および高画質化などといったそれぞれの目的に応じて使い分けられている。

【0003】

このような表示駆動装置は、2階調表示、4階調表示、さらにはそれ以上の多階調表示など、階調数に合わせて個々に製造されている。

40

【0004】

【発明が解決しようとする課題】

表示駆動装置において、上述した携帯電話、携帯情報端末およびゲーム装置などの電子機器のそれぞれに必要なとされる階調表示は、使用目的あるいは用途によって異なっている。

【0005】

また、近年、エンドユーザーからの要求に応えるため、あるいは、電子機器メーカーの販売戦略に応じて、階調数および表示容量などの仕様を変更した複数種の表示駆動装置を製造する必要がある。この場合、異なる仕様の表示駆動装置毎に部品を用意したりすることで、部品管理が煩雑となる。そればかりか、例えば、表示駆動装置の消費電力を低減させるような回路を組み込もうとした場合には、階調数の異なる個々の表示駆動装置について

50

、設計や製造工程などを見直さざるをえないといった煩雑さがあった。

#### 【0006】

そこで、本発明の目的は、階調数を変更できる汎用性を高めた表示駆動装置およびそれを用いた電気光学装置並びに電子機器を提供することにある。

#### 【0007】

##### 【課題を解決するための手段】

本発明の一態様は、複数のコモン電極および複数のセグメント電極の各々の交点にそれぞれ形成される複数の画素を有し、前記複数の画素の各々に印加される電圧によって各画素の電気光学材料の配列状態が制御される表示部を、 $L$  ( $L \geq 2$ ) 本のコモン電極を順次同時に選択しながら駆動する表示駆動装置において、 $L$  本のコモン電極を同時に選択する走査信号を前記複数のコモン電極の各々に供給するコモン電極駆動手段と、データ信号を前記複数のセグメント電極の各々に供給するセグメント電極駆動手段と、前記複数のセグメント電極の各 1 本毎にそれぞれ  $N$  ビットの表示データが同時に読み出される記憶手段と、前記記憶手段から同時に読み出された  $N$  ビットの表示データを、所定ビット毎に分割してデコードする複数のサブデコードを有し、前記複数のサブデコードから前記各 1 本のセグメント電極に印加される電圧を出力するデコードとを有する。前記  $N$  ビットの表示データのうち、各画素の階調値を 2 進数で示した時に同一桁に属する各画素のデータが、前記記憶手段にて連続するカラムアドレスに記憶され、かつ、連続する  $N/n$  ( $n \geq 2$ ) 個のカラムアドレス毎に一つのサブデコードが設けられる。前記記憶手段に記憶された  $N$  ビットの表示データが、各 1 本の前記セグメント電極上の  $L$  個の各画素の  $2^A$  ( $A = N/L \geq 2$ ) 階調データである第 1 のモードでは、一水平走査期間内を  $A$  個に分割した期間の各々にて、前記複数のサブデコードからの選ばれた一つのサブデコードの出力電圧を出力する。前記記憶手段に記憶された  $N$  ビットの表示データが、 $n \times L$  個の各画素の  $2^B$  ( $1 \leq B = A/n$ ) 階調データである第 2 のモードでは、 $n$  個の一水平走査期間の各々にて、前記複数のサブデコードからの選ばれた一つのサブデコードの出力電圧を出力する。

#### 【0008】

このようにして、第 1、第 2 のモードの切り換えにより、各画素を  $2^A$  または  $2^B$  階調にて切り換えて表示駆動することができる。最も好適には、2 階調表示モードまたは 4 階調表示モードにて切り換えて、表示駆動装置を動作させることができる。

#### 【0009】

この表示駆動装置は、前記第 1 のモードおよび前記第 2 のモードの一方を選択する端子を有することができる。この端子への接続状態によって、表示駆動装置を第 1 または第 2 のモードの一方にて動作させることができる。

#### 【0010】

これに代えて、表示データを外部より入力するインターフェース回路を設け、前記第 1 のモードおよび前記第 2 のモードの一方を選択するモード選択信号が前記インターフェース回路を介して入力されるようにしても良い。こうすると、モード選択信号に基づいて、一つの表示駆動装置を、第 1 または第 2 のモードにて選択的に切り換えて動作させることができる。

#### 【0011】

また、本発明に係る表示駆動装置は電気光学装置および電子機器に適用すれば、その汎用性を高めることができる。

#### 【0012】

##### 【発明の実施の形態】

以下に、本発明の実施形態について、図面を用いて詳細に説明する。

#### 【0013】

##### (表示駆動装置について)

図 1 に示す IC チップにて構成される表示駆動装置 10 は、コモン駆動回路 20、セグメント駆動回路 22、デコード 24、表示データラッチ回路 26、表示データ RAM 30、I/O バッファ回路 32、ページアドレス回路 34、カラムアドレス回路 36、LCD 表

10

20

30

40

50

示アドレス回路 38、表示タイミング発生回路 40、発振回路 42、MPUインターフェース回路 50および入出力バッファ 52など、液晶装置を駆動するために必要な装置を有して構成されている。

【0014】

MPUインターフェース回路 50には、外部のMPU70からの各種信号が入力されるための複数の入力端子を有している。この入力端子としては、チップセレクト端子、データ識別端子、データバスラッチ端子、データ取込み端子、リセット端子およびパラレル・シリアル入力切換え端子などが設けられている。

【0015】

チップセレクト端子には、表示駆動装置 10 がアクティブな状態であるか否かを決定する信号が供給される。データ識別端子には、MPU70から供給されるデータが、コマンドデータあるいは表示データのどちらであるかを識別する信号が供給される。データバスラッチ端子に信号が供給されると、データバス 60 がラッチされ、データ信号がデータバス 60 に出力される。データ取込み端子に信号が供給されると、データバス 60 上のデータ信号が表示駆動装置の内部に取り込まれる。リセット端子に信号が供給されると、デフォルト値に設定される。入力切換え端子には、パラレルまたはシリアルデータのいずれか一方への入力切替えを行なう信号が入力される。

10

【0016】

入出力バッファ 52 には、入出力端子（例えば  $N = 8$  ビットの端子  $D0 \sim D7$ ）が設けられている。この入出力端子  $D0 \sim D7$  を介して、外部のMPU70によって処理されたコマンドデータおよび表示データのそれぞれが表示駆動装置 10 に供給される。なお、ビット数  $N$  については、1 バイト（8 ビット）に限らず、1 ワード（16 ビット）または 1 ロングワード（32 ビット）などに変更可能である。

20

【0017】

以下には、MPUインターフェース 50 に供給された各種信号による表示駆動装置 10 内の動作の一例を示す。

【0018】

データ識別端子に信号「0」が入力されることで、入出力バッファ 52 にはコマンドデータが入力される。このコマンドデータはシリアルデータとして入出力バッファ 52 に供給される。さらに、 $N = 8$  ビット分のシリアルデータが入出力バッファ 52 にラッチされた後に、パラレルデータに変換されてコマンドデコーダ 44 に供給される。同様に、データ識別端子に「1」が入力されると、入出力バッファ 52 には表示データが入力される。この表示データもシリアルデータとして、入出力バッファ 52 に供給される。さらに、8 ビット分のシリアルデータが入出力バッファ 52 にラッチされた後に、パラレルデータに変換されてデータバス 60 にパラレルに送出される。コマンドデコーダ 44 でデコードされたコマンドデータは、表示タイミング発生回路 40 の動作コマンドとして用いられる他、表示データ RAM 30 に接続されたページアドレス回路 34 およびカラムアドレス回路 36 のそれぞれのアドレス指定などに用いられる。

30

【0019】

ここで、ページアドレス回路 34 およびカラムアドレス回路 36 は、外部のMPU70から表示データ RAM 30 にアクセスする場合にアドレス制御を行なう。

40

【0020】

一方、データバス 60 にラッチされたパラレルの表示データ（ $N = 8$  ビットデータ）は、表示データ RAM 30 の I/O バッファ回路 32 を介して、コマンドにより指定されたページ及びカラムの各アドレスに従って、表示データ RAM 30 内の対応するメモリセルの各々書き込まれる。

【0021】

表示タイミング発生回路 40 には、クロック信号 CL、極性反転化信号 FR および階調制御信号 GCP などが供給される。クロック信号 CL は、発振回路 42 からの出力と階調制御信号 GCP とに基づいて、表示タイミング発生回路 40 にて生成することもできる。表

50

示タイミング発生回路 40 は、液晶パネルでの表示駆動に必要な各種タイミング信号を生成している。

#### 【0022】

ここで、クロック信号 CL は、液晶パネルの表示クロックとなる信号である。極性反転化信号 FR は、液晶パネルの各画素に印加される電圧の極性を、所定時間毎に変化させるための信号である。階調制御信号 GCP は、階調の濃淡のレベルを制御するための信号である。

#### 【0023】

ここで、図 3 には、液晶パネルの構成を簡単に示してある。この液晶パネル 200 には、コモン駆動回路 20 により駆動されるコモン電極 Y1 ~ Yi (i は自然数)、およびセグメント駆動回路 22 により駆動されるセグメント電極 X1 ~ Xj (j は自然数) が配置されている。また、この交点に対応して画素が形成されている。

10

#### 【0024】

表示データ RAM 30 には、計  $i \times j$  個のメモリ素子 (メモリセル) を有しているが、そのメモリアドレス空間は、液晶パネル 200 の表示アドレス空間と一致していない。なお、本実施形態では、SRAM (スタティク・ランダム・アクセスメモリ) をメモリセルに用いているが、DRAM (ダイナミック・ランダム・アクセスメモリ) などの記憶装置を適用してもよい。

#### 【0025】

(液晶表示パネルの表示空間と RAM のアドレス空間)

20

本実施の形態の表示駆動装置 10 は、MLS (Multi Line Selection) 駆動により、液晶パネル 200 を駆動している。ここで、MLS 駆動とは、L (L 2) 本のコモン電極 (本実施形態では  $L = 4$  本) を同時に選択する駆動法である。即ち、従来の線順次駆動では、1 フレーム期間内に 1 回しか選択期間がない。このため、1 つの選択期間と次の選択期間との間の時間間隔が 1 フレーム期間と長くなり、液晶での透過率が時間経過と共に低下してしまい、コントラストが低下する。これに対して、MLS 駆動法では、L 本のコモン電極を同時に駆動することで、1 フレーム期間中に L 回の選択期間を設けることができる。このため、1 つの選択期間と次の選択期間との間の時間間隔が短くなり、液晶での透過率の低下が抑えられ、コントラストが向上する。

#### 【0026】

30

図 4 に、例えば  $160 \times 120$  の画素を有する液晶パネル 200 の表示アドレス空間を示す。表示アドレス A1 ~ A160 はコモン電極 Y1 上の 160 個の画素に対応し、他の表示アドレスに各コモン電極上の 160 個の画素に対応している。

#### 【0027】

4 ライン同時選択の MLS 駆動では、図 4 の K1、K2 に示すように、第 1 の選択期間ではコモン電極 Y1 ~ Y4 が同時選択され、次の第 2 の選択期間では例えばコモン電極 Y5 ~ Y8 が同時選択される。以下、選択期間毎に 4 つのコモン電極の番号をシフトさせ、コモン電極 Y117 ~ Y120 が選択された後に、コモン電極 Y1 まで戻って同様な動作を 1 フレーム期間中にさらに 3 回繰り返される。なお、同時選択されるコモン電極の数 L、コモン電極の組み合わせ、コモン電極の選択の順番については、他に種々の変形実施が可能である。

40

#### 【0028】

また、図 5 及び図 6 に、図 4 の表示アドレス空間を有する液晶パネル 200 内の表示データ RAM 30 のメモリアドレス空間をそれぞれ示す。図 5 と図 6 とは、同じメモリアドレス空間内に異なる階調表示のための表示データが格納されることを示している。

#### 【0029】

図 5 は、液晶パネル 200 の各画素を 4 階調 (1 画素につき 2 ビット表示データ) で駆動する際の表示データ RAM 30 のメモリアドレス空間を示している。この場合、図 4 の表示アドレス A1 に対応する表示データは、図 5 の 2 ビット表示データ (上位ビット a1-1 及び下位ビット a1-2) である。そして、図 5 のメモリアドレス空間の 1 ライン上の

50

表示データ ( a 1 - 1 ~ d 1 6 0 - 2 ) の各 2 つ ( 上位、下位ビットの組合わせ ) が、図 4 の 4 ライン上の各表示アドレスの 2 ビットデータに対応している。よって、図 5 のメモリアドレス空間の 1 ワードライン上の表示データ ( a 1 - 1 ~ d 1 6 0 - 2 ) は、図 4 の表示アドレス空間の K 1 に示すように、第 1 の選択期間のみにて用いられる。換言すれば、M P U より供給される N ビットデータを、同時選択される L 本のコモン電極と 1 本のセグメント電極との交点の L 個の画素の  $2^A$  階調データとすると、 $A = N / L$  が成立する。本実施例では、8 ( N = 8 ) ビットデータは、同時選択される 4 ( L = 4 ) 本のコモン電極と 1 本のセグメント電極との交点の 4 個の画素の  $2^2$  (  $2^A = 2^8 / 4 = 4$  ) 階調データとなる

図 6 は、液晶パネル 2 0 0 の各画素を 2 階調 ( 1 画素につき 1 ビット表示データ ) で駆動する際の表示データ R A M 3 0 のメモリアドレス空間を示している。この場合、図 4 の表示アドレス A 1 に対応する表示データは、図 6 の 1 ビット表示データ a 1 である。そして、図 6 のメモリアドレス空間の 1 ライン上の表示データ ( a 1 ~ h 1 6 0 ) の各々が、図 4 の 8 ライン上の各表示アドレスの 1 ビットデータに対応している。よって、図 6 のメモリアドレス空間の 1 ワードライン上の表示データ ( a 1 ~ h 1 6 0 ) は、図 4 の表示アドレス空間の K 1 , K 2 に示すように、第 1、第 2 の選択期間の双方にて用いられる。換言すれば、M P U より供給される N ビットデータを、 $n \times L$  本のコモン電極と 1 本のセグメント電極との交点の  $n \times L$  個の画素の  $2^B$  階調データとすると、 $B = A / n$  が成立する。本実施例では、8 ( N = 8 ) ビットデータは、8 個の画素の  $2^1$  (  $2^B = 2^2 / 2 = 2$  ) 階調データとなる。

#### 【 0 0 3 0 】

この表示データ R A M 3 0 に記憶された表示データのうち、液晶パネル 2 0 0 内の 4 本または 8 本のコモン電極に対応するメモリセルの情報の各々は、L C D 表示アドレス回路 3 8 の制御に基づいて、順次、表示データラッチ回路 2 6 に読み出される。この読み出しは、例えば階調制御信号 G C P に基づいて実施できる。表示データラッチ回路 2 6 には、図 5 及び図 6 に示すように、同時に読み出される 8 ビットデータをラッチするラッチ素子 2 6 A を有する。この表示データは、表示タイミング発生回路 4 0 から供給されるクロック信号 C L に基づいて、デコーダ 2 4 に供給される。デコーダ 2 4 は、図 5 及び図 6 に示すように、ラッチ素子 2 6 A にてラッチされた 8 ビット表示データのうちの 4 ビット表示データをデコードする第 1 のサブデコーダ 2 4 A と、他の 4 ビット表示データをデコードする第 2 のサブデコーダ 2 6 B とを有する。デコーダ 2 4 によりデコードされた表示データは、セグメント駆動回路 2 2 にて、液晶パネルの駆動に必要なレベルの電圧に変換され、セグメント電極 X 1 ~ X<sub>j</sub> の各々に供給される。これと対応して、コモン駆動回路 2 0 により、順次、4 本のコモン電極が選択されていく。

#### 【 0 0 3 1 】

( 4 階調表示モードでの動作について )

本実施形態において、表示駆動装置 1 0 は、供給された表示データや各種信号に基づいて、複数のコモン電極が 1 水平走査期間 ( 1 選択期間 ) 毎に選択されて駆動される M L S 駆動がなされる。

#### 【 0 0 3 2 】

この M L S 駆動に基づいた液晶装置においては、1 水平走査期間 ( 1 H ) が表示データのビット数に対応して分割され、複数の期間が生成される。例えば、 $2^A = 4$  階調表示を行なう場合には、 $A = 2$  ビットの表示データで全ての階調を表現できる。このとき、1 水平走査期間 ( 1 H ) は 2 (  $A = 2$  ) 分割される。なお、 $2^A = 8$  階調を表示する場合には、 $A = 3$  ビットの表示データで表現でき、1 水平走査期間は 3 (  $A = 3$  ) 分割される。分割された各期間の時間幅 ( 重み付け ) を調整することで、さらに詳細な階調調整を行う。

#### 【 0 0 3 3 】

以下に、4 本のコモン電極を同時選択する M L S 駆動の液晶装置において、4 階調表示可能な表示駆動装置の表示モードを切換えて、2 階調表示可能な表示駆動装置として利用する場合の動作を、図 2 のタイミングチャートを用いて説明する。

## 【0034】

図2(a)は、4階調表示を行なう表示モード切換え前の表示駆動装置のタイミングチャートを示している。このとき、図5に示すように、1画素に2ビットの表示データが対応している。すなわち、表示データRAM30内に配置されたページアドレス[0]、コラムアドレス[0]の8個のメモリセルの各々には、図5に示すように、MPU70から、各2ビットで形成された4画素分の8ビット表示データ(a1-1, d1-2)が供給されることになる。

## 【0035】

表示データRAM30に蓄積された1ワードラインに対応した表示データは、時刻t0において、データ読み込み信号によって表示データラッチ回路26に読み出され、デコーダ24にてデコードされる。なお、データ読み込み信号と階調制御信号GCPが液晶装置に供給されるタイミングは、共に時刻t0に設定されているが、互いに異なるタイミングに設定してもよい。

10

## 【0036】

4階調表示制御を行なうときは、クロック信号CLの立下りタイミングである時刻t1から時刻t2までの期間である1水平走査期間(1H)を、階調制御信号GCPによって例えば2:1に重み付けして分割する。ここで、t1~ta期間をP1期間、ta~t2期間をP2期間と定義する。P1期間では、例えば画素A1の上位ビットの階調値として、4画素の表示データの上位ビット(画素A1, B1, C1, D1に対するデータa1-1, b1-1, c1-1, d1-1)を用いて、第1のサブデコーダ24AにてMLS演算でデコードされ、そのデコード値に応じた駆動電位が出力される。同様に、P2期間では、例えば画素A1の下位ビットの階調値として、4ラインの表示データの下位ビット(画素A1, B1, C1, D1に対するデータa1-2, b1-2, c1-2, d1-2)を用いて、第2のサブデコーダ24BにてMLS演算でデコードされ、そのデコード値に応じた駆動電位を出力する。このように1水平走査期間(1H)内に、表示データの上位ビットおよび下位ビットのそれぞれについてMLS演算を行なった駆動電位を生成し、それに基づいてセグメント駆動回路22にて駆動電位を選択して供給する。これにより、各画素に印加される実効値電圧が制御されて、階調表示駆動が行なわれる。例えば、階調出力「3」では、P1, P2期間共にオン電圧が印加され、逆に、階調出力「0」では、P1, P2期間共にオン電圧は印加されない。なお、ノーマリーホワイトの液晶パネルでは、階調出力「3」のときは、黒が認識されることになる。

20

30

## 【0037】

このように、液晶パネル内の4本のコモン電極に対応する画素のそれぞれに、階調出力「0」~「3」のいずれかを示すための電圧が印加される。

## 【0038】

なお、ここでは階調制御信号GCPによって1水平走査期間を2:1の比率に重み付けを設定しているが、この比率は液晶パネルなどの階調表示状態に合わせて、適宜設定可能である。

## 【0039】

(2階調表示モードでの動作について)

40

図2(b)は、2階調表示を行なう表示モード切換え後の表示駆動装置のタイミングチャートを示している。このとき、図6に示すように、1画素に1ビットの表示データが対応している。すなわち、表示データRAM30内に配置されたページアドレス[0]、コラムアドレス[0]の8個のメモリセルの各々には、図5に示すように、MPU70から、各1ビットの8画素分の8ビット表示データ(a1~h1)が供給されることになる。なお、この2階調表示モードでも、外部のMPU70からはMPUインターフェース50を介して、4階調表示モード時と同じビット数である8ビットを有する表示データが、順次、表示データRAM30に供給される。

## 【0040】

4階調表示モードと同じく時刻t0において、LCD表示アドレス回路38によりアドレ

50

スが指定されることによって、図 6 に示す 1 ワードライン上の表示データ ( a 1 ~ h 1 6 0 ) が表示データ RAM 3 0 から読み出され、表示データラッチ回路 2 6 にラッチされる。

【 0 0 4 1 】

この 1 ビットで形成され 2 階調表示のための各表示データは、時刻 t 0 の読み出し信号に基づいて、液晶パネル 2 0 0 の 2 水平走査期間 ( 8 ライン駆動分 ) に対応するデータが、表示データラッチ回路 2 6 にラッチされ、デコーダ 2 4 にてデコードされる。この後、時刻 t 1 に供給されるクロック信号 C L に基づいて、デコーダ 2 4 の出力に基づく階調電位が、第 1 の選択期間に亘ってセグメント駆動回路 2 2 より出力される。ここで、デコーダ 2 4 の第 1 のサブデコーダ 2 4 A にて、第 1 の選択期間に同時選択されるコモン電極 Y 1 ~ Y 4 に対応する表示データ a 1 ~ d 1 6 0 がデコードされている。第 1 の選択期間では、この第 1 のサブデコーダ 2 4 A からのデコード値に基づいて、セグメント駆動回路 2 2 より階調電位が出力される。

10

【 0 0 4 2 】

次のクロック信号 C L の出力タイミングである時刻 t 1 1 にて、第 1 の選択期間が終了し、第 2 の選択期間が開始される。従って、この 2 階調表示モードでは、4 階調表示モードと比較して、一水平走査期間 ( 一選択期間 ) の長さは半分となる。

【 0 0 4 3 】

この時刻 t 1 1 に供給されるクロック信号 C L に基づいて、デコーダ 2 4 の出力に基づく階調電位が、第 2 の選択期間に亘ってセグメント駆動回路 2 2 より出力される。ここで、デコーダ 2 4 の第 2 のサブデコーダ 2 4 B にて、第 2 の選択期間に同時選択されるコモン電極 Y 5 ~ Y 8 に対応する表示データ e 1 ~ h 1 6 0 がデコードされている。第 2 の選択期間では、この第 2 のサブデコーダ 2 4 B からのデコード値に基づいて、セグメント駆動回路 2 2 より階調電位が出力される。

20

【 0 0 4 4 】

なお、表示モードを切換えて 1 ビットで 2 階調を表示する場合には、1 水平走査期間 ( 1 H ) を階調制御信号 G C P で分割する必要がないため、階調制御信号 G C P は供給されていない。

【 0 0 4 5 】

以下、第 3 の選択期間以降も、表示データが表示データラッチ回路 2 6 に読み込まれる毎に、同様な動作を行なう。

30

【 0 0 4 6 】

なお、2 階調表示モードでは、4 階調表示モードのときに比べて、1 フレームに必要な表示データが半減するため、表示データ RAM 3 0 には 2 フレーム分の表示データを記憶することができる。

【 0 0 4 7 】

また、本実施形態では最大 4 階調を表示する表示駆動装置 1 0 を 2 階調表示で利用する場合を示したが、階調数の切り換えについては他に変形実施が可能である。

【 0 0 4 8 】

( 階調数に応じたタイミング信号の生成について )

40

図 7 に、4 階調表示モードと 2 階調表示モードとに用いられる各種信号のタイミングを生成する信号生成回路 1 0 0 を示す。上述の実施形態では、例えば、表示タイミング発生回路 4 0 内に設けられた、この信号生成回路 1 0 0 によって各種信号が変更されている。

【 0 0 4 9 】

信号生成回路 1 0 0 は、分周器 1 0 2、スイッチング素子 1 0 4、1 0 6 を有して構成されている。

【 0 0 5 0 】

この信号生成回路 1 0 0 では、4 階調表示モードでは、発振回路 4 2 からの信号 O S C ( 図 2 ( a ) のクロック信号 C L と同一周波数 ) を、スイッチング素子 1 0 2 を介してノード A 2 に供給して、クロック信号 C L を生成している。また、1 水平走査期間内の階調制

50

御位置を決める階調制御信号 G C P は、4 階調表示モードでは、図 2 ( a ) に示すように一水平走査期間 I H を例えば 2 : 1 に分割する時刻で生成されている。この階調制御信号 G C P は、スイッチング素子 1 0 4 を介して、ノード A 1 にそのまま供給される。よって、4 階調表示モードにあつては、ノード A 1 , A 2 の信号をそれぞれ階調制御信号 G C P 、クロック信号 C L として用いれば良い。

#### 【 0 0 5 1 】

2 階調表示モードでは、信号  $\phi$  によって、スイッチング素子 1 0 2 、 1 0 4 がともに、4 階調表示モードとは異なる状態に切換わる。スイッチ 1 0 4 は、接地電位を選択するので、ノード A 1 からの階調制御信号 G C P は、図 2 ( b ) に示すように発生しない。なお、この 2 階調表示モードでは、4 階調表示モードと同様に、階調制御信号 G C P を、表示データ R A M 3 0 からのデータ読み出しタイミング信号として用いることができる。一方、発振回路 4 2 からの信号 O S C は分周器 1 0 6 に入力され、図 2 ( b ) に示すクロック信号 C L が生成される。このクロック信号 C L は、スイッチング素子 1 0 2 を介してノード A 2 にそのまま出力される。

10

#### 【 0 0 5 2 】

このように信号生成回路 1 0 0 を構成し、各種信号を変更することで、階調切換え制御が容易に行なえるようになる。

#### 【 0 0 5 3 】

以上のように動作させることで、単一の表示駆動装置での汎用性が高まるとともに、下位の階調表示で液晶パネルに出力した場合、表示駆動装置内に設けられた表示データ R A M のメモリ空間をより広く利用することができるようになる。結果として、表示データ R A M 内により多くの表示データを記憶することができるようになり、裏画面を多く持つことで、液晶パネルのスクロール表示がより円滑に行なわれるようにするなどの制御ができるようになる。

20

#### 【 0 0 5 4 】

なお、階調表示モードの切換えは次のように実施できる。その一つは、I C である表示駆動装置 1 0 の内部または外部端子として、モード切換え端子を設けることである。切換え端子を内部端子とした場合には、I C メーカーがその I C の製造工程途中にて、切換え端子への接続状態を決定して、いずれか一つのモードを選択するようにすればよい。切換え端子を外部端子とした場合には、液晶装置メーカーが、表示駆動装置 1 0 の外部切換え端子への接続状態を決定して、いずれか一つのモードを選択できる。

30

#### 【 0 0 5 5 】

他の一つは、M P U インターフェース回路 5 0 または入出力バッファ 5 2 など、データを外部より入力するインターフェースを介して、いずれか一つのモードを選択するモード選択信号を、外部より入力させるものである。このようにすると、一つの表示パネルにて複数の階調表示モードでの表示駆動が選択的に可能となる。

#### 【 0 0 5 6 】

なお、本発明は上述した実施の形態に限定されるものでなく、本発明の要旨の範囲内で種々の変形実施が可能である。

#### 【 0 0 5 7 】

また、本発明に係る表示駆動装置は必ずしも液晶表示に用いられるものに限らず、他の種々の方式の表示装置に適用できる。

40

#### 【 0 0 5 8 】

また本発明は、例えば、携帯電話、ゲーム機器、電子手帳、パーソナルコンピュータ、ワードプロセッサ、テレビ、カーナビゲーション装置など各種の電子機器に適用することができる。

#### 【図面の簡単な説明】

【図 1】本発明の実施形態に係る表示駆動装置を搭載した液晶装置の全体構成図である。

【図 2】( a ) は 4 階調表示時モードの動作を説明するタイミングチャートであり、( b ) は 2 階調表示モードの動作を説明するタイミングチャートである。

50

【図 3】本実施形態に係る表示駆動装置の動作を説明するための液晶パネルである。

【図 4】図 3 に示す液晶パネルの表示メモリ空間を示す概略説明図である。

【図 5】図 1 に示す表示データ RAM のメモリアドレス空間に 4 階調表示モード用の 2 ビット画素データを格納した状態を示す概略説明図である。

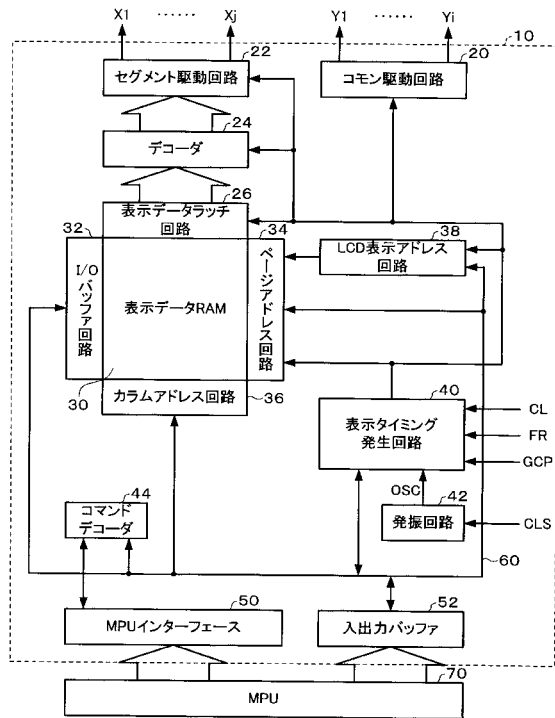
【図 6】図 1 に示す表示データ RAM のメモリアドレス空間に 2 階調表示モード用の 1 ビット画素データを格納した状態を示す概略説明図である。

【図 7】本実施形態に係る信号生成回路を示す図である。

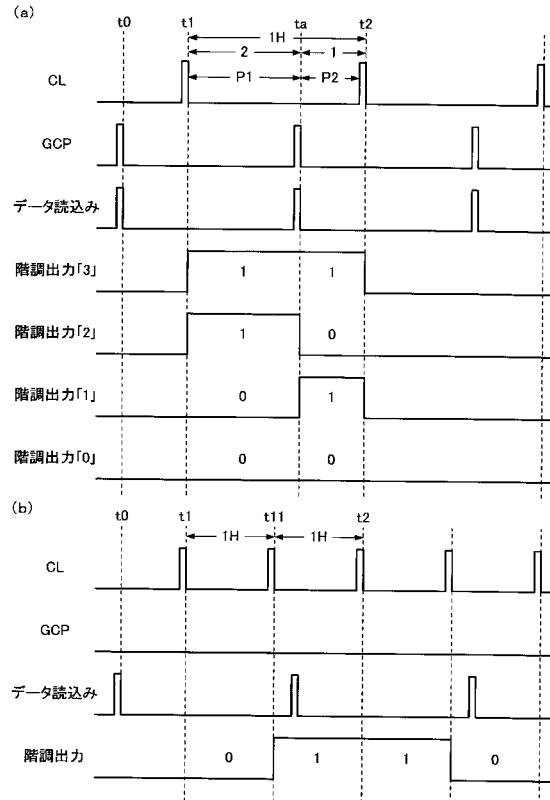
【符号の説明】

|                                       |                |    |
|---------------------------------------|----------------|----|
| 1 0                                   | 表示駆動装置         |    |
| 2 0                                   | コモン駆動回路        | 10 |
| 2 2                                   | セグメント駆動回路      |    |
| 2 4                                   | デコーダ           |    |
| 2 4 A                                 | 第 1 のサブデコーダ    |    |
| 2 4 B                                 | 第 2 のサブデコーダ    |    |
| 2 6                                   | 表示データラッチ回路     |    |
| 2 6 A                                 | ラッチ素子          |    |
| 3 0                                   | 表示データ RAM      |    |
| 3 2                                   | I / O バッファ回路   |    |
| 3 4                                   | ページアドレス回路      |    |
| 3 6                                   | カラムアドレス回路      | 20 |
| 3 8                                   | L C D 表示アドレス回路 |    |
| 4 0                                   | 表示タイミング発生回路    |    |
| 4 2                                   | 発振回路           |    |
| 4 4                                   | コマンドデコーダ       |    |
| 5 0                                   | M P U インターフェース |    |
| 5 2                                   | 入出力バッファ        |    |
| 6 0                                   | バスライン          |    |
| 7 0                                   | M P U          |    |
| 1 0 0                                 | 信号生成回路         |    |
| 1 0 2                                 | 分周器            | 30 |
| 1 0 4                                 | O R 回路         |    |
| 1 0 6 , 1 0 8                         | スイッチング素子       |    |
| 1 1 0 , 1 1 2 , 1 2 0 , 1 2 2 , 1 2 4 | ライン            |    |
| 2 0 0                                 | 液晶パネル          |    |
| N                                     | データビット数        |    |
| L                                     | 同時選択数          |    |

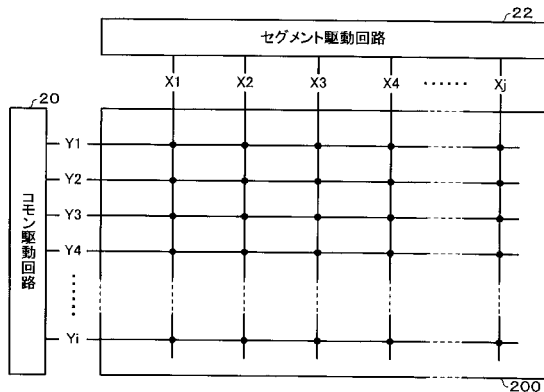
【図 1】



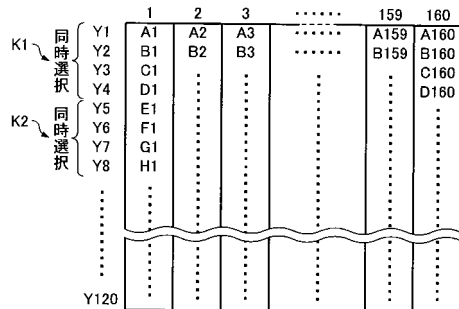
【図 2】



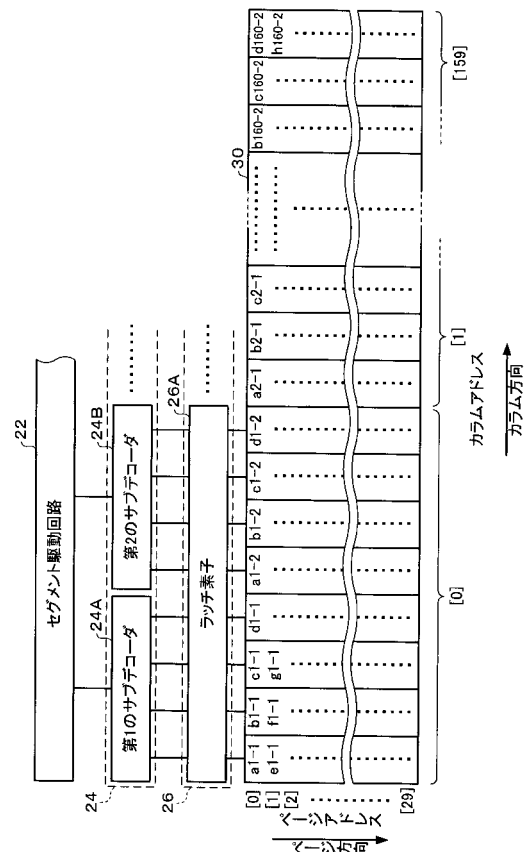
【図 3】



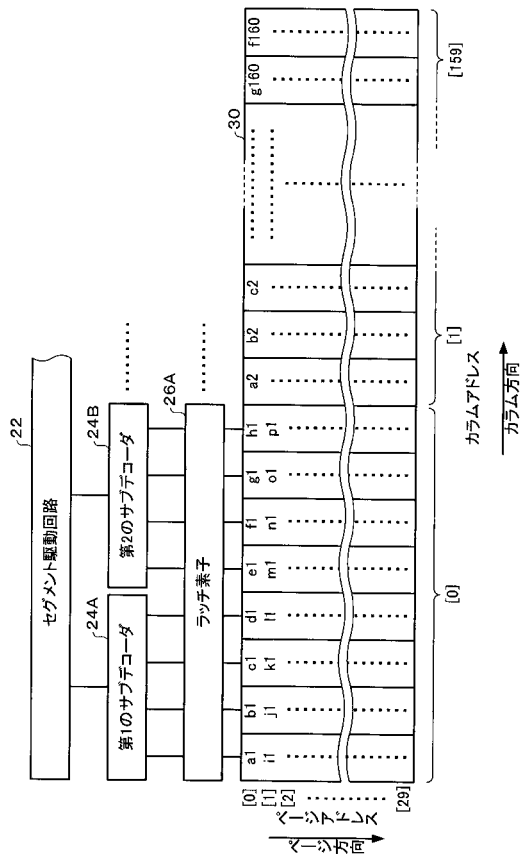
【図 4】



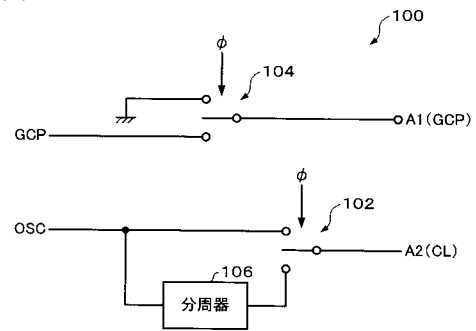
【図 5】



【図 6】



【図 7】



---

 フロントページの続き
(51) Int.Cl.<sup>7</sup>

F I

|         |      |         |
|---------|------|---------|
| G 0 9 G | 3/20 | 6 2 3 E |
| G 0 9 G | 3/20 | 6 2 3 Y |
| G 0 9 G | 3/20 | 6 3 1 B |
| G 0 9 G | 3/20 | 6 3 1 C |
| G 0 9 G | 3/20 | 6 4 1 T |
| G 0 9 G | 3/20 | 6 5 0 M |

(56)参考文献 特開平 1 1 - 1 4 9 2 7 8 ( J P , A )

(58)調査した分野(Int.Cl.<sup>7</sup>, D B 名)

|      |       |     |
|------|-------|-----|
| G09G | 3/36  |     |
| G02F | 1/133 | 505 |
| G02F | 1/133 | 575 |
| G09G | 3/20  | 611 |
| G09G | 3/20  | 622 |
| G09G | 3/20  | 623 |
| G09G | 3/20  | 631 |
| G09G | 3/20  | 641 |
| G09G | 3/20  | 650 |

|                |                                                                                                                                                                                                                                                                                                                                           |         |            |
|----------------|-------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|---------|------------|
| 专利名称(译)        | 显示驱动装置，使用其的电光装置                                                                                                                                                                                                                                                                                                                           |         |            |
| 公开(公告)号        | <a href="#">JP3632589B2</a>                                                                                                                                                                                                                                                                                                               | 公开(公告)日 | 2005-03-23 |
| 申请号            | JP2000344852                                                                                                                                                                                                                                                                                                                              | 申请日     | 2000-11-13 |
| [标]申请(专利权)人(译) | 精工爱普生株式会社                                                                                                                                                                                                                                                                                                                                 |         |            |
| 申请(专利权)人(译)    | 精工爱普生公司                                                                                                                                                                                                                                                                                                                                   |         |            |
| 当前申请(专利权)人(译)  | 精工爱普生公司                                                                                                                                                                                                                                                                                                                                   |         |            |
| [标]发明人         | 小林和男                                                                                                                                                                                                                                                                                                                                      |         |            |
| 发明人            | 小林 和男                                                                                                                                                                                                                                                                                                                                     |         |            |
| IPC分类号         | G02F1/133 G05B19/42 G09G3/20 G09G3/36                                                                                                                                                                                                                                                                                                     |         |            |
| CPC分类号         | G09G3/3611 G09G3/2018 G09G3/3622 G09G2310/0205                                                                                                                                                                                                                                                                                            |         |            |
| FI分类号          | G09G3/36 G02F1/133.505 G02F1/133.575 G09G3/20.611.F G09G3/20.622.Q G09G3/20.623.E G09G3/20.623.Y G09G3/20.631.B G09G3/20.631.C G09G3/20.641.T G09G3/20.650.M G09G3/20.641.C G09G3/20.641.E                                                                                                                                                |         |            |
| F-TERM分类号      | 2H093/NA51 2H093/NC15 2H093/NC26 2H093/NC50 2H193/ZD21 5C006/AA14 5C006/AA16 5C006/AC02 5C006/AC23 5C006/AF42 5C006/AF44 5C006/AF72 5C006/BB12 5C006/BC03 5C006/BC12 5C006/BF04 5C006/BF16 5C006/BF23 5C006/BF24 5C006/BF26 5C006/EB04 5C006/FA16 5C006/FA56 5C080/AA10 5C080/BB05 5C080/DD28 5C080/EE29 5C080/FF09 5C080/JJ02 5C080/JJ04 |         |            |
| 代理人(译)         | 井上 一                                                                                                                                                                                                                                                                                                                                      |         |            |
| 其他公开文献         | JP2002149131A                                                                                                                                                                                                                                                                                                                             |         |            |
| 外部链接           | <a href="#">Espacenet</a>                                                                                                                                                                                                                                                                                                                 |         |            |

## 摘要(译)

要解决的问题：使用单个显示驱动设备执行单个或多个渐变显示模式。  
 解决方案：这是用于在同时顺序选择四个公共电极的同时驱动显示器的液晶显示驱动装置10，并且锁存电路26的后半部分设置有具有第一和第二子电路的解码器24 - 解码器24A，24B，用于将8位显示数据分别分成高和低4位以进行解码。在4灰度数据模式中，在单个水平扫描周期的一个周期P1中，基于来自第一子解码器24A的输出输出灰度电位，并且在剩余周期P中，基于输出灰度电位。第二子解码器24B的输出。在2灰度数据模式中，在第1选择期间输出基于来自第1子解码器24A的输出而生成的灰度电位，并且基于来自第2子解码器24B的输出输出灰度电位。第二选择期。

【 図 1 】

