

【特許請求の範囲】**【請求項 1】**

各々が画素を有する複数の段部分を含む表示部を備え、

最終段部分の前記画素に対する映像信号の書き込み期間を、最終段部分以外の前記画素に対する映像信号の書き込み期間よりも短くするように構成されている、表示装置。

【請求項 2】

前記画素に対する映像信号の書き込みは、前記画素に接続された信号線を介して行われ

、映像信号の書き込み時における前記最終段部分の信号線の到達電位と前記最終段部分以外の信号線の到達電位とが略同じ大きさになるように、前記最終段部分の画素に対する映像信号の書き込み期間を調整するように構成されている、請求項 1 に記載の表示装置。

【請求項 3】

前記最終段部分の画素に映像信号を書き込むためのサンプリングパルスが、前記最終段部分以外の画素に映像信号を書き込むためのサンプリングパルスよりも短くなるように制御されることにより、前記最終段の画素に対する映像信号の書き込み期間が、前記最終段部分以外の前記画素に対する映像信号の書き込み期間よりも短くなるように構成されている、請求項 1 または 2 に記載の表示装置。

【請求項 4】

サンプリングパルスを生成するためのクロック信号のタイミングを変更可能な第 1 制御部をさらに備え、

前記第 1 制御部により、前記最終段部分の画素に映像信号を書き込む際のクロック信号の周期を、前記最終段以外の部分の画素に映像信号を書き込む際のクロック信号の周期よりも短くするように変更することによって、前記最終段部分の画素に映像信号を書き込むためのサンプリングパルスを前記最終段部分以外の画素に映像信号を書き込むためのサンプリングパルスよりも短くするように構成されている、請求項 3 に記載の表示装置。

【請求項 5】

クロック信号に基づいて順次出力信号を生成するシフトレジスタ部と、

前記最終段部分の画素への映像信号の書き込みの再に作動する制御信号を出力する第 2 制御部とをさらに備え、

前記シフトレジスタ部により供給される出力信号と前記第 2 制御部により供給される駆動信号とに基づいて、前記最終段部分の画素に映像信号を書き込むためのサンプリングパルスを前記最終段部分以外の画素に映像信号を書き込むためのサンプリングパルスよりも短くするように構成されている、請求項 3 に記載の表示装置。

【請求項 6】

前記シフトレジスタ部により供給される出力信号と前記第 2 制御部により供給される駆動信号とが入力される A N D 回路をさらに備え、

前記最終段部分の画素に映像信号を書き込む際に、前記 A N D 回路において、駆動信号と出力信号との論理積をとることによってサンプリングパルスを生成するように構成され

、前記最終段部分の画素に映像信号を書き込む際に前記 A N D 回路に入力される駆動信号を作動させることにより、前記最終段部分の画素に映像信号を書き込むためのサンプリングパルスを前記最終段部分以外の画素に映像信号を書き込むためのサンプリングパルスよりも短くするように構成されている、請求項 5 に記載の表示装置。

【請求項 7】

複数の前記画素毎に 1 つの画素ブロックが構成されているとともに、前記画素ブロック毎に映像信号の書き込みが行われるように構成され、

前記最終段部分の画素は、1 水平期間における最後に書き込みが行われる画素ブロック内の全ての画素であり、

最終段の前記画素ブロックに対する映像信号の書き込み期間を、最終段以外の前記画素ブロックに対する映像信号の書き込み期間よりも短くするように構成されている、請求項

10

20

30

40

50

1 ～ 6 のいずれか 1 項に記載の表示装置。

【請求項 8】

請求項 1 ～ 7 のいずれか 1 項に記載の表示装置を備えた電子機器。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、表示装置に関する。

【背景技術】

【0002】

従来、所定の画素に対して書き込みが行われている状態で次の画素に書き込みが行われる方式（オーバーラップ方式）により映像信号の書き込みが行われる表示装置が知られている。

10

【0003】

このような従来の表示装置では、オーバーラップ方式による書き込みを行う際、所定の画素に書き込みが行われている状態で次段の画素がオン状態になるため、映像信号の書き込み中の画素と映像信号の書き込まれていない次段の画素とが映像信号線を介して互いに接続状態になる。そして、このとき、書き込み中の画素側の電位（画素電極に接続されたデータ線の電位）が次段の画素側に引き寄せられることにより低下する。また、映像信号をデータ線に供給する際に、データ線とCOM配線（共通電極の配線）との間に寄生容量が発生してCOM電位が変動する場合がある。このとき、変動したCOM電位は徐々に変動前の電位にまで戻っていく一方で、映像信号の書き込み中に次段の画素の書き込みが開始されるため、この次段の画素の書き込みに起因して再度COM電位が変動する。また、各画素毎に、それぞれ、映像信号の書き込み中に次段の画素の書き込みが開始されることに起因したCOM電位の変動が発生する。このため、変動前の電位にまで戻りきらないうちに映像信号の書き込み期間が終了された場合、各々の画素において、それぞれ、COM電位が戻りきらない分だけ映像信号の書き込みが十分に行われない状態となる。

20

【0004】

その一方で、最終段の画素への書き込み時には次段の画素が存在しないことにより、最終段の画素においては上記のような電位の低下は発生しない。また、最終段の画素においては、書き込み期間内に次段の画素の書き込み動作によるCOM電位の変動も発生しない。したがって、最終段の画素に限っては、変動したCOM電位は、映像信号の書き込み期間内に十分に元の電位に戻る。以上により、これらの結果、最終段の画素のみ他の段の画素に比べて映像信号がより十分に書き込まれることから、最終段の画素と他の画素との間に輝度差が生じる場合がある。

30

【0005】

そこで、従来、このような輝度差が発生するのを抑制するための表示装置が開示されている（たとえば、特許文献1参照）。上記特許文献1に記載の表示装置では、最終段の画素への映像信号の書き込みの度合いを最終段以外の画素への書き込みの度合いと同程度にするために、最終段の画素に実際には表示されない1段のダミー画素、ダミーデータ線およびダミーHスイッチが接続されている。これにより、最終段の画素に書き込みが行われる際には、最終段の画素とダミー画素とが接続された状態になるためにダミー画素と接続された分だけ映像信号の書き込みの度合いが低下し、その結果、最終段の画素と他の段の画素との間に輝度差が生じることが抑制されるように構成されている。

40

【0006】

【特許文献1】特許第3297962号公報

【発明の開示】

【発明が解決しようとする課題】

【0007】

しかしながら、上記特許文献1に記載の表示装置では、上記のような輝度差が生じるのを抑制するために、別途ダミー画素、ダミーデータ線およびダミーHスイッチを設ける必

50

要がある。また、複数の画素により構成された画素ブロック毎に書き込みが行われるブロック順次方式により構成された表示装置に対して上記特許文献 1 を適用した場合には、1 画素ブロック分に相当する複数のダミー画素、ダミーデータ線およびダミー H スイッチからなるダミー画素ブロックを別途設けなければならない。したがって、最終段の画素に輝度差が発生するのを抑制するためには、ダミー画素ブロックを設けた分、表示部の額縁領域の平面積がより大きくなってしまいうという問題点がある。

【 0 0 0 8 】

この発明は、上記のような課題を解決するためになされたものであり、この発明の 1 つの目的は、表示部の額縁領域の平面積が大きくなるのを抑制しながら画像の表示品位が損なわれるのを抑制することが可能な表示装置を提供することである。

10

【課題を解決するための手段および発明の効果】

【 0 0 0 9 】

この発明の第 1 の局面による表示装置は、各々が画素を有する複数の段部分を含む表示部を備え、最終段部分の画素に対する映像信号の書き込み期間を、最終段部分以外の画素に対する映像信号の書き込み期間よりも短くするように構成されている。

【 0 0 1 0 】

この第 1 の局面による表示装置では、上記のように、最終段部分の画素に対する映像信号の書き込み期間を、最終段部分以外の画素に対する映像信号の書き込み期間よりも短くするように構成することによって、最終段部分の画素への書き込み期間が最終段部分以外の画素への書き込み期間よりも短くなった分、最終段部分の画素のみに書き込みが行われすぎることの抑制することができるので、最終段部分の画素に対する映像信号の書き込み度合いと最終段部分以外の画素に対する映像信号の書き込み度合いとを同程度にすることができる。したがって、最終段の画素と最終段以外の画素との間に輝度差が生じることを抑制することができるので、画像の表示品位が損なわれるのを抑制することができる。また、映像信号の書き込み期間を制御することによって、別途ダミー画素、ダミーデータ線およびダミー H スイッチを設けることなく、最終段部分の画素と最終段以外の画素との間に輝度差が生じるのを抑制することができるので、表示部の額縁領域の平面積を大きくすることなく最終段部分の画素と最終段部分以外の画素との間に輝度差が生じるのを抑制することができる。

20

【 0 0 1 1 】

上記第 1 の局面による表示装置において、好ましくは、画素に対する映像信号の書き込みは、画素に接続された信号線を介して行われ、映像信号の書き込み時における最終段部分の信号線の到達電位と最終段部分以外の信号線の到達電位とが略同じ大きさになるように、最終段部分の画素に対する映像信号の書き込み期間を調整するように構成されている。このように構成すれば、映像信号の書き込み時に、最終段部分の画素に対する映像信号の書き込みの度合いが最終段部分以外の画素に対する映像信号の書き込みの度合いと略同程度となるので、最終段の画素と最終段部分以外の画素との間に輝度差が生じるのを確実に抑制することができる。

30

【 0 0 1 2 】

上記第 1 の局面による表示装置において、好ましくは、最終段部分の画素に映像信号を書き込むためのサンプリングパルスが、最終段部分以外の画素に映像信号を書き込むためのサンプリングパルスよりも短くなるように制御されることにより、最終段の画素に対する映像信号の書き込み期間が、最終段部分以外の画素に対する映像信号の書き込み期間よりも短くなるように構成されている。このように構成すれば、映像信号を書き込むためのサンプリングパルスのパルス幅を制御することにより、容易に最終段部分の画素に対する書き込み期間を最終段部分以外の画素に対する書き込み期間よりも短くすることができる。

40

【 0 0 1 3 】

この場合、好ましくは、サンプリングパルスを生成するためのクロック信号のタイミングを変更可能な第 1 制御部をさらに備え、第 1 制御部により、最終段部分の画素に映像信

50

号を書き込む際のクロック信号の周期を、最終段以外の部分の画素に映像信号を書き込む際のクロック信号の周期よりも短くするように変更することによって、最終段部分の画素に映像信号を書き込むためのサンプリングパルスを書き込むためのサンプリングパルスよりも短くするように構成されている。このように構成すれば、クロック信号のタイミングを変更することのみによって最終段部分の画素に対する書き込み期間を最終段部分以外の画素に対する書き込み期間よりも短くすることができる。すなわち、表示部の額縁領域の平面積を大きくすることなく、最終段部分の画素と最終段部分以外の画素との間に輝度差が生じるのを抑制することができる。

【0014】

上記画素に映像信号を書き込むためのサンプリングパルスのパルス幅を制御する構成において、好ましくは、クロック信号に基づいて順次出力信号を生成するシフトレジスタ部と、最終段部分の画素への映像信号の書き込みの再作動する制御信号を出力する第2制御部とをさらに備え、シフトレジスタ部により供給される出力信号と第2制御部により供給される駆動信号とに基づいて、最終段部分の画素に映像信号を書き込むためのサンプリングパルスを最終段部分以外の画素に映像信号を書き込むためのサンプリングパルスよりも短くするように構成されている。このように構成すれば、第2制御部から出力される駆動信号に基づいて最終段部分の画素に対する書き込み期間を最終段部分以外の画素に対する書き込み期間よりも短くすることができるので、表示部の額縁領域の平面積を大きくすることなく、最終段部分の画素と最終段部分以外の画素との間に輝度差が生じるのを抑制することができる。

【0015】

この場合、好ましくは、シフトレジスタ部により供給される出力信号と第2制御部により供給される駆動信号とが入力されるAND回路をさらに備え、最終段部分の画素に映像信号を書き込む際に、AND回路において、駆動信号と出力信号との論理積をとることによってサンプリングパルスを生成するように構成され、最終段部分の画素に映像信号を書き込む際にAND回路に入力される駆動信号を作動させることにより、最終段部分の画素に映像信号を書き込むためのサンプリングパルスを最終段部分以外の画素に映像信号を書き込むためのサンプリングパルスよりも短くするように構成されている。このように構成すれば、出力信号を作動させた場合にのみ、AND回路による出力信号との論理積によりサンプリングパルスのパルス幅が変更されるので、容易に最終段部分の画素に対する書き込み期間のみを短くする制御を行うことができる。

【0016】

上記第1の局面による表示装置において、好ましくは、複数の画素毎に1つの画素ブロックが構成されているとともに、画素ブロック毎に映像信号の書き込みが行われるように構成され、最終段部分の画素は、1水平期間における最後に書き込みが行われる画素ブロック内の全ての画素であり、最終段の画素ブロックに対する映像信号の書き込み期間を、最終段以外の画素ブロックに対する映像信号の書き込み期間よりも短くするように構成されている。このように構成すれば、複数の画素毎に映像信号の書き込みを行うブロック順次方式を採用した場合においても、最終段の画素ブロックに対する映像信号の書き込み期間を最終段以外の画素ブロックに対する映像信号の書き込み期間よりも短くすることができる。したがって、ブロック順次駆動により映像信号を書き込む構成であっても、最終段ブロックに対応する領域に輝度差が発生するのを抑制することができる。また、この場合、複数のダミー画素からなるダミー画素ブロックを設けなければならない従来の構成に比べて、第1制御部または第2制御部の制御のみにより表示部に発生する輝度差を抑制することができるので、その結果、表示部の額縁領域の平面積が大きくなるのをより効果的に抑制することができる。

【0017】

この発明の第2の局面による電子機器は、請求項1～7のいずれか1項に記載の表示装置を備える。このように構成すれば、表示部の額縁面積を大きくすることなく表示品位の高い画像を表示することが可能な電子機器を得ることができる。

【発明を実施するための最良の形態】

【0018】

以下、本発明の実施形態を図面に基づいて説明する。

【0019】

(第1実施形態)

図1は、本発明の第1実施形態による液晶表示装置の全体構成を示すブロック図である。図2～図6は、本発明の第1実施形態による液晶表示装置の詳細な構成を説明するための図である。図7は、本発明の第1実施形態による液晶表示装置の映像信号書き込み時におけるタイミングチャートである。まず、図1～図7を参照して、本発明の第1実施形態による液晶表示装置100の構成について説明する。なお、第1実施形態では、表示装置の一例である液晶表示装置に本発明を適用した場合について説明する。

10

【0020】

第1実施形態による液晶表示装置100は、図1に示すように、表示画面部1と、駆動IC2と、Vドライバ3と、Hドライバ4と、バックライト5とを備えている。表示画面部1には、複数の画素1aがマトリクス状に配置されている。なお、図1は、図面の簡略化のために3画素分の画素1aを図示している。なお、表示画面部1および駆動IC2は、本発明の「表示部」の一例である。

【0021】

駆動IC2は、液晶表示装置100全体を駆動するための機能を有する。Vドライバ3およびHドライバ4には、それぞれ、複数のゲート線3aおよびデータ線4aが接続されている。また、ゲート線3aおよびデータ線4aは、互いに直交するように配置されている。Vドライバ3は、ゲート線3aの駆動回路としての機能を有する。また、Hドライバ4は、データ線4aを介して、後述する画素電極1cに映像信号を順次供給する機能を有する。また、バックライト5は、画素1aの透過領域の光源として構成されている。また、データ線4aは、本発明の「信号線」の一例である。

20

【0022】

また、各画素1aは、画素トランジスタ1b(TFT)と、画素電極1cと、共通電極1dと、保持容量1eとにより構成されている。画素トランジスタ1bのドレイン領域Dは、データ線4aに接続されているとともに、画素トランジスタ1bのソース領域Sは、画素電極1cと保持容量1eの一方の電極とに接続されている。また、画素トランジスタ1bのゲートGは、ゲート線3aに接続されている。また、共通電極1dと保持容量1eの他方の電極とは、それぞれ、後述するCOM/DSDドライバ2cに接続されている。

30

【0023】

また、図2に示すように、Hドライバ4は、スキャン方向制御部4bと複数のシフトレジスタ部4c(第1実施形態ではn個(n=1, 2, …))とを備えている。スキャン方向制御部4bは、1つのインバータ4dと、複数のスイッチ部4eとを含んでいる。また、スキャン方向制御部4bは、駆動IC2から供給される直流のCSH信号に基づいて、サンプリングパルス(SP1、SP2、…SPn)が出力する順(走査する方向)を制御可能なように構成されている。

40

【0024】

具体的には、たとえば、スキャン方向制御部4bにHレベルのCSH信号が供給された場合、スイッチ部4eのオンオフの状態は図2のようになる。つまり、STH信号は、初段のシフトレジスタ部4cとして図中のシフトレジスタ部(1)に供給されるとともに、シフトレジスタ部(1)からSR1信号が出力される。そして、次段のシフトレジスタ部4c(シフトレジスタ部(2))にSR1信号が入力されるとともに、SR2信号が出力される。そして、SR2信号が次段のシフトレジスタ部4cに供給されるように構成されている。つまり、前段のシフトレジスタ部4cから出力された信号(SR1、SR2、…)が、順次次段のシフトレジスタ部4cに供給されていくように構成されている。そして、SR信号が供給されたシフトレジスタ部4cから、図中の矢印A方向の順にサンプリングパルス(SP1、SP2、…SPn)が順次出力されるように構成されている。

50

【 0 0 2 5 】

また、スキャン方向制御部 4 b に L レベルの C S H 信号が供給された場合、スイッチ部 4 e のオンオフの状態は図 2 の反対の状態になる。つまり、S T H 信号は、初段のシフトレジスタ部 4 c として図中のシフトレジスタ部 (n) に供給されるとともに、シフトレジスタ部 (n) から S R n 信号が出力される。そして、次段のシフトレジスタ部 4 c (シフトレジスタ部 (n - 1)) (図示せず) に S R n 信号が入力するとともに、シフトレジスタ部 (n - 1) から S R n - 1 信号が出力される。そして、S R n - 1 信号が次段のシフトレジスタ部 4 c に供給されるように構成されている。これにより、上記の場合と同様に、前段のシフトレジスタ部 4 c から出力された S R 信号が次段のシフトレジスタ部 4 c に供給され、S R 信号が供給されたシフトレジスタ部 4 c から図中の矢印 B 方向の順にサンプリングパルス (S P n ・ ・ ・ S P 2 、 S P 1) が順次出力されるように構成されている。

10

【 0 0 2 6 】

また、各シフトレジスタ部 4 c は、シフトレジスタ 4 f と、反転信号生成回路 4 g と、整形回路 4 h とを備えている。反転信号生成回路 4 g は、駆動 I C 2 から供給されるクロック信号から互いに反転する 2 相のクロック信号 (C K H 信号および / C K H 信号) を生成するとともに、シフトレジスタ 4 f に供給するように構成されている。また、各段のシフトレジスタ 4 f は、全て同様の回路構成である一方で、奇数段のシフトレジスタ 4 f (図 3 参照) には、一方のクロック信号入力部に C K H 信号が供給されるとともに、他方のクロック信号入力部に / C K H 信号が供給されるように構成されている。また、偶数段のシフトレジスタ 4 f (図 4 参照) には、一方のクロック信号入力部に / C K H 信号が供給されるとともに、他方のクロック信号入力部に C K H 信号が供給されるように構成されている。

20

【 0 0 2 7 】

また、図 3 および図 4 に示すように、反転信号生成回路 4 g は、7 つのインバータ 4 i により構成されているとともに、このうち 2 つのインバータ 4 i によりラッチ回路 4 j が構成されている。また、ラッチ回路 4 j の一方の入力側には、インバータ 4 i の出力側が接続されているとともに、このインバータ 4 i の入力側には、もう 1 つのインバータ 4 i の出力側が接続されている。また、ラッチ回路 4 i の他方の入力側には、1 つのインバータ 4 i の出力側が接続されている。また、ラッチ回路 4 j の 2 つの出力側に、それぞれ 1 つずつインバータ 4 i の入力側が接続されている。

30

【 0 0 2 8 】

また、シフトレジスタ 4 f は、インバータ 4 k と、インバータ 4 l および 4 m により構成されたラッチ回路 4 n とにより構成されている。ここで、インバータ 4 k および 4 l は、クロック信号に基づいて出力が制御されるクロックドインバータにより構成されている。また、シフトレジスタ 4 f の入力側 (インバータ 4 k の入力側 (図中の i n)) には、駆動 I C 2 から出力される S T H 信号または前段のシフトレジスタ部 4 c から出力される S R 信号 (図 2 の S R 1 、 S R 2 、 ・ ・ ・) のいずれかが供給されるように構成されている。また、インバータ 4 k の出力側とラッチ回路 4 n の入力側とは接続されている。また、反転信号生成回路 4 g により生成された 2 相のクロック信号が、それぞれ、シフトレジスタ 4 f の各インバータ 4 k および 4 l (クロックドインバータ) に入力されるように構成されている。

40

【 0 0 2 9 】

また、整形回路 4 h は、シフトレジスタ 4 f からの出力信号 (図 2 の S P 1 a 、 S P 2 a 、 ・ ・ ・) を整形するとともに、サンプリングパルス (図 2 の S P 1 、 S P 2 、 ・ ・ ・) として後述するスイッチ部 7 (図 5 参照) に出力されるように構成されている。また、シフトレジスタ 4 f からの出力信号は、サンプリングパルスとして出力されるとともに、S R 信号 (図 2 の S R 1 、 S R 2 、 ・ ・ ・) として次段のシフトレジスタ部 4 c にも出力されるように構成されている。なお、サンプリングパルスとは、後述するスイッチ部 7 (図 5 参照) のオンオフを制御するための信号である。

50

【0030】

また、図5に示すように、表示画面部1内において、 n 個の画素1a毎に1つの画素ブロックが構成されている。具体的には、表示画面部1の縁部分に、 n 本からなる映像信号線6が配線されているとともに、各映像信号線6(n 本)と、1ブロック内の各画素1a(n 個)に対応するデータ線4aとがスイッチ部7(HSW)を介して互いに接続されている。そして、1ブロック内の各画素1aに対応する n 個のスイッチ部7は、Hドライバ4から出力されたサンプリングパルス(SP1、SP2、...)によりオンオフ制御されるように構成されている。つまり、1つのサンプリングパルスにより n 個のスイッチ部7が同時にオン状態になるとともに、 n 本の映像信号線6から各スイッチ部7を介して画素電極1cに映像信号が供給されるように構成されている。以上により、第1実施形態における液晶表示装置100は、各ブロック毎に書き込みを行うブロック順次書き込み方式により映像信号の書き込みを行うように構成されている。

10

【0031】

また、図6に示すように、駆動IC2は、ソースドライバ2aと、タイミングコントローラ2bと、COM/DSDDライバ2cと、DC/DCコンバータ2dと備えている。ソースドライバ2aは、外部モジュール(図示せず)側から供給されたシリアルデータの信号(図6のDATA)をパラレル信号に変換するとともに、各映像信号線6に出力する機能を有する。タイミングコントローラ2bは、外部から基本クロック(Dot Clock)および制御信号が供給されるとともに、基本クロックを分周して各部に供給する機能を有する。また、タイミングコントローラ2bは、基本クロックおよび制御信号に基づいて生成されたVスキャナ駆動信号(CKV, STV, ENB, CSV)をVドライバ3に供給するとともに、基本クロックおよび制御信号に基づいて生成されたHスキャナ駆動信号(CKH, STH, CSH)をHドライバ4に供給するように構成されている。なお、タイミングコントローラ2bは、本発明の「第1制御部」の一例である。

20

【0032】

ここで、第1実施形態では、タイミングコントローラ2bは、Hドライバ4(図1参照)に供給するクロック信号(CKH)のタイミングを変更可能のように構成されている。具体的には、図7に示すように、Hドライバ4内において、最終段の画素ブロックの書き込みに対応するサンプリングパルス(SP n 信号)を生成する際にのみ、クロック信号(CKH)の周期を小さくするように構成されている。つまり、通常Hドライバ4に供給されるクロック信号(CKH)は、半周期が期間 T_1 になるように構成されているのに対して、最終段の画素ブロックの書き込みに対応するSP n 信号を生成する際にのみ、半周期が期間 T_1 よりも小さい期間 T_2 になるように構成されている。これにより、最終段以外の画素ブロックの書き込みに対応するサンプリングパルス(SP1、SP2、...、SP($n-1$))は期間 t_1 になるように生成されるのに対して、最終段の画素ブロックの書き込みに対応するサンプリングパルス(SP n)は、期間 t_1 よりも短い期間 t_2 になるように生成されるように構成されている。以上により、最終段の画素ブロック内の画素1aに対する映像信号の書き込み期間(t_2)が、最終段以外の画素ブロック内の画素1aに対する映像信号の書き込み期間(t_1)よりも短くなるように構成されている。

30

【0033】

また、図6に示すように、COM/DSDDライバ2cは、COM信号(共通電位信号)を、共通電極1dおよび保持容量1eの他方側の電極(図1参照)に供給する機能を有する。また、COM/DSDDライバ2cは、データ線4aを基準の電位に保持するための信号(DSD信号)を供給する機能を有する。また、DC/DCコンバータ2dは、電源電圧を増幅するとともに各部に供給する機能を有する。また、DC/DCコンバータ2dは、パネル電源を表示画面部1に供給する機能を有する。

40

【0034】

図8は、本発明の第1実施形態による液晶表示装置に対する比較例について説明するための図である。次に、図2、図5、図7および図8を参照して、本発明の第1実施形態による液晶表示装置100における動作について説明する。

50

【0035】

まず、図7に示すように、STH信号（図2参照）が駆動IC2からスキャン方向制御部4bを介して初段のシフトレジスタ部4c（図2のシフトレジスタ部（1））に供給される。そして、STH信号が供給された状態でのクロック信号の最初の立ち下がりに同期して、初段のシフトレジスタ部4cからSR1信号およびSP1a信号（出力信号）が出力される。このとき、SR1信号はスキャン方向制御部4bを介して次段のシフトレジスタ部4c（図2のシフトレジスタ部（2））に入力される。また、SP1a信号は、整形回路4hに入力されるとともに、整形回路4hにより整形されてサンプリングパルス（SP1信号）として出力される。そして、SP1信号は、初段の画素ブロックに対応するn個のスイッチ部7（図5参照）に供給されるとともに、SP1信号に対応するn個のスイッチ部7が期間t1の間オン状態となる。つまり、この期間t1が初段の画素ブロック内の画素1aへの映像信号の書き込み期間となる。

10

【0036】

また、初段の画素ブロックへの映像信号の書き込みが行われている状態で、クロック信号の最初の立ち上がりに同期して、次段のシフトレジスタ部4c（図2のシフトレジスタ（2））からSR2信号およびSP2a信号が出力される。そして、SP2a信号が整形回路4hを介してSP2信号として出力されるとともに、次段の画素ブロックに対応するn個のスイッチ部7がオン状態となる。なお、このとき、SP1信号はまだ供給されている状態であり、初段の画素ブロックと次段の画素ブロックは、互いに映像信号線6（図5参照）を介して接続された状態となる。

20

【0037】

そして、クロック信号の次の立ち下がりに同期して、SP1信号がオフ状態となるとともに、シフトレジスタ部4c（3）（図示せず）からSP3信号（期間t1）が出力される。このように、画素ブロックは、それぞれ、期間t1（クロック信号（CKH）の1周期分）の間オン状態になるとともに、各画素ブロックは、クロック信号の半周期分の間次段の画素ブロックと接続状態となる。また、このとき、映像信号線6からは、クロック信号の半周期分（ $t1/2$ ）の期間毎に、各画素ブロックに対応する映像信号（図のVideo1、Video2、・・・）が順次出力されるとともに、順次対応する画素ブロック内の各画素1aに供給される。

【0038】

30

ここで、SP1信号の後半周期に対応する期間では次段の画素ブロックと接続状態となることから、対応するデータ線4aの電位（図7のVD1）は、まだ映像信号が書き込まれていない次段の画素ブロックのデータ線4aとの間に発生した電位差に引っ張られるようにして一時的に低下（図7の矢印C方向に低下）する。そして、SP1信号がオフ状態になるまでの期間にわたって再度上昇する。また、SP1信号が供給されてスイッチ部7がオン状態に切り替わる際に、データ線4aとCOM配線およびSC配線（保持容量1eの他方側の電極の配線（図示せず））との間に寄生容量が発生して共通電極1dの電位が変動（図7の矢印D方向に変動）するとともに、変動した共通電極1dの電位は、その後、スイッチ部のオン期間中に元の電位に戻る方向（矢印Dと反対方向）に移行する。

【0039】

40

以上のようなデータ線4aの電位の低下（図7の矢印C）および共通電極1dの電位の変動（図7の矢印D）に起因して、期間t1の書き込み期間における初段の画素ブロックに対する映像信号の書き込みの度合いは、目標到達電位に達しない程度となる。なお、2段目の画素ブロックから（n-1）段目の画素ブロックにおける映像信号の書き込みの度合いにおいても、初段の画素ブロックと同様に、データ線4aの電位の低下および共通電極1dの電位の変動に起因して、目標到達電位に達しない程度（図7のVD2～VD（n-1））となる。

【0040】

これに対して、最終段の画素ブロックのみは、映像信号の書き込み時に互いに接続状態となる次段の画素ブロックが存在しないことにより、データ線4aの電位の低下は存在し

50

ない（図 7 の E）。また、共通電極 1 d の電位の変動も存在しないので、共通電極 1 d の電位が元の電位への戻る度合いも前段の画素ブロックに比べてより大きくなる（図 7 の幅 F 分だけ戻る度合いが大きくなる）。したがって、最終段の画素ブロックのみ映像信号がより十分に書き込める状態となる。

【0041】

ここで、第 1 実施形態では、駆動 IC 2 の制御により、映像信号の書き込み時における最終段部分のデータ線 4 a の到達電位（図 7 の $V_D(n)$ ）と最終段部分以外のデータ線 4 a の到達電位（図 7 の $V_D1 \sim V_D(n-1)$ ）とが略同じ大きさになるように、最終段部分の画素ブロックに対する映像信号の書き込み期間が調整される。具体的には、タイミングコントローラ 2 b により、最終段の画素ブロックの書き込みに対応するサンプリングパルス（SPn 信号）を生成する際にのみ、クロック信号（CKH）の周期を、期間 T1 よりも短い期間 T2 になるように調整される。そして、これに伴い、最終段の画素ブロックに対応するサンプリングパルス（SPn）も同様に期間（T1 - T2）の分だけ短くなる。これにより、最終段の画素ブロック内の画素 1 a に対する映像信号の書き込み期間（t2）も、最終段以外の画素ブロック内の画素 1 a に対する映像信号の書き込み期間（t1）より期間（T1 - T2）分だけ短くなることにより、最終段の画素ブロックに対応するデータ線 4 a の到達電位（ V_Dn ）と、最終段以外の画素ブロックに対応するデータ線 4 a の到達電位（ $V_D1 \sim V_D(n-1)$ ）とが略同じ大きさになる。すなわち、最終段の画素ブロックの到達電位も目標到達電位に達しない程度となる。

【0042】

これに対して、図 8 に示す比較例では、データ線 4 a の電位の低下が発生しない（図 8 の E）とともに、共通電極 1 d の電位の変動が存在しない。そして、最終段の画素ブロックも含めた全ての画素ブロックに対して同様の書き込み期間（t1）が設けられているために、最終段の画素ブロックに対して映像信号の書き込みがより十分に行われる。つまり、最終段の画素ブロックにおけるデータ線 4 a の電位は、最終段以外の画素ブロックにおけるデータ線 4 a 比べてより高電位にまで到達する（図 8 の G）ことになる。したがって、その分最終段ブロックに対応する領域だけ輝度差が発生する。

【0043】

図 9 および図 10 は、それぞれ、本発明の第 1 実施形態による液晶表示装置を用いた電子機器の一例および他の例を説明するための図である。次に、図 9 および図 10 を参照して、本発明の第 1 実施形態による液晶表示装置 100 を用いた電子機器について説明する。

【0044】

本発明の第 1 実施形態による液晶表示装置 100 は、図 9 および図 10 に示すように、携帯電話 50 および PC（パーソナルコンピュータ）60 などに用いることが可能である。図 9 の携帯電話 50 においては、表示画面 50 a に本発明の第 1 実施形態における液晶表示装置 100 が用いられる。また、図 10 の PC 60 においては、キーボード 60 a などの入力部および表示画面 60 b などに用いることが可能である。また、周辺回路を液晶パネル内の基板に内蔵することにより部品点数を大幅に減らすとともに、装置本体の軽量化および小型化を行うことが可能になる。

【0045】

第 1 実施形態では、上記のように、駆動 IC 2 の制御により、最終段ブロックの画素 1 a に対する映像信号の書き込み期間を、最終段ブロック以外の画素 1 a に対する映像信号の書き込み期間よりも短くするように構成することによって、最終段ブロックの画素 1 a への書き込み期間が最終段ブロック以外の画素 1 a への書き込み期間よりも短くなった分、最終段ブロックの画素 1 a のみに書き込みが行われすぎることの抑制することができるので、最終段ブロックの画素 1 a に対する映像信号の書き込み度合いと最終段ブロック以外の画素 1 a に対する映像信号の書き込み度合いを同程度にすることができる。したがって、最終段ブロックの画素 1 a と最終段ブロック以外の画素 1 a との間に輝度差が生じることを抑制することができるので、画像の表示品位が損なわれるのを抑制することができ

る。また、別途ダミー画素、ダミーデータ線およびダミーHスイッチを設けることなく、駆動IC2の制御のみによって最終段ブロックの画素1aと最終段ブロック以外の画素1aとの間に輝度差が生じるのを抑制することができるので、表示画面部1の額縁領域の平面積を大きくすることなく最終段ブロックの画素1aと最終段ブロック以外の画素1aとの間に輝度差が生じるのを抑制することができる。

【0046】

また、上記第1実施形態では、駆動IC2の制御により、映像信号の書き込み時における最終段ブロックのデータ線4aの到達電位と最終段ブロック以外のデータ線4aの到達電位とが略同じ大きさになるように、最終段ブロックの画素1aに対する映像信号の書き込み期間を調整するように構成することによって、映像信号の書き込み時に、最終段ブロックの画素1aに対する映像信号の書き込みの度合いが最終段ブロック以外の画素1aに対する映像信号の書き込みの度合いと略同程度となるので、最終段ブロックの画素1aと最終段ブロック以外の画素1aとの間に輝度差が生じるのを確実に抑制することができる。

10

【0047】

また、上記第1実施形態では、駆動IC2により、最終段ブロックの画素1aに映像信号を書き込むためのサンプリングパルス(SP_n)が、最終段ブロック以外の画素1aに映像信号を書き込むためのサンプリングパルス(SP₁~SP_(n-1))よりも短くなるように制御されることにより、最終段ブロックの画素1aに対する映像信号の書き込み期間(t₂)が、最終段ブロック以外の画素1aに対する映像信号の書き込み期間(t₁)よりも短くなる。このように構成することによって、映像信号を書き込むためのサンプリングパルスのパルス幅を制御することにより、容易に最終段ブロックの画素1aに対する書き込み期間を最終段ブロック以外の画素1aに対する書き込み期間よりも短くすることができる。

20

【0048】

また、上記第1実施形態では、タイミングコントローラ2bにより、最終段ブロックの画素1aに映像信号を書き込む際のクロック信号の周期を、最終段ブロック以外の画素1aに映像信号を書き込む際のクロック信号の周期よりも短くするように変更することによって、最終段ブロックの画素1aに対応するサンプリングパルス(SP_n)を最終段ブロック以外の画素1aに対応するサンプリングパルス(SP₁~SP_(n-1))よりも短くする。このように構成することによって、クロック信号のタイミングを変更することのみによって最終段ブロックの画素1aに対する書き込み期間を最終段ブロック以外の画素1aに対する書き込み期間よりも短くすることができる。すなわち、表示画面部1の額縁領域の平面積を大きくすることなく、最終段ブロックの画素1aと最終段ブロック以外の画素1aとの間に輝度差が生じるのを抑制することができる。

30

【0049】

また、上記第1実施形態では、ブロック順次駆動により映像信号を書き込む液晶表示装置に本発明を適用することによって、複数のダミー画素からなるダミー画素ブロックを設けなければならない従来の構成に比べて、駆動IC2の制御のみにより表示画面部1に発生する輝度差を抑制することができるので、その結果、表示画面部1の額縁領域の平面積が大きくなるのをより効果的に抑制することができる。

40

【0050】

(第2実施形態)

図11は、本発明の第2実施形態による液晶表示装置の構成を説明するための図である。図12は、本発明の第2実施形態による液晶表示装置の動作を説明するためのタイミングチャートである。図6、図11および図12を参照して、第2実施形態による液晶表示装置200では、クロック信号の周期を変更することによりSP_n信号のパルス幅を短くするように制御される第1実施形態とは異なり、SP_n信号と論理積を取ることによりSP_n信号のパルス幅を短くするような駆動信号を供給する例について説明する。

【0051】

50

本発明の第2実施形態による液晶表示装置200では、図11に示すように、Hドライバ4内において、各々のシフトレジスタ部4cの出力側(図中のout)と整形回路4hの入力側との間にAND回路4qが配置されているとともに、シフトレジスタ部4cの出力側とAND回路4qの一方の入力側とが接続されている。

【0052】

また、第2実施形態における液晶表示装置200の駆動IC20(図6参照)は、タイミングコントローラ20bを備えるとともに、タイミングコントローラ20bにおいて駆動信号(SPENB(図6参照))が生成されるように構成されている。なお、第2実施形態における駆動IC20のその他の構成は、第1実施形態の駆動IC2の構成と同様である。なお、タイミングコントローラ20bは、本発明の「第2制御部」の一例である。

10

【0053】

ここで、第2実施形態では、AND回路4qの他方の入力側には、タイミングコントローラ20bにより生成された駆動信号が供給されるように構成されている。これにより、シフトレジスタ部4cからの出力信号(SP1a、SP2a、・・・SP(n)a)とタイミングコントローラ20bからのSPENB信号との論理積をとることによってサンプリングパルス(SP1、SP2、・・・、SPn)が生成されるように構成されている。

【0054】

具体的には、図12に示すように、映像信号の書き込み時において、初段から最終段の前段までの各画素ブロックに対応するサンプリングパルス(SP1~SP(n-1))を生成する際には、HレベルのSPENB信号が供給され続ける。これにより、SP1信号からSP(n-1)信号は、全てSPa信号(SP1a~SP(n-1)a)と同じパルス幅(期間t1)になるように生成される。

20

【0055】

ここで、第2実施形態では、最終段の画素ブロックへの書き込みに対応するサンプリングパルス(SPn)を生成する際には、タイミングコントローラ20b(図6参照)により、SP(n)信号が期間t1よりも短い期間t2の間出力された時点でオフ状態になるタイミングでSPENB信号がLレベルに切り替えられる。これにより、最終段の画素ブロック内の画素1aに対する映像信号の書き込み期間(t2)が、最終段以外の画素ブロック内の画素1aに対する映像信号の書き込み期間(t1)よりも短くなる。そして、上記第1実施形態と同様に、最終段の画素ブロックに対応するデータ線4aの到達電位(VDn)と、最終段以外の画素ブロックに対応するデータ線4aの到達電位(VD1~VD(n-1))とが略同じ大きさになる。すなわち、最終段の画素ブロックの到達電位のみが大きくなることなく、目標到達電位に達しない程度となる。なお、第2実施形態のその他の構成は第1実施形態の構成と同様である。

30

【0056】

第2実施形態では、上記のように、駆動IC2の制御により、シフトレジスタ部4cにより供給される出力信号(SPa信号)とタイミングコントローラ20bにより供給される駆動信号(SPENB)とに基づいて、最終段ブロックの画素1aに映像信号を書き込むためのサンプリングパルス(SPn)を最終段ブロック以外の画素1aに映像信号を書き込むためのサンプリングパルス(SP1~SP(n-1))よりも短くするように構成することによって、タイミングコントローラ20bから出力される駆動信号により最終段ブロックの画素1aに対する書き込み期間(t2)を最終段ブロック以外の画素1aに対する書き込み期間(t1)よりも短くすることができる。すなわち、表示画面部1の額縁領域の平面積を大きくすることなく、最終段ブロックの画素1aと最終段ブロック以外の画素1aとの間に輝度差が生じるのを抑制することができる。

40

【0057】

また、第2実施形態では、駆動IC2の制御によって、最終段ブロックの画素1aに映像信号を書き込む際にAND回路4qに入力される駆動信号(SPENB)をHレベルからLレベルに切り替えることにより、最終段ブロックの画素1aに対応するサンプリングパルス(SPn)が最終段ブロック以外の画素1aに対応するサンプリングパルス(SP

50

1 ~ S P (n - 1)) よりも短くなるように制御される。このように構成することによって、S P E N B 信号を H レベルから L レベルに切り替えた場合にのみ、A N D 回路 4 q により S P a 信号との論理積によってサンプリングパルスのパルス幅を変更することができるので、容易に最終段ブロックの画素 1 a に対する書き込み期間を短くする制御を行うことができる。

【 0 0 5 8 】

なお、今回開示された実施形態は、すべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は、上記した実施形態の説明ではなく特許請求の範囲によって示され、さらに特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれる。

10

【 0 0 5 9 】

たとえば、上記第 1 および第 2 実施形態では、複数の画素毎に書き込みを行うブロック順次書き込み方式に本発明を適用する例を示したが、本発明はこれに限らず、各画素毎に書き込みを行う点順次書き込み方式にも適用可能である。

【 図面の簡単な説明 】

【 0 0 6 0 】

【 図 1 】 本発明の第 1 実施形態による液晶表示装置の全体構成を示すブロック図である。

【 図 2 】 本発明の第 1 実施形態による液晶表示装置の H ドライバについて説明するための回路図である。

【 図 3 】 本発明の第 1 実施形態による液晶表示装置の H ドライバについて説明するための回路図である。

20

【 図 4 】 本発明の第 1 実施形態による液晶表示装置の H ドライバについて説明するための回路図である。

【 図 5 】 本発明の第 1 実施形態による液晶表示装置のスイッチ部について説明するための回路図である。

【 図 6 】 本発明の第 1 実施形態による液晶表示装置の駆動 I C の構成について説明するためのブロック図である。

【 図 7 】 本発明の第 1 実施形態による液晶表示装置における書き込み動作を説明するためのタイミングチャートである。

【 図 8 】 本発明の第 1 実施形態による液晶表示装置における書き込み動作に対する比較例について説明するためのタイミングチャートである。

30

【 図 9 】 本発明の第 1 実施形態による液晶表示装置を備えた電子機器について説明する図である。

【 図 1 0 】 本発明の第 1 実施形態による液晶表示装置を備えた電子機器について説明する図である。

【 図 1 1 】 本発明の第 2 実施形態による H ドライバについて説明するためのブロック図である。

【 図 1 2 】 本発明の第 2 実施形態による液晶表示装置の書き込み動作を説明するためのタイミングチャートである。

【 符号の説明 】

40

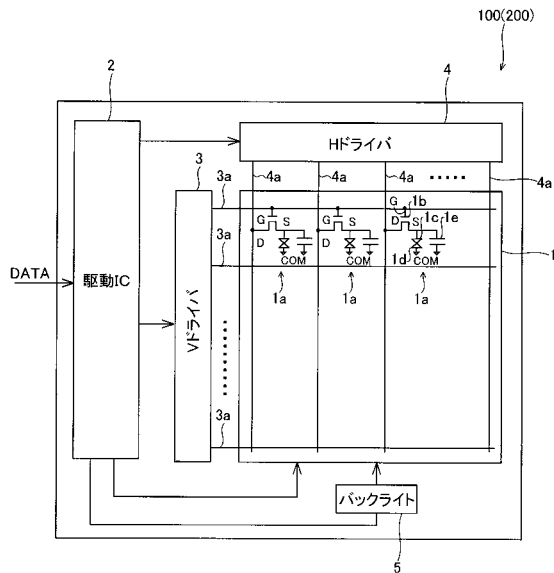
【 0 0 6 1 】

1	表示画面部（表示部）
1 a	画素
2	駆動 I C （駆動制御部）
2 b	タイミングコントローラ（第 1 制御部）
4 a	データ線（信号線）
4 c	シフトレジスタ部
4 q	A N D 回路
2 0 b	タイミングコントローラ（第 2 制御部）
5 0	携帯電話（電子機器）

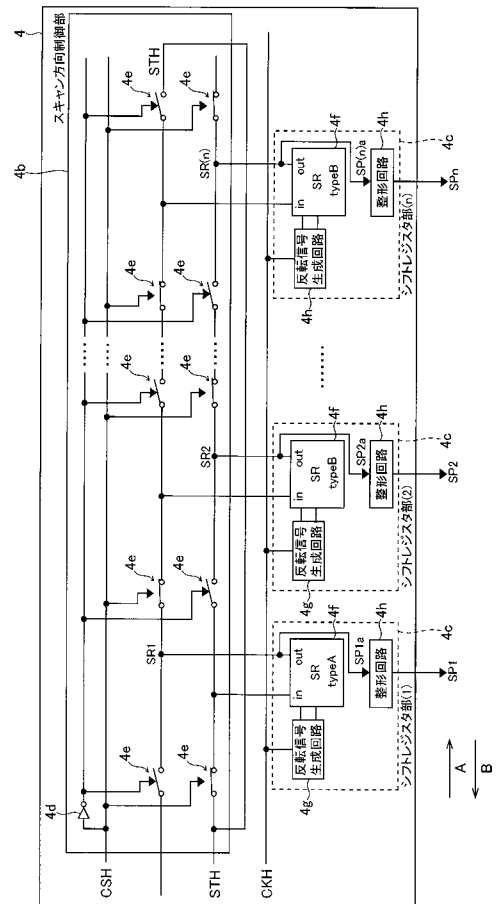
50

6 0 P C (電 子 機 器)
 1 0 0 、 2 0 0 液 晶 表 示 装 置

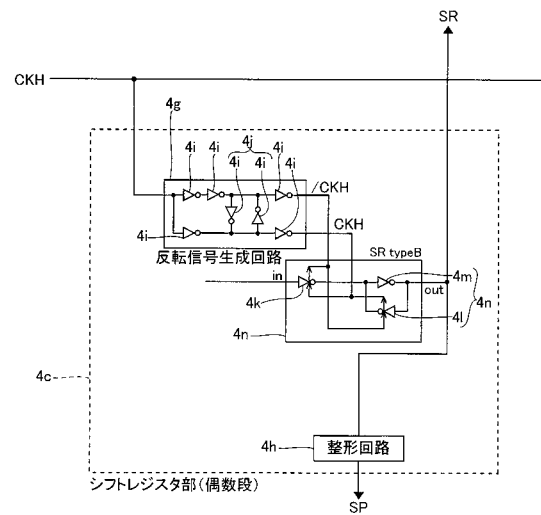
【 図 1 】



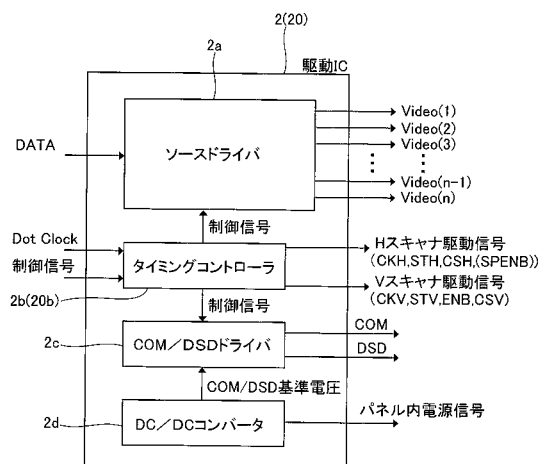
【 図 2 】



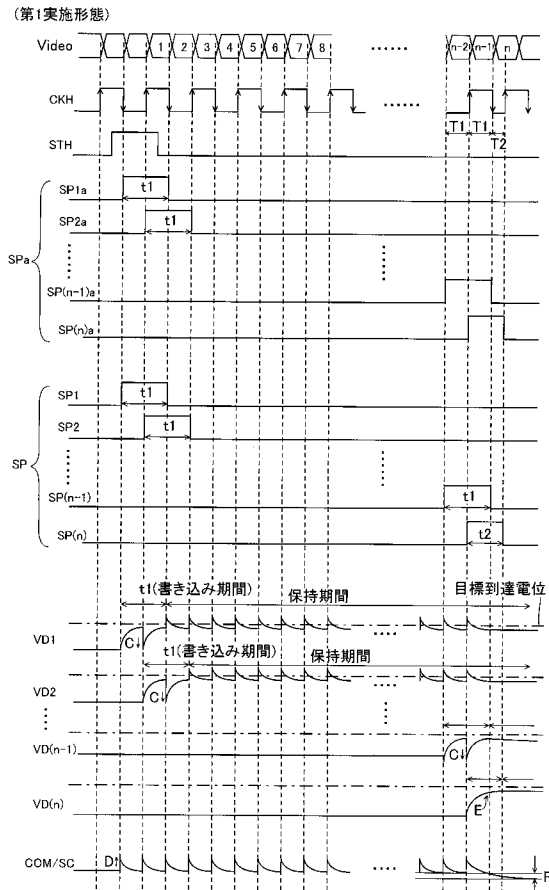
【 図 4 】



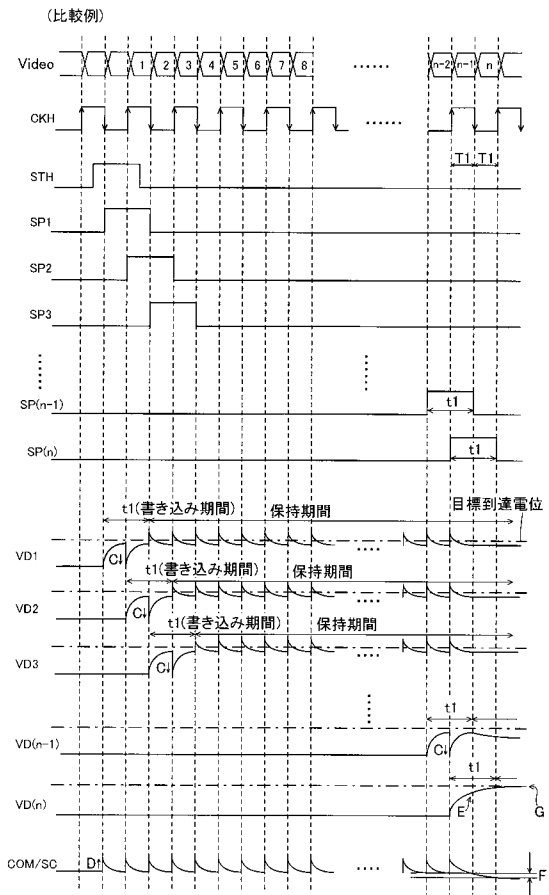
【 図 6 】



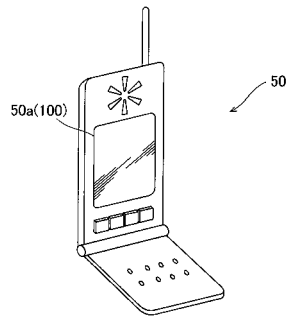
【 図 7 】



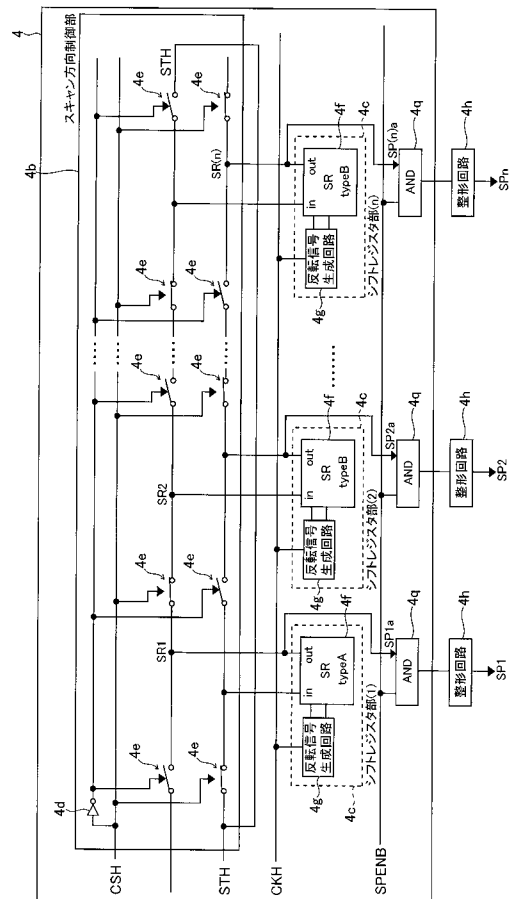
【 図 8 】



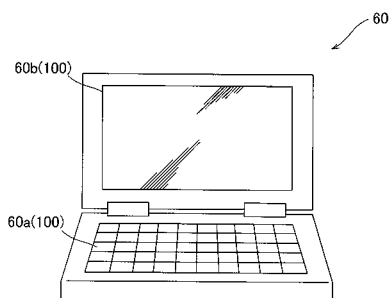
【 图 9 】



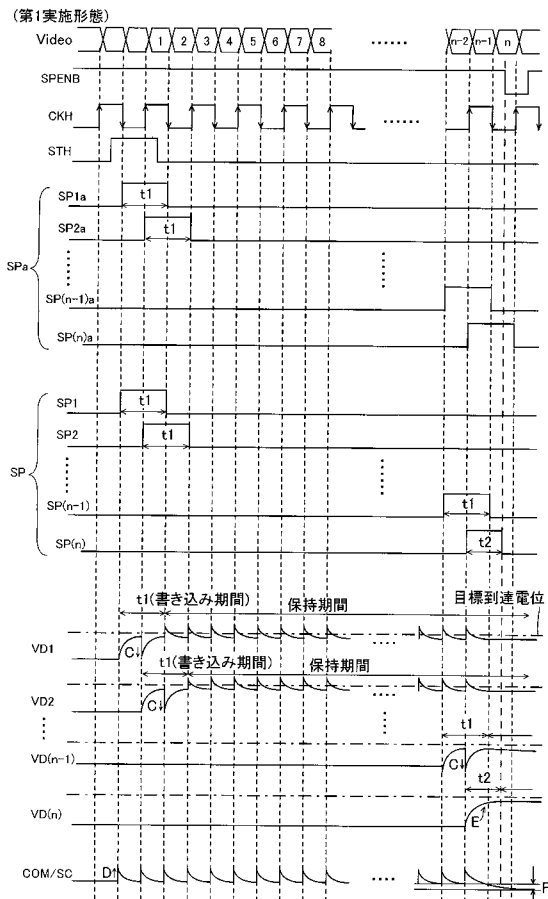
【 図 1 1 】



【 図 1 0 】



【図 12】



(51) Int.Cl.

テーマコード（参考）

F ターム(参考)	5C006	AC21	AF41	AF59	AF84	BB16	BC06	BC11	BF03	BF04	BF11
		FA22	FA41	FA51							
	5C080	AA10	BB05	CC10	DD01	DD05	DD22	DD27	EE28	FF03	FF11
		JJ01	JJ03	JJ04	JJ06	KK47					
	5G435	AA18	BB12	CC09	EE31	LL07	LL08				

专利名称(译)	表示装置		
公开(公告)号	JP2009229821A	公开(公告)日	2009-10-08
申请号	JP2008075303	申请日	2008-03-24
[标]申请(专利权)人(译)	爱普生映像元器件有限公司		
申请(专利权)人(译)	爱普生影像设备公司		
[标]发明人	松浦由幸		
发明人	松浦 由幸		
IPC分类号	G09G3/36 G09F9/00 G09G3/20 G02F1/133		
FI分类号	G09G3/36 G09F9/00.345 G09G3/20.623.M G09G3/20.623.D G09G3/20.621.A G09G3/20.623.H G09G3/20.623.R G09G3/20.642.A G09G3/20.624.B G09G3/20.623.G G09G3/20.624.C G02F1/133.505		
F-TERM分类号	2H093/NA16 2H093/NC22 2H093/NC26 2H093/NC34 2H093/NC35 2H093/ND09 2H093/ND42 2H093/ND49 2H193/ZA04 2H193/ZD32 5C006/AC21 5C006/AF41 5C006/AF59 5C006/AF84 5C006/BB16 5C006/BC06 5C006/BC11 5C006/BF03 5C006/BF04 5C006/BF11 5C006/FA22 5C006/FA41 5C006/FA51 5C080/AA10 5C080/BB05 5C080/CC10 5C080/DD01 5C080/DD05 5C080/DD22 5C080/DD27 5C080/EE28 5C080/FF03 5C080/FF11 5C080/JJ01 5C080/JJ03 5C080/JJ04 5C080/JJ06 5C080/KK47 5G435/AA18 5G435/BB12 5G435/CC09 5G435/EE31 5G435/LL07 5G435/LL08 2H193/ZA05 2H193/ZC23 2H193/ZC34 2H193/ZF06 2H193/ZF20 2H193/ZF32 2H193/ZF36 2H193/ZG02 2H193/ZH44 2H193/ZH54		
代理人(译)	须泽 修 宫坂和彦		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种显示装置，该显示装置防止图像的显示质量被破坏，同时防止显示部分的框架区域的平面区域的增加。解决方案：液晶显示装置100包括显示屏部分1，显示屏部分1包括每个像素1a具有的多个阶梯部分，并且配置成使得最后一级块中的像素1a的视频信号的写入周期变短而不是最后一个阶段块以外的像素1a。Z

