

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2009-42428

(P2009-42428A)

(43) 公開日 平成21年2月26日(2009.2.26)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/36 (2006.01)	G09G 3/36	2H093
G09G 3/20 (2006.01)	G09G 3/20 611A	5C006
G02F 1/133 (2006.01)	G09G 3/20 623B	5C080
	G09G 3/20 621B	
	G09G 3/20 641C	

審査請求 未請求 請求項の数 14 O L (全 23 頁) 最終頁に続く

(21) 出願番号 特願2007-206224 (P2007-206224)
 (22) 出願日 平成19年8月8日(2007.8.8)

(71) 出願人 302062931
 NECエレクトロニクス株式会社
 神奈川県川崎市中原区下沼部1753番地
 (74) 代理人 100146178
 弁理士 浜田 満広
 (72) 発明者 嶋谷 淳
 神奈川県川崎市中原区下沼部1753番地
 NECエレクトロニクス株式会社内
 Fターム(参考) 2H093 NA16 NA32 NA53 NC11 NC13
 NC34 ND39 ND49 ND52
 5C006 AA16 AC27 AF83 BB16 BF25
 FA41 FA47
 5C080 AA10 BB05 DD03 DD26 EE29
 FF11 JJ02 JJ03 JJ04

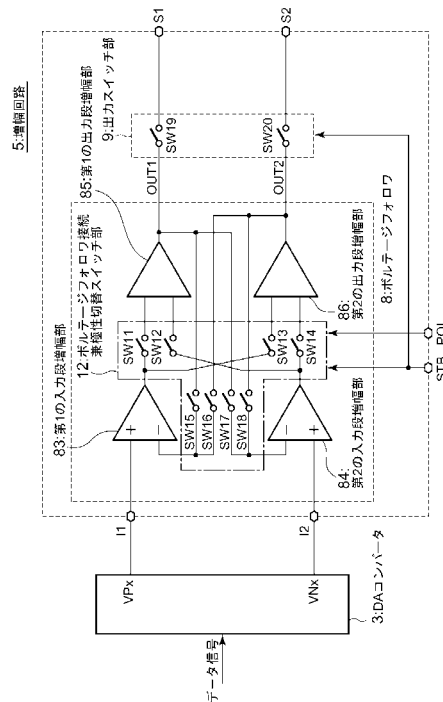
(54) 【発明の名称】 増幅回路および表示装置

(57) 【要約】

【課題】 増幅回路および表示装置（例えば、液晶表示装置）は、従来の増幅回路および表示装置に比べて、特性を維持しつつ、面積縮小と消費電力の低減が複雑な論理を組まず実現できる。

【解決手段】 本発明に係る増幅回路および表示装置（例えば、液晶表示装置）は、ボルテージフォロワを高電圧用の入力段増幅部、低電圧用の入力段増幅部と複数の出力段増幅部の構成要素に分解し、高電圧用の入力段増幅部、低電圧用の入力段増幅部の入力関係は変えずに、複数の出力段増幅部の出力関係を制御信号に応じて変えるものである。加えて、入力段増幅部と出力段増幅部とで1つの増幅部とするときに、増幅部がボルテージフォロワ構成する様にスイッチで切り替えることを特徴とするものである。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

第1の入力信号を第1導電型のトランジスタ差動対のみで受ける第1の入力段増幅部と、
前記第1の入力信号とは異なる第2の入力信号を第2導電型のトランジスタ差動対のみで受ける第2の入力段増幅部と、
第1および第2の出力段増幅部と、
前記第1の入力段増幅部および前記第2の入力段増幅部と、前記第1および第2の出力段増幅部との接続を外部制御信号に基づいて切り換える切替え回路と、
を具備することを特徴とする増幅回路。

10

【請求項 2】

第1の電源電圧と該第1の電源電圧より高い第2の電源電圧間の電圧を印加する増幅回路において、
第1導電型のトランジスタ差動対で構成された第1の入力段増幅部と、
第2導電型のトランジスタ差動対で構成された第2の入力段増幅部と、
第1および第2の出力段増幅部と、
前記第1の入力段増幅部および前記第2の入力段増幅部と、前記第1および第2の出力段増幅部との接続を外部制御信号に基づいて切り換える切替え回路を具備し、
前記第1の入力段増幅部は、前記第2の電源電圧から、概略前記第1の電源電圧より前記第1導電型のトランジスタ差動対を構成するトランジスタの閾値電圧よりも高い電圧の範囲で増幅動作を実施し、それ以外の範囲では増幅動作を実施せず、
前記第2の入力段増幅部は、前記第1の電源電圧から、概略前記第2の電源電圧より前記第2導電型のトランジスタ差動対を構成するトランジスタの閾値電圧よりも低い電圧の範囲で増幅動作を実施し、それ以外の範囲では増幅動作を実施しないことを特徴とする増幅回路。

20

【請求項 3】

前記切替え回路の動作に応動して、第1の状態では、前記第1の入力段増幅部の出力を前記第1の出力段増幅部の入力とし、前記第2の入力段増幅部の出力を前記第2の出力段増幅部の入力とし、
第2の状態では、前記第1の入力段増幅部の出力を前記第2の出力段増幅部の入力とし、
前記第2の入力段増幅部の出力を前記第1の出力段増幅部の入力とすることを特徴とする請求項1もしくは請求項2に記載の増幅回路。

30

【請求項 4】

前記切替え回路の動作に応動して、前記第1の状態では、前記第1の出力段増幅部の出力を前記第1の入力段増幅部の前記入力が入力される入力端とは異なる第2の入力端に帰還すると共に、前記第2の出力段増幅部の出力を前記第2の入力段増幅部の前記入力が入力される入力端とは異なる第2の入力端に帰還し、
前記第2の状態では、前記第1の出力段増幅部の出力を前記第2の入力段増幅部の前記第2の入力端に帰還すると共に、前記第2の出力段増幅部の出力を前記第1の入力段増幅部の前記第2の入力端に帰還することで、それぞれ2つのボルテージフォロワを構成することを特徴とする請求項3に記載の増幅回路。

40

【請求項 5】

前記第1の入力段増幅部は、NチャンネルMOSトランジスタの差動対で構成され、
前記第2の入力段増幅部は、PチャンネルMOSトランジスタの差動対で構成されていることを特徴とする請求項1乃至4のいずれか1項に記載の増幅回路。

【請求項 6】

前記第1の出力段増幅部の出力と前記第2の出力段増幅部の出力とは、前記切替え回路の動作に応じて、互いに極性が相反した信号をそれぞれの出力端から切り替えて出力することを特徴とする請求項1乃至4のいずれか1項に記載の増幅回路。

【請求項 7】

50

前記第 1 および第 2 の出力段増幅部は、それぞれが前記第 1 の電源電圧と前記第 2 の電源電圧間に直列に接続された 1 対の第 1 導電型のトランジスタと第 2 導電型のトランジスタから構成されていることを特徴とする請求項 2 乃至 4 のいずれか 1 項に記載の増幅回路。

【請求項 8】

前記外部制御信号は、極性反転信号 P O L とストロープ信号 S T B であることを特徴とする請求項 1 乃至 4 のいずれか 1 項に記載の増幅回路。

【請求項 9】

前記外部制御信号に基づいて前記第 1 の出力段増幅部と前記第 2 の出力段増幅部の構成を切り替える第 2 の切替え回路をさらに具備することを特徴とする請求項 1 乃至 4 のいずれか 1 項に記載の増幅回路。

10

【請求項 10】

前記第 1 および第 2 の出力段増幅部は、前記第 1 の入力段増幅部と前記第 2 の入力段増幅部の両方の出力電圧範囲の出力が可能な構成を特徴とする請求項 1 乃至 4 のいずれか 1 項に記載の増幅回路。

【請求項 11】

第 1 の入力信号を第 1 導電型のトランジスタ差動対のみで受ける複数の第 1 の入力段増幅部と、

前記第 1 の入力信号とは異なる第 2 の入力信号を第 2 導電型のトランジスタ差動対のみで受ける複数の第 2 の入力段増幅部と、

複数の第 1 および複数の第 2 の出力段増幅部と、

20

前記複数の第 1 の入力段増幅部および前記複数の第 2 の入力段増幅部と、

前記複数の第 1 および複数の第 2 の出力段増幅部との接続を外部制御信号に基づいて切り換える切替え回路と、

を具備することを特徴とする増幅回路。

【請求項 12】

第 1 の電源電圧と該第 1 の電源電圧より高い第 2 の電源電圧間の電圧を印加する増幅回路において、

第 1 導電型のトランジスタ差動対で構成された複数の第 1 の入力段増幅部と、

第 2 導電型のトランジスタ差動対で構成された複数の第 2 の入力段増幅部と、

複数の第 1 および複数の第 2 の出力段増幅部と、

30

前記複数の第 1 の入力段増幅部および前記複数の第 2 の入力段増幅部と、前記複数の第 1 および複数の第 2 の出力段増幅部との接続を外部制御信号に基づいて切り換える切替え回路を具備し、

前記複数の第 1 の入力段増幅部は、前記第 2 の電源電圧から、概略前記第 1 の電源電圧より前記複数の第 1 導電型のトランジスタ差動対を構成するトランジスタの閾値電圧よりも高い電圧の範囲で増幅動作を実施し、それ以外の範囲では増幅動作を実施せず、

前記複数の第 2 の入力段増幅部は、前記第 1 の電源電圧から、概略前記第 2 の電源電圧より前記複数の第 2 導電型のトランジスタ差動対を構成するトランジスタの閾値電圧よりも低い電圧の範囲で増幅動作を実施し、それ以外の範囲では増幅動作を実施しないことを特徴とする増幅回路。

40

【請求項 13】

第 1 の入力信号を第 1 導電型のトランジスタ差動対のみで受ける第 1 の入力段増幅部と、前記第 1 の入力信号とは異なる第 2 の入力信号を第 2 導電型のトランジスタ差動対のみで受ける第 2 の入力段増幅部と、

第 1 および第 2 の出力段増幅部と、

前記第 1 の入力段増幅部および前記第 2 の入力段増幅部と、前記第 1 および第 2 の出力段増幅部との接続を外部制御信号に基づいて切り換える切替え回路と、

を具備することを特徴とする増幅回路を搭載した表示装置。

【請求項 14】

第 1 の電源電圧と該第 1 の電源電圧より高い第 2 の電源電圧間の電圧を印加する増幅回路

50

において、

第 1 導電型のトランジスタ差動対で構成された第 1 の入力段増幅部と、
 第 2 導電型のトランジスタ差動対で構成された第 2 の入力段増幅部と、
 第 1 および第 2 の出力段増幅部と、
 前記第 1 の入力段増幅部および前記第 2 の入力段増幅部と、前記第 1 および第 2 の出力段
 増幅部との接続を外部制御信号に基づいて切り換える切替え回路を具備し、
 前記第 1 の入力段増幅部は、前記第 2 の電源電圧から、概略前記第 1 の電源電圧より前記
 第 1 導電型のトランジスタ差動対を構成するトランジスタの閾値電圧よりも高い電圧の範
 囲で増幅動作を実施し、それ以外の範囲では増幅動作を実施せず、
 前記第 2 の入力段増幅部は、前記第 1 の電源電圧から、概略前記第 2 の電源電圧より前記
 第 2 導電型のトランジスタ差動対を構成するトランジスタの閾値電圧よりも低い電圧の範
 囲で増幅動作を実施し、それ以外の範囲では増幅動作を実施しないことを特徴とする増幅
 回路を搭載した表示装置。

10

【発明の詳細な説明】

【技術分野】

【0001】

本発明は増幅回路および表示装置に関し、特にアクティブマトリクス型のデータ側駆
 動回路（例えば、液晶表示駆動回路）として用いられる増幅回路および表示装置（例えば
 、液晶表示装置）に関する。

【背景技術】

20

【0002】

以下、液晶表示装置を一例として説明する。液晶パネルと、液晶パネルの上側に配置さ
 れる液晶表示駆動回路と、液晶パネルの側面に配置されるゲートドライバとを備えたアク
 ティブマトリクス型液晶表示装置が知られている。このような液晶表示装置において、画
 素の容量負荷を駆動するための増幅回路が液晶表示駆動装置に用いられている。

【0003】

液晶パネルにおいて、直流電圧印加による焼きつきを防ぐために交流駆動が行われてい
 る。液晶の交流駆動は、コモンレベルを中心に書込み極性をフレームやラインやドット毎
 に反転させる駆動方式であり、「フレーム反転」、「ゲートライン反転」、「データライ
 ン反転」、「ドット反転」などの複数の種類がある。「フレーム反転」は、フレーム毎に
 書込み極性が反転する方式であり、「ゲートライン反転」は、フレーム内では走査線方向
 の書込みが同極性で N (N : 2 以上の整数) ライン毎に極性が反転し、さらにフレーム毎
 に書込み極性が反転する方式である。「データライン反転」は、フレーム内ではデータ線
 方向の書込みが同極性でフレーム毎に極性が反転する方式である。また、「ドット反転」
 は、フレーム内では相隣する画素の書込み極性が反転し、さらにフレーム毎に極性が反転
 する方式である。

30

【0004】

本発明は、先に説明した「データライン反転」と「ドット反転」方式に関するものである
 。即ち、同一のゲートラインに対して隣接する画素に極性が異なるデータを書き込む方式
 に関するものである。

40

【0005】

以下、図 8 を用いて、一般的な液晶表示装置の駆動方法について、液晶表示駆動回路と液
 晶パネルについて簡単に説明する。

【0006】

液晶表示駆動装置は、所定ビット数例えば 8 ビットのデジタル表示信号 R 、 G 、 B を取
 りこむデータレジスタ 1 と、入力するデータをラッチする信号である水平同期信号 HSY
 NC から生成するストローク信号（以下、ストローク信号 STB と呼ぶ）に同期してディ
 ジタル表示信号をラッチするラッチ回路 2 と、並列 N (N : 2 以上の整数) 段のデジタル
 / アナログ変換器からなる DA コンバータ 3 と、液晶の特性に合されたガンマ変換特性
 を有する液晶階調電圧発生回路 4 と、 DA コンバータ 3 からの電圧をバッファリングする

50

増幅回路 5 を備える。

【 0 0 0 7 】

液晶パネルは、TFT 6 (TFT: Thin Film Transister、TFT 6__1 ~ TFT 6__N) と、画素容量 7 (画素容量 7__1 ~ 画素容量 7__N) を有する。TFT 6 は、データ線と走査線の交差部に設けられ、ゲートが走査線に接続され、ソースがデータ線に接続されている。画素容量 7 は、一端が TFT 6 のドレインに接続され、他端が COM 端子に接続されている。説明上の便宜のため、図 8 では液晶パネルについて 1 ライン分の構成のみを示しているが、実際の液晶パネルには、図 8 に示す TFT 6 が M (M: 2 以上の整数) ライン分設けられている。

【 0 0 0 8 】

液晶表示装置の動作時に、図示しないゲートドライバは、各ラインの TFT のゲートを順次駆動していく。

【 0 0 0 9 】

DA コンバータ 3 は、ラッチ回路 2 からのデジタル表示信号を DA 変換して得た電圧を増幅回路 5 に供給する。つまり、DA コンバータ 3 は、液晶階調電圧発生回路 4 で発生した複数の基準電圧から図示しない ROM スイッチなどで構成されたデコーダにより、デジタル表示信号に応じた基準電圧を選択し増幅回路 5 に供給するのである。

【 0 0 1 0 】

液晶階調電圧発生回路 4 は、たとえば抵抗ラダー回路を備えており、各基準電圧点のインピーダンスを下げるために、または基準電圧を調整するために、ボルテージフォロワで駆動するようになっている。また、液晶階調電圧発生回路 4 は、先の交流駆動を行う為に、正極性階調電圧と負極性階調電圧とを出力する。

【 0 0 1 1 】

増幅回路 5 は、DA コンバータ 3 から供給された正極性階調電圧と負極性階調電圧をインピーダンス変換し、画素への書込み時には、増幅回路 5 の出力端子から液晶パネルの TFT 6__1 ~ TFT 6__N のドレインに出力電圧を出力し、電荷回収期間には増幅回路 5 の出力端をハイインピーダンスとする。

【 0 0 1 2 】

先に説明したとおり、ドット反転駆動方式のアクティブマトリックス型の表示装置では、液晶パネルのデータ線が 1 走査線の隣接する画素どうして極性が互い違いとなるように、さらに 1 水平期間ごとに正極性階調電圧と負極性階調電圧とで交互に駆動される。そのため、液晶表示駆動回路の増幅回路 5 は、奇数端子と偶数端子とで極性が互い違いとなるようにして正極性階調電圧と負極性階調電圧とが交互に増幅回路 5 から出力される構成となっている。

【 0 0 1 3 】

この従来の増幅回路 5 について、さらに詳しく特許文献 1 の図 2 を模式化した図 9 を用いて説明する。尚、液晶パネルの解像度が、例えば、SXGA (1280 x 1024 画素: 1 画素は R, G, B の 3 ドットからなる) の場合、データ線 1280 x 3 = 3840 本に対して 10 個の液晶表示駆動回路を用いるとすると、1 個の液晶表示駆動回路で 384 出力を必要とするが、説明を簡明にするため、隣接する 2 端子 (以下、奇数出力端子を S1、偶数出力端子を S2 と呼ぶ) として説明する。

【 0 0 1 4 】

図 9 のとおり増幅回路 5 には、DA コンバータ 3 からの 2 出力に対応した映像信号をデジタル/アナログ変換した階調電圧である正極性階調電圧 V_{Px} (以下、階調電圧 V_{Px} と呼ぶ) と負極性階調電圧 V_{Nx} (以下、階調電圧 V_{Nx} と呼ぶ) が端子 I1, I2 から入力される。

【 0 0 1 5 】

図 9 の増幅回路 5 の構成は、端子 I1, I2 からの階調電圧 V_{Px} 、 V_{Nx} を極性が互い違いなるようにして交互に出力する極性切替スイッチ部 10 と、極性切替スイッチ部 10 からの階調電圧 V_{Px} 、 V_{Nx} を駆動能力を上げて出力するボルテージフォロワ 8 と、増

10

20

30

40

50

幅回路5のS1とS2から1水平期間ごとに極性が互い違いなるようにして交互に出力する出力スイッチ部9(特許文献1では出力スイッチは不図示。)から構成されている。

【0016】

極性切替スイッチ部10は、スイッチSW1, SW2, SW3, SW4が、極性反転信号POLとストローク信号STBとにより制御され、スイッチSW1, SW4とスイッチSW2, SW3とで相補的に動作する。

【0017】

ボルテージフォロワ8は、第1の増幅部81、第2の増幅部82よりなり、第1の増幅部81の入力にはSW1, SW2が接続され、第2の増幅部82の入力にはSW3, SW4が接続される。

10

【0018】

出力スイッチ部は、第1の増幅部81、第2の増幅部82の出力に接続され、ストローク信号STBにより制御されて、液晶パネルを駆動するときにはONとなり、電荷回収期間にOFFとなる様に構成されている。

【0019】

次に、この増幅回路の動作を説明する。ある1水平期間において、DAコンバータからの階調電圧VPx、VNxは、それぞれ切替スイッチ部10のスイッチSW1, SW3とスイッチSW2, SW4に出力される。このとき、図10のタイミングチャートで示すとおり、極性切替スイッチ部10は極性反転信号POLとストローク信号STBとにより制御される。例えば、極性反転信号POL="H"とストローク信号STB="H"により、スイッチSW1, SW4がOFFからONに、スイッチSW2, SW3がONからOFFに切り替わる。この結果、ボルテージフォロワ8の第1の増幅部81にはDAコンバータ3から階調電圧VPxが入力され、第2の増幅部82にはDAコンバータ3から階調電圧VNxが入力される。そして、階調電圧VPxは第1の増幅部81でインピーダンス変換され、階調電圧VNxは第2の増幅部82でインピーダンス変換される。同時に、ストローク信号STB="L"に同期し、出力スイッチSW5, SW6がONし、第1の増幅部81からS1には階調電圧VPxが出力され、第2の増幅部82からS2には階調電圧VNxが出力される。

20

【0020】

次の1水平期間において、DAコンバータ3からの階調電圧VPx、VNxは、それぞれ極性切替スイッチ部10のスイッチSW1, SW3スイッチとスイッチSW2, SW4に出力される。このとき、図10のタイミングチャートで示すとおり、極性切替スイッチ部10は極性反転信号POL="L"とストローク信号STB="H"により制御され、スイッチSW2, SW3がOFFからONに、スイッチSW1, SW4がONからOFFに切り替わる。この結果、ボルテージフォロワ8の第1の増幅部81にはDAコンバータ3から階調電圧VNxが入力され、第2の増幅部82にはDAコンバータ3から階調電圧VPxが入力される。階調電圧VNxは第1の増幅部81でインピーダンス変換され、階調電圧VPxは第2の増幅部82でインピーダンス変換される。同時に、ストローク信号STB="L"に同期して出力スイッチSW5, SW6がONし、第1の増幅部81からS1には階調電圧VNxが出力され、第2の増幅部82からS2には階調電圧VPxが出力される。

30

40

【0021】

以下同様にして、増幅回路5は、外部信号(極性反転信号POLとストローク信号STB)の論理に対応した階調電圧VPx、VNxをS1とS2とで極性が互い違いとなるようにして1水平期間ごとに交互に出力する。

【0022】

即ち、特許文献1では、DAコンバータの階調電圧VPxと階調電圧VNxを1水平期間ごとに切り換えて第1の増幅部81と第2の増幅部82へ出力し、第1の増幅部81と第2の増幅部82でインピーダンス変換された後、出力スイッチ部9を介して液晶パネルを駆動する構成といえる。

50

【 0 0 2 3 】

次に、特許文献 1 とは増幅回路 5 の構成が異なる特許文献 2 を説明する。特許文献 2 を模式化した図が図 1 1 である。

【 0 0 2 4 】

特許文献 2 の増幅回路 5 は、ボルテージフォロワ 8 と、極性切替スイッチ兼出力スイッチ部 1 1 とから構成されている。

【 0 0 2 5 】

ボルテージフォロワ 8 は、第 1 の増幅部 8 1 と第 2 の増幅部 8 2 とからなる。第 1 の増幅部 8 1 の非反転入力端子には、D A コンバータ 3 からの階調電圧 $V_{P x}$ が端子 I 1 を介して入力され、第 1 の増幅部 8 1 の出力が反転入力端子に帰還されボルテージフォロワ構成としており、第 2 の増幅部 8 2 の非反転入力端子には、D A コンバータ 3 からの階調電圧 $V_{N x}$ が端子 I 2 を介して入力され、第 2 の増幅部 8 2 の出力が反転入力端子に帰還されボルテージフォロワ 8 を構成している。

10

【 0 0 2 6 】

極性切替スイッチ兼出力スイッチ部 1 1 は、スイッチ S W 7 , S W 8 , S W 9 , S W 1 0 で構成されている。第 1 の増幅部 8 1 の出力 O U T 1 には S W 7 , S W 9 が接続され、第 2 の増幅部 8 2 の出力 O U T 2 には S W 8 , S W 1 0 が接続されている。なお、これらのスイッチは、極性反転信号 P O L とストローク信号 S T B との論理により制御され、スイッチ S W 7 , S W 1 0 とスイッチ S W 8 , S W 9 とで O N , O F F が相補的に動作する構成となっている。

20

【 0 0 2 7 】

次に、特許文献 2 の増幅回路 5 の動作を説明する。D A コンバータ 3 からの階調電圧 $V_{P x}$ は端子 I 1 を介して第 1 の増幅部の非反転入力端子、階調電圧 $V_{N x}$ は端子 I 2 を介して第 2 の増幅部 8 2 の非反転入力端子に入力される。ボルテージフォロワ構成としているために階調電圧 $V_{P x}$ は第 1 の増幅部 8 1 でインピーダンス変換され、階調電圧 $V_{N x}$ は第 2 の増幅部 8 2 でインピーダンス変換される。第 1 の増幅部 8 1 の出力 O U T 1 は、極性切替スイッチ兼出力スイッチ部 1 1 のスイッチ S W 7 , S W 9 に接続され、第 2 の増幅部 8 2 の出力 O U T 2 は、極性切替スイッチ兼出力スイッチ部 1 1 のスイッチ S W 8 , S W 1 0 に接続されている。

【 0 0 2 8 】

極性切替スイッチ兼出力スイッチ部 1 1 は、極性反転信号 P O L とストローク信号 S T B との論理により制御される。図 1 2 のタイミングチャートで示すとおり、極性反転信号 P O L から P O L ' を生成し、さらにストローク信号 S T B を反転した S T B バーを生成する。P O L ' と S T B バーとの論理積の反転 (N A N D) をとり S W 7 , S W 1 0 のバーを生成し、その反転をとることで S W 7 , S W 1 0 の O N と O F F を確定する。

30

【 0 0 2 9 】

次ぎに、スイッチ S W 8 , S W 9 は、P O L ' とストローク信号 S T B との論理和の反転 (N O R) をとることで O N と O F F を確定する。

【 0 0 3 0 】

この結果、増幅回路 5 は、階調電圧 $V_{P x}$ 、 $V_{N x}$ を S 1 と S 2 とで極性が互い違いとなるようにして 1 水平期間ごとに交互に出力することが出来る。

40

【 0 0 3 1 】

同様に、特許文献 3 には、本発明とは課題も構成も全く異なるが特許文献 2 の極性切替スイッチ兼出力スイッチ部と同等のスイッチ手段 (特許文献 3 、 図 6 の 4 7 と 4 8) が開示されている。

【 0 0 3 2 】

更に、本発明とは方式が全く異なるセグメント型ディスプレイ方式で、基準電源から選択された電圧を 2 つの増幅部に入力し、増幅部の出力を切り替える技術が特許文献 4 に開示されている。

【 0 0 3 3 】

50

以上、特許文献 2 から特許文献 4 は、D A コンバータ 3 からの階調電圧 $V_{P \times}$ と階調電圧 $V_{N \times}$ とを第 1 の増幅部 8 1 と第 2 の増幅部 8 2 でそのままインピーダンス変換する。そして、第 1 の増幅部 8 1 および第 2 の増幅部 8 2 の出力 O U T と増幅回路 5 の出力端子 S 1、S 2 との間の極性切替スイッチ兼出力スイッチ部 1 1 を外部信号で制御することで S 1 と S 2 とで極性が互い違いになるよう駆動する構成であるといえる。

【特許文献 1】特開 2 0 0 0 - 2 2 1 9 2 7 号公報 (図 2)

【特許文献 2】特開平 1 1 - 2 4 9 6 2 3 号公報 (図 7)

【特許文献 3】特開 2 0 0 2 - 1 7 5 0 5 2 号公報 (図 6)

【特許文献 4】特開 2 0 0 0 - 9 8 3 3 1 号公報

【発明の開示】

【発明が解決しようとする課題】

【 0 0 3 4 】

特許文献 1 では、ボルテージフォロワ 8 の前段に極性切替スイッチ回路部 1 0 があるために、第 1 の増幅部 8 1 と第 2 の増幅部 8 2 の入力は、階調電圧 $V_{P \times}$ から階調電圧 $V_{N \times}$ までの広範囲となる。この為、広範囲の動作電源電圧で精度良く増幅しなければならず、R a i l - t o - R a i l 特性を得る構成をしなければならない。例えば、増幅回路 5 の入力段として P c h トランジスタと N c h トランジスタの 2 つの差動対を抱き合わせ構造とする必要がある。結果として、回路構成が複雑で面積縮小化が図れないばかりか、低消費電力化が図れない不具合がある。

【 0 0 3 5 】

特許文献 2 では、階調電圧 $V_{P \times}$ を増幅する N チャンネル M O S トランジスタの差動対を備える第 1 の増幅部 8 1、 $V_{N \times}$ を増幅する P チャンネル M O S トランジスタの差動対を備える第 2 の増幅部 8 2 であれば良く、R a i l - t o - R a i l 特性を得るための構成である必要はない。従って、特許文献 1 より小さな面積で構成でき、低消費電力化が計れる。

【 0 0 3 6 】

しかしながら、近年の液晶パネルの大型化に伴い画素数が大幅に増加し、増幅回路 5 側から見て液晶パネル側の負荷が増加する傾向にある。加えて、高画質化に伴い高速駆動の必要性が出てきた。このために、出力スイッチの電圧低下を極力おさえる、つまり、動作時の抵抗値を下げる必然性が出てきた。ところが、増幅部からの出力を極性切替スイッチ兼出力スイッチ部 1 1 で切替えて液晶パネル側に印加する構成の特許文献 2 では、増幅回路 5 側から見て S W 7、S W 8、S W 9、S W 1 0 の計 4 つのスイッチのうちの 1 つが増幅回路 5 と出力端子 S との間に直列に接続されるため、抵抗値を下げるためにはそれぞれ大きなトランジスタサイズで配設しなければならず、面積的に特許文献 2 のメリットはなくなった。(特許文献 3 と特許文献 4 も同様)

【 0 0 3 7 】

また、特許文献 2 では、図 1 2 で示したとおり、外部から入力される極性反転信号 P O L とストローク信号 S T B とから論理を組まなければならない制御が複雑である。

【 0 0 3 8 】

以上のとおり、特許文献 1 や特許文献 2 では、面積縮小化や低消費電力化が計れない。さらに、特許文献 2 では、スイッチ切り換えに論理を組まなければならない制御が複雑である。

【課題を解決するための手段】

【 0 0 3 9 】

第 1 の入力信号を第 1 導電型のトランジスタ差動対のみで受ける第 1 の入力段増幅部と、第 1 の入力信号とは異なる第 2 の入力信号を第 2 導電型のトランジスタ差動対のみで受ける第 2 の入力段増幅部と、第 1 および第 2 の出力段増幅部と、第 1 の入力段増幅部および第 2 の入力段増幅部と、第 1 および第 2 の出力段増幅部との接続を外部制御信号に基づいて切り換える切替え回路と、を具備することを特徴とする増幅回路である。

10

20

30

40

50

【 0 0 4 0 】

また、第 1 の電源電圧と該第 1 の電源電圧より高い第 2 の電源電圧間の電圧を印加する増幅回路において、第 1 導電型のトランジスタ差動対で構成された第 1 の入力段増幅部と、第 2 導電型のトランジスタ差動対で構成された第 2 の入力段増幅部と、第 1 および第 2 の出力段増幅部と、第 1 の入力段増幅部および第 2 の入力段増幅部と、第 1 および第 2 の出力段増幅部との接続を外部制御信号に基づいて切り換える切替え回路を具備し、第 1 の入力段増幅部は、第 2 の電源電圧から、概略第 1 の電源電圧より第 1 導電型のトランジスタ差動対を構成するトランジスタの閾値電圧よりも高い電圧の範囲で増幅動作を実施し、それ以外の範囲では増幅動作を実施せず、第 2 の入力段増幅部は、第 1 の電源電圧から、概略第 2 の電源電圧より第 2 導電型のトランジスタ差動対を構成するトランジスタの閾値電圧よりも低い電圧の範囲で増幅動作を実施し、それ以外の範囲では増幅動作を実施しないことを特徴とする増幅回路である。

10

【 0 0 4 1 】

第 1 の入力信号を第 1 導電型のトランジスタ差動対のみで受ける複数の第 1 の入力段増幅部と、第 1 の入力信号とは異なる第 2 の入力信号を第 2 導電型のトランジスタ差動対のみで受ける複数の第 2 の入力段増幅部と、複数の第 1 および複数の第 2 の出力段増幅部と、複数の第 1 の入力段増幅部および複数の第 2 の入力段増幅部と、複数の第 1 および複数の第 2 の出力段増幅部との接続を外部制御信号に基づいて切り換える切替え回路と、を具備することを特徴とする増幅回路である。

20

【 0 0 4 2 】

第 1 の電源電圧と該第 1 の電源電圧より高い第 2 の電源電圧間の電圧を印加する増幅回路において、第 1 導電型のトランジスタ差動対で構成された複数の第 1 の入力段増幅部と、第 2 導電型のトランジスタ差動対で構成された複数の第 2 の入力段増幅部と、複数の第 1 および複数の第 2 の出力段増幅部と、複数の第 1 の入力段増幅部および複数の第 2 の入力段増幅部と、複数の第 1 および複数の第 2 の出力段増幅部との接続を外部制御信号に基づいて切り換える切替え回路を具備し、複数の第 1 の入力段増幅部は、第 2 の電源電圧から、概略第 1 の電源電圧より複数の第 1 導電型のトランジスタ差動対を構成するトランジスタの閾値電圧よりも高い電圧の範囲で増幅動作を実施し、それ以外の範囲では増幅動作を実施せず、複数の第 2 の入力段増幅部は、第 1 の電源電圧から、概略第 2 の電源電圧より複数の第 2 導電型のトランジスタ差動対を構成するトランジスタの閾値電圧よりも低い電圧の範囲で増幅動作を実施し、それ以外の範囲では増幅動作を実施しないことを特徴とする増幅回路である。

30

【 0 0 4 3 】

第 1 の入力信号を第 1 導電型のトランジスタ差動対のみで受ける第 1 の入力段増幅部と、第 1 の入力信号とは異なる第 2 の入力信号を第 2 導電型のトランジスタ差動対のみで受ける第 2 の入力段増幅部と、第 1 および第 2 の出力段増幅部と、第 1 の入力段増幅部および第 2 の入力段増幅部と、第 1 および第 2 の出力段増幅部との接続を外部制御信号に基づいて切り換える切替え回路と、を具備することを特徴とする増幅回路を搭載した表示装置である。

40

【 0 0 4 4 】

第 1 の電源電圧と該第 1 の電源電圧より高い第 2 の電源電圧間の電圧を印加する増幅回路において、第 1 導電型のトランジスタ差動対で構成された第 1 の入力段増幅部と、第 2 導電型のトランジスタ差動対で構成された第 2 の入力段増幅部と、第 1 および第 2 の出力段増幅部と、第 1 の入力段増幅部および第 2 の入力段増幅部と、第 1 および第 2 の出力段増幅部との接続を外部制御信号に基づいて切り換える切替え回路を具備し、第 1 の入力段増幅部は、第 2 の電源電圧から、概略第 1 の電源電圧より第 1 導電型のトランジスタ差動対を構成するトランジスタの閾値電圧よりも高い電圧の範囲で増幅動作を実施し、それ以外の範囲では増幅動作を実施せず、第 2 の入力段増幅部は、第 1 の電源電圧から、概略第 2 の電源電圧より第 2 導電型のトランジスタ差動対を構成するトランジスタの閾値電圧よりも低い電圧の範囲で増幅動作を実施し、それ以外の範囲では増幅動作を実施しないことを

50

特徴とする増幅回路を搭載した表示装置である。

【発明の効果】

【0045】

本発明に係る増幅回路5および表示装置(例えば、液晶表示装置)は、従来の増幅回路5および表示装置に比べて、特性を維持しつつ、面積縮小と消費電力の低減が複雑な論理を組まず実現できる。

【発明を実施するための最良の形態】

【0046】

図1は、本発明のブロック図である。本発明の増幅回路5は、第1の入力段増幅部83、第2の入力段増幅部84、ボルテージフォロワ接続兼極性切替えスイッチ部12、第1の出力段増幅部85、第2の出力段増幅部86で構成されたボルテージフォロワ8と出力スイッチ部9から構成されている。ただし、出力スイッチ部9は、電荷回収をしない場合等、液晶表示駆動回路の出力、つまり増幅回路5の出力をハイインピーダンスにする必要がない装置では、出力スイッチ部9は不要となり、削除することが可能となる。この場合、ボルテージフォロワ8が増幅回路5と同等となる。

10

【0047】

ボルテージフォロワ8の第1の入力段増幅部83は、入力端子I1から入力される階調電圧 V_{Px} が、最高電源電圧(正電圧の上限、また第2の電源電圧とも呼ぶ) V_{DD} から最低電源電圧(負電圧の下限、また第1の電源電圧とも呼ぶ) V_{SS} のほぼ上半分の電圧に限定されるため、最低電源電圧 V_{SS} に近い電圧の入出力をする必要がない。Nチャンネル差動対を構成するNチャンネルMOSトランジスタの閾値電圧を V_{TN} とする時、Nチャンネル差動対は、ほぼ最高電源電圧 V_{DD} から $(V_{SS} + V_{TN})$ の範囲の電圧を入出力するため、第1の入力段増幅部83はNチャンネルMOS差動対のみで構成できる。

20

【0048】

同様に、ボルテージフォロワ8の第2の入力段増幅部84は、入力端子I2から入力される階調電圧 V_{Nx} が、最高電源電圧(正電圧の上限) V_{DD} から最低電源電圧(負電圧の下限) V_{SS} のほぼ下半分の電圧に限定されるため、最高電源電圧 V_{DD} に近い電圧の入力をする必要がない。Pチャンネル差動対を構成するPチャンネルMOSトランジスタの閾値電圧を V_{TP} とする時、Pチャンネル差動対は、ほぼ $(V_{DD} - V_{TP})$ から最低電源電圧 V_{SS} の範囲の電圧を入出力するため、第2の入力段増幅部84はPチャンネルMOS差動対のみで構成できる。

30

【0049】

ボルテージフォロワ8のボルテージフォロワ接続兼極性切替えスイッチ部12は、第1の入力段増幅部83、第2の入力段増幅部84と第1の出力段増幅部85、第2の出力段増幅部86との入出力の接続を切り換える回路であり、複数のスイッチ SW_{11} 、 SW_{12} 、 SW_{13} 、 SW_{14} 、 SW_{15} 、 SW_{16} 、 SW_{17} 、 SW_{18} から構成されている。また、外部からの信号である極性反転信号 POL とストロープ信号 STB とによりONとOFFが制御される。そして、スイッチ SW_{11} 、 SW_{14} 、 SW_{15} 、 SW_{18} と、スイッチ SW_{12} 、 SW_{13} 、 SW_{16} 、 SW_{17} とは相補的にONとOFFを切り替える構成となっている。

40

【0050】

ボルテージフォロワ8の第1の出力段増幅部85は、ボルテージフォロワ接続兼極性切替えスイッチ部12のスイッチ SW_{11} もしくは SW_{12} を介して第1の入力段増幅部83もしくは第2の入力段増幅部84の出力を入力し、出力スイッチ部9のスイッチ SW_{19} がONのときに出力端子S1から液晶表示パネルのTF T6へ映像信号に応じた電圧を出力する。同様に、ボルテージフォロワ8の第2の出力段増幅部86は、ボルテージフォロワ接続兼極性切替えスイッチ部12のスイッチ SW_{13} もしくは SW_{14} を介して第1の入力段増幅部83もしくは第2の入力段増幅部84の出力を入力し、出力スイッチ部9のスイッチ SW_{20} がONのときに出力端子S2から液晶表示パネルのTF T6へ映像信号に応じた電圧を出力する。

50

【 0 0 5 1 】

出力スイッチ部 9 は、外部からの信号であるストローク信号 S T B により O N、O F F が制御される。液晶パネルを駆動するときには O N 状態とし、電荷回収期間には O F F 状態となる様に構成されている。

【 0 0 5 2 】

次に、本発明の動作を図 1 の増幅回路 5 のブロック図と、図 2 のタイムチャートとを用いて説明する。

【 0 0 5 3 】

ある 1 水平期間において、D A コンバータ 3 からの階調電圧 $V P x$ は増幅部の入力端子 I 1 を介して第 1 の入力段増幅部 8 3 の非反転入力端子に入力され、階調電圧 $V N x$ は入力端子 I 2 を介して第 2 の入力段増幅部 8 4 の非反転入力端子にそれぞれ入力される。

第 1 の入力段増幅部 8 3 の出力端子はボルテージフォロワ接続兼極性切替えスイッチ部 1 2 のスイッチ S W 1 1 , S W 1 3 に接続され、第 1 の入力段増幅部 8 3 の反転入力端子はスイッチ S W 1 5 , S W 1 6 に接続されている。また、第 2 の入力段増幅部 8 4 の出力端子はボルテージフォロワ接続兼極性切替えスイッチ部 1 2 のスイッチ S W 1 2 , S W 1 4 に接続され、第 2 の入力段増幅部 8 4 の反転入力端子はスイッチ S W 1 7 , S W 1 8 に接続される。

【 0 0 5 4 】

このとき、図 2 のタイミングチャートで示すとおり、ボルテージフォロワ接続兼極性切替えスイッチ部 1 2 は極性反転信号 P O L とストローク信号 S T B とにより制御される。例えば、極性反転信号 P O L = " H " とストローク信号 S T B = " H " により、スイッチ S W 1 1 , S W 1 4 , S W 1 5 , S W 1 8 が O F F から O N に、スイッチ S W 1 2 , S W 1 3 , S W 1 6 , S W 1 7 が O N から O F F に切り替わるとする。この結果、第 1 の入力段増幅部 8 3 の出力が第 1 の出力段増幅部 8 5 に入力され、第 1 の出力段増幅部 8 5 の出力は第 1 の入力段増幅部 8 3 の非反転入力端子に入力される。つまり、第 1 の入力段増幅部 8 3 と第 1 の出力段増幅部 8 5 とでボルテージフォロワ構成の 1 つの増幅部を構成することになる。同様に、第 2 の入力段増幅部 8 4 と第 2 の出力段増幅部 8 6 とでボルテージフォロワ構成の 1 つの増幅部を構成することになる。

【 0 0 5 5 】

第 1 の出力段増幅部 8 5 と第 2 の出力段増幅部 8 6 の出力はスイッチ S W 1 9 , S W 2 0 がストローク信号 S T B = " L " により O N し、出力端子 S 1 および S 2 から液晶パネルの T F T 6 へ映像信号に応じた電圧を出力する。

【 0 0 5 6 】

次の 1 水平期間において、D A コンバータ 3 からの階調電圧 $V P x$ は増幅部の入力端子 I 1 を介して第 1 の入力段増幅部 8 3 の非反転入力端子に入力され、階調電圧 $V N x$ は増幅部の入力端子 I 2 を介して第 2 の入力段増幅部 8 4 の非反転入力端子にそれぞれ入力される。

【 0 0 5 7 】

極性反転信号 P O L = " L " とストローク信号 S T B = " H " により、スイッチ S W 1 2 , S W 1 3 , S W 1 6 , S W 1 7 が O F F から O N に、スイッチ S W 1 1 , S W 1 4 , S W 1 5 , S W 1 8 が O N から O F F に切り替わる。この結果、第 1 の入力段増幅部 8 3 の出力が第 2 の出力段増幅部 8 6 に入力され、第 2 の出力段増幅部 8 6 の出力 O U T 2 は第 1 の入力段増幅部 8 3 の非反転入力端子に接続される。つまり、第 1 の入力段増幅部 8 3 と第 2 の出力段増幅部 8 6 とでボルテージフォロワ構成の 1 つの増幅部を構成することになる。また、第 2 の入力段増幅部 8 4 と第 1 の出力段増幅部 8 5 とでボルテージフォロワ構成の 1 つの増幅部を構成することになる。第 1 の出力段増幅部 8 5 と第 2 の出力段増幅部 8 6 の出力は、スイッチ S W 1 9 , S W 2 0 がストローク信号 S T B = " L " により O N し、出力端子 S 1 および S 2 から液晶パネルの T F T 6 へ映像信号に応じた電圧を出力する。

【 0 0 5 8 】

以下同様にして、増幅回路 5 は、映像信号の論理に対応した階調電圧 V_{Px} 、 V_{Nx} を S_1 と S_2 とで極性が互い違いとなるようにして 1 水平期間ごとに交互に出力される。

【0059】

次に、図 3 に示す具体的な増幅回路 5 の回路図を用いて更に詳しく構成と動作について説明する。

【0060】

まず、ある水平期間において、ボルテージフォロワ接続兼極性切替えスイッチ部 12 において、極性反転信号 $POL = "H"$ とストロブ信号 $STB = "H"$ により、スイッチ SW_{11} 、 SW_{14} 、 SW_{15} 、 SW_{18} が OFF から ON に、スイッチ SW_{12} 、 SW_{13} 、 SW_{16} 、 SW_{17} が ON から OFF に切り替わり、ストロブ信号 $STB = "L"$ 期間で SW_{19} 、 SW_{20} が ON とする。

10

【0061】

第 1 の入力段増幅部 83 は、N チャンネル MOS トランジスタ MN_1 、 MN_2 のソースが共通接続され、差動対を構成する。差動対と最低電源電圧 V_{SS} との間に、N チャンネル MOS トランジスタ MN_{10} が接続されている。N チャンネル MOS トランジスタ MN_{10} は、ソースが最低電源電圧 V_{SS} に接続され、ドレインが N チャンネル MOS トランジスタ MN_1 、 MN_2 の共通接続されたソースに接続され、ゲートが定電圧源端子 BN_1 に接続され、定電流源の働きをする。P チャンネル MOS トランジスタ MP_3 、 MP_4 は、ソースとゲートがそれぞれ共通接続され、ソースは最高電源電圧 V_{DD} に接続され、ゲートは P チャンネル MOS トランジスタ MP_3 のドレインおよび N チャンネル MOS トランジスタ MN_1 のドレインに接続されている。P チャンネル MOS トランジスタ MP_4 のドレインは N チャンネル MOS トランジスタ MN_2 のドレインに接続されている。

20

【0062】

第 1 の入力段増幅部 83 の N チャンネル MOS トランジスタ MN_2 のドレインは、 SW_{11} が ON、 SW_{13} が OFF しているので、第 1 の出力段増幅部 85 の P チャンネル MOS トランジスタ MP_7 のドレインと P チャンネル MOS トランジスタ MP_8 のソースとの接続ノード A 点に接続される。

【0063】

P チャンネル MOS トランジスタ MP_7 は、ソースが最高電源電圧 V_{DD} に接続され、ドレインが A 点に接続され、ゲートが定電圧源端子 BP_2 に接続されて定電流源の働きをする。N チャンネル MOS トランジスタ MN_7 は、ソースが最低電源電圧 V_{SS} に接続され、ドレインが B 点に接続され、ゲートは定電圧源端子 BN_2 に接続されて定電流源の働きをする。P チャンネル MOS トランジスタ MP_8 は、ゲートが定電圧源端子 BP_3 に接続され、ソースが P チャンネル MOS トランジスタ MP_7 のドレインに接続され、ドレインが N チャンネル MOS トランジスタ MN_7 のドレインに接続されている。N チャンネル MOS トランジスタ MN_8 は、ゲートが定電圧源端子 BN_3 に接続され、ソースが N チャンネル MOS トランジスタ MN_7 のドレインに接続され、ドレインが P チャンネル MOS トランジスタ MP_7 のドレインに接続されている。P チャンネル MOS トランジスタ MP_8 と N チャンネル MOS トランジスタ MN_8 は、浮遊電流源 (Floating Current Source) の働きをする。バイアス電圧 BP_3 、 BN_3 と、N チャンネル MOS トランジスタ MN_8 / P チャンネル MOS トランジスタ MP_8 で制御された AB 級出力段である。P チャンネル MOS トランジスタ MP_9 は、ソースが最高電源電圧 V_{DD} に接続され、ゲートが P チャンネル MOS トランジスタ MP_8 のソースに接続され、ドレインが出力端子 OUT_1 に接続されている出力トランジスタである。N チャンネル MOS トランジスタ MN_9 は、ソースが最低電源電圧 V_{SS} に接続され、ゲートが N チャンネル MOS トランジスタ MN_8 のソースに接続され、ドレインが OUT_1 に接続されている出力トランジスタである。

30

40

【0064】

位相補償容量 C_1 は、一端が A 点に接続され、他端が出力端子 OUT_1 に接続されている。位相補償容量 C_2 は、一端が B 点に接続され、他端が出力端子 OUT_1 に接続されてい

50

る。

【0065】

出力Rail-to-Railを実現するためにドレイン出力のAB級を構成している。このAB級のアイドル電流は、浮遊電流源(MP8、MN8)とバイアス端子BN3、BP3、PチャンネルMOSトランジスタMP9とNチャンネルMOSトランジスタMN9で決定される。

【0066】

SW15がON、SW17がOFFであるから、出力端子OUT1が第1の入力段増幅部83の反転入力であるNチャンネルMOSトランジスタMN1のゲートに接続して帰還回路を構成し、ボルテージフォロウ構成となる。ボルテージフォロウ構成となったAB級増幅回路は高入力インピーダンス、低出力インピーダンスの増幅回路となり、NチャンネルMOSトランジスタMN2のゲートに接続される入力端子I1から入力される階調電圧VPxがインピーダンス変換されてSW19(STB="L"でON)を介して出力端子S1から出力される。

10

【0067】

第2の入力段増幅部84は、PチャンネルMOSトランジスタMP1、MP2のソースが共通接続され、差動対を構成する。差動対は、最高電源電圧VDDとの間に、PチャンネルMOSトランジスタMP10が接続されている。PチャンネルMOSトランジスタMP10は、ソースが最高電源電圧VDDに接続され、そのドレインは、PチャンネルMOSトランジスタMP1、MP2の共通接続されたソースに接続され、ゲートが定電圧源端子BP1に接続され、定電流源の働きをする。NチャンネルMOSトランジスタMN3、MN4は、ソースとゲートがそれぞれ共通接続され、ソースは最低電源電圧VSSに接続され、ゲートはNチャンネルMOSトランジスタMN3のドレインおよびPチャンネルMOSトランジスタMP1のドレインに接続されている。NチャンネルMOSトランジスタMN4のドレインはPチャンネルMOSトランジスタMP2のドレインに接続されている。PチャンネルMOSトランジスタMP2のドレインは、ボルテージフォロウ接続兼極性切替えスイッチ部12のSW14がON、SW12がOFFであるので、第2の出力段増幅部86のNチャンネルMOSトランジスタMN7のドレインとNチャンネルMOSトランジスタMN8のソースとの接続ノードB点に接続される。

20

【0068】

PチャンネルMOSトランジスタMP7は、ソースが最高電源電圧VDDに接続され、ドレインがA点に接続され、ゲートが定電圧源端子BP2に接続されて定電流源の働きをする。NチャンネルMOSトランジスタMN7は、ソースが最低電源電圧VSSに接続され、ドレインがB点に接続され、ゲートは定電圧源端子BN2に接続されて定電流源の働きをする。

30

PチャンネルMOSトランジスタMP8は、ゲートが定電圧源端子BP3に接続され、ソースがPチャンネルMOSトランジスタMP7のドレインに接続され、ドレインがNチャンネルMOSトランジスタMN7のドレインに接続されている。NチャンネルMOSトランジスタMN8は、ゲートが定電圧源端子BN3に接続され、ソースがNチャンネルMOSトランジスタMN7のドレインに接続され、ドレインがPチャンネルMOSトランジスタMP7のドレインに接続されている。PチャンネルMOSトランジスタMP8とNチャンネルMOSトランジスタMN8は、浮遊電流源(Floating Current Source)の働きをする。バイアス電圧BP3、BN3と、NチャンネルMOSトランジスタMN8/PチャンネルMOSトランジスタMP8で制御されたAB級出力段である。

40

【0069】

PチャンネルMOSトランジスタMP9は、ソースが最高電源電圧VDDに接続され、ゲートがPチャンネルMOSトランジスタMP8のソースに接続され、ドレインが出力端子OUT2に接続されている出力トランジスタである。NチャンネルMOSトランジスタMN9は、ソースが最低電源電圧VSSに接続され、ゲートがNチャンネルMOSトランジ

50

スタMN8のソースに接続され、ドレインが出力端子OUT2に接続されている出力トランジスタである。

【0070】

位相補償容量C1は、一端がA点に接続され、他端が出力端子OUT2に接続されている。位相補償容量C2は、一端がB点に接続され、他端が出力端子OUT2に接続されている。

【0071】

出力Rail-to-Railを実現するためにドレイン出力のAB級を構成している。このAB級のアイドル電流は、浮遊電流源(MP8、MN8)とバイアス端子BN3、BP3、PチャンネルMOSトランジスタMP9とNチャンネルMOSトランジスタMN9で決定される。

10

【0072】

SW18がON、SW16がOFFであるので、出力端子OUT2が第2の入力段増幅部84の反転入力であるPチャンネルMOSトランジスタMP1のゲートに接続して帰還回路を構成しボルテージフォロワ構成となる。ボルテージフォロワ構成となったAB級増幅回路は高入力インピーダンス、低出力インピーダンスの増幅回路となり、PチャンネルMOSトランジスタMP2のゲートに接続され、入力端子I2から入力される階調電圧VNxがインピーダンス変換されてSW20(STB="L"でON)を介して出力端子S2から出力される。

20

【0073】

次の1水平期間において、極性反転信号POL="L"とストローク信号STB="H"により、スイッチSW12、SW13、SW16、SW17がOFFからONに、スイッチSW11、SW14、SW15、SW18がONからOFFに切り替わり、ストローク信号STB="L"期間でSW19、SW20がONとする。

【0074】

ここで、第1の入力段増幅部83や第2の入力段増幅部84、第1の出力段増幅部85や第2の出力段増幅部86の構成は変わらないので接続関係の詳細な説明は省略する。

【0075】

第1の入力段増幅部83のNチャンネルMOSトランジスタMN2のドレインは、SW13がON、SW11がOFFとなることで、第2の出力段増幅部86のPチャンネルMOSトランジスタMP7のドレインとPチャンネルMOSトランジスタMP8のソースとA点に接続される。

30

【0076】

また、SW16がON、SW18がOFFであるため、出力端子OUT2が第1の入力段増幅部83の反転入力であるNチャンネルMOSトランジスタMN1のゲートに接続されて帰還回路を構成しボルテージフォロワ構成となる。ボルテージフォロワ構成となったAB級増幅回路は高入力インピーダンス、低出力インピーダンスの増幅回路となり、入力端子I1に入力された階調電圧VPx電圧がSW20(STB="L"でON)を介して出力端子S2から出力される。

【0077】

第2の入力段増幅部84のPチャンネルMOSトランジスタMP2のドレインは、SW12がON、SW14がOFFであるため、第1の出力段増幅部83のNチャンネルMOSトランジスタMN7のドレインとNチャンネルMOSトランジスタMN8のソースとB点に接続される。

40

【0078】

また、SW17がON、SW15がOFFのため、出力端子OUT1が第2の入力段増幅部84の反転入力であるPチャンネルMOSトランジスタMP1のゲートに接続して帰還回路を構成しボルテージフォロワとなる。ボルテージフォロワ構成となったAB級増幅回路は高入力インピーダンス、低出力インピーダンスの増幅回路となり、入力端子I2に入力された階調電圧VNxがSW19(STB="L"でON)を介して出力端子S1から出

50

力される。

【0079】

図4に本発明の第1の実施形態に係る出力段増幅部の第1の他の回路図を示す。図3の本発明の第1の実施形態とは、出力段増幅部が異なるのみで、第1の入力段増幅部83、第2の入力段増幅部84、ボルテージフォロワ接続兼極性切替えスイッチ部12、出力スイッチ部9の構成は基本的に変わらない。つまり、図3の第1の出力段増幅部85および第2の出力段増幅部86と図4の第1の出力段増幅部85および第2の出力段増幅部86とを入れ替えた構成である。図4では、出力段増幅部は第1の出力段増幅部85と第2の出力段増幅部86とが機能的に同一構成であるので1つのみを示している。

【0080】

外部から入力される極性反転信号POLとストロープ信号STBによるボルテージフォロワ接続兼極性切替えスイッチ部12のスイッチの切り換えも図3に示す第1の実施形態と変わらないので説明を省略する。

【0081】

出力段増幅部は、ソースフォロワ構成のNチャンネルMOSトランジスタMN9と、ソースフォロワ構成のPチャンネルMOSトランジスタMP9とを備えている。両トランジスタMN9とMP9のゲートは、入力段増幅部(第1の入力段増幅部83もしくは第2の入力段増幅部84)の入力端子であるA点とB点とに共通接続される。両トランジスタMN9とMP9のソースは、出力端子OUT(OUT1もしくはOUT2)に共通接続される。NチャンネルMOSトランジスタMN9のドレインは最高電源電圧VDDに接続され、PチャンネルMOSトランジスタMP9のドレインは最低電源電圧VSSに接続される。出力端子OUT(OUT1もしくはOUT2)は、入力段増幅部の反転入力端子に接続されるから、出力端子OUT(OUT1もしくはOUT2)の信号は入力段増幅部(第1の入力段増幅部83もしくは第2の入力段増幅部84)の反転入力端子に帰還される。これにより、増幅回路5はB級プッシュプル増幅を行うことが出来る。

【0082】

発明の第1の実施形態に係る増幅部の出力段増幅部の第2の他の回路図を図5に示す。この増幅部の出力段増幅部もソースフォロワ構成のNチャンネルMOSトランジスタMN9と、ソースフォロワ構成のPチャンネルMOSトランジスタMP9とを備え、さらに第1の電流源Ic1と第2の電流源Ic2と電圧源Vcを具備している。

【0083】

この増幅部の出力段増幅部も、基本的に出力段増幅部は第1の出力段増幅部85と第2の出力段増幅部86とは同一構成であるので1つのみ示している。

【0084】

また、外部から入力される極性反転信号POLとストロープ信号STBによるボルテージフォロワ接続兼極性切替えスイッチ部12のスイッチの切り換えも図3に示す第1の実施形態と変わらないので説明を省略する。

【0085】

構成を説明する。NチャンネルMOSトランジスタMN9のゲートは第1の電流源Ic1の一端と入力端子A点と電圧源Vcの一端に接続され、第1の電流源Ic1の他端は最高電源電圧VDDと接続されている。PチャンネルMOSトランジスタMP9のゲートは第2の電流源Ic2の一端と入力端子B点と電圧源Vcの他端に接続され、第2の電流源Ic2の他端は最低電源電圧VSSと接続されている。MN9とMP9のソースは、出力端子OUT(OUT1もしくはOUT2)に共通接続される。また、第1の電流源Ic1、第2の電流源Ic2、電圧源Vcは図3で説明した回路を用いることも可能である。

【0086】

出力端子OUT(OUT1もしくはOUT2)は入力段増幅部(第1の入力段増幅部83もしくは第2の入力段増幅部84)の反転入力端子に接続されるから、出力端子OUT(OUT1もしくはOUT2)の信号は入力段増幅部(第1の入力段増幅部83もしくは第2の入力段増幅部84)の反転入力端子に帰還される。これにより、増幅回路5はA級も

10

20

30

40

50

しくは A B 級プッシュプル増幅を行うことが出来る。

【 0 0 8 7 】

図 4 および図 5 の実施例の出力段増幅部は、ソースフォロワ構成の N チャネル M O S トランジスタ M N 9 と、ソースフォロワ構成の P チャネル M O S トランジスタ M P 9 とを備えているために、図 3 の増幅回路 5 で必要であった位相補償容量 C 1 と位相補償容量 C 2 とが不要となる。

【 0 0 8 8 】

図 6 に本発明の第 2 の実施形態に係る増幅回路 5 の具体的な回路図を示す。図 3 の本発明の第 1 の実施形態とは、第 1 の入力段増幅部 8 3、第 2 の入力段増幅部 8 4、ボルテージフォロワ接続兼極性切替えスイッチ部 1 2、出力スイッチ部 9 の構成は基本的に変わらない。出力段増幅部は、図 3 の本発明の第 1 の実施形態に対して、S W 2 1、S W 2 2、S W 2 3、S W 2 4 の位相補償容量切替スイッチ部 1 3 が追加され、位相補償容量 C 2 を削除した構成をとる。

10

【 0 0 8 9 】

次に、第 2 の実施形態に係る増幅回路 5 の動作を説明する。ただし、図 3 の第 1 の実施形態に係る増幅回路 5 とは第 1 の入力段増幅部 8 3、第 2 の入力段増幅部 8 4、ボルテージフォロワ接続兼極性切替えスイッチ部 1 2、出力スイッチ部 9 の構成は変わらないのでこの部分での動作は同様であるので詳細は省略し、位相補償容量切替スイッチ部 1 3 と、位相補償容量 C 1 についてのみ説明する。

【 0 0 9 0 】

極性反転信号 P O L = " H " と ス ト ロ ー ブ 信 号 S T B = " H " で 第 1 の 出 力 段 増 幅 部 8 5 の 位 相 補 償 容 量 切 替 ス イ ッ チ 部 1 3 の S W 2 1、S W 2 3 を O F F から O N、S W 2 2、S W 2 4 を O N から O F F と し、第 2 の出力段増幅部 8 6 の位相補償容量切替スイッチ部 1 3 の S W 2 1、S W 2 3 を O N から O F F、S W 2 2、S W 2 4 を O F F から O N と なる よ う に、第 1 の出力段増幅部 8 5 と第 2 の出力段増幅部 8 6 とでスイッチの O N、O F F を相反するように動作させる。また、極性反転信号 P O L = " L " と ス ト ロ ー ブ 信 号 S T B = " H " で 第 1 の 出 力 段 増 幅 部 8 5 の 位 相 補 償 容 量 切 替 ス イ ッ チ 部 1 3 の S W 2 1、S W 2 3 を O N から O F F、S W 2 2、S W 2 4 を O F F から O N と し、第 2 の出力段増幅部 8 6 の位相補償容量切替スイッチ部 1 3 の S W 2 1、S W 2 3 を O F F から O N、S W 2 2、S W 2 4 を O N から O F F と なる よ う に、第 1 の出力段増幅部 8 5 と第 2 の出力段増幅部 8 6 とでスイッチの O N、O F F を相反するように動作させる。

20

30

【 0 0 9 1 】

ある 1 水平期間において、極性反転信号 P O L = " H " と ス ト ロ ー ブ 信 号 S T B = " H " に よ り、図 3 の第 1 の実施形態で説明したとおり、入力端子 I 1 から入力される階調電圧 V P x が第 1 の出力段増幅部 8 5 でインピーダンス変換されて S W 1 9 を介して出力端子 S 1 から出力される。このとき、位相補償容量切替スイッチ部 1 3 の S W 2 1、S W 2 3 が O N となるから位相補償容量 C 1 は、O U T 1 と A 点間に接続される。同様に、入力端子 I 2 から入力される階調電圧 V N x が第 2 の出力段増幅部 8 6 でインピーダンス変換されて S W 2 0 を介して出力端子 S 2 から出力される。このとき、位相補償容量切替スイッチ部 1 3 の S W 2 2、S W 2 4 が O N となるから位相補償容量 C 1 は、O U T 2 と B 点間に接続され、それぞれが位相補償容量として機能する。

40

【 0 0 9 2 】

次ぎの 1 水平期間において、極性反転信号 P O L = " L " と ス ト ロ ー ブ 信 号 S T B = " H " に よ り、図 3 の第 1 の実施形態で説明したとおり、入力端子 I 2 から入力される階調電圧 V N x が第 1 の出力段増幅部 8 5 でインピーダンス変換されて S W 1 9 を介して出力端子 S 1 から出力される。このとき、位相補償容量切替スイッチ部 1 3 の S W 2 2、S W 2 4 が O N となるから位相補償容量 C 1 は、O U T 1 と B 点間に接続される。同様に、入力端子 I 1 から入力される階調電圧 V P x が第 2 の出力段増幅部 8 6 でインピーダンス変換されて S W 2 0 を介して出力端子 S 2 から出力される。このとき、位相補償容量切替スイッチ部 1 3 の S W 2 1、S W 2 3 が O N となるから位相補償容量 C 1 は、O U T 2 と A 点間

50

に接続され、それぞれが位相補償容量として機能する。

【0093】

以上、図6に示す本発明の第2の実施形態に係る増幅回路5は、図3の本発明の第1の実施形態に対して、外部信号(極性反転信号POL="L"とストロブ信号STB="H")に応じて、S1、S2が階調電圧VNx出力時とVPx出力時とでスイッチを切り替えて、1つの位相補償容量C1をつなぎ替えて兼用するものである。このため、図3の本発明の第1の実施形態よりも最小のトランジスタで構成した位相補償容量切替スイッチ部13を追加しても2つの位相補償容量を用いた場合よりさらに面積縮小が期待できる。

【0094】

なお、図3から図6では、第1の出力段増幅部85や第2の出力段増幅部86の出力トランジスタであるPチャンネルMOSトランジスタMP9やNチャンネルMOSトランジスタMN9は、それぞれ単一のトランジスタとして説明したが同一導電型のトランジスタの並列接続など同一機能のトランジスタとして動作すれば良く、特に限定されることはない。

10

【0095】

図7は、本発明の第3の実施形態に係る増幅回路5のブロック図である。第3の実施形態に係る増幅回路5では、DAコンバータ3からの複数の正極性階調電圧(VPx、VPx+1)、複数の負極性階調電圧(VNx、VNx+1)が、増幅回路5のそれぞれの端子I1、I3、I2、I4から入力される場合である。

【0096】

4つの端子I1、I3、I2、I4から階調電圧を入力する図7の増幅回路5は、入力段増幅部87(N1、N2、N3、N4の4つの入力段増幅部で構成)、ボルテージフォロワ接続兼極性切替スイッチ部12、出力段増幅部88(L1、L2、L3、L4の4つの出力段増幅部で構成)で構成されたボルテージフォロワ8と出力スイッチ部9から構成されている。

20

【0097】

図7の増幅回路5は、外部から入力される極性反転信号POLとストロブ信号STBにより、例えば1フレーム目は入力段増幅部N1と出力段増幅部L1、入力段増幅部N2と出力段増幅部L2、入力段増幅部N3と出力段増幅部L3、入力段増幅部N4と出力段増幅部L4、でボルテージフォロワを構成するようにボルテージフォロワ接続兼極性切替スイッチ部12は制御されDAコンバータ3から増幅回路5に入力されるアナログ信号I1はS1、I2はS2、I3はS3、I4はS4に出力される。

30

【0098】

2フレーム目は入力段増幅部N1と出力段増幅部L2、入力段増幅部N2と出力段増幅部L3、入力段増幅部N3と出力段増幅部L4、入力段増幅部N4と出力段増幅部L1、でボルテージフォロワを構成するようにボルテージフォロワ接続兼極性切替スイッチ部12は制御されDAコンバータ3から増幅回路5に入力されるアナログ信号I1はS2、I2はS3、I3はS4、I4はS1に出力される。

【0099】

3フレーム目は入力段増幅部N1と出力段増幅部L3、入力段増幅部N2と出力段増幅部L4、入力段増幅部N3と出力段増幅部L1、入力段増幅部N4と出力段増幅部L2、でボルテージフォロワを構成するようにボルテージフォロワ接続兼極性切替スイッチ部12は制御されDAコンバータ3から増幅回路5に入力されるアナログ信号I1はS3、I2はS4、I3はS1、I4はS2に出力される。

40

【0100】

4フレーム目は入力段増幅部N1と出力段増幅部L4、入力段増幅部N2と出力段増幅部L1、入力段増幅部N3と出力段増幅部L2、入力段増幅部N4と出力段増幅部L3、でボルテージフォロワを構成するようにボルテージフォロワ接続兼極性切替スイッチ部12は制御されDAコンバータ3から増幅回路5に入力されるアナログ信号I1はS4、I2はS1、I3はS2、I4はS3に出力される。

50

【0101】

4つの入力段増幅部N1～N4で構成された入力段増幅部87と4つの出力段増幅部L1～L4で構成された出力段増幅部88で説明したが、フレーム切替時の入力段増幅部87と出力段増幅部88の個数や組み合わせのシーケンスは自由であり限定されるものではない。

【0102】

以上のように、従来の増幅回路5および表示装置では、ボルテージフォロワの前段に極性切替スイッチを設けた技術では、増幅回路5の入力段にRail-to-Rail特性を持たせる必要があり、面積縮小と消費電力の低減が図れない。また、ボルテージフォロワの後段に、極性切替スイッチを設けた技術においては、近年の液晶パネルの大型化や高速化に伴い面積増大の傾向にある。しかも、極性切替スイッチを切り替えるために複雑な論理を組んで制御する必要がある。

10

【0103】

本発明に係る増幅回路5および表示装置(例えば、液晶表示装置)は、ボルテージフォロワを高電圧用の入力段増幅部、低電圧用の入力段増幅部と複数の出力段増幅部に要素分解し、高電圧用の入力段増幅部、低電圧用の入力段増幅部の入力関係は変えずに、複数の出力段増幅部の出力関係を制御信号に応じて変えるものである。加えて、入力段増幅部と出力段増幅部とで1つの増幅回路とするとときに、増幅回路がボルテージフォロワ構成する様にスイッチで切り替えることを特徴とするものである。従って、入力段増幅部ではRail-to-Rail特性を持つ必要はない。このため、ボルテージフォロワ8の前段に極性切替スイッチ部10を設けた技術に対し、面積縮小と消費電力の低減が図れる。また、ボルテージフォロワ8の後段に、極性切替スイッチ兼出力スイッチ部11を設けた技術に対し、面積縮小が図れ、極性切替スイッチを切り替えるために複雑な論理を組んで制御する必要がない。

20

【0104】

本発明の増幅回路5に関わるボルテージフォロワ接続兼極性切替スイッチ部12のスイッチサイズは、最小サイズのMOSトランジスタを用いることが出来、ボルテージフォロワの後段に設けた極性切替スイッチ兼出力スイッチ11のサイズと比べ、1/30程度でありスイッチ数が増えたところで従来技術に対して面積増大の要素には成り得ない。

30

【0105】

また、本発明のボルテージフォロワ接続兼極性切替スイッチ部12に増幅回路5を構成するトランジスタのパラッキをキャンセルする空間オフセットキャンセル用のスイッチを兼用されることも考えられる。

【0106】

第1の出力段増幅部85と第2の出力段増幅部86とは同一の回路構成で説明したが当然、異なる回路構成であっても良い。

【0107】

また、ドレイン出力のAB級の増幅回路5において、位相補償容量切替スイッチ部13を外部信号で制御すれば1つの位相補償容量を用いて位相補償が可能となり、さらに面積縮小ができる。

40

【0108】

以上、本発明の実施の形態を詳述してきたが、具体的な構成は上記実施の形態に限られるものではなく、本発明の要旨を逸脱しない範囲の変更があっても本発明に含まれる。本実施の形態において増幅回路5は、液晶表示装置におけるデータ線を駆動するボルテージフォロワを構成する形態で説明したが、これに限らず他の装置に用いられても、ボルテージフォロワ以外の態様で用いられても構わないことは当然である。

【図面の簡単な説明】

【0109】

【図1】本発明の第1の実施形態に係る増幅回路のブロック図。

【図2】本発明の第1の実施形態に係る増幅回路のタイムチャート。

50

- 【図 3】本発明の第 1 の実施形態に係る増幅回路の具体的な回路図。
 【図 4】本発明の実施形態に係る増幅部の出力段増幅部の第 1 の他の回路図。
 【図 5】本発明の実施形態に係る増幅部の出力段増幅部の第 2 の他の回路図。
 【図 6】本発明の第 2 の実施形態に係る増幅回路のブロック図。
 【図 7】本発明の第 3 の実施形態に係る増幅回路のブロック図。
 【図 8】一般的な液晶表示装置の模式図。
 【図 9】従来技術 1 の増幅回路のブロック図。
 【図 10】従来技術 1 の増幅回路のタイムチャート。
 【図 11】従来技術 2 の増幅回路のブロック図。
 【図 12】従来技術 2 の増幅回路のタイムチャート。

10

【符号の説明】

【 0 1 1 0 】

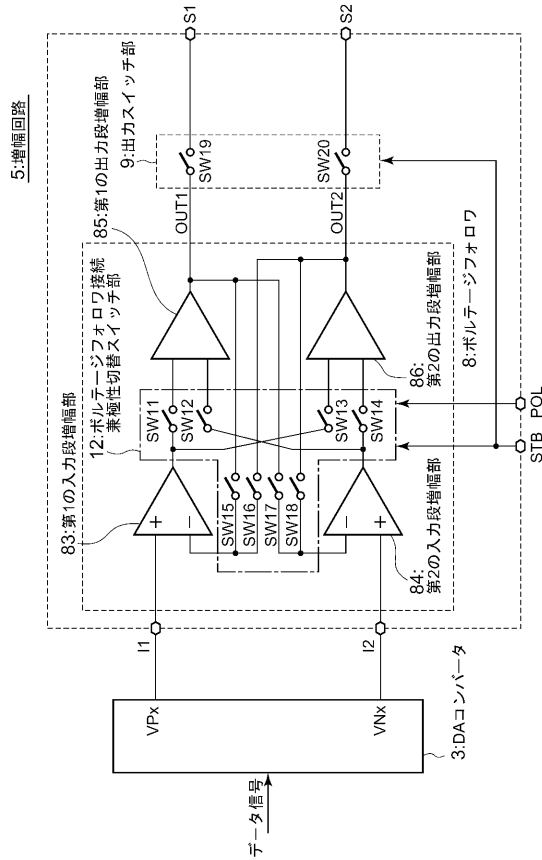
- 1 : データレジスタ
 2 : ラッチ回路
 3 : D A コンバータ
 4 : 液晶階調電圧発生回路
 5 : 増幅回路
 6 : T F T
 7 : 画素容量
 8 : ボルテージフォロワ
 9 : 出力スイッチ部
 10 : 極性切替スイッチ部
 11 : 極性切替スイッチ兼出力スイッチ部
 12 : ボルテージフォロワ接続兼極性切替スイッチ部
 83 : 第 1 の入力段増幅部
 84 : 第 2 の入力段増幅部
 85 : 第 1 の出力段増幅部
 86 : 第 2 の出力段増幅部
 87 : 入力段増幅部
 88 : 出力段増幅部
 N 1 , N 2 , N 3 , N 4 : 入力段増幅部
 L 1 , L 2 , L 3 , L 4 : 出力段増幅部
 M P 1 ~ M P 9 : P チャネル M O S トランジスタ
 M N 1 ~ M N 9 : N チャネル M O S トランジスタ
 B P 1 ~ B P 3 , B N 1 ~ B N 3 : 定電圧端子
 C 1 , C 2 : 位相補償容量
 S W 1 ~ 4 : 極性切替えスイッチ
 S W 7 ~ 10 : 極性切替えスイッチ兼出力スイッチ
 S W 11 ~ 18 : ボルテージフォロワ接続兼極性切替えスイッチ
 S W 5 ~ 6 , 19 ~ 20 : 出力スイッチ
 S W 21 ~ 24 : 位相補償容量切替えスイッチ
 I 1 ~ I 4 : 増幅回路 5 の入力端子
 S 1 ~ S 4 : 増幅回路 5 の出力端子
 V D D : 最高電源電圧
 V S S : 最低電源電圧
 O U T , O U T 1 ~ O U T 4 : ボルテージフォロワの出力ノード

20

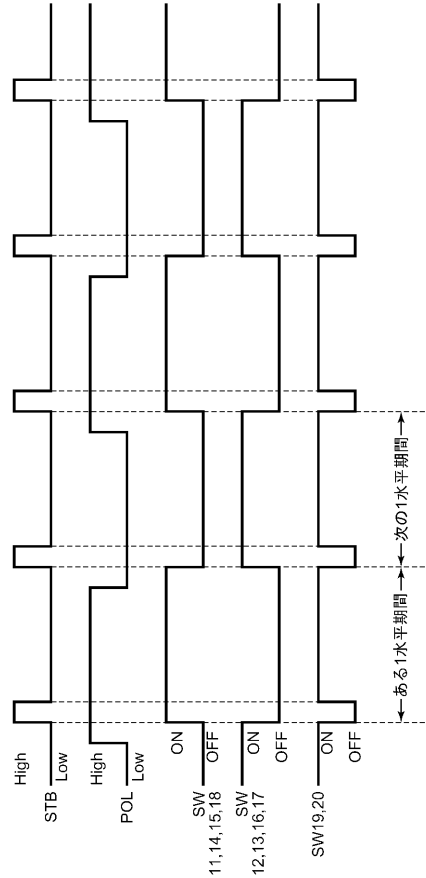
30

40

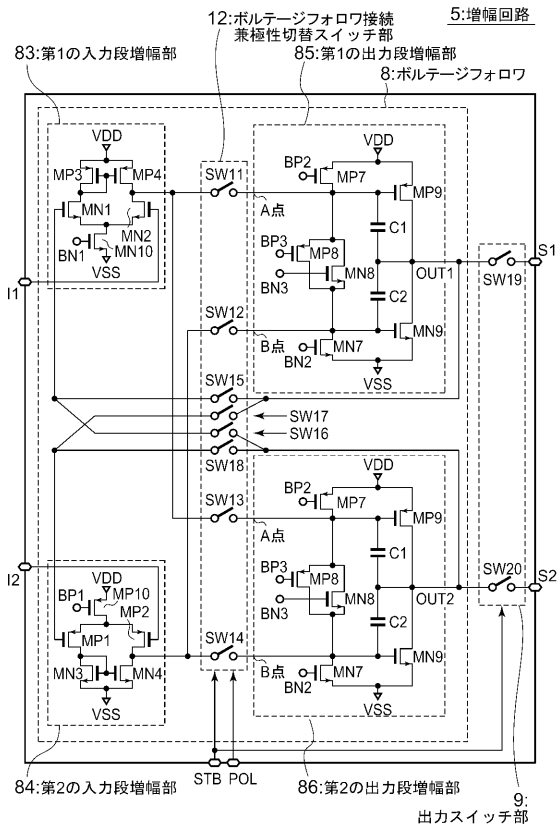
【 図 1 】



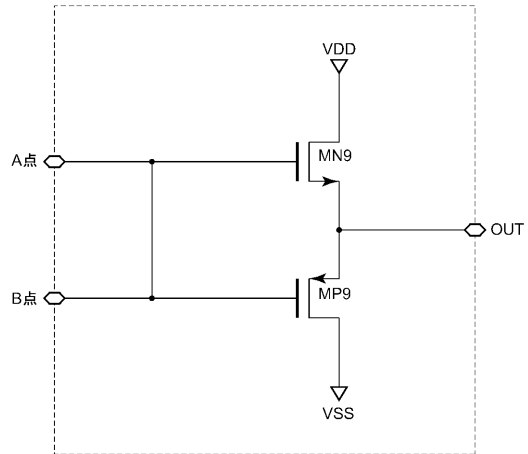
【 図 2 】



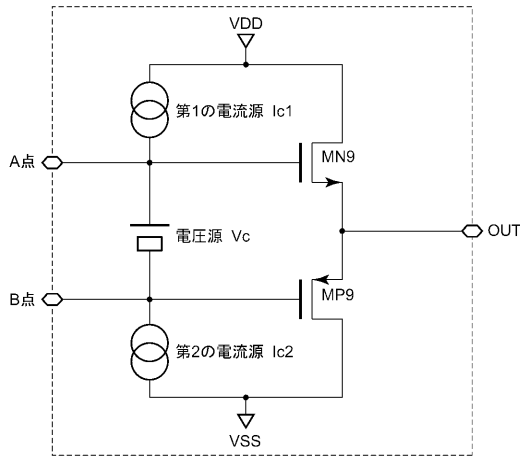
【 図 3 】



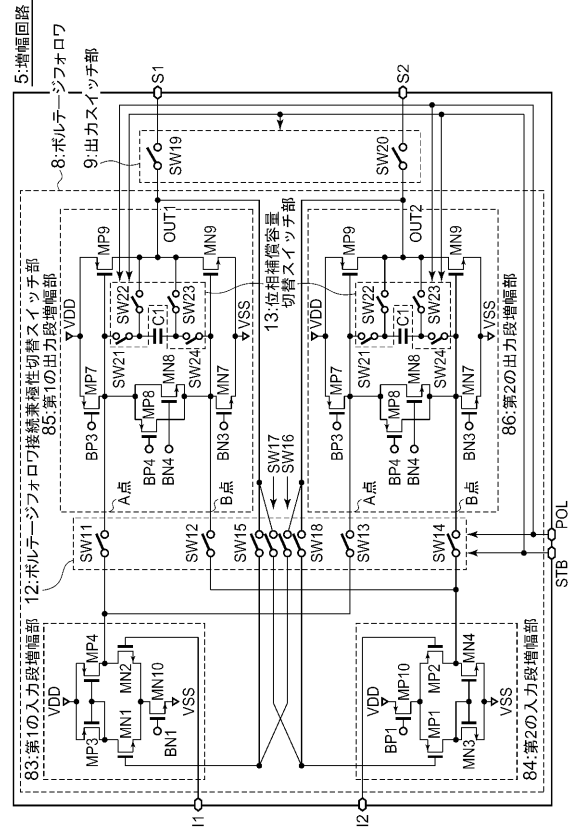
【 図 4 】



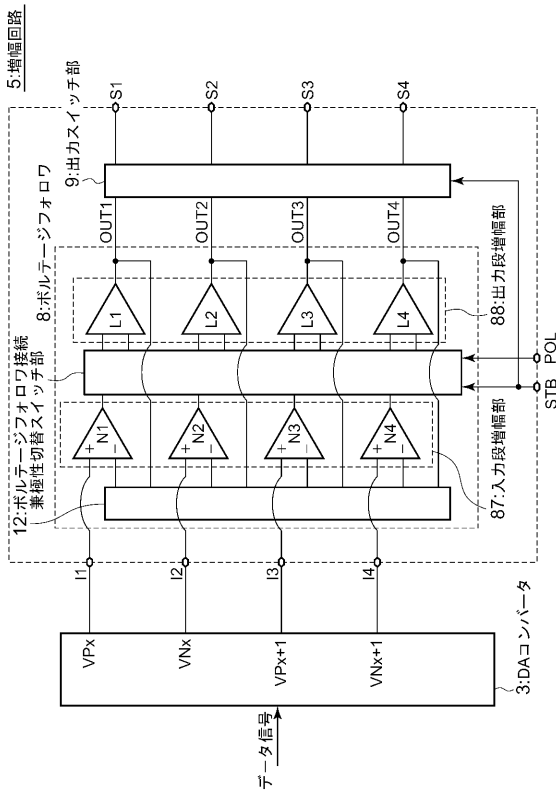
【 図 5 】



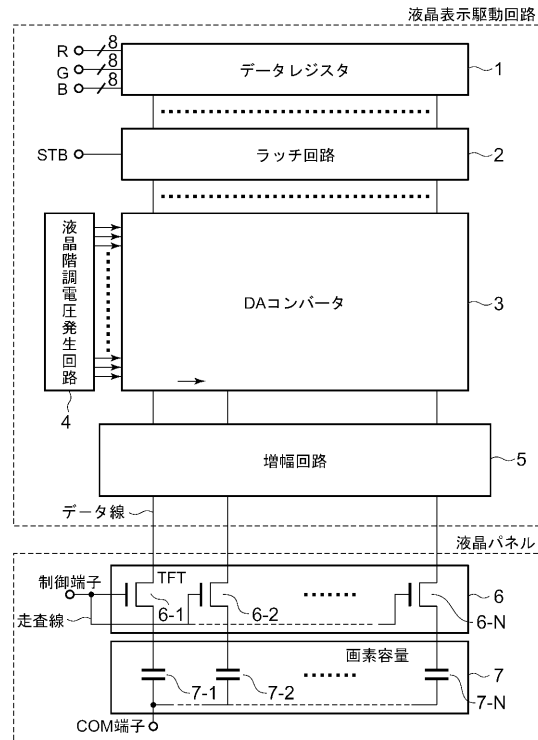
【 図 6 】



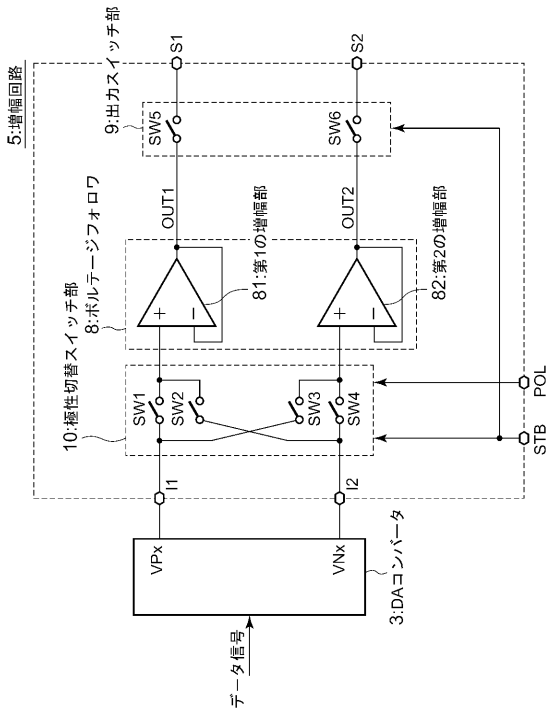
【 図 7 】



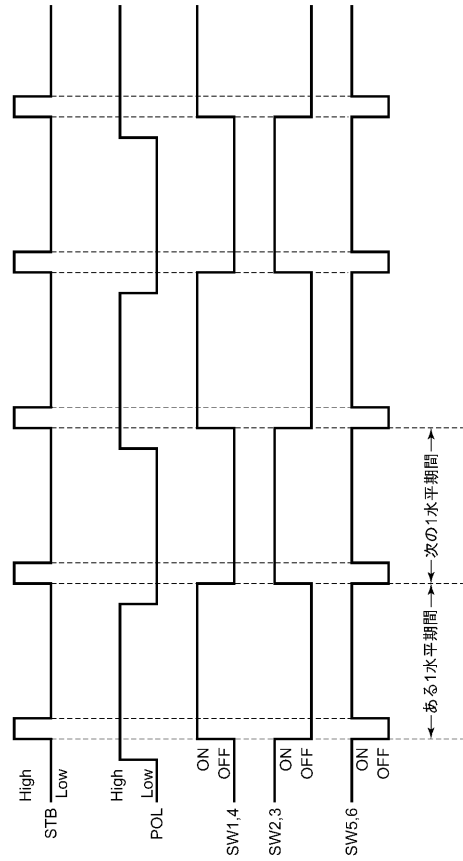
【 図 8 】



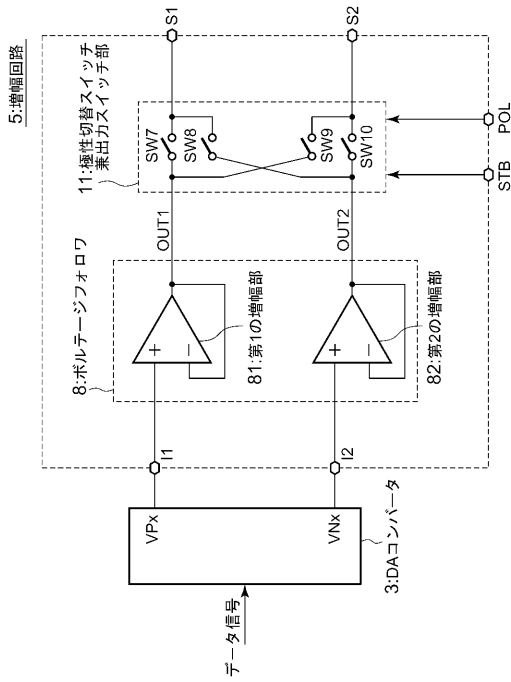
【 図 9 】



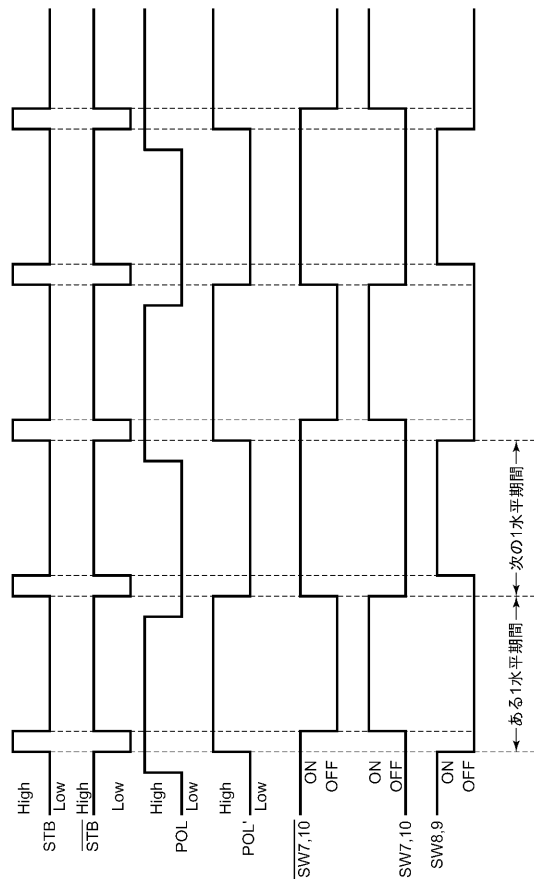
【 図 10 】



【 図 11 】



【 図 12 】



フロントページの続き

(51)Int.Cl.

F I

テーマコード(参考)

G 0 9 G 3/20 6 2 3 F

G 0 2 F 1/133 5 0 5

专利名称(译)	放大器电路和显示装置		
公开(公告)号	JP2009042428A	公开(公告)日	2009-02-26
申请号	JP2007206224	申请日	2007-08-08
[标]申请(专利权)人(译)	NEC电子股份有限公司		
申请(专利权)人(译)	NEC电子公司		
[标]发明人	嶋谷 淳		
发明人	嶋谷 淳		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
CPC分类号	H03F3/45475 G09G3/3614 G09G3/3688 G09G2310/0291 G09G2330/021 H03F3/45179 H03F2203/45138 H03F2203/45396 H03F2203/45534 H03F2203/45616		
FI分类号	G09G3/36 G09G3/20.611.A G09G3/20.623.B G09G3/20.621.B G09G3/20.641.C G09G3/20.623.F G02F1/133.505		
F-TERM分类号	2H093/NA16 2H093/NA32 2H093/NA53 2H093/NC11 2H093/NC13 2H093/NC34 2H093/ND39 2H093/ND49 2H093/ND52 5C006/AA16 5C006/AC27 5C006/AF83 5C006/BB16 5C006/BF25 5C006/FA41 5C006/FA47 5C080/AA10 5C080/BB05 5C080/DD03 5C080/DD26 5C080/EE29 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 2H193/ZA04 2H193/ZC02 2H193/ZD23 2H193/ZF34 2H193/ZF35		
外部链接	Espacenet		

摘要(译)

与传统的放大器电路和显示装置相比，放大器电路和显示装置（例如，液晶显示装置）可以在保持特性的同时实现用于面积减小和功耗减小的复杂逻辑的实现。。根据本发明的放大器电路和显示装置（例如，液晶显示装置）包括电压跟随器，该电压跟随器包括高压输入级放大单元，低压输入级放大单元和多个输出级放大单元。将其分解为组成元件，并且在不改变高压输入级放大单元和低压输入级放大单元的输入关系的情况下，根据控制信号来改变多个输出级放大单元的输出关系。。另外，当将输入级放大单元和输出级放大单元组合为一个放大单元时，通过开关进行切换，使得放大单元构成电压跟随器。 [选型图]图1

