

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号
特開2008-139697
(P2008-139697A)

(43) 公開日 平成20年6月19日(2008.6.19)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/36 (2006.01)	G09G 3/36	2H093
G02F 1/133 (2006.01)	G02F 1/133 550	5C006
G09G 3/20 (2006.01)	G09G 3/20 623B	5C080
	G09G 3/20 612L	
	G09G 3/20 612R	
審査請求 未請求 請求項の数 18 O L (全 23 頁) 最終頁に続く		

(21) 出願番号	特願2006-327352 (P2006-327352)	(71) 出願人	302062931
(22) 出願日	平成18年12月4日 (2006.12.4)		NECエレクトロニクス株式会社
			神奈川県川崎市中原区下沼部1753番地
		(74) 代理人	100102864
			弁理士 工藤 実
		(72) 発明者	西村 浩一
			神奈川県川崎市中原区下沼部1753番地
			NECエレクトロニクス株式会社内
		(72) 発明者	能勢 崇
			神奈川県川崎市中原区下沼部1753番地
			NECエレクトロニクス株式会社内
		Fターム(参考)	2H093 NA16 NC02 NC03 NC09 NC11
			NC16 NC22 NC24 NC26 NC34
			NC35 ND09 ND54
		最終頁に続く	

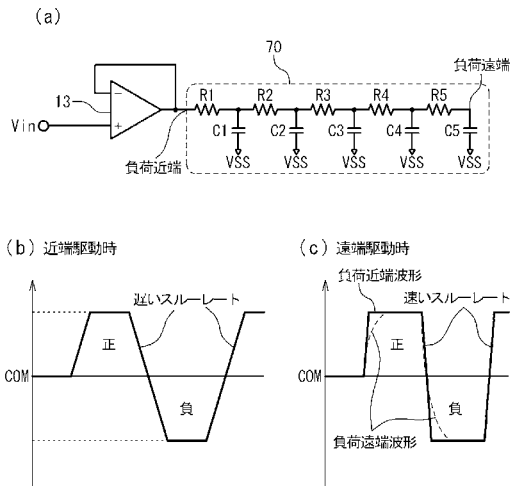
(54) 【発明の名称】 容量性負荷駆動回路および容量性負荷駆動方法、液晶表示装置駆動方法

(57) 【要約】

【課題】従来の駆動能力を維持したまま、消費電力を削減する容量性負荷駆動回路および容量性負荷駆動方法を提供する。

【解決手段】容量性負荷駆動回路は、ゲートドライバ(5)と、ソースドライバ(4)とを具備する。ゲートドライバ(5)は、マトリクス状に配置された容量性負荷(1)を行方向に駆動する。ソースドライバ(4)は、容量性負荷(1)を列方向に駆動する。このソースドライバ(4)は、行方向に配列される複数の出力回路(13)を備える。出力回路(13)は、ゲートドライバ(5)が駆動する行位置に基づいてスルーレートを変更する。

【選択図】図8



【特許請求の範囲】**【請求項 1】**

マトリクス状に配置された容量性負荷を行方向に駆動するゲートドライバと、
前記容量性負荷を列方向に駆動するソースドライバと
を具備し、
前記ソースドライバは、行方向に配列される複数の出力回路を備え、
前記出力回路は、前記ゲートドライバが駆動する行位置に基づいてスルーレートを変更
する
容量性負荷駆動回路。

10

【請求項 2】

前記出力回路は、前記ゲートドライバが駆動する行位置が前記出力回路に最も近いとき
にスルーレートを最小にし、前記ゲートドライバが駆動する行位置が前記出力回路から最
も遠いときにスルーレートを最大にする
請求項 1 に記載の容量性負荷駆動回路。

【請求項 3】

前記出力回路は、前記ゲートドライバが駆動する行位置をカウントするカウンタを備え
、
前記カウンタのカウント値に基づいて前記スルーレートを制御する
請求項 1 または請求項 2 に記載の容量性負荷駆動回路。

20

【請求項 4】

前記カウンタは、前記ゲートドライバが駆動する行位置の開始位置を示すスタートパル
ス (V S P) または垂直同期信号 (V s y n c) によって初期化され、
表示するデータをラッチする S T B 信号 (データラッチパルス) または水平同期信号 (H s y n c) のパルス数をカウントする
請求項 3 に記載の容量性負荷駆動回路。

【請求項 5】

前記出力回路は、差動段のバイアス電流を制御することによりスルーレートを変更する
出力増幅器を備える
請求項 1 から請求項 4 のいずれかに記載の容量性負荷駆動回路。

30

【請求項 6】

前記出力回路は、前記バイアス電流を制御する電流出力型デジタル・アナログ変換器を
備える
請求項 5 に記載の容量性負荷駆動回路。

【請求項 7】

前記電流出力型デジタル・アナログ変換器は、
ゲート同士、ソース同士が各々共通接続される複数の M O S トランジスタと、
前記共通接続されたゲートをバイアスする定電圧源と、
前記共通接続されたソースと第 1 電源との間に挿入される第 1 の定電流源と、
電流出力端子と前記第 1 電源との間に挿入される第 2 の定電流源と、
前記複数のトランジスタのドレインに、第 2 電源と前記電流出力端子とに選択的に接続
する複数の電流スイッチと
を備え、
前記カウンタのカウント値に基づいて、前記複数の電流スイッチを開放 / 閉成して出力
電流を制御する
請求項 6 に記載の容量性負荷駆動回路。

40

【請求項 8】

前記出力回路は、入力端子と出力端子との間に接続される位相補償用容量を有する出力
増幅器を備え、
前記位相補償用容量の容量値を制御することによりスルーレートを変更する
請求項 1 から請求項 4 のいずれかに記載の容量性負荷駆動回路。

50

【請求項 9】

前記位相補償用容量は、
第 1 容量素子と、
前記第 1 容量素子に並列に接続される複数の容量素子と、
前記複数の容量素子の容量値をオン / オフするスイッチと
を備え、
前記スイッチを切り換えることにより前記位相補償用容量の容量値を可変し、スルーレートを制御する
請求項 8 に記載の容量性負荷駆動回路。

【請求項 10】

10

マトリクス状に配置された容量性負荷を行方向に駆動するゲート駆動ステップと、
前記容量性負荷を列方向に駆動するソース駆動ステップと
を具備し、
前記ソース駆動ステップは、行方向に配列される複数の出力回路により前記容量性負荷を駆動し、
前記ソース駆動ステップは、前記ゲート駆動ステップにより駆動される前記容量性負荷の行位置に基づいて前記出力回路のスルーレートを変更するステップを備える
容量性負荷駆動方法。

【請求項 11】

20

前記ソース駆動ステップは、前記出力回路の前記スルーレートを、前記ゲート駆動ステップにより駆動される行位置が前記出力回路に最も近いときに最小にし、前記ゲート駆動ステップにより駆動される行位置が前記出力回路から最も遠いときに最大にするステップを備える
請求項 10 に記載の容量性負荷駆動方法。

【請求項 12】

前記ソース駆動ステップは、前記ゲート駆動ステップにより駆動される行位置をカウントするカウントステップを備え、
前記カウントステップによりカウントされたカウント値に基づいて前記スルーレートを制御するステップを備える
請求項 10 または請求項 11 に記載の容量性負荷駆動方法。

30

【請求項 13】

前記カウントステップは、
前記ゲート駆動ステップにより駆動される行位置の開始位置を示すスタートパルス (V S P) または垂直同期信号 (V s y n c) によって前記カウント値を初期化するステップと、
表示するデータをラッチする S T B 信号 (データラッチパルス) または水平同期信号 (H s y n c) のパルス数をカウントするステップと
を備える
請求項 12 に記載の容量性負荷駆動方法。

【請求項 14】

40

前記出力回路は、差動段のバイアス電流を制御できる出力増幅器を備え、
前記ソース駆動ステップは、前記バイアス電流を制御することによりスルーレートを制御するステップを備える
請求項 10 から請求項 13 のいずれかに記載の容量性負荷駆動方法。

【請求項 15】

前記出力回路は、前記バイアス電流を制御する電流出力型デジタル・アナログ変換器を備える
請求項 14 に記載の容量性負荷駆動方法。

【請求項 16】

前記出力回路は、入力端子と出力端子との間に接続される位相補償用容量を有する出力

50

増幅器を備え、

前記ソース駆動ステップは、前記位相補償用容量の容量値を制御することによりスルーレートを変更するステップを備える

請求項 10 から請求項 13 のいずれかに記載の容量性負荷駆動方法。

【請求項 17】

前記位相補償用容量は、

第 1 容量素子と、

前記第 1 容量素子に並列に接続される複数の容量素子と、

前記複数の容量素子の容量値をオン / オフするスイッチと

を備え、

前記ソース駆動ステップは、前記スイッチを切り換えることにより前記位相補償用容量の容量値を可変し、スルーレートを制御するステップを備える

請求項 16 に記載の容量性負荷駆動方法。

【請求項 18】

前記マトリクス状に配置された容量性負荷は、液晶パネルである

請求項 10 から請求項 17 のいずれかに記載の液晶表示装置駆動方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、容量性の負荷を駆動する駆動回路および駆動方法に関し、特に液晶表示パネル等の容量性負荷を駆動する LCD 駆動回路および LCD 駆動方法に関する。

【背景技術】

【0002】

最近の薄型フラットパネルの動向は、益々大型化の方向に進んでいる。特に、テレビの分野では液晶パネルでさえも 50 インチを超えるものまで出てきている状況であり、今後、益々この傾向は変わることはないと思われる。しかし、大型化に伴って TFT (Thin Film Transistor: 薄膜トランジスタ) のデータ線負荷が益々重くなることから、1 水平期間 (1 H 期間) 内にデータ線の最遠端までデータの書き込みができない、という問題が生じる。この問題に対処するため、従来は、ソースドライバ (水平ドライバ) の出力アンプにおいて、最遠端駆動に合わせてスルーレートを上げる工夫を行っていた。しかし、スルーレートを最遠端駆動に適するように出力アンプの設計を行うとソースドライバ全体としての消費電力が増大し、チップの温度が異常に高くなるという問題が発生するようになってきた。このチップの温度上昇対策として、例えば、チップを搭載するテープに工夫を加えて熱抵抗を低く抑えろとか、チップに放熱テープを貼る等の対策が考えられるが、いずれもコストアップに繋がるものであった。

【0003】

図 1 は、液晶表示装置の構成例を示すブロック図である。この液晶表示装置は、デジタル映像データに基づいて生成されたアナログのデータ信号を液晶パネルに印加する方式の液晶表示装置である。液晶表示装置は、液晶パネル 1 と、制御回路 2 と、階調電源回路 3 と、データ電極駆動回路 (ソースドライバ) 4 と、走査電極駆動回路 (ゲートドライバ) 5 とを具備する。

【0004】

液晶パネル 1 は、薄膜トランジスタ (TFT) をスイッチ素子に用いたアクティブマトリックス駆動方式の液晶パネルである。液晶パネル 1 は、行方向に所定間隔で設けられた n 本 (n は自然数) の走査電極 (ゲート線) $6_1 \sim 6_n$ と、列方向に所定間隔で設けられた m 本 (m は自然数) のデータ電極 (ソース線) $7_1 \sim 7_m$ とで囲まれた領域を画素とする。したがって、表示画面全体の画素数は、 $(n \times m)$ 個となる。液晶パネル 1 の各画素は、等価的に容量性負荷である液晶容量 8 と、共通電極 9 と、対応する液晶容量 8 を駆動する TFT 10 とを備える。

【0005】

10

20

30

40

50

液晶パネル 1 を駆動する場合、共通電極 9 に共通電位 V_{com} が印加される。その状態において、デジタル映像データに基づいて生成されるアナログのデータ信号が、データ電極 7 1 ~ 7 m に印加される。さらに、水平同期信号及び垂直同期信号等に基づいて生成されるゲートパルスが走査電極 6 1 ~ 6 n に印加される。これにより、文字や画像等が液晶パネル 1 の表示画面に表示される。カラー表示の場合には、デジタル映像データの赤データ、緑データ、青データに基づいてアナログのデータ赤信号、データ緑信号、データ青信号が生成され、それぞれ対応するデータ電極に印加されることになる。情報量が 3 倍になり、回路も 3 倍になるだけで動作に直接関係しないため、ここではカラーに関する説明は省略する。

【0006】

制御回路 2 は、例えば、ASIC (Application Specific Integrated Circuit) 等により構成され、外部からドットクロック信号、水平同期信号及び垂直同期信号、データインーブル信号等が供給される。制御回路 2 は、これらの入力信号に基づいて、ストローク信号、クロック信号、水平走査パルス信号、極性信号、垂直走査パルス信号等を生成し、ソースドライバ 4 及びゲートドライバ 5 に供給する。ストローク信号は、水平同期信号と同じ周期の信号である。また、クロック信号は、ドットクロック信号に同期する同一または異なる周波数の信号である。クロック信号は、ソースドライバ 4 に含まれるシフトレジスタにおいて、水平走査パルス信号からサンプリングパルスを生成するためなどに使用される。水平走査パルス信号は、水平同期信号と同一周期の信号であるが、ストローク信号からクロック信号の数周期分だけ遅延された信号である。また、極性信号は、液晶パネル 1 を交流駆動するために、1 水平期間ごとに、すなわち、1 ラインごとに反転する信号である。なお、極性信号は、1 垂直同期周期ごとにも反転する。垂直走査パルス信号は、垂直同期信号と同一周期の信号である。

【0007】

ゲートドライバ 5 は、制御回路 2 から供給される垂直走査パルス信号のタイミングに同期してゲートパルスを順次生成する。ゲートドライバ 5 は、生成したゲートパルスを液晶パネル 1 の対応する走査電極 6 1 ~ 6 n に順次印加する。

【0008】

階調電源回路 3 は、基準電圧と接地との間に縦続接続された複数個の抵抗と、各入力端が隣接する抵抗の接続点に接続された複数個のボルテージ・フォロアとを備える。階調電源回路 3 は、隣接する抵抗の接続点に出現する階調電圧を増幅してソースドライバ 4 に供給する。階調電圧は、ガンマ変換のために設定されている。ガンマ変換は、もともとは、昔からある撮像管の特性の逆になるように補正し、結果として正常な映像信号に戻すことをいう。ここでは、ガンマ変換は、システム全体のガンマを 1 として、良好な階調の再生画像を得るために、アナログ映像信号又はデジタル映像データ信号を補正する。一般的には、アナログ映像信号又はデジタル映像データ信号に対して CRT ディスプレイの特性に適合させる、すなわち、互換性を持たせるためにガンマ変換が施されている。ここで、図 2 に、6 ビットの入力データ (16 進数 (HEX) で表示) と、階調電圧 $V_0 \sim V_4$ 及び $V_5 \sim V_9$ との関係 (ガンマ変換特性) の一例が示される。

【0009】

ソースドライバ 4 は、図 1 に示されるように、映像データ処理回路 1 1 と、デジタル・アナログ変換器 (DA 変換器) 1 2 と、m 個の出力回路 1 3 1 ~ 1 3 m とを備える。

【0010】

映像データ処理回路 1 1 は、シフトレジスタと、データレジスタと、ラッチ回路と、レベルシフタとを備える (図示せず)。シフトレジスタは、複数個のディレイ・フリップフロップで構成されたシリアルイン・パラレルアウト型のシフトレジスタである。シフトレジスタは、制御回路 2 から供給される水平走査パルス信号を、制御回路 2 から供給されるクロック信号に同期してシフトするシフト動作を行うとともに、複数ビットのパラレルのサンプリングパルスを出力する。データレジスタは、シフトレジスタから供給されるサンプリングパルスに同期して、外部から供給されるデジタル映像データ信号のデータを表示

10

20

30

40

50

データとして取り込み、ラッチ回路に供給する。ラッチ回路は、制御回路 2 から供給されるストロブ信号の立ち上がり同期して、データレジスタから供給される表示データを取り込む。次にストロブ信号が供給されるまで、すなわち、1 水平期間の間、ラッチ回路は、取り込んだ表示データを保持する。レベルシフタは、ラッチ回路の出力データの電圧を変換して電圧変換表示データとして出力する。

【0011】

DA 変換器 12 は、映像データ処理回路 11 から供給される電圧変換表示データに対して、階調電源回路 3 から供給される階調電圧 $V_0 \sim V_4$ の組、又は、階調電圧 $V_5 \sim V_9$ の組に基づいて、ガンマ補正を施した階調性を付与する。そして、DA 変換器 12 は、ガンマ補正が施された補正データをアナログのデータ信号に変換して対応する出力回路 13

10

【0012】

出力回路 131 ~ 13m は、同じ構成の回路であり、これらを総称するとき、単に出力回路 13 と称する。また、データ電極 (ソース線) 71 ~ 7m を総称するとき、単にデータ電極 7 と称する。出力回路 13 は、図 3 に示されるように、ボルテージ・フォロア 141 及び 142 と、スイッチ 151 及び 152 とを備え、データ電極 7 を駆動する。

【0013】

スイッチ 151 は、制御回路 2 から供給される極性信号 POL が “H” レベルの時に回路を閉成し、ボルテージ・フォロア 141 から供給される正極性のデータ信号 S を液晶パネル 1 の対応するデータ電極 7 に印加する。スイッチ 152 は、制御回路 2 から供給される極性信号 POL が “L” レベルの時に回路を閉成し、ボルテージ・フォロア 142 から供給される負極性のデータ信号 S を液晶パネル 1 の対応するデータ電極 7 に印加する。

20

【0014】

ボルテージ・フォロア 141 は、図 4 に示されるように、N チャネルの MOS トランジスタ MN1、MN2 と、P チャネルの MOS トランジスタ MP1 ~ MP3 と、定電流源 CI1、CI2 と、コンデンサ C1 とを有する A 級増幅器を備える。ボルテージ・フォロア 141 は、対応する DA 変換器 12 から入力端子 Vin に供給される正極性のデータ信号を増幅し、出力端子 Vout から出力する。

【0015】

ボルテージ・フォロア 142 は、図 5 に示されるように、P チャネルの MOS トランジスタ MP4、MP5 と、N チャネルの MOS トランジスタ MN3 ~ MN5 と、定電流源 CI3、CI4 と、コンデンサ C2 とを有する A 級増幅器を備える。ボルテージ・フォロア 142 は、対応する DA 変換器 12 から入力端子 Vin に供給される負極性のデータ信号を増幅し、出力端子 Vout から出力する。

30

【0016】

次に、この液晶表示装置の動作について、図 6 に示されるタイミングチャートを参照して説明する。図 6 において、期間 TF は 1 フレーム期間であり、期間 TH は 1 水平期間である。ここでは、液晶パネル 1 を駆動する駆動方法は、ドット反転駆動方法を採用している。すなわち、データ電極 71 ~ 7m に印加される電圧の極性は、共通電極 9 に印加されている共通電圧 Vcom に対してドット (画素) ごとに反転する。一般に液晶パネルは、液晶セルに同極性の電圧を印加し続けると電源を切っても画面に文字などの跡が残る “焼き付き” という現象を引き起こす。このドット反転駆動方法は、液晶パネルの “焼き付き” を防止するために従来から採用されている。通常、液晶パネルにおいて、液晶セルに印加される電圧の極性が逆になっても、液晶セルがほぼ同じ透過率特性を有している。したがって、この反転駆動方法を採用する場合、階調電圧は、正極性の場合も負極性の場合も同一の電圧値を有する階調電圧 (共通電圧 Vcom に対して絶対値の等しい正 / 負極性の電圧) を採用するのが一般である。

40

【0017】

図 6 (1) に示されるクロック信号 VCK は、ゲートドライバ 5 で用いられる周期 TH のクロック信号である。周期 TH は、1 水平期間である。このクロック信号 VCK の各バ

50

ルス P_1 、 P_2 、...、 P_n に同期して、図6(2)～(4)に示されるように、ゲートドライバ5は、1ラインずつゲートパルス V_{G1} 、 V_{G2} 、...、 V_{Gn} を順次発生して、液晶パネル1の対応する走査電極61、62、...、6nに順次印加する。

【0018】

一方、ソースドライバ4は、図6(5)及び(6)に示されるように、データ信号を各出力回路131、132、...、13nからデータ電極71、72、...、7nに出力する。各データ信号は、各ゲートパルス V_{G1} 、 V_{G2} 、...、 V_{Gn} が生成されてから数マイクロ秒後に出力される。なお、図6(5)に示されるデータ信号 V_{Seven} は、偶数番目の出力回路13(2i)から出力されるデータ信号を示し、図6(6)に示されるデータ信号 V_{Sodd} は、奇数番目の出力回路13(2i-1)から出力されるデータ信号を示す。すなわち、出力回路132、134、...、13(2i)からデータ電極72、74、...、7(2i)に出力されるデータ信号 V_{S2} 、 V_{S4} 、 $V_{S(2i)}$ は、データ信号 V_{Seven} と総称される。また、出力回路131、133、...、13(2i-1)からデータ電極71、73、...、7(2i-1)に出力されるデータ信号 V_{S1} 、 V_{S3} 、...、 $V_{S(2i-1)}$ は、データ信号 V_{Sodd} と総称される。

10

20

30

40

50

【0019】

図7は、液晶表示装置における液晶パネル1のドレイン線の等価寄生抵抗と等価寄生容量を示した図である。図に示される構成ブロックは、図1に対応しているため、ここではその詳細説明を省略する。図7を参照すると、ソースドライバ4の出力回路13に接続される液晶パネル1のドレイン線は、図示されるように、抵抗と容量との分布定数回路として表すことが可能である。そして、ソースドライバ4から液晶パネルに一番近いところを負荷近端と呼び、一番離れたところを負荷遠端と呼ぶことにする。

【0020】

図4及び図5に示される増幅器のスルーレート設計において、増幅器が駆動する負荷の最悪条件に合わせて設計する。すなわち、増幅器のスルーレートは、ソースドライバ4が配置される駆動ライン(負荷近端)から最も離れた駆動ライン(負荷遠端)の負荷条件に合わせて設計される。この時、負荷となる液晶パネル1が大型化すると益々負荷条件が厳しくなる。この最悪条件に適合するようにスルーレートを上げて設計すると、自ずと増幅器の初段の差動段バイアス電流を大きくせざるを得ない。差動段バイアス電流が増加すると、それに応じて出力段の電流も大きくする必要がある。これは増幅器の位相余裕を確保するため、初段の電流と最終段の電流との比はある値以上(例えば5倍)とらないと、位相余裕が確保できないという問題が生じるからである。このように、増幅器のスルーレートを上げるように設計をすると、消費電流が大きくなり、半導体チップの最大温度を超えてしまう恐れがあった。

【0021】

液晶表示装置(LCD)の駆動回路の出力段であるドライバ部等に用いられる容量性負荷の駆動回路に関して、例えば、特開2000-338461号公報に開示される技術が知られる。この駆動回路は、レベル変換手段と、第1のトランジスタと、第1の電流制御手段と、駆動手段とを含む。レベル変換手段は、入力電圧を第1の電圧にレベル変換する。第1のトランジスタは、第1の電圧をゲートに受け、入力電圧に応じた出力電圧をソースより出力する。第1の電流制御手段は、第1のトランジスタのドレイン・ソース間に流れる電流を制御する。駆動手段は、第1のトランジスタをソースフォロワ動作させる。

【0022】

【特許文献1】特開2000-338461号公報

【発明の開示】

【発明が解決しようとする課題】

【0023】

上述のように、大型化する液晶パネルに対応する駆動回路は、負荷条件に合わせてスルーレートを上げざるを得ず、そのため、消費電流が大きくなり、半導体チップの最大温度を超えてしまう恐れがあった。本発明は、従来の駆動能力を維持したまま、消費電力を削

減する容量性負荷駆動回路および容量性負荷駆動方法を提供する。

【課題を解決するための手段】

【0024】

以下に、[発明を実施するための最良の形態]で使用される番号・符号を用いて、課題を解決するための手段を説明する。これらの番号・符号は、[特許請求の範囲]の記載と[発明を実施するための最良の形態]との対応関係を明らかにするために付加されたものである。ただし、それらの番号・符号を、[特許請求の範囲]に記載されている発明の技術的範囲の解釈に用いてはならない。

【0025】

本発明の観点では、容量性負荷駆動回路は、ゲートドライバ(5)と、ソースドライバ(4)とを具備する。ゲートドライバ(5)は、マトリクス状に配置された容量性負荷(1)を行方向に駆動する。ソースドライバ(4)は、容量性負荷(1)を列方向に駆動する。このソースドライバ(4)は、行方向に配列される複数の出力回路(13)を備える。出力回路(13)は、ゲートドライバ(5)が駆動する行位置に基づいてスルーレートを変更する。

10

【0026】

本発明の他の観点では、容量性負荷駆動方法は、ゲート駆動ステップと、ソース駆動ステップとを具備する。ゲート駆動ステップでは、マトリクス状に配置された容量性負荷が行方向に駆動される。ソース駆動ステップでは、行方向に配列される複数の出力回路により、この容量性負荷が列方向に駆動される。ソース駆動ステップでは、ゲート駆動ステップにより駆動される容量性負荷の行位置に基づいて出力回路のスルーレートが変更される。

20

【発明の効果】

【0027】

本発明によれば、従来の駆動能力を維持したまま、消費電力を削減する容量性負荷駆動回路および容量性負荷駆動方法を提供することができる。

【0028】

本発明によれば、各駆動行において最適なスルーレートが設定でき、低消費電力化が可能になる。また、本発明によれば、高価な低熱抵抗のソースドライバテープが不要になり、あるいは、半導体チップの放熱用部品等が不要になり、コストダウンも可能になる。

30

【発明を実施するための最良の形態】

【0029】

図を参照して、本発明を実施するための最良の形態が説明される。本発明は、演算増幅器のスルーレートを駆動条件に適合するように制御する回路を設け、最適なスルーレートで負荷を駆動することにより、余分な消費電力を削減し、低消費電力化を図る。

【0030】

図1は、液晶表示装置の構成例を示すブロック図である。背景技術において説明された液晶表示装置と同じ構成であるが、再度説明する。この液晶表示装置は、デジタル映像データに基づいて生成されたアナログのデータ信号を液晶パネルに印加する方式の液晶表示装置である。液晶表示装置は、液晶パネル1と、制御回路2と、階調電源回路3と、データ電極駆動回路(ソースドライバ)4と、走査電極駆動回路(ゲートドライバ)5とを具備する。

40

【0031】

液晶パネル1は、薄膜トランジスタ(TFT)をスイッチ素子に用いたアクティブマトリックス駆動方式の液晶パネルである。液晶パネル1は、行方向に所定間隔で設けられた n 本(n は自然数)の走査電極(ゲート線)61~6 n と、列方向に所定間隔で設けられた m 本(m は自然数)のデータ電極(ソース線)71~7 m とで囲まれた領域を画素とする。したがって、表示画面全体の画素数は、($n \times m$)個となる。液晶パネル1の各画素は、等価的に容量性負荷である液晶容量8と、共通電極9と、対応する液晶容量8を駆動するTFT10とを備える。

50

【 0 0 3 2 】

液晶パネル 1 を駆動する場合、共通電極 9 に共通電位 V_{com} が印加される。その状態において、デジタル映像データに基づいて生成されるアナログのデータ信号が、データ電極 7 1 ~ 7 m に印加される。さらに、水平同期信号及び垂直同期信号等に基づいて生成されるゲートパルスが走査電極 6 1 ~ 6 n に印加される。これにより、文字や画像等が液晶パネル 1 の表示画面に表示される。カラー表示の場合には、デジタル映像データの赤データ、緑データ、青データに基づいてアナログのデータ赤信号、データ緑信号、データ青信号が生成され、それぞれ対応するデータ電極に印加されることになる。情報量が 3 倍になり、回路も 3 倍になるだけで動作に直接関係しないため、ここではカラーに関する説明は省略する。

10

【 0 0 3 3 】

制御回路 2 は、外部からドットクロック信号、水平同期信号及び垂直同期信号、データイネーブル信号等が供給される。制御回路 2 は、これらの入力信号に基づいて、ストロープ信号、クロック信号、水平走査パルス信号、極性信号、垂直走査パルス信号等を生成し、ソースドライバ 4 及びゲートドライバ 5 に供給する。ストロープ信号は、水平同期信号と同じ周期の信号である。また、クロック信号は、ドットクロック信号に同期する同一または異なる周波数の信号である。クロック信号は、ソースドライバ 4 に含まれるシフトレジスタにおいて、水平走査パルス信号からサンプリングパルスを生成するためなどに使用される。水平走査パルス信号は、水平同期信号と同一周期の信号であるが、ストロープ信号からクロック信号の数周期分だけ遅延された信号である。また、極性信号は、液晶パネル 1 を交流駆動するために、1 水平期間ごとに、すなわち、1 ラインごとに反転する信号である。なお、極性信号は、1 垂直同期周期ごとにも反転する。垂直走査パルス信号は、垂直同期信号と同一周期の信号である。

20

【 0 0 3 4 】

ゲートドライバ 5 は、制御回路 2 から供給される垂直走査パルス信号のタイミングに同期してゲートパルスを順次生成する。ゲートドライバ 5 は、生成したゲートパルスを液晶パネル 1 の対応する走査電極 6 1 ~ 6 n に順次印加する。

【 0 0 3 5 】

階調電源回路 3 は、基準電圧と接地との間に縦続接続された複数個の抵抗と、各入力端が隣接する抵抗の接続点に接続された複数個のボルテージ・フォロアとを備える。階調電源回路 3 は、隣接する抵抗の接続点に出現する階調電圧を増幅してソースドライバ 4 に供給する。階調電圧は、ガンマ変換のために設定されている。ガンマ変換は、もともとは、昔からある撮像管の特性の逆になるように補正し、結果として正常な映像信号に戻すことをいう。ここでは、ガンマ変換は、システム全体のガンマを 1 として、良好な階調の再生画像を得るために、アナログ映像信号又はデジタル映像データ信号を補正する。一般的には、アナログ映像信号又はデジタル映像データ信号に対して CRT ディスプレイの特性に適合させる、すなわち、互換性を持たせるためにガンマ変換が施されている。ここで、図 2 に、6 ビットの入力データ (1 6 進数 (H E X) で表示) と、階調電圧 $V_0 \sim V_4$ 及び $V_5 \sim V_9$ との関係 (ガンマ変換特性) の一例が示される。

30

【 0 0 3 6 】

ソースドライバ 4 は、図 1 に示されるように、映像データ処理回路 1 1 と、デジタル・アナログ変換器 (D A 変換器) 1 2 と、m 個の出力回路 1 3 1 ~ 1 3 m とから概略構成されている。

40

【 0 0 3 7 】

映像データ処理回路 1 1 は、シフトレジスタと、データレジスタと、ラッチ回路と、レベルシフタとを備える (図示せず)。シフトレジスタは、複数個のディレイ・フリップフロップで構成されたシリアルイン・パラレルアウト型のシフトレジスタである。シフトレジスタは、制御回路 2 から供給される水平走査パルス信号を、制御回路 2 から供給されるクロック信号に同期してシフトするシフト動作を行うとともに、複数ビットのパラレルのサンプリングパルスを出力する。データレジスタは、シフトレジスタから供給されるサン

50

プリングパルスに同期して、外部から供給されるデジタル映像データ信号のデータを表示データとして取り込み、ラッチ回路に供給する。ラッチ回路は、制御回路 2 から供給されるストローク信号の立ち上がり同期して、データレジスタから供給される表示データを取り込む。次にストローク信号が供給されるまで、すなわち、1 水平期間の間、ラッチ回路は、取り込んだ表示データを保持する。レベルシフタは、ラッチ回路の出力データの電圧を変換して電圧変換表示データとして出力する。

【0038】

D A 変換器 12 は、映像データ処理回路 11 から供給される電圧変換表示データに対して、階調電源回路 3 から供給される階調電圧 $V_0 \sim V_4$ の組、又は、階調電圧 $V_5 \sim V_9$ の組に基づいて、ガンマ補正を施した階調性を付与する。そして、D A 変換器 12 は、ガンマ補正が施された補正データをアナログのデータ信号に変換して対応する出力回路 13

10

【0039】

出力回路 131 ~ 13m は、同じ構成の回路であり、これらを総称するとき、単に出力回路 13 と称する。また、データ電極（ソース線）71 ~ 7m を総称するときは、単にデータ電極（ソース線）7 と称する。この出力回路 13 が駆動する液晶パネル 1 のソース線 7 は、図 8 (a) に示されるように、等価回路で置き換えることができる。ソース線 7 を示す等価負荷 70 は、分布抵抗 R_{L1} 、 R_{L2} 、... と、分布容量 C_{L1} 、 C_{L2} 、... とにより示される。ここで、等価負荷 70 の出力回路 13 に最も近い部分を負荷近端、出力回路 13 から最も遠い部分を負荷遠端と呼ぶことにする。

20

【0040】

負荷近端である第 1 行目のライン（ゲート線 61）を駆動するとき、図 8 (b) に示されるように、出力回路 13 のスルーレートを下げる。駆動するラインが出力回路 13 から離れるに従い、出力回路 13 のスルーレートを上げ、負荷遠端すなわち最終行目のライン（ゲート線 6n）を駆動するときは、図 8 (c) に示されるように、出力回路 13 のスルーレートを最大にする。出力回路 13 のスルーレートを最大にした場合の負荷近端における波形が実線で示され、負荷遠端に達したときの波形が破線で示されている。大きいスルーレートで出力された信号は、立ち上がりが急峻であるが、分布定数回路で示される等価負荷を伝達して負荷遠端に達すると、破線で示されるように、立ち上がりは緩やかになることが分かる。

30

【0041】

このように、液晶表示装置の液晶パネル 1 を駆動するソースドライバ 4 の出力回路 13 を構成する演算増幅器のスルーレートを制御する回路を設け、駆動するラインに応じてスルーレートを変化させるように制御する。これにより、液晶パネルの画素容量に印加される電圧波形が均一化される。すなわち、1 ライン目は最小スルーレートで駆動され、ソースドライバ 4 から最も遠く離れたラインは最大スルーレートで駆動される。ゲートドライバ 5 の位置に合わせて、1 行目を駆動するスルーレートから最終行目を駆動するスルーレートまで、スルーレートを序々に上げていく。これにより、各ラインに最適なスルーレートで駆動することができ、結果として、各画素容量に全て均一的な出力波形で駆動することが可能となる。ひいては、近端を駆動する時はスルーレートを下げることにより、余分な消費電力を削減でき、低消費電力化が図れる。

40

【0042】

図 9 に示されるように、出力回路 13 は、出力アンプ 14 と、スイッチ 15 と、分周器 241 と、カウンタ 242 と、電流出力型デジタル・アナログ変換器 243 と、バイアス制御回路 244 とを備える。分周器 241 とカウンタ 242 と電流出力型デジタル・アナログ変換器 243 とバイアス制御回路 244 とにより、出力アンプ 14 のスルーレートが制御される。

【0043】

出力アンプ 14 は、図 10 に示されるように、P チャネル MOS トランジスタ MP11 及び MP12 と、N チャネル MOS トランジスタ MN11 及び MN12 と、可変定電流源

50

I 1 1 と、反転増幅器 (- A) 1 4 0 と、位相補償容量 5 0 (容量値 : C c) とを備える。P チャンネル MOS トランジスタ M P 1 1 及び M P 1 2 は、差動段を構成するソースが共通接続され、可変定電流源 I 1 1 に接続される。N チャンネル MOS トランジスタ M N 1 1 及び M N 1 2 は、そのドレインがそれぞれ P チャンネル MOS トランジスタ M P 1 1 及び M P 1 2 のドレインに接続され、そのソースが電源 V S S 2 に接続される。可変定電流源 I 1 1 は、差動段の共通接続されたソースと正電源 V D D 2 との間に挿入され、電流 I_{11} を差動段に供給する。反転増幅器 1 4 0 は、差動段の出力がシングル変換された信号を入力し、増幅して出力 V o u t を出力する。位相補償容量 5 0 は、反転増幅器 1 4 0 の入出力間に接続される。

【 0 0 4 4 】

P チャンネル MOS トランジスタ M P 1 1 及び M P 1 2 は、差動段を構成するトランジスタであり、各々のゲートで受けた差動入力電圧を各々のドレインに出力する。その各々のドレイン出力は、N チャンネル MOS トランジスタ M N 1 1 及び M N 1 2 により構成されるカレントミラー回路の入出力に接続される。したがって、N チャンネル MOS トランジスタ M N 1 1 及び M N 1 2 は、カレントミラー接続されて差動段の能動負荷の機能と、差動・シングル変換の機能とを兼ねる。すなわち、このカレントミラー回路が、差動段の能動負荷となるだけでなく、差動・シングル変換回路も兼ねている。ここでは、N チャンネル MOS トランジスタ M N 1 1 のドレインが、そのシングル変換された出力端子となる。この差動段の出力を反転増幅器 1 4 0 で受けて、最終出力端子 V o u t に出力する。また、この反転増幅器 1 4 0 の入出力間に挿入されている容量 5 0 (容量値 : C c) は、いわゆるミ

【 0 0 4 5 】

図 1 0 に示される出力アンプ 1 4 において、スルーレート S R は差動段のバイアス電流 I_{11} と位相補償容量 5 0 により定まる。すなわち、

$$S R = I_{11} / C c \quad (V / \mu s) \quad \dots (1)$$

となる。この (1) 式から分かるように、スルーレート S R を上げるには位相補償容量 C c を減らすか、バイアス電流 I_{11} を増やすかのどちらかである。ここでは、可変定電流源 I 1 1 を制御してスルーレート S R の増減を制御する。

【 0 0 4 6 】

また、出力アンプ 1 4 は、図 1 1 に示されるように、R a i l - t o - R a i l の増幅器を用いることもできる。図 1 1 に示される出力アンプ 1 4 は、図 1 0 に示される回路に、さらに、N チャンネル MOS トランジスタ M N 1 3 及び M N 1 4 と、P チャンネル MOS トランジスタ M P 1 3 及び M P 1 4 と、P チャンネル MOS トランジスタ M P 1 5 及び M P 1 6 と、可変電流源 I 1 2 とが追加される。したがって、P チャンネル MOS トランジスタ M P 1 1 及び M P 1 2 と、N チャンネル MOS トランジスタ M N 1 1 及び M N 1 2 と、可変定電流源 I 1 1 と、反転増幅器 (- A) 1 4 0 と、位相補償容量 5 0 (容量値 : C c) とは、図 1 0 に示される接続と変わらないので説明は省略される。

【 0 0 4 7 】

N チャンネル MOS トランジスタ M N 1 3 及び M N 1 4 は、ソース同士が共通接続され、差動段を構成する。P チャンネル MOS トランジスタ M P 1 3 及び M P 1 4、P チャンネル MOS トランジスタ M P 1 5 及び M P 1 6 は、それぞれカレントミラー回路を構成する。P チャンネル MOS トランジスタ M P 1 3 及び M P 1 4 により構成されるカレントミラー回路は、入力側に N チャンネル MOS トランジスタ M N 1 3 のドレインが接続され、出力側に N チャンネル MOS トランジスタ M N 1 2 のドレインが接続される。P チャンネル MOS トランジスタ M P 1 5 及び M P 1 6 により構成されるカレントミラー回路は、入力側に N チャンネル MOS トランジスタ M N 1 4 のドレインが接続され、出力側に N チャンネル MOS トランジスタ M N 1 1 のドレインが接続される。すなわち、差動段を構成する N チャンネル MOS トランジスタ M N 1 3 及び M N 1 4 のドレイン出力は、それぞれ P チャンネル MOS トランジスタ M P 1 3 及び M P 1 4 により構成されるカレントミラー回路の入力端子と、P チャンネル MOS トランジスタ M P 1 5 及び M P 1 6 により構成されるカレントミラー回路の入

10

20

30

40

50

力端子とに接続される。各々のカレントミラー回路の出力端子に対応するMOSトランジスタMP14、MP16のドレインは、NチャネルMOSトランジスタMN11及びMN12により構成されるカレントミラー回路の入力と出力にそれぞれ共通接続される。さらに、共通接続される差動段のソースと負電源Vssと間に可変定電流源I12が挿入されている。可変定電流源I12は、その電流値が制御可能である。

【0048】

図11において追加されたNチャネルMOS差動段(MN13/MN14)は、PチャネルMOS差動段(MP11/MP12)の能動負荷の働きをするカレントミラー回路(MN11/MN12)により電流加算される。これにより、NチャネルMOS差動段(MN13/MN14)の信号と、PチャネルMOS差動段(MP11/MP12)の信号とが加算されて一つの信号となり、NチャネルMOSトランジスタのMN11のドレインに出力される。

10

【0049】

ここで、入力電圧が負電源近辺のときは、PチャネルMOS差動段(MP11/MP12)のみが動作し、NチャネルMOS差動段(MN13/MN14)は動作しない。その逆に入力電圧が正電源近辺のときは、NチャネルMOS差動段(MN13/MN14)のみが動作する。また、入力電圧が正電源近辺から負電源近辺までの範囲では、NチャネルMOS差動段(MN13/MN14)とPチャネルMOS差動段(MP11/MP12)の両方が動作することになる。したがって、入力電圧範囲は、ほぼ負電源Vssからほぼ正電源VDDまで全入力範囲で動作することが可能になる。いわゆるRail-to-Railのアンプが実現できたことになる。図10に示される出力アンプと同様に、可変定電流源I11の電流値と可変定電流源I12の電流値とを制御することにより、スルーレートを制御することが可能になる。上述した(1)式からわかるように、これらの電流値I₁₁及びI₁₂を増やせばスルーレートは上がり、逆に電流値I₁₁及びI₁₂を減らせばスルーレートは下がる。

20

【0050】

図9に示されるように、分周器241は、制御回路2から出力されるSTB信号(データラッチパルス)、又は、水平同期信号(Hsync)を入力し、分周した信号をカウンタ242に出力する。分周器241は、1/Nの分周比をもつ。分周比の値Nは、可変するスルーレートの分解能、液晶パネル1のゲート線6の数等により設定される。その設定については後述する。図12に分周器241の出力波形例が示される。図12(a)は、STB信号の波形を示し、図12(b)、(c)、(d)は、それぞれ2分周、4分周、8分周のときの出力波形を示す。

30

【0051】

カウンタ242は、CLK入力端子に入力される分周器241の出力信号のパルス数をカウントするバイナリカウンタである。カウンタ242のカウント値は、電流出力型デジタル・アナログ変換器243に出力される。このカウンタ値に基づいて、出力アンプ14のスルーレートが設定される。そのカウンタ値は、Reset入力端子に入力されるゲートドライバ5のスタートパルス信号VSPによりリセットされる。Reset入力端子には、垂直同期信号(Vsync)が入力されてもよい。

40

【0052】

ゲートドライバ5の第1行目が駆動されることを示すVSP信号により、カウンタ242がリセットされ、ゲート線6の駆動行の移動に伴ってカウントアップされることになる。ゲート線6の駆動行は、STB信号により計数できるが、ここでは、分周器241が介在するため、ゲート線6の駆動行が変わるたびにカウントアップされるわけではない。分周比で示される数の駆動行の移動があるとカウントアップされる。また、ここでは、分周器241とカウンタ242とに分けて説明したが、STB信号を直接カウンタに入力し、カウンタの上位ビットのみ電流出力型デジタル・アナログ変換器243に出力するようにしてもよい。また、カウンタの出力を変換表などにより制御値に変換するように構成してもよい。

50

【 0 0 5 3 】

電流出力型デジタル・アナログ変換器 2 4 3 は、デジタル信号であるカウンタ 2 4 2 のカウント値をアナログ信号の電流に変換し、バイアス制御回路 2 4 4 に出力するデジタル・アナログ変換器である。図 1 3 に 3 ビットの電流出力タイプのデジタル・アナログ変換器の回路例が示される。図 1 3 (a) に示されるように、電流出力型デジタル・アナログ変換器 2 4 3 は、8 個の N チャンネル MOS トランジスタ MN 2 1 ~ MN 2 8 と、3 個の電流スイッチ SW 1 ~ SW 3 と、定電流源 I_{r1} 及び I_{r2} と、定電圧源 V_{ref2} とを備える。N チャンネル MOS トランジスタ MN 2 1 ~ MN 2 8 は、ゲート同士、ソース同士が共通接続される。共通接続されるソースは、定電流源 I_{r1} を介して接地される。定電圧源 V_{ref2} は、共通接続されるゲートに接続され、各ゲートをバイアスする。定電流源 I_{r2} は、電流出力端子 I_{dac} と接地 (GND) との間に挿入される。電流スイッチ SW 1、SW 2、SW 3 のメーク側端子は、電流出力端子 I_{dac} に接続される。電流スイッチ SW 1、SW 2、SW 3 のブレーク側端子は、正電源 VDD に接続される。電流スイッチ SW 1 の共通端子は、N チャンネル MOS トランジスタ MN 2 2 のドレインに接続される。電流スイッチ SW 2 の共通端子は、N チャンネル MOS トランジスタ MN 2 3 及び MN 2 4 のドレインに接続される。電流スイッチ SW 3 の共通端子は、N チャンネル MOS トランジスタ MN 2 5 ~ MN 2 8 のドレインに接続される。N チャンネル MOS トランジスタ MN 2 1 のドレインは、電流出力端子 I_{dac} に接続される。

10

【 0 0 5 4 】

図 1 3 に示される電流出力型のデジタル・アナログ変換器は、トランジスタの重み付けを利用した古くから知られ、元々バイポーラトランジスタで構成されたものを MOS トランジスタに置き換えただけのものである。バイポーラトランジスタで構成するとベース電流分の誤差が生じ、それを補償する付加回路が必要である。しかし、MOS トランジスタで構成した回路は、ベース電流に相当するゲート電流はほぼゼロと見なすことができ、更にドレイン電流 = ソース電流となるため、簡単な回路構成になる。8 個の N チャンネル MOS トランジスタ MN 2 1 ~ MN 2 8 は、全て同じ W / L サイズのものであり、更に各々のゲート、ソースがそれぞれ共通に接続されていることから、全てのトランジスタは同じ電流が流れる。N チャンネル MOS トランジスタ MN 2 1 ~ MN 2 8 は、全てゲート接地で動作しているため、ソース電流の合計が定電流源 I_{r1} の電流値 I_{r1} となる。したがって、N チャンネル MOS トランジスタの 1 個当たりのソース電流 I_s は、 $I_s = I_{r1} / 8$ となる。すなわち、電流スイッチ SW 1 には $I_{r1} / 8$ の電流が流れ、電流スイッチ SW 2 には $2 I_{r1} / 8$ の電流が流れ、電流スイッチ SW 3 には $4 I_{r1} / 8$ の電流が流れる。電流スイッチ SW 1 ~ SW 3 の状態により、図 1 3 (b) に示されるように、電流出力端子 I_{dac} に流れる電流として 8 通りの電流値が得られる。

20

30

【 0 0 5 5 】

例えば、電流スイッチ SW 1 ~ SW 3 が全てメーク側に設定されるとき、出力電流は、 $I_{dac} = I_{r1} + I_{r2}$ となり、全てブレーク側に設定されるとき、出力電流は、 $I_{dac} = I_{r1} / 8 + I_{r2}$ となる。なお、図 1 3 (b) において、“ L ” はスイッチをブレーク側に設定することを示し、“ H ” はスイッチをメーク側に設定することを示す。

【 0 0 5 6 】

図 1 4 は、上述した電流スイッチを MOS トランジスタで構成する場合の具体的な回路例を示す。電流スイッチは、2 つの N チャンネル MOS トランジスタ MN 3 1 及び MN 3 2 と、インバータ回路 2 4 6 とを備える。N チャンネル MOS トランジスタ MN 3 1 及び MN 3 2 は、各々のソースが共通接続され、このノードが電流スイッチの共通端子となる。制御信号が入力される制御端子は、ドレインがメーク側端子になる N チャンネル MOS トランジスタ MN 3 1 のゲートと、インバータ回路 2 4 6 の入力に接続される。インバータ回路 2 4 6 の出力がゲートに接続される N チャンネル MOS トランジスタ MN 3 2 のドレインは、ブレーク側端子となる。

40

【 0 0 5 7 】

制御信号がローレベル (L) の場合、N チャンネル MOS トランジスタ MN 3 1 は、ゲー

50

トがローレベルであるからオフ状態になる。一方、NチャネルMOSトランジスタMN32は、ゲートがハイレベルであるからオン状態になる。したがって、共通ソースに接続された電流は、全てNチャネルMOSトランジスタMN32のドレインに流れる。制御信号がハイレベル(H)の場合、NチャネルMOSトランジスタMN32は、ゲートがローレベルであるからオフ状態になる。一方、NチャネルMOSトランジスタMN31は、ゲートがハイレベルになるからオン状態になる。したがって、共通ソースに接続された電流は、全てNチャネルMOSトランジスタMN31のドレインに流れる。ここで注意しなければならないのは、ドレイン及びソースの各電圧であり、正しく電流スイッチと動作させるにはMOSトランジスタをいわゆる5極管領域(飽和領域)で動作させる必要がある。そのために、各MOSトランジスタのゲート制御信号の電圧レベルとインバータ回路の電圧レベル(H/L)とを検討しなければならない場合がある。ここでは、DA変換器の一例を示すだけで、その解決策の説明は省略される。

10

【0058】

バイアス制御回路244は、図15に示されるように、PチャネルMOSトランジスタMP41~MP44と、NチャネルMOSトランジスタMN41及びMN42と、定電圧源Vref4とを備える。PチャネルMOSトランジスタMP41~MP43は、ソース同士、ゲート同士が共通接続され、それぞれ正電源VDD2、PチャネルMOSトランジスタMP41のドレインに接続されてカレントミラー回路を構成する。PチャネルMOSトランジスタMP41のドレインには、電流出力型デジタル・アナログ変換器243の出力Idacが接続され、カレントミラー回路の入力電流が供給される。カレントミラー回路の吐き出し型の電流源出力端子となるPチャネルMOSトランジスタMP43のドレインは、出力アンプ14の可変定電流源I11(図11参照)に接続される。

20

【0059】

また、カレントミラー回路のもう一つの吐き出し型の電流源出力端子となるPチャネルMOSトランジスタMP42のドレインは、PチャネルMOSトランジスタMP44のソースに接続される。PチャネルMOSトランジスタMP44のゲートは定電圧源Vref4に接続され、そのドレインはNチャネルMOSトランジスタMN41のドレインに接続される。NチャネルMOSトランジスタMN41及びMN42の共通接続されたソースは、負電源VSS2に接続される。NチャネルMOSトランジスタMN41のゲートとドレインとは、NチャネルMOSトランジスタMN42のゲートに共通接続され、さらにPチャネルMOSトランジスタMP44のドレインに接続される。NチャネルMOSトランジスタMN41及びMN42は、カレントミラー回路を構成し、吸い込み型出力端子となるNチャネルMOSトランジスタMN42のドレインは、出力アンプ14の可変定電流源I12(図11参照)に接続される。

30

【0060】

PチャネルMOSトランジスタMP41~MP43は、2出力型のカレントミラー回路とみることができる。すなわち、PチャネルMOSトランジスタMP41のゲートとドレインとが共通接続されたノードが、カレントミラー回路の入力端子となり、PチャネルMOSトランジスタMP42及びMP43のドレインが、カレントミラー回路の2つの出力端子となる。カレントミラー回路の特性からPチャネルMOSトランジスタMP41に入力された電流値と同じ電流値の電流がPチャネルMOSトランジスタMP42及びMP43のドレインから出力される。

40

【0061】

このPチャネルMOSトランジスタMP42のドレイン電流は、ゲートが定電圧源Vref4でバイアスされたゲート接地のPチャネルMOSトランジスタMP44のソースに入力され、出力インピーダンスを上げてそのドレインから出力される。このPチャネルMOSトランジスタMP44のドレイン電流は、NチャネルMOSトランジスタMN41及びMN42で構成されたカレントミラー回路の入力に流れる。したがって、そのカレントミラー回路の出力であるNチャネルMOSトランジスタMN42のドレインには、PチャネルMOSトランジスタMP44のドレイン電流と同じ電流値の電流が出力される。この

50

ように、PチャネルMOSトランジスタMP41に入力される電流と同じ電流値をもった吐き出し型と吸い込み型の定電流源が実現できる。したがって、電流出力型デジタル・アナログ変換器243が生成した電流により、出力アンプ14のスルーレートを制御する可変定電流源I11及びI12の電流値が連動して設定される。

【0062】

次に、スルーレートが制御される出力回路13の動作を説明する。

【0063】

図9に示されるように、カウンタ242には、分周器241によりN分周されたストローク信号(STB)がカウント入力として供給されている。ゲートドライバ5がゲート線を次々と駆動するたびに、STB信号が分周器241に入力される。ゲートドライバ5が何行目を駆動しているかは、スタートパルス(VSP)が入力された時から何回STB信号がハイレベルになったかにより知ることが可能である。スタートパルス(VSP)がハイレベルになってから最初にSTB信号がハイレベルになった時、ゲートドライバ5が第1行目を駆動している時であり、次にSTB信号がハイレベルになった時はゲートドライバ5が第2行目を駆動している時である。このようにSTB信号のハイレベルになった数を数えることにより、容易に駆動行を知ることができる。この時、電流出力型デジタル・アナログ変換器243の分解能を駆動する行数に必ずしも合致させる必要はない。液晶パネルの行数は、例えば、SXGA(Super extended Graphics Array)パネルであれば1024行であり、分解能を合致させると、10ビット相当になる。しかし、出力アンプ14のスルーレートを8段階に切り換えるのであれば、バイアス電流は8通りの電流値が設定できればよい。したがって、電流出力型デジタル・アナログ変換器243は3ビットの分解能でよい。SXGAパネルの1024行を8通りのスルーレートで駆動する場合、 $1024 / 8 = 128$ 行毎に電流値を増やせばよい。すなわち、分周器241の分周比は $1 / 128$ であればよい。液晶パネル1の行数をnとすると、分周器241は、 $n / 8$ 行毎にパルスを出力し、カウンタ242がカウントアップする。このようにして、分周器241の分周比と電流出力型デジタル・アナログ変換器243の分解能とが決定される。

【0064】

カウンタ242は、ゲートドライバ5のスタートパルス(VSP信号)によりカウント値がクリアされ、ゲートドライバ5が1行目のゲート線61を駆動することを認識する。カウンタ241のカウント値がクリアされるため、このときの電流出力型デジタル・アナログ変換器243の出力は、図16に示されるように、 $I_{r1} / 8 + I_{r2}$ となる。バイアス制御回路244は、この電流値を出力アンプ14の可変定電流源I11及びI12に設定し、出力アンプ14は、最小スルーレートで動作する。

【0065】

1行目から $n / 8$ 行目までは、カウンタ242は変化せず、 $n / 8 + 1$ 行目が駆動されるとき、カウンタ242はカウントアップし、電流出力型デジタル・アナログ変換器243は、出力電流値を $2 I_{r1} / 8 + I_{r2}$ に増加して出力する。バイアス制御回路244は、この電流値を出力アンプ14の可変定電流源I11及びI12に設定し、出力アンプ14は、スルーレートを上げて動作する。図16に示されるように、垂直走査行が、 $2n / 8 + 1$ 行目から $3n / 8$ 行目、 $3n / 8 + 1$ 行目～ $4n / 8$ 行目、...、 $7n / 8 + 1$ 行目～ n 行目となるにしたがって、電流出力型デジタル・アナログ変換器243の出力電流が増加し、出力アンプ14は段階的にスルーレートを上げて動作する。 $7n / 8 + 1$ 行目～ n 行目では最大スルーレートに達し、図8(c)に示されるように、駆動波形は急峻になる。

【0066】

このように、ゲートドライバ5が駆動するゲート線6の位置に対応させて出力アンプ14のスルーレートを変化させることにより、従来の駆動能力を維持したまま、出力アンプ14の消費電力を削減することが可能となる。定電流源I_{r1}及びI_{r2}の電流値を適切に設定することにより、各駆動行において最適なスルーレートが設定できる。したがって

、低消費電力化が可能になり、高価な低熱抵抗のソースドライバテープを使用する必要がなくなり、また、半導体チップの放熱用部品等が不要になる。すなわち、コストダウンも可能になる。

【 0 0 6 7 】

上述のように、出力回路のスルーレートを変化させるために、増幅器のバイアス電流を制御する回路が説明された。(1) 式からわかるように、増幅器のスルーレートは、初段のバイアス電流と位相補償容量とによって決まる。以下では、位相補償容量を変化させてスルーレートを制御する回路が説明される。

【 0 0 6 8 】

図 1 7 に、位相補償容量を変化させてスルーレートを制御する出力回路 1 3 の構成を示すブロック図を示す。出力回路 1 3 は、出力アンプ 1 6 と、分周器 2 5 1 と、カウンタ 2 5 2 と、スイッチ 1 5 とを備える。スイッチ 1 5 は、出力アンプ 1 6 の出力と負荷との間に接続され、負荷駆動のタイミングを制御する。S T B 信号が供給される分周器 2 5 1 は、S T B 信号を N 分周してカウンタ 2 5 2 に出力する。カウンタ 2 5 2 は、分周器 2 5 1 の出力をカウントしてカウント値を出力アンプ 1 6 に供給する。先に図 9 を参照して説明された出力回路に比べ、電流出力型デジタル・アナログ変換器 2 4 3 とバイアス制御回路 2 4 4 とが削除され、カウンタ 2 5 2 の出力が出力アンプ 1 5 に供給されている。分周器 2 5 1 及びカウンタ 2 5 2 は、先に説明した分周器 2 4 1 及びカウンタ 2 4 2 と同じ動作であるため、詳細な説明は省略される。

【 0 0 6 9 】

出力アンプ 1 6 は、図 1 8 に示されるように、P チャネル MOS トランジスタ M P 5 1 及び M P 5 2 と、N チャネル MOS トランジスタ M N 5 1 及び M N 5 2 と、定電流源 I 5 1 と、反転増幅器 (- A) 1 4 0 と、位相補償容量 5 0 とを備える。P チャネル MOS トランジスタ M P 5 1 及び M P 5 2 は、差動段を構成するソースが共通接続され、定電流源 I 5 1 に接続される。N チャネル MOS トランジスタ M N 5 1 及び M N 5 2 は、そのドレインがそれぞれ P チャネル MOS トランジスタ M P 5 1 及び M P 5 2 のドレインに接続され、そのソースが電源 V S S 2 に接続される。定電流源 I 5 1 は、差動段の共通接続されたソースと正電源 V D D 2 との間に挿入され、電流 I_{51} を差動段に供給する。反転増幅器 1 4 0 は、差動段の出力がシングル変換された信号を入力し、増幅して出力 V o u t を出力する。位相補償容量 5 0 は、反転増幅器 1 4 0 の入出力間に接続され、その容量値が制御されて変化する。スルーレートは、この位相補償容量 5 0 の容量値に応答して変化する。これ以外の動作は、図 1 0 に示される出力アンプ 1 4 と同じであるため、説明を省略する。

【 0 0 7 0 】

位相補償容量 5 0 は、図 1 9 (a) に示されるように、N チャネル MOS トランジスタ M N 5 5 ~ M N 5 7 と、容量素子 5 1 ~ 5 4 とを備える。N チャネル MOS トランジスタ M N 5 5、M N 5 6、M N 5 7 は、それぞれ容量素子 5 4、5 3、5 2 と直列に接続され、スイッチとして機能する。N チャネル MOS トランジスタ M N 5 5、M N 5 6、M N 5 7 のゲートは、制御端子 5 9 に接続される。制御端子 5 9 にはカウンタ 2 5 2 の出力が接続され、カウント値に応じてスイッチがオンオフされる。

【 0 0 7 1 】

容量素子 5 1 は容量値 C_1 、容量素子 5 2 は容量値 C_2 、容量素子 5 3 は容量値 $2 \times C_2$ 、容量素子 5 4 は容量値 $3 \times C_2$ の容量を有する。したがって、図 1 9 (b) に示されるように、カウンタ 2 5 2 のカウント状態に応じて、位相補償用容量 5 0 は、 C_1 、 $C_1 + C_2$ 、 $C_1 + 2 C_2$ 、...、 $C_1 + 7 C_2$ と容量値を可変することができる。ここでは、カウンタ 2 5 2 は 3 ビットバイナリカウンタとして説明されるため、容量値も 8 通りに変化するが、3 ビットに限定されるものではない。このように、位相補償用容量 5 0 を可変とすることにより、出力アンプ 1 6 のスルーレートを制御することができる。

【 0 0 7 2 】

以上説明した回路構成により液晶パネルを駆動した場合の波形が、図 2 0 に示される。

図 20 (a) は、 S T B 信号を示し、 S T B 信号の立ち上がりをカウントすることにより、ゲートドライバ 5 の駆動行の位置が分かる。図 20 (b) は、ソースドライバ 4 が駆動する信号の極性を示す。 1 H 期間ごとに交互に信号の極性が変わる。図 20 (c) ~ (e) は、ソースドライバ 4 が駆動する信号の負荷近端における波形 (実線) と、駆動行位置における実際の波形 (破線) を示す。スルーレートを変えることにより、ソースドライバ 4 の出力位置では波形の立ち上がり (立ち下がり) が変化するが、駆動行位置における波形、すなわち、液晶パネルの画素容量の書き込み波形では、同じような立ち上がり (立ち下がり) になることが分かる。スルーレートを制御することにより全駆動行において、画素容量の書き込み波形を同じような立ち上がり (立ち下がり) にすることができ、画質の均一化が図れる。

10

【 0 0 7 3 】

このように、スルーレートを制御するソースドライバを L C D モジュールに採用することにより、各駆動行において最適なスルーレートが設定でき、低消費電力化が可能になる。これにより、高価な低熱抵抗のソースドライバテープが不要になり、またはチップの放熱物が不要になり、コストダウンが可能になる。

【 図面の簡単な説明 】

【 0 0 7 4 】

【 図 1 】 液晶表示装置の構成例を示すブロック図である。

【 図 2 】 6 ビットの入力データと階調電圧 V 0 ~ V 4 及び V 5 ~ V 9 との関係の一例を示す図である。

20

【 図 3 】 従来の出力回路の構成例を示す図である。

【 図 4 】 同ボルテージ・フォロアの構成を示す図である。

【 図 5 】 同他方のボルテージ・フォロアの構成を示す図である。

【 図 6 】 液晶表示装置の動作を説明するためのタイミングチャートである。

【 図 7 】 液晶パネルのドレイン線を抵抗と容量の分布定数回路で表した図である。

【 図 8 】 出力回路の等価負荷と、出力駆動波形の例を示した図である。

【 図 9 】 本発明の実施の形態に係る出力回路の構成例を示す図である。

【 図 1 0 】 同スルーレート制御増幅器の回路構成例を示す図である。

【 図 1 1 】 同スルーレート制御増幅器の他の回路構成例を示す図である。

【 図 1 2 】 同 S T B 信号と分周器の出力波形例とを示す図である。

30

【 図 1 3 】 同電流出力型デジタル・アナログ変換器の回路例を示す図である。

【 図 1 4 】 同電流スイッチを M O S トランジスタで実現する回路例を示す図である。

【 図 1 5 】 同バイアス制御回路の回路構成例を示す図である。

【 図 1 6 】 同バイアス制御回路の駆動例を示す図である。

【 図 1 7 】 本発明の他の実施の形態に係る出力回路の構成例を示す図である。

【 図 1 8 】 同スルーレート制御増幅器の回路構成例を示す図である。

【 図 1 9 】 同位相補償容量を可変させる回路構成例を示す図である。

【 図 2 0 】 本発明における駆動波形例を示す図である。

【 符号の説明 】

【 0 0 7 5 】

40

- 1 カラー液晶パネル
- 2 制御回路
- 3 階調電源回路
- 4 データ電極駆動回路 (ソースドライバ)
- 5 走査電極駆動回路 (ゲートドライバ)
- 6、6 1 ~ 6 n 走査電極 (ゲート線)
- 7、7 1 ~ 7 m データ電極 (ソース線)
- 7 0 パネル負荷回路
- 7 0 1 ~ 7 0 m パネル負荷回路
- 8 液晶容量

50

9 共通電極

10 T F T

11 映像データ処理回路

12 デジタル・アナログ変換器 (D A 変換器)

13、131 ~ 13m 出力回路

14、16 出力アンプ

15 スイッチ

141、142 ボルテージ・フォロア

151、152 スイッチ

140 出力アンプ

10

241、251 分周器

242、252 カウンタ

243 電流出力型デジタル・アナログ変換器

244 バイアス制御回路

246 インバータ

50 位相補償容量

51 ~ 54 容量素子

C I 1 ~ C I 4 定電流源

C 1、C 2 コンデンサ

I 1 1、I 1 2、I 5 1 定電流源

20

I r 1、I r 2 定電流源

M P 1 ~ M P 6 PチャネルM O Sトランジスタ

M P 1 1 ~ M P 1 6 PチャネルM O Sトランジスタ

M P 4 1 ~ M P 4 4 PチャネルM O Sトランジスタ

M P 5 1、M P 5 2 PチャネルM O Sトランジスタ

M N 1 ~ M N 6 NチャネルM O Sトランジスタ

M N 1 1 ~ M N 1 4 NチャネルM O Sトランジスタ

M N 2 1 ~ M N 2 8 NチャネルM O Sトランジスタ

M N 3 1、M N 3 2 NチャネルM O Sトランジスタ

M N 4 1、M N 4 2 NチャネルM O Sトランジスタ

30

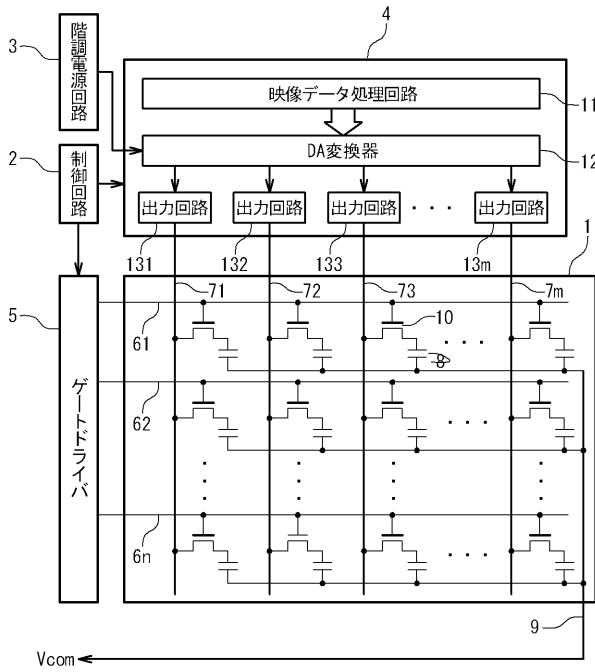
M N 5 1、M N 5 2 NチャネルM O Sトランジスタ

M N 5 5 ~ M N 5 7 NチャネルM O Sトランジスタ

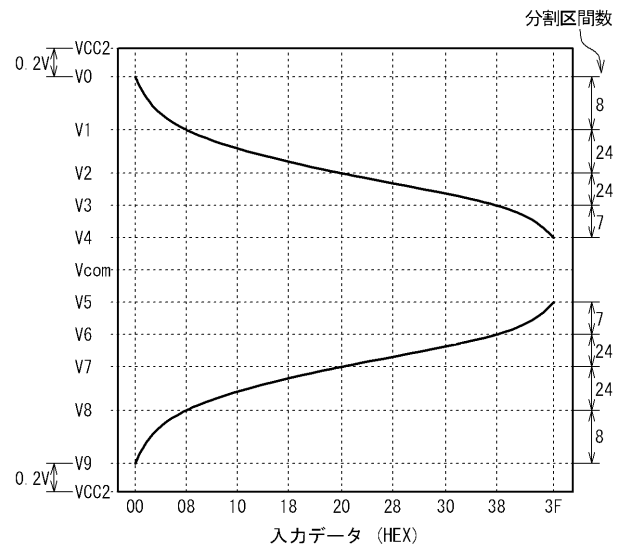
S W 1 ~ S W 3 電流スイッチ

V r e f 2、V r e f 4 定電圧源

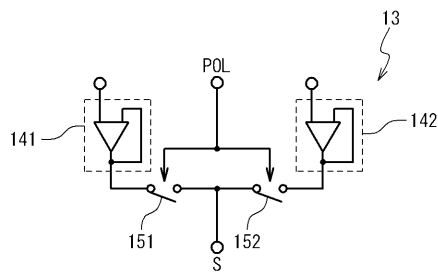
【図 1】



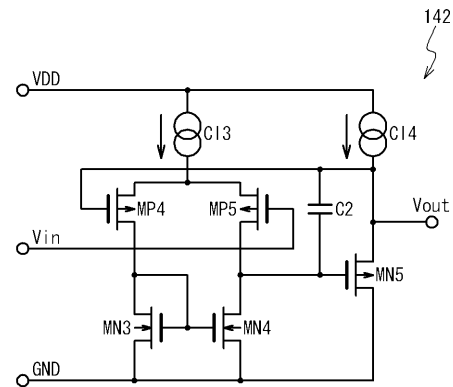
【図 2】



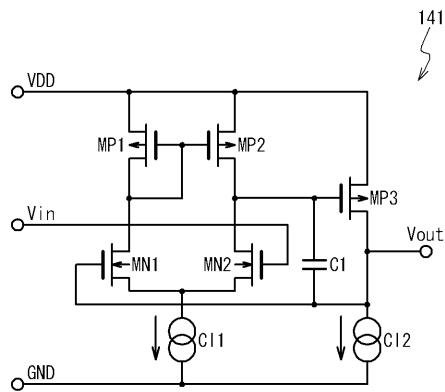
【図 3】



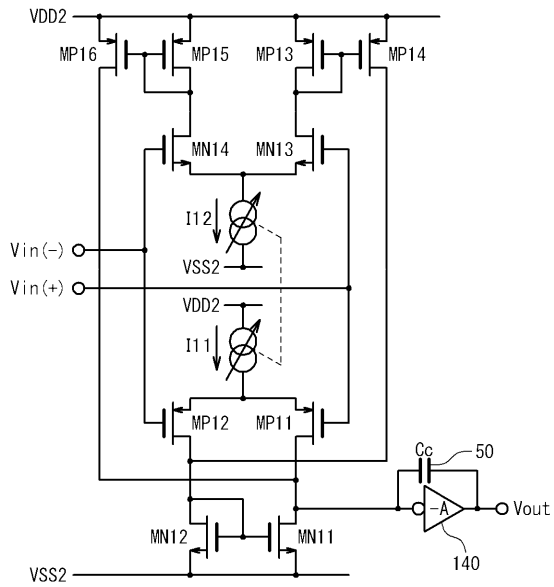
【図 5】



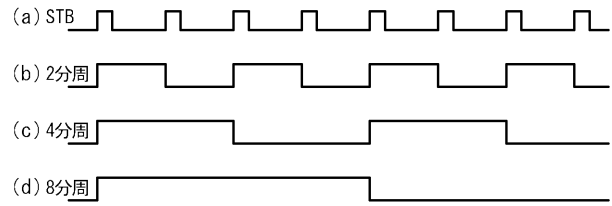
【図 4】



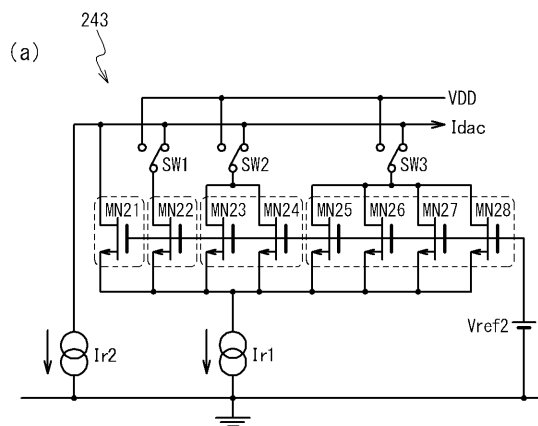
【図 1 1】



【図 1 2】



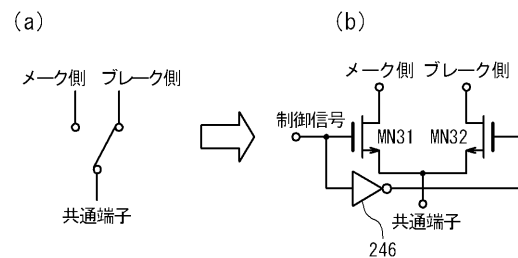
【図 1 3】



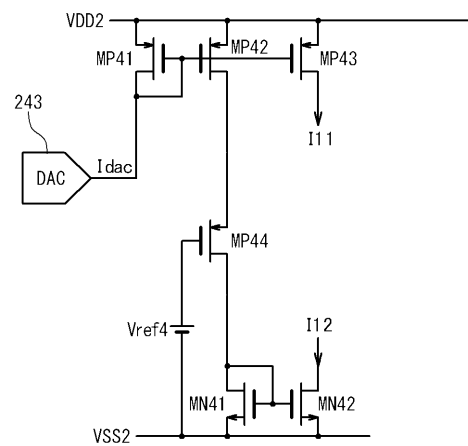
(b)

SW3	SW2	SW1	出力電流
L	L	L	$I_{r1}/8 + I_{r2}$
L	L	H	$2I_{r1}/8 + I_{r2}$
L	H	L	$3I_{r1}/8 + I_{r2}$
L	H	H	$4I_{r1}/8 + I_{r2}$
H	L	L	$5I_{r1}/8 + I_{r2}$
H	L	H	$6I_{r1}/8 + I_{r2}$
H	H	L	$7I_{r1}/8 + I_{r2}$
H	H	H	$I_{r1} + I_{r2}$

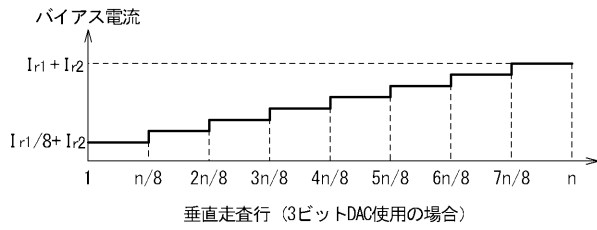
【図 1 4】



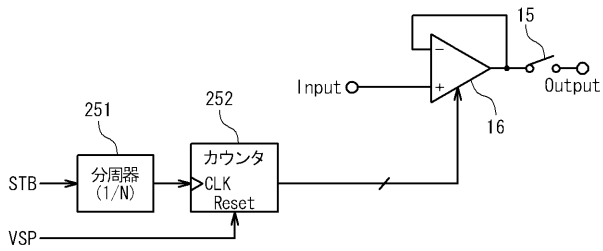
【図 1 5】



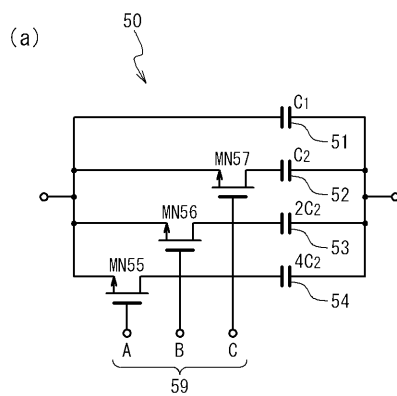
【図 16】



【図 17】



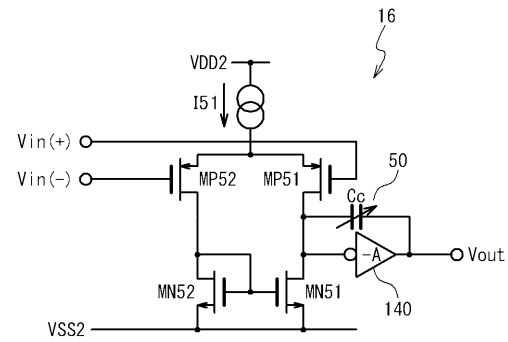
【図 19】



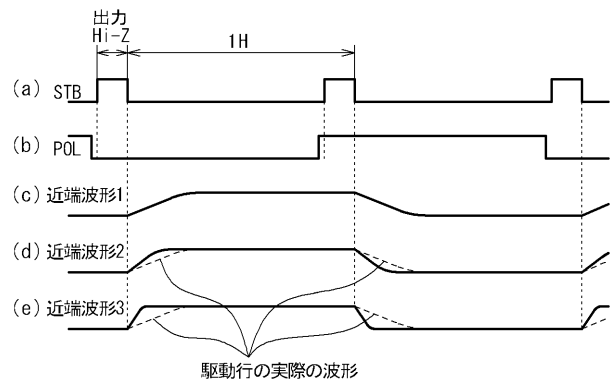
(b)

A	B	C	容量値
L	L	L	C_1
L	L	H	$C_1 + C_2$
L	H	L	$C_1 + 2C_2$
L	H	H	$C_1 + 3C_2$
H	L	L	$C_1 + 4C_2$
H	L	H	$C_1 + 5C_2$
H	H	L	$C_1 + 6C_2$
H	H	H	$C_1 + 7C_2$

【図 18】



【図 20】



フロントページの続き

(51)Int.Cl.	F I	テーマコード(参考)
	G 0 9 G 3/20	6 1 1 A
	G 0 9 G 3/20	6 2 3 C

F ターム(参考) 5C006 AC21 AF42 AF52 AF69 AF82 BB16 BC06 BC16 BF22 BF43
5C080 AA10 BB05 DD05 DD26 JJ02 JJ03 JJ04 JJ05

专利名称(译)	电容负载驱动电路，电容负载驱动方法，液晶显示器件驱动方法		
公开(公告)号	JP2008139697A	公开(公告)日	2008-06-19
申请号	JP2006327352	申请日	2006-12-04
[标]申请(专利权)人(译)	NEC电子股份有限公司		
申请(专利权)人(译)	NEC电子公司		
[标]发明人	西村浩一 能勢崇		
发明人	西村 浩一 能勢 崇		
IPC分类号	G09G3/36 G02F1/133 G09G3/20		
CPC分类号	H03K17/122 G09G3/2011 G09G3/3688 G09G2310/02 G09G2310/027 G09G2310/0289 G09G2310/066		
FI分类号	G09G3/36 G02F1/133.550 G09G3/20.623.B G09G3/20.612.L G09G3/20.612.R G09G3/20.611.A G09G3/20.623.C		
F-TERM分类号	2H093/NA16 2H093/NC02 2H093/NC03 2H093/NC09 2H093/NC11 2H093/NC16 2H093/NC22 2H093/NC24 2H093/NC26 2H093/NC34 2H093/NC35 2H093/ND09 2H093/ND54 5C006/AC21 5C006/AF42 5C006/AF52 5C006/AF69 5C006/AF82 5C006/BB16 5C006/BC06 5C006/BC16 5C006/BF22 5C006/BF43 5C080/AA10 5C080/BB05 5C080/DD05 5C080/DD26 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 2H193/ZA04 2H193/ZD32 2H193/ZF02 2H193/ZF03		
代理人(译)	工藤稔		
外部链接	Espacenet		

摘要(译)

本发明提供一种电容性负载驱动电路和电容性负载驱动方法，用于在保持传统驱动能力的同时降低功耗。电容性负载驱动电路包括栅极驱动器（5）和源极驱动器（4）。栅极驱动器（5）驱动在行方向上以矩阵布置的电容性负载（1）。源极驱动器（4）沿列方向驱动电容性负载（1）。源极驱动器（4）包括沿行方向布置的多个输出电路（13）。输出电路（13）基于由栅极驱动器（5）驱动的行位置来改变转换速率。[选择图]图8

