

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2008-89649

(P2008-89649A)

(43) 公開日 平成20年4月17日(2008.4.17)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/36 (2006.01)	G09G 3/36	2H093
G02F 1/133 (2006.01)	G02F 1/133 525	5C006
G09G 3/20 (2006.01)	G09G 3/20 623X	5C080
	G09G 3/20 621B	
	G09G 3/20 621A	
審査請求 未請求 請求項の数 14 O L (全 26 頁) 最終頁に続く		

(21) 出願番号	特願2006-267220 (P2006-267220)	(71) 出願人	302062931
(22) 出願日	平成18年9月29日 (2006.9.29)		NECエレクトロニクス株式会社
			神奈川県川崎市中原区下沼部1753番地
		(74) 代理人	100103894
			弁理士 冢入 健
		(72) 発明者	山上 裕
			神奈川県川崎市中原区小杉町1丁目403
			番53 NECマイクロシステム株式会社
			内
		Fターム(参考)	2H093 NA16 NA32 NA33 NA34 NA43
			NC13 NC34 NC35 ND10 ND12
			ND35 ND36 ND58
			5C006 AC11 AC21 AC26 AC27 AC28
			AF43 AF44 BB16 BC23 FA23
			5C080 AA10 BB05 DD06 FF07 FF11
			JJ01 JJ02 JJ03 JJ04 KK47

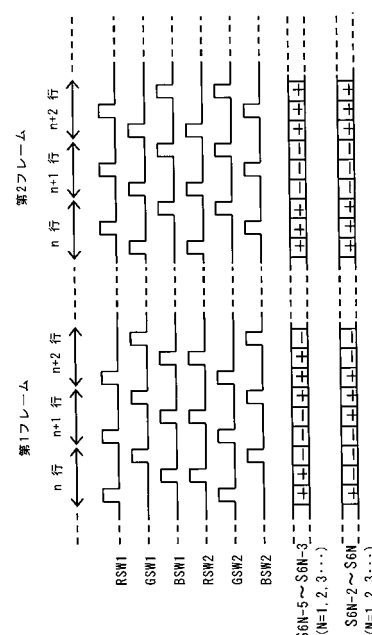
(54) 【発明の名称】 表示装置の駆動方法及び表示装置

(57) 【要約】

【課題】画素容量に保持される駆動電圧が、当該画素と周囲の変動電位源との間に形成される寄生容量のカップリングの影響により変動してしまうのを抑制することができる表示装置の駆動方法を提供する。

【解決手段】本発明の一態様に係る液晶表示装置の駆動方法は、同一の走査線Gに接続された複数の画素107を、走査線Gの1選択期間内に時分割駆動する駆動方法であって、フレームごとに複数の画素107の時分割駆動順序を直前のフレームでの順序と変えて、複数の画素107の一部を1選択期間の第1のタイミングで駆動し、第1のタイミングで駆動される第1の画素を、当該第1の画素が直前のフレームで駆動された極性に対して反転して駆動し、第1のタイミングの後の第2のタイミングで駆動される、複数の画素107のうち第1の画素に隣接する第2の画素を、当該第2の画素が直前のフレームで駆動された極性と同じ極性で駆動する。

【選択図】 図4



【特許請求の範囲】**【請求項 1】**

同一のラインに配列された複数の画素を、当該ラインの駆動期間内に時分割駆動する表示装置の駆動方法であって、

フレームごとに前記複数の画素の時分割駆動順序を直前のフレームでの順序と変えて、前記複数の画素の一部を前記 1 駆動期間の第 1 のタイミングで駆動し、

前記第 1 のタイミングで駆動される第 1 の画素を、当該第 1 の画素が直前のフレームで駆動された極性に対して反転して駆動し、

前記第 1 のタイミングの後の第 2 のタイミングで駆動される、前記複数の画素のうち前記第 1 の画素に隣接する第 2 の画素を、当該第 2 の画素が直前のフレームで駆動された極性と同一極性で駆動する表示装置の駆動方法。

10

【請求項 2】

時分割数と同数のフレーム数の期間内に、前記ラインに配列された全ての画素を各 1 回ずつ前記第 1 のタイミングで駆動する請求項 1 に記載の表示装置の駆動方法。

【請求項 3】

前記第 1 の画素のみを、当該画素が直前のフレームで駆動された極性に対して反転して駆動する請求項 1 又は 2 に記載の表示装置の駆動方法。

【請求項 4】

前記第 1 のタイミングは、1 選択期間における最初のタイミングである請求項 1 ~ 3 のいずれか 1 項に記載の表示装置の駆動方法。

20

【請求項 5】

前記複数の画素の時分割駆動順序は、前記時分割数に対応するフレームごとに決定されている請求項 1 ~ 4 のいずれか 1 項に記載の表示装置の駆動方法。

【請求項 6】

前記複数の画素を 1 つおきに、当該画素が直前のフレームで駆動された極性に対して反転して駆動する請求項 1 に記載の表示装置の駆動方法。

【請求項 7】

前記 1 駆動期間において、画素を駆動するタイミングよりも前のタイミングで当該画素に隣接する他の画素が駆動されている場合、当該画素が直前のフレームで駆動された極性と同一極性で駆動する請求項 1 ~ 6 のいずれかに記載の表示装置の駆動方法。

30

【請求項 8】

同一のラインに配列された複数の画素電極と、

前記複数の画素電極にそれぞれ対応して接続された複数の信号線と、

前記ラインの 1 駆動期間内に、前記複数の信号線に対して時分割で駆動電圧を供給する駆動回路とを備え、

前記駆動回路は、

フレームごとに前記複数の信号線の時分割出力順序を直前のフレームの順序と変えて、前記複数の信号線の一部に対して前記 1 選択期間の第 1 のタイミングで駆動電圧を供給し、

前記ラインの 1 駆動期間において、前記第 1 のタイミングで駆動電圧が供給される第 1 の信号線に対し、当該第 1 の信号線の直前のフレームの当該ラインの 1 駆動期間における駆動電圧の極性と反転した極性の駆動電圧を供給し、

40

前記第 1 のタイミングの後の第 2 のタイミングで駆動電圧が供給される、前記複数の信号線のうち前記第 1 の信号線に隣接する第 2 の信号線に対し、当該第 2 の信号線の直前のフレームの当該ラインの 1 駆動期間における駆動電圧の極性と同一の極性の駆動電圧を供給する表示装置。

【請求項 9】

前記時分割数と同数のフレーム回数の期間内において、同一のラインに配列される全ての信号線に各 1 回ずつ前記第 1 のタイミングで駆動電圧が供給される請求項 8 に記載の表示装置。

50

【請求項 10】

前記駆動回路は、前記第 1 の信号線の上に、当該信号線の直前フレームの前記ラインの 1 駆動期間における駆動電圧の極性と反転した駆動電圧が供給される請求項 8 又は 9 に記載の表示装置。

【請求項 11】

前記第 1 のタイミングは、1 選択期間における最初のタイミングである請求項 8 ~ 10 のいずれか 1 項に記載の表示装置。

【請求項 12】

前記複数の信号線の時分割出力順序は、前記時分割数に対応するフレームごとに決定されている請求項 8 ~ 11 のいずれか 1 項に記載の表示装置の駆動方法。

10

【請求項 13】

前記複数の信号線に 1 つおきに、当該信号線の直前のフレームの前記ラインの 1 駆動期間における駆動電圧の極性と反転した駆動電圧が供給される請求項 8 に記載の表示装置。

【請求項 14】

前記 1 駆動期間において、信号線に駆動電圧を供給するタイミングよりも前のタイミングで、当該信号線に隣接する他の信号線に駆動電圧が供給されている場合、当該信号線の直前のフレームの前記ラインの 1 駆動期間における駆動電圧の極性と同一極性の駆動電圧が供給される請求項 8 ~ 13 のいずれかに記載の表示装置。

【発明の詳細な説明】**【技術分野】**

20

【0001】

本発明は表示装置の駆動方法及び表示装置に関し、特に駆動電圧が時分割で供給される駆動方式の表示装置の駆動方法及び表示装置に関する。

【背景技術】**【0002】**

液晶表示装置は、文字等のキャラクタを表示するセグメント型のものが早くから実用化されていたが、現在ではドットマトリクス型の液晶表示装置が広く普及している。ドットマトリクス型の液晶表示装置とは、微小な矩形の画素が 2 次元マトリクス状に配列された表示装置である。各画素は電氣的に容量(以後、画素容量と称す)であり、2 つの電極の間に液晶材料が挟まれた構造を有している。各画素の電極の一方は、互いに電氣的に導通するように製造されることからコモン電極と呼ばれている。また、各画素の他方の電極は画素電極と呼ばれ、互いに電氣的に独立して形成されている。各画素電極には、それぞれ薄膜トランジスタ(TFT: Thin Film Transistor)が接続されている。TFT によって、各画素電極に選択的に駆動電圧が印加される。このような構造によって各画素容量に任意の電圧を印加することができるので、画素単位で光の透過率を制御することが可能である。

30

【0003】

図 17 に、従来のドットマトリクス型液晶表示装置の電氣的構成の概略が示される。図 17 において、CL は画素容量、TFT は薄膜トランジスタ、G1、G2、G3 はゲート線、S1、S2、S3、S4 はソース線、COM はコモン電極を表している。各画素容量 CL は、いずれも TFT と対を成している。各 TFT のゲート端子は行(ライン)ごとにゲート線 G1、G2、G3 にそれぞれ接続されており、TFT は行ごとに一括して制御される。また、各 TFT のソース端子は、列(カラム)ごとにソース線 S1、S2、S3、S4 にそれぞれ接続されている。また、各 TFT のドレイン端子は、対応する画素容量 CL の一方の電極である画素電極に接続されている。

40

【0004】

図 17 に示される従来の液晶表示装置の駆動方法は、まず、いずれか 1 つの行のゲート線に TFT がオン状態となる走査電圧を供給することによって、当該ゲート線に接続される全ての TFT がオン状態となる。これによりオン状態となった TFT を介して、ソース線から当該行の各画素容量 CL に駆動電圧が供給される。その後、当該行のゲート線に TFT がオフ状態となる走査電圧を供給することにより、当該ゲート線に接続される全ての

50

T F T がオフ状態となる。このような操作を全ての行にわたって順次実行することによって、1画面（1フレーム）の表示が行われる。このように、画素容量 C L に対する書き込み操作は行単位で順次実行されるため、一度書き込まれた画素容量に対して再び当該画素容量に書き込みが行われるまで、1フレームの全ての行の画素容量 C L に書き込む時間の総和程度の時間を要する。この書き込み周期の間、画素容量 C L は書き込まれた電圧を保持し続け、画素は保持電圧に応じた一定の透過率を維持することが、ドットマトリクス型液晶表示装置に求められる性能である。

【 0 0 0 5 】

ドットマトリクス型の液晶表示装置は、任意の画像や文字を表示する機能に優れているため急速に普及が進んでいる。特に近年では、ドットマトリクス型の液晶表示装置は、大画面化、高精細化、多色化などの性能向上が著しい。ところが、これに伴い、従来はほとんど考慮されることが無かった問題が顕在化し、その対策として様々な改良が行われている。例えば、高精細化に伴いソース線やゲート線等の変動電位源と画素容量 C L との距離が接近することによって、寄生容量が増大し、カップリングの影響が大きくなっている。それにも関わらず、多色化ゆえに画素電圧の精度に対する要求は益々厳しくなっている。カップリングの影響は、図 1 8 に示される画素容量と寄生容量の等価回路によって、次の様に説明される。

【 0 0 0 6 】

図 1 8 において、C L は画素容量、C P は寄生容量、T F T は薄膜トランジスタ、S はソース線、G はゲート線、C O M はコモン電極、A は画素電極、P は変動電位源を表している。T F T がオン状態となることによって、画素容量 C L に駆動電圧が充電される。このときのコモン電極 C O M に対する画素電極 A の電圧を V A 1 とする。画素容量 C L への充電が完了した後 T F T がオフ状態となると、以後画素容量 C L は V A 1 を保持する。この状態において、変動電位源の電圧が V P 1 から V P 2 に変動したときに、カップリングによって画素容量 C L の電圧が V A 1 から V A 2 になるとする。画素電極 A に対して電荷の出入りがないとすると、次式が成立する。

$$V A 1 \times C L + (V A 1 - V P 1) \times C P = V A 2 \times C L + (V A 2 - V P 2) \times C P \quad \cdots (1)$$

【 0 0 0 7 】

式 (1) から V A 2 を導くと、以下ようになる。

$$V A 2 = V A 1 + (V P 2 - V P 1) \times C P / (C L + C P) \quad \cdots (2)$$

ここで、P 点の電圧変動量を $\Delta V P = V P 2 - V P 1$ とすると、式 (2) は以下のように表される。

$$V A 2 = V A 1 + \Delta V P \times C P / (C L + C P) \quad \cdots (3)$$

すなわち、変動電圧源 P が $\Delta V P$ だけ変動した影響によって、画素電極 A の電位が $\Delta V P \times C P / (C L + C P)$ だけ変動してしまう。このため、電圧 V A 1 を維持すべき画素容量 C L に保持される電圧が変動するという問題がある。

【 0 0 0 8 】

図 1 8 の等価回路における変動電位源 P は、実際のドットマトリクス型の液晶表示装置において、ソース線又はゲート線である。特に、ゲート線に供給される走査電圧は、駆動電圧と比較すると振幅が大きい。このため、変動電圧源 P の電圧変動量 $\Delta V P$ が大きく、画素容量 C L の保持されている電圧の変動量が大きくなる。また、走査電圧による電圧変動の影響は、画素容量 C L に保持される画素電圧に対して常に特定の極性方向に作用する。このため、フリッカ等の表示品質の低下や液晶材料の劣化が進行する原因となる。

【 0 0 0 9 】

この問題を解消する手段として、例えば、特許文献 1 には、カップリングによって生じる画素電圧の変動に対して逆のオフセットを駆動電圧に与えることによって、カップリングによる画素電圧の変動を相殺する手段が開示されている。

【 0 0 1 0 】

また、ドットマトリクス型液晶表示装置の性能向上に伴う課題は、表示品質の問題だけ

10

20

30

40

50

ではない。大画面化や高精細化による画素数の増加が、製造上の問題を招いている。画素数を増加させる場合、それに伴ってソース駆動回路の個数も増やす必要が有る。このため、液晶ドライバICの集積化やドライバICと液晶表示パネルの接合部における配線の高密度化が課題となり、大画面化および高精細化の妨げとなってきた。

【 0 0 1 1 】

この問題を解消する手段として、例えば、特許文献2では、駆動電圧を時分割で供給する駆動方法が開示されている。特許文献2では、液晶表示パネル上に搭載したマルチプレクサによって、ソースドライバから供給される出力の一つ一つを複数のソース線に分配する手段が示されている。すなわち、特許文献2に記載の液晶表示装置においては、駆動電圧を時系列方向に多重化することによって、ソースドライバと液晶表示パネルの接合部における1本の物理的配線チャンネルが、複数のソース駆動チャンネルの機能を有する。液晶表示パネル上にマルチプレクサ回路を搭載することはTFTの技術によって実現可能である。さらに、近年では低温ポリシリコン技術によって、スイッチング特性の向上が図られている。

10

【 0 0 1 2 】

このような時分割駆動の技術を用いると、例えば、カラー液晶表示装置においては、3原色のR、G、B各画素に対する駆動電圧が、ソースドライバの1つのソース駆動回路から時分割で順次供給される。これにより、ソースドライバに搭載すべきソース駆動回路の個数、およびドライバICと液晶表示パネルとの接合部を通過する出力線の本数を3分の1に減らすことができるため、更に画素数の多い液晶表示装置を製造することが可能となる。

20

【 0 0 1 3 】

しかしながら、大画面化や高精細化を実現するために不可欠な時分割駆動方式では、同一ゲート線（ライン）上に異なるタイミングで駆動される画素が混在配置されるため、隣接画素間の寄生容量カップリングという新たな問題が生じる。ここで、時分割駆動の場合における、隣接画素間の寄生容量カップリングによる影響について、図19の等価回路を参照しながら詳しく説明する。図19において、CL1、CL2、CL3は画素容量、CPは隣接画素間の寄生容量、TFT1、TFT2、TFT3は薄膜トランジスタ、Sはソース線、G1、G2、G3はゲート線、COMはコモン電極、A、P、Qは画素電極である。なお、ここでは、画素容量CL1、CL2、CL3の容量値がすべて等しくCLであるとする。

30

【 0 0 1 4 】

図19に示す3つの画素容量CL2、CL1、CL3に対して、この順に書き込みを行う場合、最初に書き込みが完了する画素容量CL2の駆動電圧が、画素容量CL1及びCL3に対する書き込みによってどのように変動するかに着目する。なお、画素容量CL2の電圧変動を考える上で、図19において、画素電極Pの左側及び画素電極Qの右側に配置される画素容量と画素容量CL2とのカップリングの影響は小さいので、これらについては省略する。

【 0 0 1 5 】

最初に、TFT2がオン状態となり、画素電極Aに書き込みを行う。この直後の画素電極Aの電圧をVA1とする。また、画素電極Pの電圧をVP1、画素電極Qの電圧をVQ1とする。ただし、これらはいずれもコモン電極COMに対する相対電圧であるものとする。そして、TFT2がオフ状態となった後に、続けてTFT1がオン状態となり、VA1、VP1、VQ1がそれぞれVA2、VP2、VQ2となったとすると、画素電極A及び画素電極Qの電荷の出入りが無いことから、次の2式が成り立つ。

40

$$\begin{aligned} & (VA1 - VP1) \times CP + VA1 \times CL + (VA1 - VQ1) \times CP \\ & = (VA2 - VP2) \times CP + VA2 \times CL + (VA2 - VQ2) \times CP \cdots (4) \\ & (VQ1 - VA1) \times CP + VQ1 \times CL \\ & = (VQ2 - VA2) \times CP + VQ2 \times CL \cdots (5) \end{aligned}$$

【 0 0 1 6 】

50

ここで、 $V P 2$ は駆動電圧そのものであって、既知の値であるから、それ以外の $V A 2$ 、 $V Q 2$ について、(4) 式、(5) 式の連立方程式を解くと、

$$V A 2 = V A 1 + (V P 2 - V P 1) \times C P \times (C P + C L) / \{ (2 C P + C L) \times (C P + C L) - C P^2 \} \cdots (6)$$

$$V Q 2 = V Q 1 + (V P 2 - V P 1) \times C P^2 / \{ (2 C P + C L) \times (C P + C L) - C P^2 \} \cdots (7)$$

【0017】

寄生容量 $C P$ が画素容量 $C L$ と比較して十分に小さければ、式(6)及び式(7)は次のように近似される。

$$V A 2 = V A 1 + (V P 2 - V P 1) \times (C P + C L) / (C P + 3 C L) \quad 10$$

$$= V A 1 + \Delta V P \times (C P + C L) / (C P + 3 C L) \cdots (8)$$

$$V Q 2 = V Q 1 + (V P 2 - V P 1) \times C P / (C P + 3 C L)$$

$$= V Q 1 + \Delta V P \times C P / (C P + 3 C L) \cdots (9)$$

式(8)の右辺第2項の $\Delta V P \times (C P + C L) / (C P + 3 C L)$ は、画素電極 A に隣接する画素電極に1回書き込みを行ったことによって、画素電極 A の電圧が受ける影響量(変動量)を示している。

【0018】

この後、 $T F T 1$ がオフ状態となった後に、続けて $T F T 3$ がオン状態となることによって、画素電極 Q に書き込みを行う。これにより、 $V A 2$ 、 $V P 2$ 、 $V Q 2$ がそれぞれ $V A 3$ 、 $V P 3$ 、 $V Q 3$ となったとすると、上記と同様に、

$$V A 3 = V A 2 + (V Q 3 - V Q 2) \times (C P + C L) / (C P + 3 C L) \cdots (10) \quad 20$$

$$V P 3 = V P 2 + (V Q 3 - V Q 2) \times C P / (C P + 3 C L) \cdots (11)$$

の2式が得られる。ここで、画素電極 Q の電圧変動量を $\Delta V Q = V Q 3 - V Q 2$ で表すと、式(10)及び式(11)は、それぞれ以下の式(12)、(13)で表される。

$$V A 3 = V A 2 + \Delta V Q \times (C P + C L) / (C P + 3 C L) \cdots (12)$$

$$V P 3 = V P 2 + \Delta V Q \times C P / (C P + 3 C L) \cdots (13)$$

【0019】

式(8)及び式(12)から、画素電極 P 及び Q に続けて書き込みが行われた後の画素電極 A の電圧は、

$$V A 3 = V A 2 + \Delta V Q \times (C P + C L) / (C P + 3 C L) \quad 30$$

$$= V A 1 + (\Delta V P + \Delta V Q) \times (C P + C L) / (C P + 3 C L) \cdots (14)$$

)

数式(14)の右辺第2項 $(\Delta V P + \Delta V Q) \times (C P + C L) / (C P + 3 C L)$ が、画素電極 A に隣接する左右両方の画素電極に書き込みを行ったことによって、画素電極 A が受ける影響量を表している。これにより、左右両方の画素電圧の変動量が大きいほど、寄生容量のカップリングによる影響が加算されて増加することが分かる。また逆に、最後に書き込まれる画素電極の電圧は、カップリングの影響を全く受けない。

【0020】

この現象は、図20に示される従来の3時分割駆動における波形によっても説明される。図20は、カラー液晶表示パネルを想定したものであり、R、G、Bの各色に対して3時分割駆動する例を示している。図20において、Sは駆動電圧波形、COMはコモン電圧波形、RSW、GSW、BSWはそれぞれR、G、Bの画素に書き込む制御信号波形、VR、VG、VBはそれぞれR、G、Bの画素容量に充電された電圧波形を表している。この例における駆動電圧波形は、RとBの画素に対して最大駆動電圧が印加される様にコモン電圧に対して大きな電位差をもち、Gの画素に対しては0Vが印加されるようにコモン電圧と同じ電位としている。なお、図20にはコモン電圧が一定の例が示されているが、このほかにコモン電圧として駆動電圧に対して逆相の矩形波を用いることによって、コモン電圧に対して相対的に駆動電圧が高くなるような駆動方法も多く使用されている。

【0021】

10

20

30

40

50

図 20 から分かるように、各フレームとも、最後に駆動される B 画素の電圧 V_B は書き込み電圧から変動しない。しかし、R 画素の電圧 V_R 及び G 画素の電圧 V_G は、B 画素の電圧 V_B に伴って変動し、次のフレームまで変動した電圧が修正されることがない。また、駆動電圧波形が図 20 に示された例と異なる場合には、R 画素の電圧 V_R と G 画素の電圧 V_G に対する影響が異なることは明らかである。

【0022】

このような時分割駆動の書き込み順序に由来する画素電圧の変動を軽減する手段が考案されている。例えば、特許文献 3 は、選択されるゲート線が変わる際に、マルチプレクサから各画素に至る区間の選択されたソース線の電圧が急変すると、これによって選択されていない隣接するソース線の電圧及び当該ソース線に接続される画素に保持された電圧が変動するという問題を軽減している。具体的には、特許文献 3 は、選択されるゲート線が変わる際に、駆動極性が反転する画素を先に駆動し、かつ、先に駆動された画素に隣接する画素の駆動極性は反転させない駆動方法を開示している。

10

【0023】

この特許文献 3 に記載の駆動方法は、複数のソース線に対して共通して用いられる部分、すなわち、マルチプレクサから各画素に至る区間のソース線の電位変動を抑えることによって、ソース線間のカップリングを軽減している。このため、ソース線の並走距離が長い場合、例えば、TV やコンピュータのモニタ画面等に使用される比較的大型の液晶表示装置において、有効と考えられる。

【0024】

しかし、携帯電話等に使用される様な比較的小型の液晶表示装置においては、ソース線の並走距離が短い。このため、ライン周期の極性反転の影響は小さく、むしろフレーム周期で駆動される画素容量に対するカップリングを改善する必要がある。ところが、特許文献 3 は、フレーム毎の駆動極性反転に伴う画素容量間のカップリングに対して何等改善がなされていない。

20

【特許文献 1】特許第 2989952 号公報

【特許文献 2】特開 2006 - 72382 号公報

【特許文献 3】特開 2005 - 92176 号公報

【発明の開示】

【発明が解決しようとする課題】

30

【0025】

以上説明した現象は、互いに寄生容量が無視できない距離に配置された 2 つの画素を異なるタイミングで駆動することが要因となっている。このため、駆動電圧を時分割で供給する時分割駆動方式においては、上記の問題が必ず発生してしまう。さらに、図 19 の等価回路の説明に用いた式から分かるように、寄生容量のカップリングの影響量は、隣接画素の電圧変動量 ΔV_P 、 ΔV_Q に依存している。電圧変動量 ΔV_P 、 ΔV_Q は、一般的に一定ではないため、駆動電圧にオフセットをもたせるだけでは、上記の問題を解決することはできない。このように、従来の液晶表示装置の駆動電圧の時分割駆動方法では、画素容量が書き込まれた画素電圧を保持しているときに、当該画素の周囲の変動電位源との間に形成される寄生容量とのカップリングにより、画素容量に保持されている画素電圧が影響を受け、表示品質の低下が生じるという問題があった。

40

【課題を解決するための手段】

【0026】

本発明に係る表示装置の駆動方法は、同一のラインに配列された複数の画素を、当該ラインの駆動期間内に時分割駆動する表示装置の駆動方法であって、フレームごとに前記複数の画素の時分割駆動順序を直前のフレームでの順序と変えて、前記複数の画素の一部を前記 1 駆動期間の第 1 のタイミングで駆動し、前記第 1 のタイミングで駆動される第 1 の画素を、当該第 1 の画素が直前のフレームで駆動された極性に対して反転して駆動し、前記第 1 のタイミングの後の第 2 のタイミングで駆動される、前記複数の画素のうち前記第 1 の画素に隣接する第 2 の画素を、当該第 2 の画素が直前のフレームで駆動された極性と

50

同じ極性で駆動する。これにより、後書き込みを行う画素の極性は反転しないため、先に書き込みを行った画素に保持される駆動電圧が、隣接する画素電極間の寄生容量により変動してしまうのを抑制することができる。

【 0 0 2 7 】

本発明に係る表示装置は、同一のラインに配列された複数の画素電極と、前記複数の画素電極にそれぞれ対応して接続された複数の信号線と、前記ラインの 1 駆動期間内に、前記複数の信号線に対して時分割で駆動電圧を供給する駆動回路とを備え、前記駆動回路は、フレームごとに前記複数の信号線の時分割出力順序を直前のフレームの順序と変えて、前記複数の信号線の一部に対して前記 1 選択期間の第 1 のタイミングで駆動電圧を供給し、前記ラインの 1 駆動期間において、前記第 1 のタイミングで駆動電圧が供給される第 1 の信号線に対し、当該第 1 の信号線の直前のフレームの当該ラインの 1 駆動期間における駆動電圧の極性と反転した極性の駆動電圧を供給し、前記第 1 のタイミングの後の第 2 のタイミングで駆動電圧が供給される、前記複数の信号線のうち前記第 1 の信号線に隣接する第 2 の信号線に対し、当該第 2 の信号線の直前のフレームの当該ラインの 1 駆動期間における駆動電圧の極性と同一の極性の駆動電圧を供給するものである。これにより、後書き込みを行う画素の極性は反転しないため、先に書き込みを行った画素に保持される駆動電圧が、隣接する画素電極間の寄生容量により変動してしまうのを抑制することができる。

10

【 発明の効果 】

【 0 0 2 8 】

本発明によれば、画素容量に保持されている電圧が、当該画素と隣接画素との間に形成される寄生容量とのカップリングにより変動してしまうのを抑制することができる表示装置の駆動方法及び表示装置を提供することができる。

20

【 発明を実施するための最良の形態 】

【 0 0 2 9 】

実施の形態 1 .

本発明の実施の形態 1 に係る表示装置について、図 1 を参照して説明する。ここでは、表示装置の好適な例として、アクティブマトリクス型の T F T 液晶表示装置を例として説明する。図 1 は、本実施の形態に係る液晶表示装置 1 0 0 の構成を示す図である。本実施の形態に係る液晶表示装置 1 0 0 においては、同一のゲート線に接続された複数の画素が時分割駆動される。本実施の形態においては、駆動電圧を時分割で供給する時分割駆動方式の一例として、液晶表示パネル上に搭載したマルチプレクサによって、ソースドライバから供給される出力線の一つ一つを複数のソース線に分配する例について説明するが、回路構成がこの例に限定されるものではない。また、複数の画素のそれぞれに供給される駆動電圧の極性は、所定の周期で反転される。なお、本発明は、アクティブマトリクス型の液晶表示装置に限らず、複数の画素が行方向及び列方向に配列された画素を時分割駆動する表示装置に適用することができる。

30

【 0 0 3 0 】

また、同一のゲート線に接続された複数の画素を時分割駆動する場合に限定されず、例えば、特開平 1 0 - 1 4 9 1 4 1 号公報及び特開 2 0 0 3 - 1 4 9 6 7 6 号公報に開示されているように、隣り合うゲート線にそれぞれ接続された複数の画素が 1 つのライン上に交互に配列されるような場合にも、本発明を適用することができる。すなわち、複数の画素が、物理的に一ライン上に配列されている表示装置において、当該一ライン上に配列された複数の画素が時分割駆動される場合に、本発明を適用することができる。

40

【 0 0 3 1 】

図 1 に示すように、液晶表示装置 1 0 0 は、液晶表示パネル 1 0 1、ゲートドライバ 1 0 2、ソースドライバ 1 0 3、タイミングコントローラ 1 0 4、マルチプレクサ 1 0 5などを備える。液晶表示パネル 1 0 1 は、外部から入力される R G B の画像データに基づいて画像の表示を行う。液晶表示パネル 1 0 1 は、T F T (Thin Film Transistor) アレイ基板 (不図示) と対向配置される対向基板 (不図示) との間に液晶を挟持した構成を有し

50

ている。TFTアレイ基板及び対向基板は、ガラスなどからなる透明な絶縁性基板である。

【0032】

TFTアレイ基板には、水平方向（行方向、ライン方向）に複数のゲート線（走査線） G_1 、 $\dots$ 、 G_y が一定間隔を隔てて形成されている。また、TFTアレイ基板には、垂直方向（列方向、カラム方向）に複数のソース線（信号線） S_1 、 $\dots$ 、 S_x が一定間隔を隔てて形成されている。ゲート線とソース線とは、絶縁膜を介して交差するよう配置されている。そして、ゲート線とソース線との交差点近傍にスイッチング素子である、後述する薄膜トランジスタ（TFT）が形成されている。また、ゲート線とソース線との間には、それぞれ画素電極が形成されている。画素電極は、例えばITO（Indium Tin Oxide）などの透明導電膜から形成されている。液晶表示パネル101の表示領域は、マトリクス状に配置された複数の画素107により構成されている。上述のTFTのゲート端子がゲート線に、ソース端子がソース線に、ドレイン端子が画素電極に、それぞれ接続される。画素電極には、TFTを介してソース線から駆動電圧が供給される。

10

【0033】

一方、対向基板には、例えば、ブラックマトリクス（BM）、及びR、G、Bの着色層からなるカラーフィルタが形成されている。着色層はBMの間に形成され、TFTアレイ基板に形成された画素電極に対応して形成されている。また、この着色層とBMの上には、ITO等の透明導電膜からなるコモン電極が形成されている。コモン電極は、実際には画素電極と対向するように対向基板の略全面に形成される透明電極である。このようなTFTアレイ基板と対向基板とが一定の間隔を隔ててシール材を介して貼り合わせられている。TFTアレイ基板と対向基板との間隙には、液晶が封入されている。従って、各画素（画素容量）は、電氣的に容量であり、2つの電極（画素電極及びコモン電極）の間に液晶材料が挟まれた構造を有している。

20

【0034】

図2に、液晶表示パネル101の画素107の具体的な構成が示される。ここでは、R、G、Bの3つの画素について図示している。図2に示すように、各画素107は、TFT106、画素容量108、コモン電極109を有している。また、隣接する画素容量108間には、寄生容量111が存在する。上述したように、各TFT106のゲート端子は、行（ライン）ごとに共通のゲート線 G_n にそれぞれ接続されている。従って、TFT106は、行ごとに一括して制御される。また、各TFT106のソース端子は、列（カラム）ごとにソース線 S_m 、 S_{m+1} 、 S_{m+2} にそれぞれ接続されている。また、各TFT106のドレイン端子は、画素容量108の一端に接続されている。すなわち、1つのゲート線には、複数の画素電極にそれぞれ対応して形成された複数のTFT106が接続されている。また、複数のTFT106にそれぞれ対応してそれぞれソース線が接続されている。

30

【0035】

画素容量108は、駆動電圧を保持するための容量素子である。画素容量108には、各TFT106を介して、ソース線 S_1 、 $\dots$ 、 S_x から駆動電圧が供給される。画素容量108へ駆動電圧のレベルが適宜変えられることによって、画素107を透過する光量が変化する。画素容量108は、TFT106のドレイン端子とコモン電極109との間に接続されている。コモン電極109には、駆動電圧に対して基準となる電圧が印加されている。ここでは、コモン電圧が一定の場合について説明する。なお、この例に限定されず、例えば、コモン電圧として駆動電圧に対して逆相の矩形波を用いることも可能である。

40

【0036】

このような画素107では、ゲート線 G_1 、 $\dots$ 、 G_x のいずれかに走査電圧が印加され、選択されたゲート線に接続されたTFT106がオン状態となる。TFT106がオン状態とされることにより、ソース線 S_1 、 $\dots$ 、 S_n を通じて供給される駆動電圧が画素容量108に印加される。そして、ゲート線 G_1 、 $\dots$ 、 G_x に走査電圧が印加

50

されていない状態では、T F Tがオフ状態となっている。画素容量108は、再び駆動電圧が印加されるまでの1フレームの間、書き込まれた駆動電圧を保持する。この保持された駆動電圧によって、液晶表示パネル101の表示が継続的に行われる。ゲート線G1、
・・・、Gyに走査電圧が順次印加されることにより、表示画面全体の表示が行われる。
【0037】

また、T F Tアレイ基板、及び対向基板の外面には、偏光板（不図示）がそれぞれ貼着されている。各基板に貼着されたそれぞれの偏光板は、それぞれ所定の方向に吸収軸を有している。また、液晶表示パネル101の背面側には、図示しないバックライトユニットが備えられている。バックライトユニットは、液晶表示パネル101の反視認側から液晶表示パネル101に対して面状の光を照射する。バックライトユニットとしては、例えば、光源、導光板、プリズムシートなどを備えた一般的な構成のものが用いられる。

10

【0038】

液晶表示パネル101には、ゲートドライバ102、ソースドライバ103が電氣的に接続されている。ゲートドライバ102の出力は、T F T106のゲート端子に接続されている。ゲートドライバ102は、ゲート線G1、・・・、Gyに走査電圧を順次供給し、各ゲート線G1、・・・、Gyに接続されたT F T106のオン/オフ状態を制御する。

【0039】

ソースドライバ103としては、時分割駆動方式を採用したものが用いられる。すなわち、駆動電圧を時系列方向に多重化することによって、ソースドライバと液晶表示パネルの接合部における1本の物理的配線チャネルが、複数のソース駆動チャネルの機能を有する。時分割駆動方式では、ソースドライバの1つの出力端子からの出力が、複数のソース線に振り分けられる。従って、1つのゲート線に走査電圧が供給されている1選択期間内に、複数のソース線に対して時分割で駆動電圧が供給される。ここでは、同一のゲート線Gに接続されたR G Bの3つの画素を3時分割駆動する例について説明する。すなわち、ソースドライバ103には、3本のソース線に対して1つの出力回路が設けられる。

20

【0040】

図3に、本実施の形態に係るソースドライバ103と液晶表示パネル101の接合部の具体的な構成例を示す。図3に示すように、ソースドライバ103は、複数の出力回路110を備えている。なお、出力回路110の入力側には、一般的なソースドライバに設けられているシフトレジスタ、データラッチ回路、D/Aコンバータ等が設けられるが、ここでは図示を省略している。また、液晶表示パネル101は、マルチプレクサ105を有している。マルチプレクサ105は、ソース線S1、・・・、Sxに対応して設けられた切替スイッチSW1、・・・、SWxを有している。本実施の形態においては、3つの切替スイッチSWの入力端子が、出力回路110の1つの出力端子に接続されている。例えば、3つの切替スイッチSW1、SW2、SW3の入力端子は、1つの出力回路110の出力端子に接続されている。また、切替スイッチSWの出力端子は、それぞれ対応するソース線S1、・・・、Sxに接続されている。なお、マルチプレクサ105は、ソースドライバ103内に形成される場合もある。

30

【0041】

切替スイッチSW1、・・・、SWxは、タイミングコントローラ104から入力されるスイッチ制御信号RSW1、GSW1、BSW1、RSW2、GSW2、BSW2に応じて、そのオン/オフ状態が制御される。ここで、スイッチ制御信号RSW1及びRSW2は、Rの画素に接続されたソース線に接続されている切替スイッチのオン/オフ状態を制御する信号である。例えば、Rの画素に接続されているソース線S1は、スイッチ制御信号RSW1によって制御される。また、Rの画素に接続されているソース線S4は、スイッチ制御信号RSW2によって制御される。同様に、スイッチ制御信号GSW1及びGSW2は、Gの画素に接続されたソース線に接続されている切替スイッチのオン/オフ状態を制御する信号である。例えば、Gの画素に接続されているソース線S2は、スイッチ制御信号GSW1によって制御される。また、Gの画素に接続されているソース線S5は

40

50

、スイッチ制御信号 G S W 2 によって制御される。また、スイッチ制御信号 B S W 1 及び B S W 2 は、B の画素に接続されたソース線に接続されている切替スイッチのオン/オフ状態を制御する信号である。例えば、B の画素に接続されているソース線 S 3 は、スイッチ制御信号 B S W 1 によって制御される。また、B の画素に接続されているソース線 S 6 は、スイッチ制御信号 B S W 2 によって制御される。従って、本実施の形態においては、R S W 1、G S W 1、B S W 1 により駆動される第 1 の画素群と、R S W 2、G S W 2、B S W 2 により駆動される第 2 の画素群とが交互に配列されている。

【0042】

ソースドライバ 103 からの出力は、当該出力に接続される 3 つのソース線のうち、タイミングコントローラ 104 から出力されるスイッチ制御信号 R S W 1、G S W 1、B S W 1、R S W 2、G S W 2、B S W 2 により選択された 1 つのソース線に対して供給される。そして、1 つのゲート線が選択されている 1 選択期間内に、切替スイッチ S W 1、
・ ・ ・ S W x はそれぞれ各 1 回ずつオン状態となる。ソースドライバ 103 の出力回路 110 から出力される駆動電圧は、オン状態となった切替スイッチ S W 1、
・ ・ ・ S W x を介して各ソース線 S 1、
・ ・ ・ S x にそれぞれ供給される。すなわち、ソース線 S 1、
・ ・ ・ S x に駆動電圧がそれぞれ時分割で供給される。つまり、1 つのゲート線に接続される複数の画素は、当該ゲート線に走査電圧が印加されている 1 選択期間内に時分割駆動される。この時分割で各ソース線 S 1、
・ ・ ・ S x に対して駆動電圧が供給される順序は、フレームに応じて変化する。つまり、同一のゲート線に接続される複数の画素の駆動順序は、フレームに応じて変化する。これについては、後に詳述する。

【0043】

本実施の形態においては、ソースドライバ 103 の 1 つの出力は、液晶表示パネル 101 の 3 つのソース線にそれぞれ時分割して供給される。つまり、1 画素を構成する R G B の 3 つの画素に供給される駆動電圧は、ソースドライバ 103 の 1 つの出力端子から出力される。例えば、ゲート線 G 1 に走査電圧が供給されている 1 選択期間内に、ソースドライバ 103 の 1 つの出力が 3 本のソース線 S 1、S 2、S 3 に供給される。上述したように、ソース線 S 1、
・ ・ ・ S x は、T F T 106 のソース端子に接続されている。ソース線 S 1、
・ ・ ・ S x に供給された駆動電圧は、ゲートドライバ 102 によってオン状態とされた T F T 106 を介して、各画素電極に供給される。これにより、各画素容量 108 に、画素電極とコモン電極 109 との電位差に相当する画素電圧が印加される。

【0044】

このとき、ソースドライバ 103 からソース線 S 1、
・ ・ ・ S x に供給される駆動電圧の極性は、上述した、各ソース線 S 1、
・ ・ ・ S x に対して駆動電圧が供給される順序に応じて変化する。すなわち、同一のゲート線に接続される画素 107 の駆動順序に応じて、各画素 107 の画素容量 108 に供給される駆動電圧の極性は変化する。このとき、ソース線 S 1、
・ ・ ・ S x に正極性の駆動電圧が印加された場合には画素容量 108 に正電荷が充電され、負極性の駆動電圧が印加された場合には画素容量 108 に負電荷が充電される。

【0045】

タイミングコントローラ 104 は、外部から供給されるデジタルの画像データをソースドライバ 103 が駆動できる表示データに変換し、ソースドライバ 103 に出力する。また、タイミングコントローラ 104 は、外部から入力される同期信号を各種の制御信号及びタイミング信号に変換し、ゲートドライバ 102 及びソースドライバ 103 に供給する。同期信号は、例えば、1 画素分の画像データの入力サイクルであるドットクロック信号、水平同期信号 H s y n c、垂直同期信号 V s y n c などを含む。

【0046】

タイミングコントローラ 104 は、具体的には、ソースドライバ 103 に対して、ストローク信号、極性反転信号、上述したスイッチ制御信号 R S W 1、G S W 1、B S W 1、R S W 2、G S W 2、B S W 2 等を出力する。ストローク信号は、表示データを内部レジスタにラッチするための信号である。また、極性反転信号は、コモン電極の電位に対する

駆動電圧の正負いずれかのレベルを選択するかを制御する信号である。一方、タイミングコントローラは104は、ゲートドライバに対して、スタートパルス信号、クロック信号及びイネーブル信号等を出力する。スタートパルス信号が走査電圧を出力するゲート線を選択し、イネーブル信号が走査電圧の出力制御を行うことによって、各ゲート線において順次走査電圧が出力される。典型的には、ゲートドライバ102は、1行目から後段の行に向けて、各行の画素を順次走査するように走査電圧を出力する。

【0047】

ここで、図4～図6を参照して、本実施の形態に係る液晶表示装置100の駆動方法について詳細に説明する。図4及び図5は、本実施の形態に係る駆動方法を説明するためのタイミングチャートの一例である。また、図6は、本実施の形態に係る液晶表示装置の各画素の駆動極性を示している。図6においては、 12×4 の画素107が示されており、太枠が1つの時分割駆動の単位を示している。すなわち、本実施の形態においては、RGBの3時分割駆動の例について示している。図4及び図5において、RSW1、GSW1、BSW1、RSW2、GSW2、BSW2はそれぞれ、RGBの各画素に駆動電圧を書き込むためのスイッチ制御パルス、 S_m ($m = 6N - 5 \sim 6N$) はソース駆動極性を示している。また、図6において、白い四角は駆動極性が正極性、ハッチングがかかった四角は駆動極性が負極性の画素を示している。

10

【0048】

図4及び図5に示すように、本発明においては、1つのゲート線の1選択期間内において、当該ゲート線に接続される複数の画素107の時分割駆動順序をフレームに応じて変化させる。すなわち、フレームごとに複数の画素107の時分割駆動順序を直前のフレームの順序と変える。そして、前記複数の画素107の一部を当該1選択期間において、第1のタイミングで駆動する。本実施の形態においては、1選択期間に内の最初のタイミングで駆動する。すなわち、ゲート線の1選択期間において、最初に駆動電圧が書き込まれる画素107は、フレームごとに変化する。

20

【0049】

そして、最初に駆動電圧が書き込まれる画素107を、当該画素107の直前のフレームで駆動された極性に対して反転して駆動する。すなわち、最初に駆動電圧が書き込まれる画素107に供給される駆動電圧の極性は、当該画素107の直前のフレームに供給された駆動電圧の極性と反転している。

30

【0050】

また、本実施の形態においては、1選択期間において、書き込みを行う画素107に隣接する画素にすでに書き込みが行われている場合には、当該書き込みを行う画素107の直前のフレームで駆動された極性と同一の極性で駆動する。従って、本実施の形態においては、隣接するRGBの画素群ごとに画素の駆動順序が異なる。そして、最初に駆動電圧が書き込まれる画素107に続く第2タイミングで駆動される画素107は、当該画素107の直前のフレームで駆動された極性と同一の極性で駆動される。

【0051】

具体的には、図4に示すように、第1フレームにおいて、RSW1、GSW1、BSW1のタイミングで駆動される第1の画素群には、 n 行目、 $n+1$ 行目、 $n+2$ 行目のそれぞれの選択期間で、Rの画素→Bの画素→Gの画素の順序で時分割駆動する。従って、第1フレームにおいて、第1の画素群中のRの画素に1選択期間内の最初のタイミングで駆動電圧が供給される。そして、当該1選択期間において、Rの画素の駆動電圧の書き込みが終了した後に、Bの画素、Gの画素に順次駆動電圧が供給される。

40

【0052】

一方、RSW2、GSW2、BSW2のタイミングで駆動される第1の画素群に隣接する第2の画素群には、 n 行目、 $n+1$ 行目、 $n+2$ 行目のそれぞれの選択期間で、Gの画素→Rの画素→Bの画素の順序で時分割駆動する。従って、第1フレームにおいて、第1の画素群に隣接する第2の画素群中のGの画素に1選択期間内の最初のタイミングで駆動電圧が供給される。そして、当該1選択期間において、Gの画素の駆動電圧の書き込みが

50

終了した後に、Rの画素、Bの画素に順次駆動電圧が供給される。従って、第1フレームでは、図6(a)に示す順番でそれぞれの画素電極に所定の極性の駆動電圧が順次供給される。

【0053】

そして、第1フレームに続く第2フレームでは、時分割駆動の順序を第1フレームとは異なる順序に変化させる。n行目、n+1行目、n+2行目と各行のそれぞれの選択期間で、第1の画素群では、Gの画素→Rの画素→Bの画素の順序で時分割駆動する。従って、第2フレームにおいては、Gの画素に1選択期間内の最初のタイミングで駆動電圧が供給される。そして、当該1選択期間において、Gの画素の駆動電圧の書き込みが終了した後に、2番目にRの画素、3番目にBの画素に順次駆動電圧が供給される。

10

【0054】

一方、RSW2、GSW2、BSW2のタイミングで駆動される第1の画素群に隣接する第2の画素群には、n行目、n+1行目、n+2行目のそれぞれの選択期間で、Rの画素→Bの画素→Gの画素の順序で時分割駆動する。従って、第1フレームにおいて、第1の画素群に隣接する第2の画素群中のRの画素に1選択期間内の最初のタイミングで駆動電圧が供給される。そして、当該1選択期間において、Rの画素の駆動電圧の書き込みが終了した後に、2番目にBの画素、3番目にGの画素に順次駆動電圧が供給される。

【0055】

このとき、ゲート線の1選択期間内において、書き込みを行う画素107に隣接する画素にすでに書き込みが終了している場合には、当該画素107の直前のフレームの極性と同一の極性で駆動する。第1画素群において、2番目に駆動されるRの画素に隣接するGの画素には、すでに書き込みが終了している。このため、G画素に隣接するRの画素は、当該Rの画素の直前のフレームの極性と同一の極性で駆動する。そして、第1画素群において、最初のタイミングで駆動されるGの画素及び続いて駆動されるRの画素の後に、Bの画素が駆動される。Bの画素に隣接するGの画素は、当該1選択期間において、既に書き込みが終了している。このため、当該Bの画素直前のフレームの極性と同一の極性で駆動する。

20

【0056】

一方、第2画素群において、2番目に駆動されるBの画素に隣接するGの画素には、まだ書き込みが行われていない。また、第2画素群のBの画素に隣接する第1画素群のRの画素は、当該第2画素群のBの画素と同時に駆動される。このため、第2画素群のBの画素は、当該画素の直前のフレームの駆動極性と反転して駆動することができる。このため、本実施の形態においては、第2画素群のBの画素を、当該画素の直前のフレームと反転して駆動する。そして、第2画素群において、最初のタイミングで駆動されたRの画素及びこれに続いて駆動されたBの画素の後に、Gの画素が駆動される。Gの画素に隣接するR及びBの画素は、既に書き込みが終了している。このため、Gの画素は、当該Gの画素直前のフレームの極性と同一の極性で駆動する。

30

【0057】

従って、第1フレームでは、図6(b)に示す順番でそれぞれの画素電極に所定の極性の駆動電圧が順次供給される。このため、最初に書き込みが完了し保持状態となった画素の駆動電圧は、例えば隣接する画素に駆動電圧が印加されたとしても、隣接画素間の寄生容量111のカップリングによる影響を受けない。

40

【0058】

これに続く第3フレーム、第4フレームは、図5に示すように、それぞれ第1フレーム、第2フレームの駆動順序と同じように駆動する。また、これにより、図6(c)及び図6(d)のような駆動極性となる。従って、複数の画素を1つおきに、当該画素が直前のフレームで駆動された極性に対して反転して駆動することとなる。また、反転駆動した画素に隣接する画素は、当該画素が直前のフレームで駆動された極性と同一の極性で駆動する。フレームごとに極性反転する画素107が変化するため、全ての画素に対して一様に交流駆動を行うことができる。このように、複数の画素を1つおきに、当該画素が直前の

50

フレームで駆動された極性に対して反転して駆動することにより、極性反転の周期が短くなり、フリッカを抑制することが可能となる。こうして、第4フレームの駆動期間が終了した後、後続する第5フレームでは再び第1フレームと同じ時分割駆動順序及び駆動極性に戻り、以後、これを繰り返す。

【0059】

以上説明したように、フレームごとに複数の画素107の時分割駆動順序を直前のフレームの順序と変える。そして、書き込みを行う画素107に隣接する画素にすでに書き込みが行われている場合には、当該書き込みを行う画素107の直前のフレームで駆動された極性と同一の極性で駆動する。これにより、隣接画素に駆動電圧が印加されても、保持電圧の変動を低減させることができる。また、複数の画素を1つおきに、当該画素が直前のフレームで駆動された極性に対して反転して駆動することにより、フリッカの発生を低減させることができる。

【0060】

実施の形態2

本発明の実施の形態2に係る駆動方法について図7～図12を参照して説明する。図7、図8及び図9は、本実施の形態に係る駆動方法を説明するためのタイミングチャートの一例である。また、図10及び図11は、本実施の形態に係る液晶表示装置の各画素の駆動極性を示している。図10及び図11においては、 12×4 の画素107が示されており、太枠が1つの時分割駆動の単位を示している。すなわち、本実施の形態においては、RGBの3時分割駆動の例について示している。図12は、本実施の形態に係る駆動方法を適用した場合の画素容量108に充電される電圧を示す波形図である。図7～図9において、RSW1、GSW1、BSW1、RSW2、GSW2、BSW2はそれぞれ、RGBの各画素に駆動電圧を書き込むためのスイッチ制御パルス、 S_m ($m = 6N - 5 \sim 6N$) はソース駆動極性を示している。また、図10及び図11において、白い四角は駆動極性が正極性、ハッチングがかかった四角は駆動極性が負極性の画素を示している。なお、本実施の形態に係る駆動方法は、実施の形態1において説明した液晶表示装置100同一のものに適用可能であるため、液晶表示装置の説明を省略する。

【0061】

図7～図9に示すように、本発明においては、1つのゲート線の1選択期間内において、当該ゲート線に接続される複数の画素107の時分割駆動順序をフレームに応じて変化させる。すなわち、フレームごとに複数の画素107の時分割駆動順序を直前のフレームの順序と変える。そして、前記複数の画素107の一部を当該1選択期間内において、第1のタイミングで駆動する。本実施の形態においては、1選択期間の内の最初のタイミングで駆動する。すなわち、ゲート線の1選択期間内において、最初に駆動電圧が書き込まれる画素107は、フレームごとに変化する。本実施の形態においては、時分割数と同数のフレーム数の期間内において、複数の画素107のそれぞれを各1回ずつ、1選択期間内の最初のタイミングで駆動する。すなわち、ゲート線の1選択期間内において、最初に駆動電圧が書き込まれる画素107は、フレームごとに変化する。つまり、同一のゲート線に接続される各画素107には、時分割数と同数のフレーム数の期間内のいずれかのフレームで、当該ゲート線の選択期間の最初のタイミングで駆動電圧が供給される。

【0062】

また、最初に駆動電圧が書き込まれる画素107のみを、当該画素107の直前のフレームで駆動された極性に対して反転して駆動する。すなわち、最初に駆動電圧が書き込まれる画素107に供給される駆動電圧の極性は、当該画素107の直前のフレームに供給された駆動電圧の極性と反転している。

【0063】

また、最初に駆動電圧が書き込まれる画素107に続くタイミングで駆動される画素107は、当該画素107の直前のフレームで駆動された極性と同一の極性で駆動される。すなわち、複数の画素107のうち最初に駆動電圧が書き込まれる画素107以外の画素107に供給される駆動電圧の極性は、当該画素107の直前のフレームに供給された駆

動電圧の極性と同一である。

【 0 0 6 4 】

具体的には、図 7 に示すように、第 1 フレームにおいては、 n 行目、 $n + 1$ 行目、 $n + 2$ 行目のそれぞれの選択期間で、 R の画素 $\rightarrow$ G の画素 $\rightarrow$ B の画素の順序で時分割駆動する。従って、第 1 フレームにおいては、 R の画素に 1 選択期間内の最初のタイミングで駆動電圧が供給される。そして、当該 1 選択期間において、 R の画素の駆動電圧の書き込みが終了した後に、 G の画素、 B の画素に順次駆動電圧が供給される。従って、図 10 (a) に示すように、第 1 フレームでは、 R 、 G 、 B の順番で、それぞれの画素電極に所定の極性の駆動電圧が順次供給される。

【 0 0 6 5 】

そして、第 1 フレームに続く第 2 フレームでは、時分割駆動の順序を第 1 フレームとは異なる順序に変化させ、 n 行目、 $n + 1$ 行目、 $n + 2$ 行目と各行のそれぞれの選択期間で、 G の画素 $\rightarrow$ B の画素 $\rightarrow$ R の画素の順序で時分割駆動する。従って、第 2 フレームにおいては、 G の画素に 1 選択期間内の最初のタイミングで駆動電圧が供給される。そして、当該 1 選択期間において、 G の画素の駆動電圧の書き込みが終了した後に、 B の画素、 R の画素に順次駆動電圧が供給される。また、最初に駆動電圧が書き込まれる G の画素 107 のみを、当該画素 107 の直前の第 1 フレームで駆動された極性に対して反転して駆動する。すなわち、最初に駆動電圧が書き込まれる G の画素 107 に供給される駆動電圧の極性は、当該 G の画素の第 1 フレームに供給された駆動電圧の極性と反転している。

【 0 0 6 6 】

また、最初に駆動電圧が書き込まれる G の画素 107 に続くタイミングで駆動される B の画素 107 は、当該 B の画素 107 の直前の第 1 フレームで駆動された極性と同一の極性で駆動する。従って、 B の画素 107 に供給される駆動電圧の極性は、当該 B の画素に第 1 フレームで供給された駆動電圧の極性と同一である。また、 B の画素 107 に続くタイミングで駆動される R の画素 107 は、当該 R の画素 107 の直前の第 1 フレームで駆動された極性と同一の極性で駆動する。従って、 R の画素 107 に供給される駆動電圧の極性は、当該 R の画素に第 1 フレームで供給された駆動電圧の極性と同一である。すなわち、第 2 フレームにおいて、最初に駆動電圧が書き込まれる G の画素 107 以外の R 及び B の画素 107 供給される駆動電圧の極性は、当該 R 及び B 画素 107 の直前の第 1 フレームに供給された駆動電圧の極性と同一である。従って、図 10 (b) に示すように、第 2 フレームでは、 G 、 B 、 R の順番で、それぞれの画素電極に所定の極性の駆動電圧が順次供給される。

【 0 0 6 7 】

このように、第 2 フレームでは、ゲート線の 1 選択期間内において、最初に駆動電圧が書き込まれる G の画素 107 のみを、当該 G の画素 107 の直前の第 1 フレームで駆動された極性に対して反転して駆動する。すなわち、1 選択期間内において、2 番目以降に時分割駆動される B 及び R の画素への書き込みにおいては、駆動電圧の極性の反転を行わない。このため、最初に書き込みが完了し保持状態となった G の画素 107 の駆動電圧は、例えば隣接する B 及び R の画素に駆動電圧が印加されたとしても、隣接画素間の寄生容量 111 のカップリングによる影響を受けない。

【 0 0 6 8 】

そして、図 8 に示すように第 2 フレームに続く第 3 フレームでは、時分割駆動の順序を第 2 フレームとは異なる順序に変化させ、 n 行目、 $n + 1$ 行目、 $n + 2$ 行目のそれぞれの選択期間で、 B の画素 $\rightarrow$ R の画素 $\rightarrow$ G の画素の順序で時分割駆動する。従って、第 3 フレームにおいては、 B の画素に 1 選択期間内の最初のタイミングで駆動電圧が供給される。そして、当該 1 選択期間内において、 B の画素の駆動電圧の書き込みが終了した後に、 R の画素、 G の画素に順次駆動電圧が供給される。また、最初に駆動電圧が書き込まれる B の画素 107 のみを、当該画素 107 の直前の第 2 フレームで駆動された極性に対して反転して駆動する。すなわち、最初に駆動電圧が書き込まれる B の画素 107 に供給される駆動電圧の極性は、当該 B の画素の第 2 フレームに供給された駆動電圧の極性と反転してい

10

20

30

40

50

る。

【 0 0 6 9 】

また、最初に駆動電圧が書き込まれる B の画素 1 0 7 に続くタイミングで駆動される R の画素 1 0 7 は、当該 R の画素 1 0 7 の直前の第 2 フレームで駆動された極性と同一の極性で駆動する。従って、R の画素 1 0 7 に供給される駆動電圧の極性は、当該 R の画素に第 2 フレームで供給された駆動電圧の極性と同一である。また、R の画素 1 0 7 に続くタイミングで駆動される G の画素 1 0 7 は、当該 G の画素 1 0 7 の直前の第 2 フレームで駆動された極性と同一の極性で駆動する。従って、G の画素 1 0 7 に供給される駆動電圧の極性は、当該 G の画素に第 2 フレームで供給された駆動電圧の極性と同一である。すなわち、第 3 フレームにおいて、最初に駆動電圧が書き込まれる B の画素 1 0 7 以外の R 及び G の画素 1 0 7 供給される駆動電圧の極性は、当該 R 及び G 画素 1 0 7 の直前の第 2 フレームに供給された駆動電圧の極性と同一である。従って、図 1 0 (c) に示すように、第 3 フレームでは、B、R、G の順番で、それぞれの画素電極に所定の極性の駆動電圧が順次供給される。

10

【 0 0 7 0 】

このように、第 3 フレームでは、ゲート線の 1 選択期間内において、最初に駆動電圧が書き込まれる B の画素 1 0 7 のみを、当該 B の画素 1 0 7 の直前の第 1 フレームで駆動された極性に対して反転して駆動する。すなわち、1 選択期間内において、2 番目以降に時分割駆動される R 及び G の画素への書き込みにおいては、駆動電圧の極性の反転を行わない。このため、最初に書き込みが完了し保持状態となった B の画素 1 0 7 の駆動電圧は、例えば隣接する R 及び G の画素に駆動電圧が印加されたとしても、隣接画素間の寄生容量 1 1 1 のカップリングによる影響を受けない。また、フレームごとに極性反転する画素 1 0 7 が変化するため、全ての画素に対して一様に交流駆動を行うことができる。

20

【 0 0 7 1 】

また、第 3 フレームにおいて、B の画素 1 0 7 は 1 選択期間の最初に駆動されるため、B の画素 1 0 7 に供給される駆動電圧の極性は、第 2 フレームの駆動電圧の極性に対して反転する。このため、B の画素 1 0 7 の電圧は大きく変動する。これに伴って、前の第 2 フレームから保持されている R の画素及び G の画素の画素電圧は、寄生容量 1 1 1 のカップリングの影響により変動してしまう。しかしながら、当該選択期間内において、B の画素 1 0 7 の駆動タイミングに続く第 2 のタイミングで、R の画素 1 0 7 に所望の駆動電圧が供給される。このため、R の画素 1 0 7 の画素電圧の変動は解消される。このとき、R の画素 1 0 7 の駆動極性は、直前の第 2 フレームの駆動極性と同一であるため、R の画素 1 0 7 の電圧の変動はほとんどない。従って、R の画素 1 0 7 の電圧の変動は、他の G 及び B の画素 1 0 7 の画素電圧に対して影響しない。また、同様に、当該選択期間内において、R の画素 1 0 7 の駆動タイミングに続く第 3 のタイミングで、G の画素 1 0 7 に所望の駆動電圧が供給される。このため、G の画素 1 0 7 の画素電圧の変動は解消される。このとき、G の画素 1 0 7 の駆動極性は、直前の第 2 フレームの駆動極性と同一であるため、G の画素 1 0 7 の電圧の変動はほとんどない。従って、G の画素 1 0 7 の電圧の変動は、他の R 及び B の画素 1 0 7 の画素電圧に対して影響しない。

30

【 0 0 7 2 】

そして、図 8 及び図 9 に示すように、第 4 フレームから第 6 フレームでも、第 1 フレームから第 3 フレームと同様に、1 つのゲート線の 1 選択期間内において、複数の画素 1 0 7 のそれぞれが 1 選択期間内の最初のタイミングで駆動されるように、当該ゲート線に接続される複数の画素 1 0 7 の時分割駆動順序をフレームに応じて変化させる。また、最初に駆動電圧が書き込まれる画素 1 0 7 のみを、当該画素 1 0 7 の直前のフレームで駆動された極性に対して反転して駆動する。従って、図 1 1 に示すように、フレームごとの駆動電圧の極性は変化する。こうして、第 6 フレームの駆動期間が終了した後、後続する第 7 フレームでは再び第 1 フレームと同じ時分割駆動順序及び駆動極性に戻り、以後、これを繰り返す。

40

【 0 0 7 3 】

50

このように、複数の画素 107 の時分割駆動順序は、時分割駆動数に対応するフレームごとに決定されている。すなわち、本実施の形態においては、時分割数が 3 であるため、これに対応する 3 フレームごとに決定されている。具体的には、第 1 ～ 第 3 フレームにおける R G B の画素 107 の駆動順序は、第 1 フレームにおいては R → G → B であり、第 2 フレームにおいては G → B → R であり、第 3 フレームにおいては B → R → G である。そして、これに続く第 4 ～ 第 6 フレームの 3 フレームにおいては、第 1 ～ 第 3 フレームの画素 107 の駆動順序が繰り返される。具体的には、第 4 ～ 第 6 フレームにおける R G B の画素 107 の駆動順序は、第 4 フレームにおいては R → G → B であり、第 5 フレームにおいては G → B → R であり、第 6 フレームにおいては B → R → G である。換言すると、時分割数と同数のフレーム期間において複数の画素 107 の駆動順序は一巡し、以降この駆動順序が時分割数と同数のフレームごとに繰り返される。これにより、全ての画素には、反転駆動される機会が一樣に与えられる。

10

20

30

40

50

【0074】

このような駆動方法により、図 12 に示す画素容量 108 の画素電圧の波形が得られる。図 12 において、V R、V G、V B はそれぞれ R G B の画素容量 108 の画素電圧を示している。図 12 に示すように、駆動電圧を時分割で供給する場合に、隣接する画素容量 108 間に形成される寄生容量 111 のカップリングの影響により、先に書き込みを行った画素容量 108 の画素電圧が変動するという問題を解決することができる。なお、この例における駆動電圧波形は、R と B の画素に対して最大駆動電圧が印加される様にコモン電圧に対して大きな電位差をもち、G の画素に対しては 0 V が印加されるようにコモン電圧と同じ電位としている。

【0075】

図 19 の従来の等価回路において説明したとおり、本実施の形態においては、寄生容量 111 のカップリングの影響量は隣接画素の電圧変動量 $\Delta V R$ 、 $\Delta V B$ に依存する。すなわち、本実施の形態における G の画素容量 108 に書き込まれた駆動電圧の寄生容量 111 のカップリングによる変動量は、R、G、B それぞれの画素容量 108 の容量値が全て等しく C L、寄生容量 111 の容量値が C P であるとする、

$$(\Delta V R + \Delta V B) \times (C P + C L) / (C P + 3 C L)$$

で表される。上述したように、本発明によれば、G の画素容量 108 に隣接する画素の電圧変動量 $\Delta V R = 0$ 、 $\Delta V B = 0$ である。従って、G の画素容量 108 に保持される駆動電圧の変動量は 0 となる。

【0076】

このように、本発明によれば、画素容量が書き込まれた画素電圧を保持しているときに、隣接する画素の書き込み電圧の変動を小さくしている。このため、隣接画素間に形成される寄生容量 111 によって生じる隣接画素容量間のカップリングにより、画素容量に保持されている画素電圧が影響を受け、表示品質の低下が生じるという問題を解消することができる。特に、フレーム周期で駆動され、かつフレーム周期の整数倍の周期で極性が反転するような画素容量同士のカップリングを解消するためには、本発明の駆動方法が極めて有効である。

【0077】

以上説明したように、本発明の表示装置の駆動方法は、時分割数と同数のフレーム数の期間内において、フレームごとに前記複数の画素の時分割駆動順序を変化させ、同一のゲート線に接続された複数の画素 107 のそれぞれを、いずれかのフレームの 1 選択期間の最初のタイミングとなるように駆動する。そして、最初のタイミングで駆動される画素のみを、当該画素が直前のフレームで駆動された極性に対して反転して駆動し、最初のタイミング以外のタイミングで駆動される画素を、当該画素が直前のフレームで駆動された極性と同じ極性で駆動する。これにより、駆動電圧の時分割駆動における隣接画素間の寄生容量 111 のカップリングの影響を解消することができる。

【0078】

なお、本実施の形態は 3 時分割の場合を例に説明されたものであるが、本発明の駆動方

法が時分割数に依存する要因を含まないので、2以上の任意の時分割数に対して本発明の駆動方法が適用できることは明らかである。

【0079】

実施の形態3.

本発明の実施の形態3に係る表示装置について図13を参照して説明する。図13は、実施の形態3に係るソースドライバと液晶表示パネルとの接続部の構成を示す図である。図13において、上述の実施の形態1において説明した構成要素には、同一の符号を付し説明を省略する。本実施の形態では、同一のゲート線Gに接続された隣接するRGBRGBの6つの画素を6時分割駆動する例について説明する。従って、本実施の形態に係るソースドライバ103の、図3において説明したソースドライバと異なる点は、6本のソース線に対して1つの出力回路110が設けられている点である。

10

【0080】

図13に示すように、ソースドライバ103は、複数の出力回路110を備えている。また、液晶表示パネル101は、マルチプレクサ105を有している。マルチプレクサ105は、ソース線S1、・・・Sxに対応して設けられた切替スイッチSW1、・・・、SWxを有している。本実施の形態においては、6つの切替スイッチSWの入力端子が、出力回路110の1つの出力端子に接続されている。例えば、6つの切替スイッチSW1、SW2、SW3、SW4、SW5、SW6の入力端子は、1つの出力回路110の出力端子に接続されている。また、切替スイッチSWの出力端子は、それぞれ対応するソース線S1、・・・Sxに接続されている。

20

【0081】

ここで、本実施の形態に係る駆動方法について、図14～図16を参照して説明する。図14及び図15は、本実施の形態に係る駆動方法を説明するためのタイミングチャートの一例である。また、図16は、本実施の形態に係る液晶表示装置の各画素の駆動極性を示している。図16においては、12×4の画素107が示されており、太枠が1つの時分割駆動の単位を示している。すなわち、本実施の形態においては、隣接する6つのRGBの画素を6時分割する6時分割駆動の例について示している。図14及び図15において、RSW1、GSW1、BSW1、RSW2、GSW2、BSW2はそれぞれ、RGBの各画素に駆動電圧を書き込むためのスイッチ制御パルス、Sm(m=6N-5~6N)はソース駆動極性を示している。また、図16において、白い四角は駆動極性が正極性、ハッチングがかかった四角は駆動極性が負極性の画素を示している。説明のため、以下1時分割駆動単位に含まれる隣接する6つのRGB画素をR1、G1、B1、R2、G2、B2とする。

30

【0082】

図14及び図15に示すように、本発明においては、1つのゲート線の1選択期間内において、当該ゲート線に接続される複数の画素107の時分割駆動順序をフレームに応じて変化させる。すなわち、フレームごとに複数の画素107の時分割駆動順序を直前のフレームの順序と変える。そして、前記複数の画素107の一部を当該1選択期間において、第1のタイミングで駆動する。本実施の形態においては、1選択期間に内の最初のタイミングで駆動する。すなわち、ゲート線の1選択期間において、最初に駆動電圧が書き込まれる画素107は、フレームごとに変化する。

40

【0083】

そして、最初に駆動電圧が書き込まれる画素107を、当該画素107の直前のフレームで駆動された極性に対して反転して駆動する。すなわち、最初に駆動電圧が書き込まれる画素107に供給される駆動電圧の極性は、当該画素107の直前のフレームに供給された駆動電圧の極性と反転している。また、本実施の形態においては、1選択期間において、書き込みを行う画素107に隣接する画素にすでに書き込みが行われている場合には、当該書き込みを行う画素107の直前のフレームで駆動された極性と同一の極性で駆動する。そして、最初に駆動電圧が書き込まれる画素107に続く第2タイミングで駆動される画素107は、当該画素107の直前のフレームで駆動された極性と同一の極性で駆

50

動される。

【 0 0 8 4 】

具体的には、図 1 4 に示すように、第 1 フレームにおいて、 n 行目、 $n + 1$ 行目のそれぞれの選択期間で、 $R 1 \rightarrow B 1 \rightarrow G 2 \rightarrow G 1 \rightarrow R 2 \rightarrow B 2$ の順序で時分割駆動する。従って、第 1 フレームにおいて、 $R 1$ の画素に 1 選択期間内の最初のタイミングで駆動電圧が供給される。そして、当該 1 選択期間において、 R の画素の駆動電圧の書き込みが終了した後に、続いて $B 1$ の画素、 $G 2$ の画素、 $\dots$ の画素に順次駆動電圧が供給される。これにより、第 1 フレームでは、図 1 6 (a) に示す順番でそれぞれの画素電極に所定の極性の駆動電圧が順次供給される。

【 0 0 8 5 】

そして、第 1 フレームに続く第 2 フレームでは、時分割駆動の順序を第 1 フレームとは異なる順序に変化させる。 n 行目、 $n + 1$ 行目、 $n + 2$ 行目と各行のそれぞれの選択期間で、 $G 1 \rightarrow R 2 \rightarrow B 2 \rightarrow R 1 \rightarrow B 1 \rightarrow G 2$ の順序で時分割駆動する。従って、第 2 フレームにおいては、 $G 1$ の画素に 1 選択期間内の最初のタイミングで駆動電圧が供給される。そして、当該 1 選択期間において、 $G 1$ の画素の駆動電圧の書き込みが終了した後に、続いて $R 2$ の画素、 $B 2$ の画素 $\dots$ に順次駆動電圧が供給される。

【 0 0 8 6 】

このとき、ゲート線の 1 選択期間内において、書き込みを行う画素 1 0 7 に隣接する画素にすでに書き込みが終了している場合には、当該画素 1 0 7 の直前のフレームの極性と同一の極性で駆動する。ここで、2 番目に駆動される $R 2$ の画素に隣接する $B 1$ 及び $G 2$ の画素には、まだ書き込みが終了していない。このため、 $R 2$ の画素は、当該 $R 2$ の画素の直前のフレームの極性と反転して駆動することができる。そして、3 番目に駆動される $B 2$ の画素に隣接する $G 2$ 及び $R 1$ の画素には、まだ書き込みが終了していない。このため、 $B 2$ の画素は、当該 $B 2$ の画素の直前のフレームの極性と反転して駆動することができる。

【 0 0 8 7 】

また、4 番目に駆動される $R 1$ の画素に隣接する $G 1$ 及び $B 2$ の画素には、すでに書き込みが終了している。このため、 $R 1$ の画素は、当該 $R 1$ の画素の直前のフレームの極性と同一の極性で駆動する。そして、5 番目に駆動される $B 1$ の画素に隣接する $G 1$ 及び $R 2$ の画素には、既に書き込みが終了している。このため、 $B 1$ の画素は、当該 $B 1$ の画素の直前のフレームの極性と同一の極性で駆動する。同様に、6 番目に駆動される $G 2$ の画素に隣接する $R 2$ 及び $B 2$ の画素には、既に書き込みが終了している。このため、 $G 2$ の画素は、当該 $G 2$ の画素の直前のフレームの極性と同一の極性で駆動する。従って、第 1 フレームでは、図 6 (b) に示す順番でそれぞれの画素電極に所定の極性の駆動電圧が順次供給される。このため、最初に書き込みが完了し保持状態となった画素の駆動電圧は、例えば隣接する画素に駆動電圧が印加されたとしても、隣接画素間の寄生容量 1 1 1 のカップリングによる影響を受けない。

【 0 0 8 8 】

これに続く第 3 フレーム、第 4 フレームは、図 1 5 に示すように、それぞれ第 1 フレーム、第 2 フレームの駆動順序と同じように駆動する。これにより、図 1 6 (c) 及び図 1 6 (d) のような駆動極性となる。従って、複数の画素を 1 つおきに、当該画素が直前のフレームで駆動された極性に対して反転して駆動することとなる。また、反転駆動した画素に隣接する画素は、当該画素が直前のフレームで駆動された極性と同一の極性で駆動する。フレームごとに極性反転する画素 1 0 7 が変化するため、全ての画素に対して一様に交流駆動を行うことができる。このように、複数の画素を 1 つおきに、当該画素が直前のフレームで駆動された極性に対して反転して駆動することにより、極性反転の周期が短くなり、フリッカを抑制することが可能となる。

こうして、第 4 フレームの駆動期間が終了した後、後続する第 5 フレームでは再び第 1 フレームと同じ時分割駆動順序及び駆動極性に戻り、以後、これを繰り返す。

【 0 0 8 9 】

以上説明したように、フレームごとに複数の画素 107 の時分割駆動順序を直前のフレームの順序と変える。そして、書き込みを行う画素 107 に隣接する画素にすでに書き込みが行われている場合には、当該書き込みを行う画素 107 の直前のフレームで駆動された極性と同一の極性で駆動する。これにより、隣接画素に駆動電圧が印加されても、保持電圧の変動を低減させることができる。

【0090】

なお、書き込みが終了した画素が隣にない画素を駆動する場合には、当該画素の直前のフレームの極性と反転して駆動してもよいし、同一極性で駆動してもよい。

【図面の簡単な説明】

【0091】

10

【図1】実施の形態1に係る液晶表示装置の構成を示す図である。

【図2】実施の形態1に係る液晶表示装置の画素の構成を示す図である。

【図3】実施の形態1に係るソースドライバと液晶表示パネルとの接続部の構成を示す図である。

【図4】実施の形態1に係る液晶表示装置の制御波形を示す図である。

【図5】実施の形態1に係る液晶表示装置の制御波形を示す図である。

【図6】実施の形態1に係る液晶表示装置の各画素の駆動極性を示す図である。

【図7】実施の形態2に係る液晶表示装置の制御波形を示す図である。

【図8】実施の形態2に係る液晶表示装置の制御波形を示す図である。

【図9】実施の形態2に係る液晶表示装置の制御波形を示す図である。

20

【図10】実施の形態に係る液晶表示装置の各画素の駆動極性を示す図である。

【図11】実施の形態に係る液晶表示装置の各画素の駆動極性を示す図である。

【図12】実施の形態に係る液晶表示装置の電圧波形を示す図である。

【図13】実施の形態3に係るソースドライバと液晶表示パネルとの接続部の構成を示す図である。

【図14】実施の形態2に係る液晶表示装置の制御波形を示す図である。

【図15】実施の形態2に係る液晶表示装置の制御波形を示す図である。

【図16】実施の形態に係る液晶表示装置の各画素の駆動極性を示す図である。

【図17】従来の液晶表示装置の構成を示す図である。

【図18】従来の液晶表示装置の画素の構成を示す等価回路である。

30

【図19】従来の液晶表示装置の画素の構成を示す等価回路である。

【図20】従来の液晶表示装置の電圧波形を示す図である。

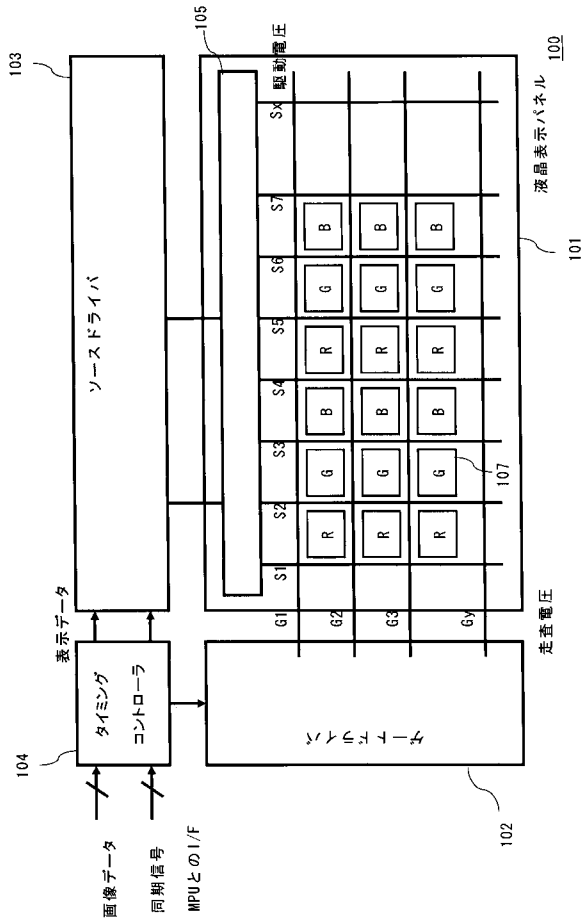
【符号の説明】

【0092】

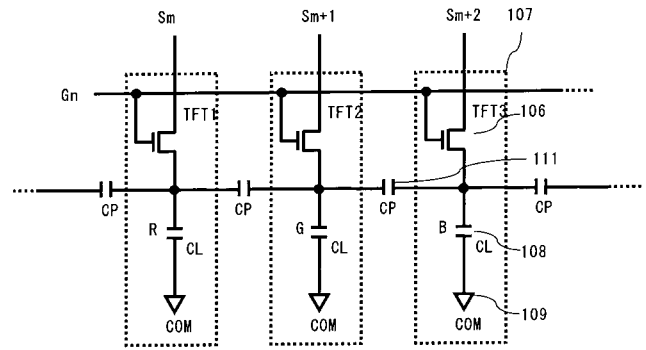
100 液晶表示装置
 101 液晶パネル
 102 ゲートドライバ、
 103 ソースドライバ
 104 タイミングコントローラ
 105 マルチプレクサ
 106 TFT
 107 画素
 108 画素容量
 109 コモン電極
 110 出力回路
 111 寄生容量
 G1、・・・、Gy ゲート線
 S1、・・・、Sx ソース線

40

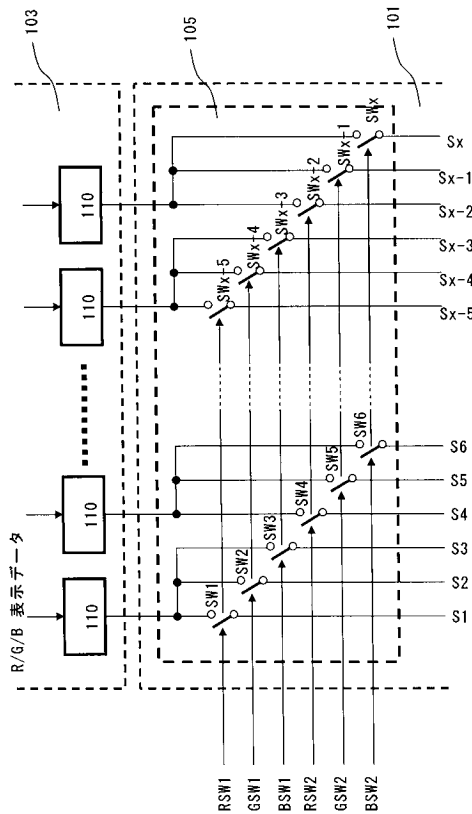
【図 1】



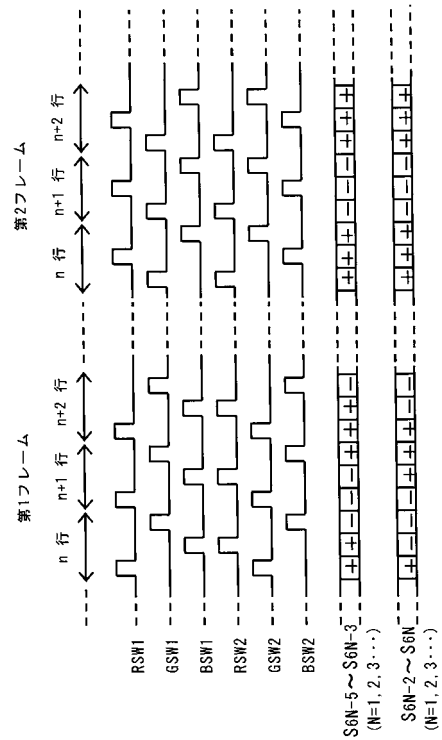
【図 2】



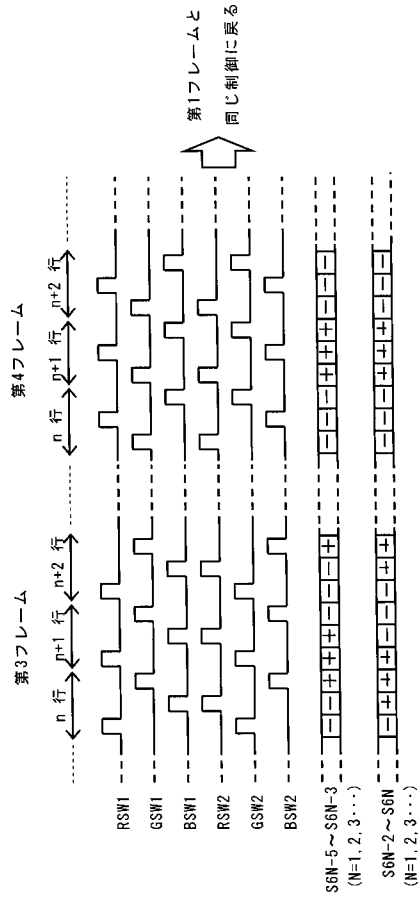
【図 3】



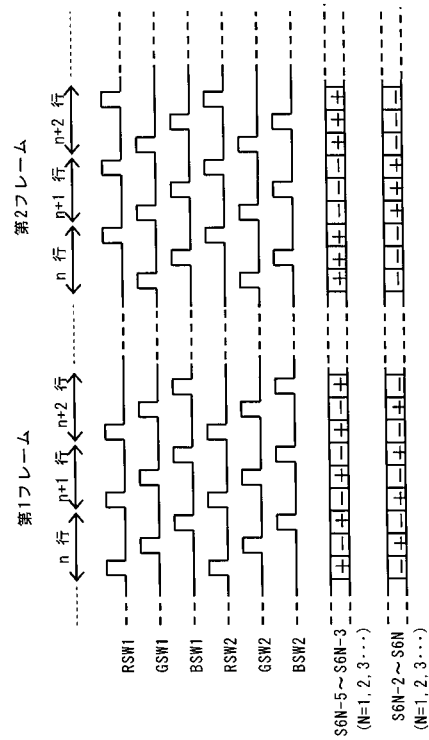
【図 4】



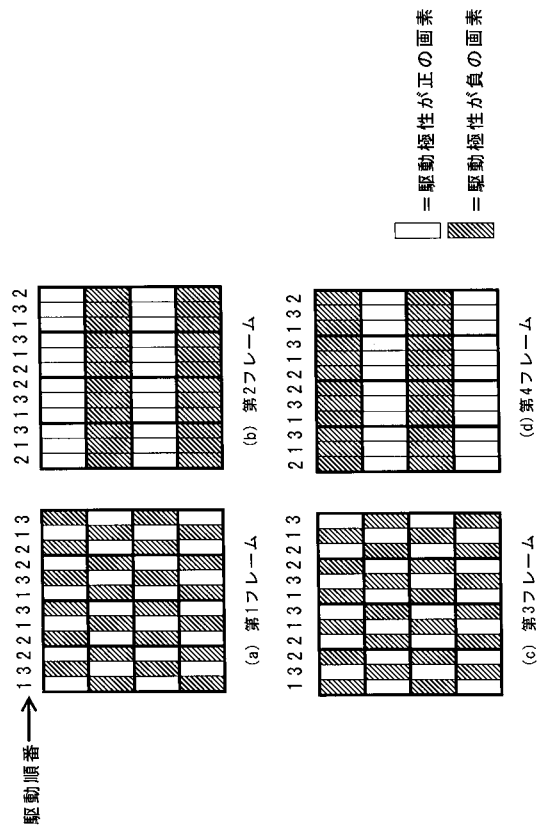
【図 5】



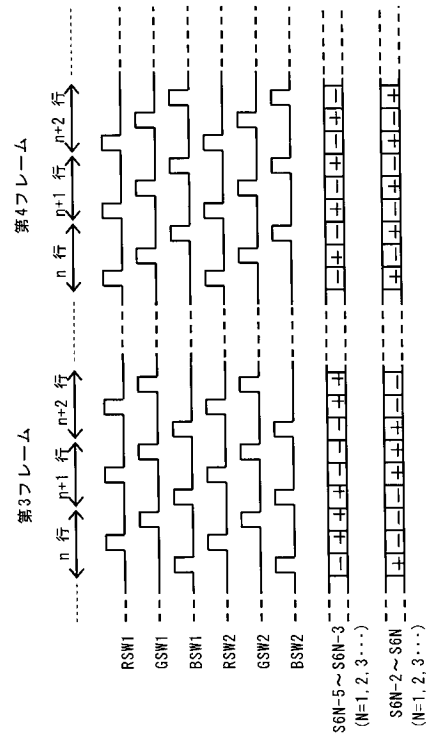
【図 7】



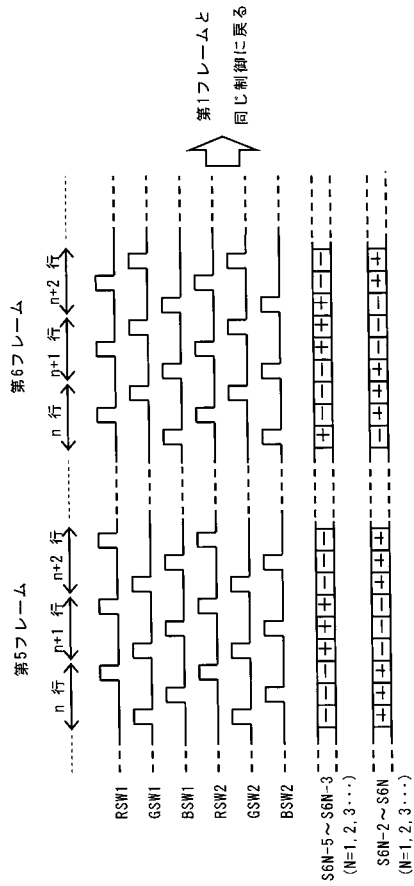
【図 6】



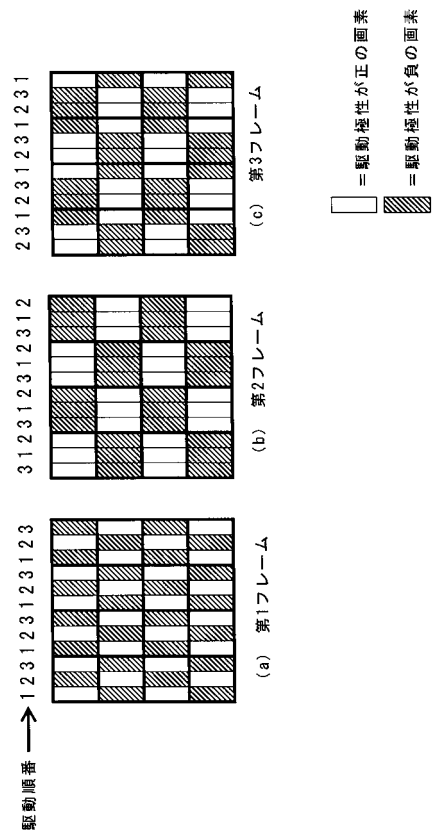
【図 8】



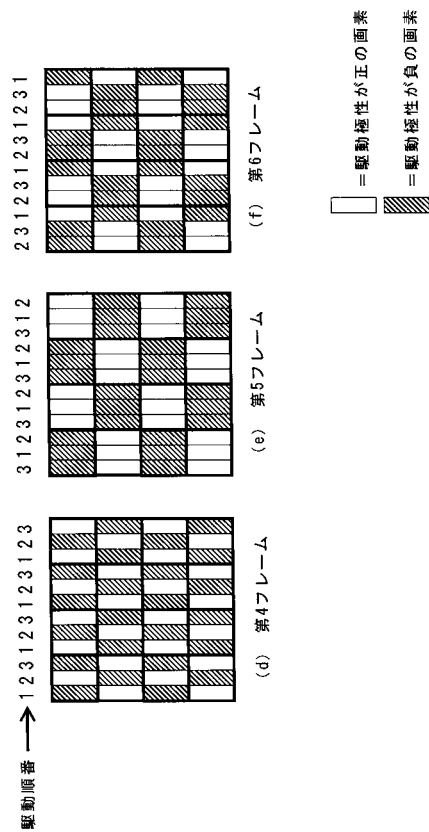
【 図 9 】



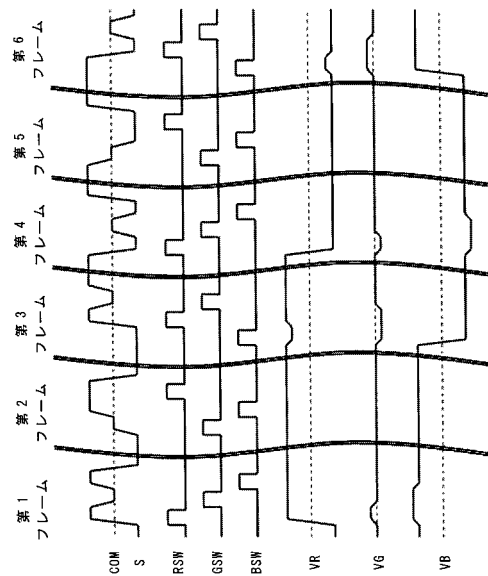
【 図 1 0 】



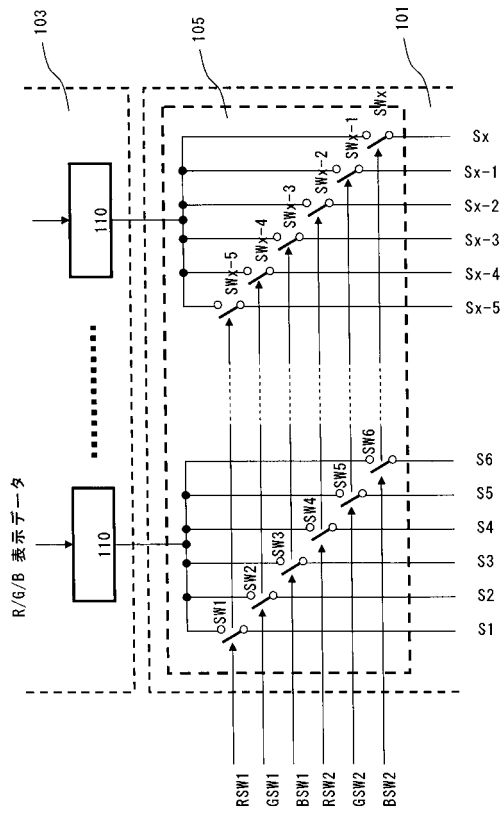
【 ㊦ 1 1 】



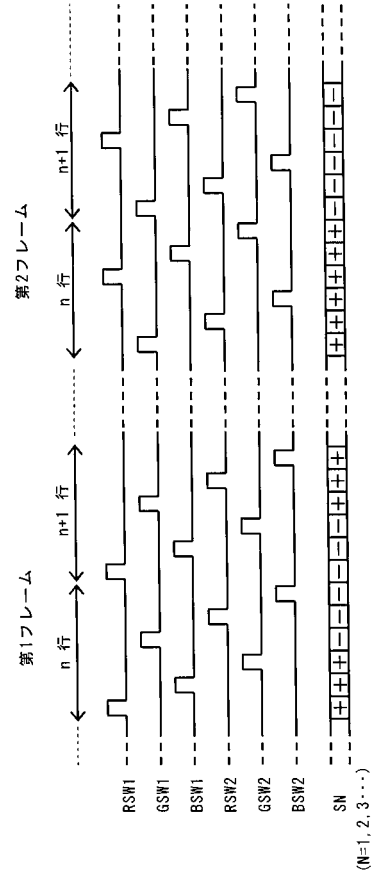
【 図 1 2 】



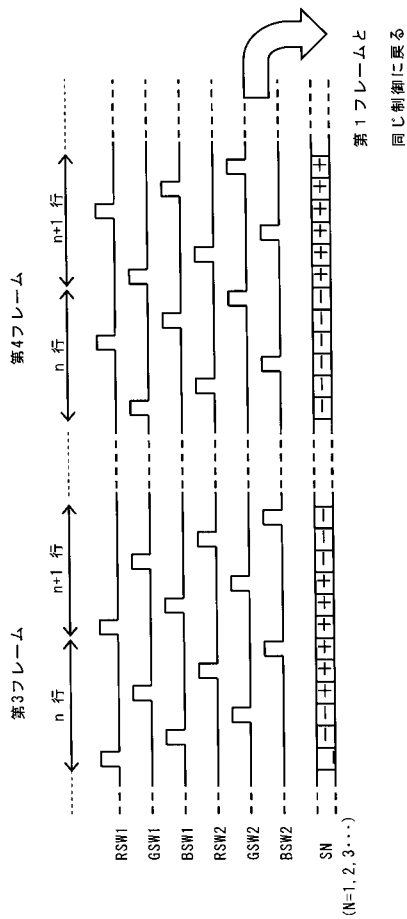
【図 1 3】



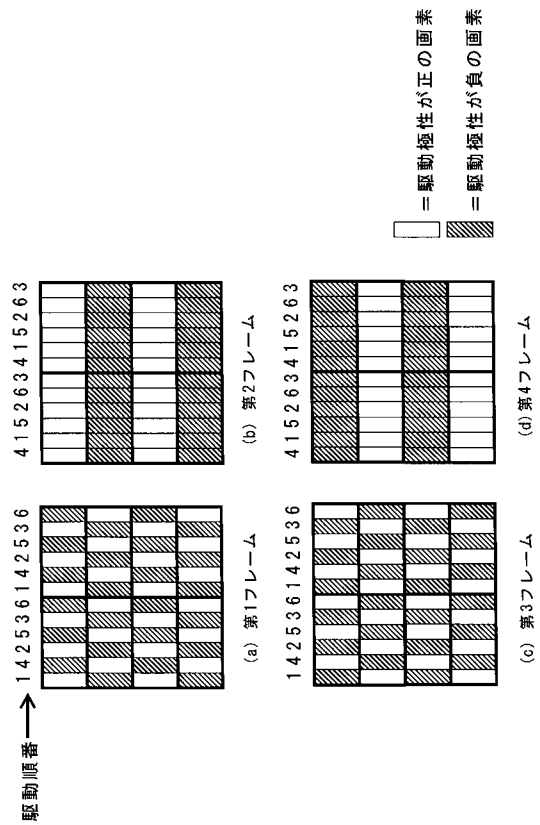
【図 1 4】



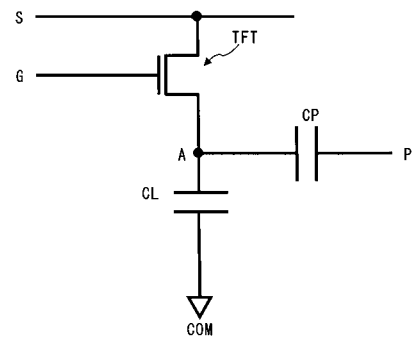
【図 1 5】



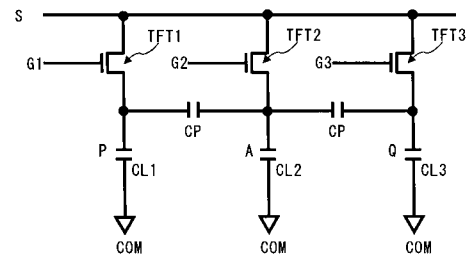
【図 1 6】



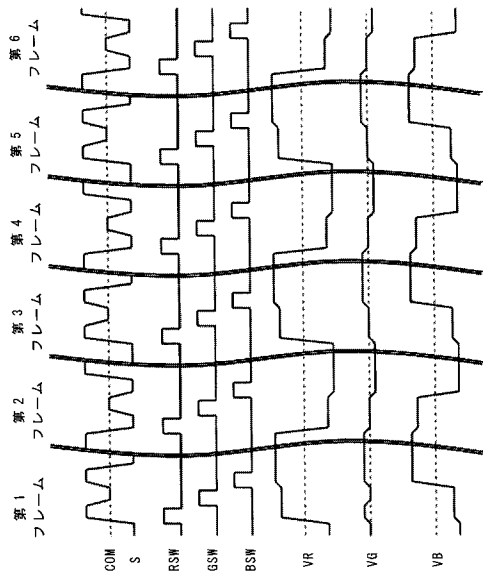
【 図 1 8 】



【 図 1 9 】



【 図 2 0 】



フロントページの続き

(51) Int. Cl.

F I

テーマコード (参考)

G 0 9 G 3/20 6 2 3 D

G 0 9 G 3/20 6 1 1 E

专利名称(译)	用于驱动显示设备的方法和设备		
公开(公告)号	JP2008089649A	公开(公告)日	2008-04-17
申请号	JP2006267220	申请日	2006-09-29
[标]申请(专利权)人(译)	NEC电子股份有限公司		
申请(专利权)人(译)	NEC电子公司		
[标]发明人	山上裕		
发明人	山上 裕		
IPC分类号	G09G3/36 G02F1/133 G09G3/20		
CPC分类号	G09G3/3614 G09G3/3688 G09G2310/0297 G09G2310/08 G09G2320/0209 G09G2320/0247		
FI分类号	G09G3/36 G02F1/133.525 G09G3/20.623.X G09G3/20.621.B G09G3/20.621.A G09G3/20.623.D G09G3/20.611.E		
F-TERM分类号	2H093/NA16 2H093/NA32 2H093/NA33 2H093/NA34 2H093/NA43 2H093/NC13 2H093/NC34 2H093/NC35 2H093/ND10 2H093/ND12 2H093/ND35 2H093/ND36 2H093/ND58 5C006/AC11 5C006/AC21 5C006/AC26 5C006/AC27 5C006/AC28 5C006/AF43 5C006/AF44 5C006/BB16 5C006/BC23 5C006/FA23 5C080/AA10 5C080/BB05 5C080/DD06 5C080/FF07 5C080/FF11 5C080/JJ01 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/KK47 2H193/ZA04 2H193/ZC02 2H193/ZC15 2H193/ZC20 2H193/ZH40		
外部链接	Espacenet		

摘要(译)

解决的问题：为了防止由于在所关注的像素与周围的可变电位源之间形成的寄生电容的耦合的影响，保持在像素电容中的驱动电压发生波动。提供一种驱动方法。根据本发明一个实施例的液晶显示装置驱动方法是一种驱动方法，其中在扫描线G的一个选择周期内时分驱动连接到相同扫描线G的多个像素107。因此，通过从紧接在前的帧中的顺序改变针对每个帧的多个像素107的时分驱动顺序，在一个选择周期的第一定时和第一定时驱动多个像素107的一部分。由第一像素驱动的第一像素相对于在前一帧中被驱动的第一像素的极性反转，并且在第一定时之后的第二定时被驱动。在像素107中，以与在紧接的前一帧中驱动第二像素的极性相同的极性来驱动与第一像素相邻的第二像素。[选择图]图4

