

【特許請求の範囲】**【請求項 1】**

基板上にマトリックス状に配置された複数の画素を備えた表示装置において、
映像信号を各画素に供給する映像信号線と、
前記映像信号線に映像信号を供給するドレイン駆動ＩＣと、
前記ドレイン駆動ＩＣの入力電極に対向する位置に形成された第１端子と、
前記第１端子に接続され、前記基板の周辺端に向かって延在する配線と、
前記配線の延在端に形成された第２端子と、
前記映像信号線が基板周辺まで延在され、前記ドレイン駆動ＩＣの出力電極に対向する位置に形成された第３端子と、を有し、

10

前記配線は、
前記第１端子と前記第２端子との間で隣接する部分が互いに接続されない第１配線と、
前記第１端子と前記第２端子との間で隣接する部分が互いに接続され、他の部分よりも線幅が太くなっている第２配線とを含むことを特徴とする表示装置。

【請求項 2】

請求項 1 に記載の表示装置において、
前記第２配線は、電源配線であることを特徴とする表示装置。

【請求項 3】

請求項 1 又は 2 に記載の表示装置において、
前記第２配線は、前記線幅が太くなっている部分と前記第２端子との間に、放射上に広がっている部分があることを特徴とする表示装置。

20

【請求項 4】

基板上にマトリックス状に配置された複数の画素を備えた表示装置において、
ドレイン駆動ＩＣと、
前記ドレイン駆動ＩＣの入力電極に対向する位置に形成された第１端子と、
前記第１端子に接続され、前記基板の周辺端に向かって延在する配線と、
前記配線の延在端に形成された第２端子と、を有し、
前記配線は、
前記第１端子と前記第２端子との間で隣接する部分が互いに接続されない第１配線と、
前記第１端子と前記第２端子との間で隣接する部分が互いに接続され、他の部分よりも線幅が太くなっている第２配線とを含むことを特徴とする表示装置。

30

【請求項 5】

請求項 4 に記載の表示装置において、
前記第２配線は、電源配線であることを特徴とする表示装置。

【請求項 6】

請求項 4 又は 5 に記載の表示装置において、
前記第２配線は、前記線幅が太くなっている部分と第２端子との間に、放射上に広がっている部分があることを特徴とする表示装置。

【発明の詳細な説明】**【技術分野】**

40

【０００１】

本発明は表示装置に係り、たとえばＣＯＧ（Chip On Glass）型と称される表示装置に関する。

【背景技術】**【０００２】**

液晶表示装置は、液晶を介して互に対向配置される透明基板を外囲器とし該液晶の広がり方向に多数の画素が形成されて構成されている。

【０００３】

各画素はそこを通過する光の透過率を該画素の液晶内に発生させる電界によって独立に制御できるようになっている。

50

【 0 0 0 4 】

このため、一方の透明基板の液晶側の面には各画素に該電界を発生させるため電極およびこの電極に映像信号を供給するための映像信号線が形成されている。

【 0 0 0 5 】

そして、この映像信号線には映像信号駆動回路から映像信号が供給されるようになっており、この映像信号駆動回路は半導体 IC からなり、該一方の透明基板の表示領域以外の領域に搭載されたものが知られている。

【 0 0 0 6 】

この場合、映像信号駆動回路には透明基板の一辺に近接させて配置されるコントロール基板からフレキシブル配線基板を介して、ロジック信号、基準電源、および電源が供給されるようになっている。

10

【 0 0 0 7 】

このことから、前記透明基板には、映像信号駆動回路の入力電極とフレキシブル配線基板の出力端子に接続される配線層が形成されている。

【 発明の開示 】

【 発明が解決しようとする課題 】

【 0 0 0 8 】

しかしながら、このように構成された液晶表示装置は、その大型化の傾向にともない、映像信号駆動回路への前記配線層が高密度化し、それによる不都合が指摘されるに到った。

20

【 0 0 0 9 】

すなわち、映像信号駆動回路の入力側はハイインピーダンスとなっていることから、前記各配線層はその抵抗がある程度高く形成されていてもよいが、それらをほぼ一定にする必要がある。

【 0 0 1 0 】

信号の波形遅延にばらつきが生じて映像信号駆動回路の動作が不安定になるからである。

【 0 0 1 1 】

しかし、映像信号駆動回路の入力側には電源入力部が存在し、その配線層の抵抗をある程度小さくしなければならない。該回路の動作電圧を下げなければならないからである。

30

【 0 0 1 2 】

この場合、該配線層の抵抗に揃えて他の配線層の抵抗を定めることが考えられるが、高密度化された配線層においては極めて困難となってしまう。

【 0 0 1 3 】

本発明は、このような事情に基づいてなされたものであり、その目的は、映像信号駆動回路が安定して動作できる液晶表示装置を提供することにある。

【 課題を解決するための手段 】

【 0 0 1 4 】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、以下のとおりである。

40

【 0 0 1 5 】

手段 1 .

液晶を介して互いに対向配置される透明基板の一方の透明基板の液晶側の面に、映像信号駆動回路が搭載され、かつ、この映像信号駆動回路に入力信号が入力される配線層と、前記映像信号駆動回路からの出力信号が出力される映像信号線とが形成されている液晶表示装置において、

前記配線層は、映像信号駆動回路の各入力電極のうちロジック信号入力電極と接続されているものにおいてその抵抗が一様になっているとともに、基準電源供給電極と接続されているものにおいてその抵抗が一様になっていることを特徴とするものである。

【 0 0 1 6 】

50

このように構成された液晶表示装置は、ロジック信号入力電極と接続されている配線層同志で、たとえその抵抗が高くなったとしても該抵抗を一様に構成するとともに、基準電源供給電極と接続されている配線層同志で、たとえその抵抗が高くなったとしても該抵抗を一様に構成するようにしたものである。

【0017】

ロジック信号入力電極と接続されている配線層同志の抵抗を一様にすることによって、その信号の波形遅延にばらつきが生じることがないので映像信号駆動回路の動作の安定化が図れるようになる。

【0018】

また、基準電源供給電極と接続されている配線層同志の抵抗を一様にすることによって、基準電源の電圧降下のばらつきを抑制することができるようになる。

10

【0019】

このことから、映像信号駆動回路の入力側の配線層がたとえ高密度に形成されていても、同種の信号が供給される配線層同志でその抵抗を一様にするだけでよく、その達成が可能となる。

【0020】

手段2.

手段1の構成において、映像信号駆動回路はその入力電極のうち少なくともロジック信号入力電極と基準電源供給電極がそれぞれ複数設けられ、ロジック信号入力電極は互いに隣接して配置されているとともに、基準電源供給電極は互いに隣接して配置されていることを特徴とするものである。

20

【0021】

このように構成された液晶表示装置は、ロジック信号入力電極と接続されている配線層は互いに隣接して配置され、また、基準電源供給電極と接続されている配線層は互いに隣接して配置されている。

【0022】

このため、隣接して配置されている配線層同志の抵抗を一様に構成する作業が極めて簡単にすることができる。

【発明の効果】

【0023】

以上説明したことから明らかとなるように、本発明による液晶表示装置によれば、映像信号駆動回路が安定して動作できるようになる。

30

【発明を実施するための最良の形態】

【0024】

以下、本発明による液晶表示装置の実施例を図面を用いて説明する。

実施例1.

〔全体構成〕

図2は、本発明による液晶表示装置の全体を示す概略構成図である。

この実施例では、広い視野角をもつものとして知られているいわゆる横電界方式を採用した液晶表示装置に本発明を適用させている。

40

まず、液晶表示パネル1があり、その液晶表示パネル1は、液晶を介して互に対向配置された透明基板1A、1Bを外囲器としている。この場合、一方の透明基板（図中下側の基板：マトリックス基板1A）は他方の透明基板（図中上側の基板：カラーフィルタ基板1B）に対して若干大きく形成され、図中下側と右側の周辺端はほぼ面一に合わせて配置されている。

【0025】

この結果、一方の透明基板1Aの図中左側の周辺および図中上側の周辺は他方の透明基板1Bに対して外方に延在されるようになっている。後に詳述するが、この部分はゲート駆動回路およびドレイン駆動回路が搭載される領域となっている。

【0026】

50

各透明基板 1 A、1 B の重畳する領域にはマトリックス状に配置された画素 2 が構成され、この画素 2 は、図中 x 方向に延在され y 方向に並設される走査信号線 3 と y 方向に延在され x 方向に並設される映像信号線 4 とで囲まれる領域に形成され、少なくとも、一方の走査信号線 3 から走査信号の供給によって駆動されるスイッチング素子 T F T と、このスイッチング素子 T F T を介して一方の映像信号線 4 から供給される映像信号が印加される画素電極とが備えられている。

【 0 0 2 7 】

ここでは、上述したように、各画素 2 は、いわゆる横電界方式を採用したもので、後に詳述するように、上記のスイッチング素子 T F T および画素電極の他に、基準電極および付加容量素子が備えられるようになっている。

10

【 0 0 2 8 】

そして、各走査信号線 3 はその一端（図中左側の端部）が透明基板 1 B 外にまで延在され、透明基板 1 A に搭載されたゲート駆動回路（I C）5 の出力端子に接続されるようになっている。

【 0 0 2 9 】

この場合、ゲート駆動回路 5 は複数設けられているとともに、前記走査信号線 3 は互いに隣接するもの同士でグループ化され、これら各グループ化された走査信号線 3 が近接する各ゲート駆動回路 5 にそれぞれ接続されるようになっている。

【 0 0 3 0 】

また、同様に、各映像信号線 4 はその一端（図中上側の端部）が透明基板 1 B 外にまで延在され、透明基板 1 A に搭載されたドレイン駆動回路（I C）6 の出力端子に接続されるようになっている。

20

【 0 0 3 1 】

この場合も、ドレイン駆動回路 6 は複数設けられているとともに、前記映像信号線 4 は互いに隣接するもの同士でグループ化され、これら各グループ化された映像信号線 4 が近接する各ドレイン駆動回路 6 にそれぞれ接続されるようになっている。

【 0 0 3 2 】

一方、このようにゲート駆動回路 5 およびドレイン駆動回路 6 が搭載された液晶表示パネル 1 に近接した配置されるプリント基板 1 0（コントロール基板 1 0）があり、このプリント基板 1 0 には電源回路 1 1 等の他に、前記ゲート駆動回路 5 およびドレイン駆動回路 6 に入力信号を供給するためのコントロール回路 1 2 が搭載されている。

30

【 0 0 3 3 】

そして、このコントロール回路 1 2 からの信号はフレキシブル配線基板（ゲート回路基板 1 5、ドレイン回路基板 1 6 A、ドレイン回路基板 1 6 B）を介してゲート駆動回路 5 およびドレイン駆動回路 6 に供給されるようになっている。

【 0 0 3 4 】

すなわち、ゲート駆動回路 5 側には、これら各ゲート駆動回路 5 の入力側の端子にそれぞれ対向して接続される端子を備えるフレキシブル配線基板（ゲート回路基板 1 5）が配置されている。

【 0 0 3 5 】

そのゲート回路基板 1 5 は、その一部が前記コントロール基板 1 0 側に延在されて形成され、その延在部において、該コントロール基板 1 0 と接続部 1 8 を介して接続されている。

40

【 0 0 3 6 】

コントロール基板 1 0 に搭載されたコントロール回路 1 2 からの出力信号は、該コントロール基板 1 0 上の配線層、前記接続部 1 8、さらにはゲート回路基板 1 5 上の配線層を介して各ゲート駆動回路 5 に入力されるようになっている。

【 0 0 3 7 】

また、ドレイン駆動回路 6 側には、これら各ドレイン駆動回路 6 の入力側の端子にそれぞれ対向して接続される端子を備えるドレイン回路基板 1 6 A、1 6 B が配置されている

50

。

【0038】

このドレイン回路基板16A、16Bは、その一部が前記コントロール基板10側に延在されて形成され、その延在部において、該コントロール基板10と接続部19A、19Bを介して接続されている。

【0039】

コントロール基板10に搭載されたコントロール回路12からの出力信号は、該コントロール基板10上の配線層、前記接続部19A、19B、さらにはドレイン回路基板16A、16B上の配線層を介して各ドレイン駆動回路16A、16Bに入力されるようになっている。

10

【0040】

なお、ドレイン駆動回路6側のドレイン回路基板16A、16Bは、図示のように、2個に分割されて設けられている。液晶表示パネル1の大型化にともなって、たとえばドレイン回路基板の図中x方向への長さの増大による熱膨張による弊害を防止する等のためである。

【0041】

そして、コントロール基板10上のコントロール回路12からの出力は、ドレイン回路基板16Aの接続部19A、およびドレイン回路基板16Bの接続部19Bをそれぞれ介して、対応するドレイン駆動回路6に入力されている。

【0042】

さらに、コントロール基板10には、映像信号源22からケーブル23によってインターフェース基板24を介して映像信号が供給され、該コントロール基板10に搭載されたコントロール回路12に入力されるようになっている。

20

【0043】

なお、この図では、液晶表示パネル1、ゲート回路基板15、ドレイン回路基板16A、16B、およびコントロール基板10がほぼ同一平面内に位置づけられるように描かれているが、実際には該コントロール基板10はゲート回路基板15、ドレイン回路基板16A、16Bの部分で屈曲されて液晶表示パネル1に対してほぼ直角になるように位置づけられるようになっている。

【0044】

いわゆる額縁の面積を小さくさせる趣旨からである。ここで、額縁とは、液晶表示装置の外枠の輪郭と表示部の輪郭の間の領域をいい、この領域を小さくすることによって、外枠に対して表示部の面積を大きくできる効果を得ることができる。

30

【0045】

〔画素の構成〕

図3は、前記画素領域の詳細な構成を示す平面図を示している。

同図において、マトリクス基板1Aの主表面に、x方向に延在する走査信号線3と対向電圧信号線50とが形成されている。そして、これら各信号線3、50と後述のy方向に延在する映像信号線2とで囲まれる領域が画素領域として形成されることになる。

【0046】

すなわち、この実施例では、走査信号線3との間に対向電圧信号線50が走行して形成され、その対向電圧信号線50を境にして±y方向のそれぞれに画素領域が形成されることになる。

40

【0047】

このようにすることによって、y方向に並設される対向電圧信号線50は従来の約半分に減少させることができ、それによって閉められていた領域を画素領域側に分担させることができ、該画素領域の面積を大きくすることができるようになる。

【0048】

各画素領域において、前記対向電圧信号線50にはそれと一体となってy方向に延在された対向電極50Aがたとえば3本当間隔に形成されている。これら各対向電極50Aは

50

走査信号線 3 に接続されることなく近接して延在され、このうち両脇の 2 本は映像信号線 3 に隣接して配置され、残りの 1 本は中央に位置づけられている。

【 0 0 4 9 】

さらに、このように走査信号線 3、対向電圧信号線 5 0、および対向電極 5 0 A が形成された透明基板 1 A の主表面には、これら走査信号線 3 等をも被ったたとえばシリコン窒化膜からなる絶縁膜が形成されている。この絶縁膜は後述する映像信号線 2 に対しては走査信号線 3 および対向電圧信号線 5 0 との絶縁を図るための層間絶縁膜として、薄膜トランジスタ T F T に対してはゲート絶縁膜として、蓄積容量 C s t g に対しては誘電体膜として機能するようになっている。

【 0 0 5 0 】

この絶縁膜の表面には、まず、その薄膜トランジスタ T F T の形成領域において半導体層 5 1 が形成されている。この半導体層 5 1 はたとえばアモルファス S i からなり、走査信号線 3 上において後述する映像信号線 2 に近接された部分に重畳されて形成されている。これにより、走査信号線 3 の一部が薄膜トランジスタ T F T のゲート電極を兼ねた構成となっている。

【 0 0 5 1 】

そして、この絶縁膜の表面にはその y 方向に延在しかつ x 方向に並設される映像信号線 2 が形成されている。この映像信号線 2 は、薄膜トランジスタ T F T を構成する前記半導体層 5 1 の表面の一部にまで延在されて形成されたドレイン電極 2 A が一体となって備えられている。

【 0 0 5 2 】

さらに、画素領域における絶縁膜の表面には薄膜トランジスタ T F T のソース電極 5 3 A に接続された画素電極 5 3 が形成されている。この画素電極 5 3 は前記対向電極 5 0 A のそれぞれの中央を y 方向に延在して形成されている。すなわち、画素電極 5 3 の一端は前記薄膜トランジスタ T F T のソース電極 5 3 A を兼ね、そのまま y 方向に延在され、さらに対向電圧信号線 5 0 上を x 方向に延在された後に、y 方向に延在するコ字形状となっている。

【 0 0 5 3 】

ここで、画素電極 5 3 の対向電圧信号線 5 0 に重畳される部分は、該対向電圧信号線 5 0 との間に前記絶縁膜を誘電体膜とする蓄積容量 C s t g を構成している。この蓄積容量 C s t g によってたとえば薄膜トランジスタ T F T がオフした際に画素電極 5 3 に映像情報を長く蓄積させる効果を奏するようにしている。

【 0 0 5 4 】

なお、前述した薄膜トランジスタ T F T のドレイン電極 2 A とソース電極 5 3 A との界面に相当する半導体層 5 1 の表面にはリン (P) がドーピングされて高濃度層となっており、これにより前記各電極におけるオーミックコンタクトを図っている。この場合、半導体層 5 1 の表面の全域には前記高濃度層が形成されており、前記各電極を形成した後に、該電極をマスクとして該電極形成領域以外の高濃度層をエッチングするようにして上記の構成とすることができる。

【 0 0 5 5 】

そして、このように薄膜トランジスタ T F T、映像信号線 2、画素電極 5 3、および蓄積容量 C s t g が形成された絶縁膜の上面にはたとえばシリコン窒化膜からなる保護膜が形成され、この保護膜の上面には配向膜が形成されて、液晶表示パネル 1 のいわゆる下側基板を構成している。

【 0 0 5 6 】

なお、図示していないが、いわゆる上側基板となる透明基板 (カラーフィルタ基板) 1 B の液晶側の部分には、各画素領域に相当する部分に開口部を有するブラックマトリックス (図 3 の符号 5 4 に相当する) が形成されている。

【 0 0 5 7 】

さらに、このブラックマトリックス 5 4 の画素領域に相当する部分に形成された開口部

10

20

30

40

50

を被ってカラーフィルタが形成されている。このカラーフィルタはx方向に隣接する画素領域におけるそれとは異なった色を備えるとともに、それぞれブラックマトリックス54上において境界部を有するようになっている。

【0058】

また、このようにブラックマトリックス、およびカラーフィルタが形成された面には樹脂膜等からなる平坦膜が形成され、この平坦膜の表面には配向膜が形成されている。

【0059】

〔ドレイン駆動ICの近傍の構成〕

図4は、ドレイン駆動IC6およびその近傍の詳細を示す平面図で、図2の一点鎖線枠Qの部分を示す図である。しかし、この図に示す構成は他のドレイン駆動IC6およびその近傍においても同様となっている。

【0060】

同図において、液晶表示パネル1に形成された映像信号線4はマトリックス基板1Aの周辺にまで延在され、ドレイン駆動IC6の出力電極に対向する位置に信号供給端子4Aが形成されている。

【0061】

この場合、同図から明らかなように、映像信号線4のピッチに対してドレイン駆動IC6の出力電極のピッチが小さいことから、このドレイン駆動IC6に接続されるべく各映像信号線4は該ドレイン駆動IC6の近傍にて互いに収束するようにしてパターン化されている。

【0062】

一方、マトリックス基板1Aの表面には、ドレイン駆動IC6の各入力電極6Aにそれぞれ対向する位置に端子70Aを有し、この端子70Aに接続される配線層70がマトリックス基板1Aの周辺端の近傍にまで延在されて形成され、その延在端において信号供給端子70Bを有するようになっている。

【0063】

信号供給端子70Bはドレイン回路基板16と接続される端子となっており、同図から明らかなように、そのピッチがドレイン駆動IC6の入力電極6Aのピッチよりも大きいことから、該配線層70は互いに発散されるようにしてパターン化されている。

【0064】

この場合、この配線層70は、液晶表示装置の大型化にともない、その隣接する配線層との間の間隔は狭められている傾向にあることは上述したとおりである。

【0065】

ここで、一つのドレイン駆動IC6は、図1の模式図に示すように、その入力電極が、たとえば図中右側からロジック入力部、基準電源入力部、電源入力部、基準電源入力部、およびロジック入力部というように、機能別ごとにグループ化されて配置されている。

【0066】

このように構成されたドレイン駆動IC6は、その入力電極に接続される各配線層を各機能別ごとに隣接させて配置させることができることから、該配線層のレイアウトがしやすくなるとともに、各配線層のパターンもすっきりしたものとすることができる。また、後述のように、前記各配線層を機能別に抵抗の一樣化を図る場合に、それらの各配線層は互いに隣接されていることからその調整を図りやすくなるという効果を奏するようになる。

【0067】

そして、図1に示すように、ドレイン駆動IC6の入力電極にそれぞれ接続される各配線層70は、図中右側からロジック入力配線、基準電源配線、電源配線、基準電源配線、およびロジック入力配線というように、機能別ごとにグループ化されて配置されていることになる。

【0068】

本実施例では、ロジック入力配線はそれら各配線層において一様な抵抗を有するように

10

20

30

40

50

形成され、基準電源配線はそれら各配線層において一様な抵抗を有するように形成され、電源配線はそれら各配線層において一様な抵抗を有するように形成されている。

【0069】

すなわち、図4において、ロジック入力配線は、図中右側から所定数グループ化されて配置され、これら各ロジック入力配線は、それぞれ、図中右側から左側へかけて、線幅が徐々に細くなるように形成されている。

【0070】

同図から明らかになるように、各ロジック入力配線はドレイン駆動IC6と信号供給端子70Bとの間において、放射状に発散するようなパターンで配列されているため、図中右側から左側へかけて、その長さが短くなるように形成されている。

10

【0071】

このため、上述のように各ロジック入力配線をその図中右側から左側へかけて線幅が徐々に細くなるように形成することによって、それぞれの各ロジック入力配線の抵抗を一様にする事ができる。

【0072】

ここで、配線の抵抗を一様にするとは、必ずしも各ロジック入力配線の抵抗が全く同一であることを意味せず、誤差の範囲を含めてほぼ同一となっていることを意味する。

【0073】

また、グループ化されたロジック入力配線に隣接するようにして、基準電源配線が、図中右側から所定数グループ化されて配置され、これら各基準電源配線は、それぞれ、図中右側から左側へかけて、線幅が徐々に細くなるように形成されている。

20

【0074】

ロジック入力配線と同様に、基準電源配線もドレイン駆動IC6と信号供給端子70Bとの間において、放射状に発散するようなパターンで配列され、図中右側から左側へかけて、その長さが短くなるように形成されている。

【0075】

このため、上述のように各基準電源配線をその図中右側から左側へかけて線幅が徐々に細くなるように形成することによって、それぞれの各ロジック入力配線の抵抗を一様にする事ができる。

【0076】

この場合、各基準電源配線の一様化された抵抗は、ロジック入力配線の一様化された抵抗と必ずしも同じである必要はない。

30

【0077】

各ロジック入力配線の抵抗を一様化することによって、ロジック系信号の波形遅延のばらつきを回避し、また、各基準電源配線の抵抗を一様化することによって基準電源の基準電圧をばらつきなく確保せんとする趣旨からである。

【0078】

さらに、電源配線は、この実施例の場合、ロジック入力配線あるいは基準電源配線の場合と異なり、それらの配線長に大きな差がないものとなっている。ドレイン駆動IC6における電源入力部の電極がほぼ中央に位置づけられるように設計されているからである。

40

【0079】

しかし、これら各電源配線はそれら隣接する部分が互いに接続されるように構成され、結果として複数の配線が一体になって線幅が極めて太く形成されるようになっている。

【0080】

このようにすることによって、電源配線から供給される電源の電圧降下をできるだけ抑制し、ドレイン駆動IC6の動作電域を大きく確保せんとする趣旨である。

【0081】

以上説明したことから明らかなように、上述した実施例によれば、ロジック信号入力電極と接続されている配線層同志で、たとえその抵抗が高くなったとしても該抵抗を一様に構成するとともに、基準電源供給電極と接続されている配線層同志で、たとえその抵抗が高

50

くなったとしても該抵抗を一様に構成するようにしたものである。

【0082】

ロジック信号入力電極と接続されている配線層同志の抵抗を一様にすることによって、その信号の波形遅延にばらつきが生じることがないので映像信号駆動回路の動作の安定化が図れるようになる。

【0083】

また、基準電源供給電極と接続されている配線層同志の抵抗を一様にするによって、基準電源の電圧降下のばらつきを抑制することができるようになる。

【0084】

このことから、映像信号駆動回路の入力側の配線層がたとえ高密度に形成されていても、同種の信号が供給される配線層同志でその抵抗を一様にするだけでよく、その達成が可能となる。

【0085】

また、ロジック信号入力電極と接続されている配線層は互いに隣接して配置され、また、基準電源供給電極と接続されている配線層は互いに隣接して配置されている。

【0086】

このため、隣接して配置されている配線層同志の抵抗を一様に構成する作業を極めて簡単にすることができる。

【0087】

上述した実施例では、各配線層同志の抵抗の一様化を図るのに、それらの線幅によって調整したものである。しかし、このようにすることに限定されることがないのはもちろんである。たとえば、各配線層の一部に他の導電層を重畳させた積層構造とし、該導電層の長さを各配線層ごとに設定することによっても調整できるからである。

【0088】

また、上述した実施例では、ロジック信号入力配線の抵抗の一様化、および基準電源配線の抵抗の一様化を図ったものである。しかし、ロジック信号入力配線はドレイン駆動IC6に対して外側（図中左および右側）に位置づけられていることから、その線長の差がたとえば基準電源配線と比較して必然的に大きなものとなってしまう。

【0089】

このことから、ロジック信号入力配線の抵抗の一様化のみを図った構成としても極めて大きな効果を奏することになる。

【0090】

さらに、この実施例では、ドレイン駆動IC6は、図1に示すようにロジック入力部、基準電源入力部、電源入力部は配置されていることはなく、他の形態で配置されていてもよいことはいうまでもない。

【0091】

さらに、この実施例では、いわゆる横電界方式の液晶表示装置について説明したものである。しかし、この種の液晶表示装置に限定されることはないことはいうまでもない。

【図面の簡単な説明】

【0092】

【図1】本発明による液晶表示装置の一実施例を示す要部概略図である。

【図2】本発明による液晶表示装置の一実施例を示す全体概略図である。

【図3】本発明による液晶表示装置の画素構成の一実施例を示す平面図である。

【図4】本発明による液晶表示装置の一実施例を示す要部構成図である。

【符号の説明】

【0093】

4 ... 映像信号線、6 ... ドレイン駆動IC、70 ... 配線層、70B ... 信号供給端子

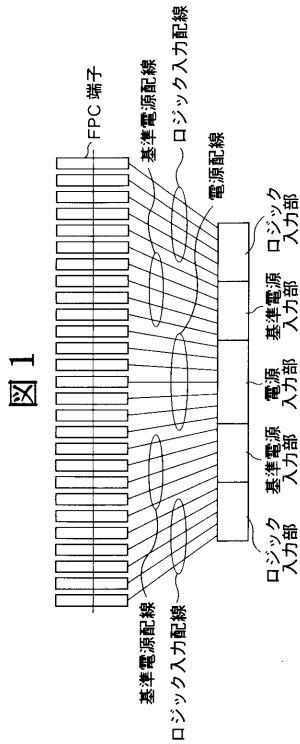
10

20

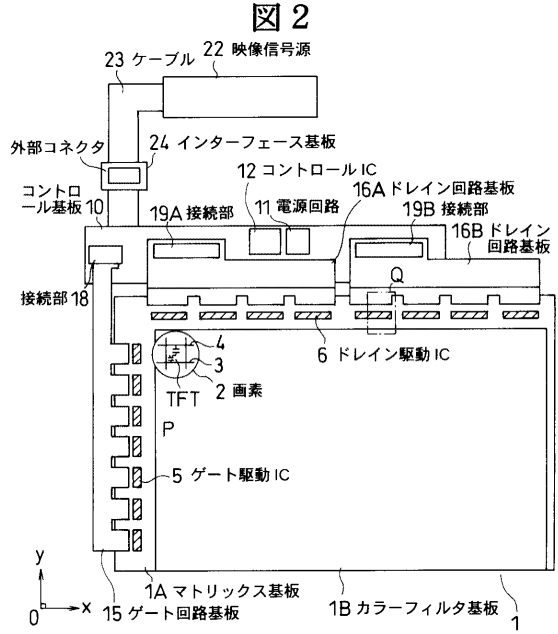
30

40

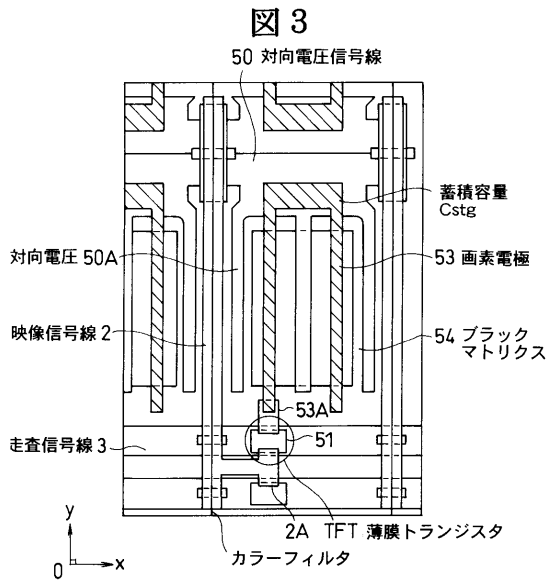
【図 1】



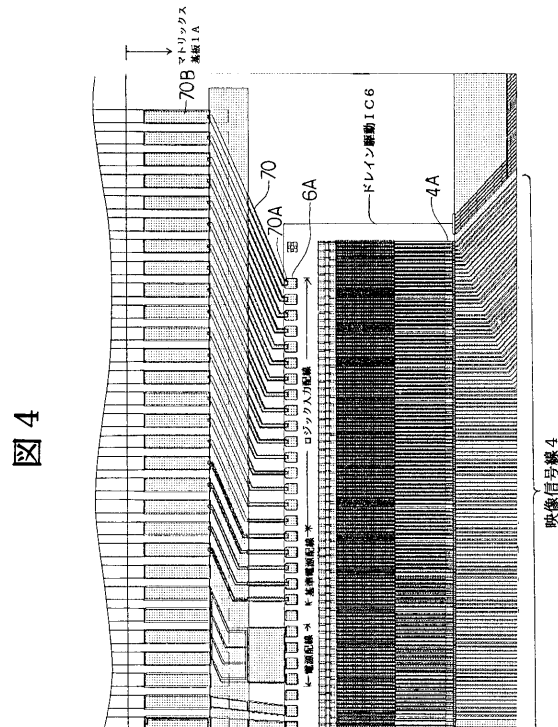
【図 2】



【図 3】



【図 4】



フロントページの続き

(72)発明者 三島 康之

千葉県茂原市早野 3 3 0 0 番地 株式会社日立製作所電子デバイス事業部内

(72)発明者 石井 正宏

千葉県茂原市早野 3 3 0 0 番地 株式会社日立製作所電子デバイス事業部内

F ターム(参考) 2H092 GA32 GA33 GA35 GA40 GA50 GA55 GA60 JB22 JB31 NA28

PA06

5C094 AA53 BA03 BA43 DA09 DB01 EA10 FB12

专利名称(译)	表示装置		
公开(公告)号	JP2008077106A	公开(公告)日	2008-04-03
申请号	JP2007304275	申请日	2007-11-26
[标]申请(专利权)人(译)	株式会社日立制作所		
申请(专利权)人(译)	株式会社日立制作所		
[标]发明人	鈴木伸之 尾崎俊文 三島康之 石井正宏		
发明人	鈴木 伸之 尾崎 俊文 三島 康之 石井 正宏		
IPC分类号	G02F1/1345 G09F9/30		
FI分类号	G02F1/1345 G09F9/30.330.Z G09F9/30.338 G09F9/30.330		
F-TERM分类号	2H092/GA32 2H092/GA33 2H092/GA35 2H092/GA40 2H092/GA50 2H092/GA55 2H092/GA60 2H092/JB22 2H092/JB31 2H092/NA28 2H092/PA06 5C094/AA53 5C094/BA03 5C094/BA43 5C094/DA09 5C094/DB01 5C094/EA10 5C094/FB12 2H092/GA14		
外部链接	Espacenet		

摘要(译)

解决的问题：稳定地操作视频信号驱动电路。一种布线，其中视频信号驱动电路安装在一个透明基板的一个透明基板的液晶侧表面上，该透明基板被布置为彼此面对，并且它们之间插入有液晶，并且输入信号被输入到视频信号驱动电路。在形成有从视频信号驱动电路输出输出信号的层和视频信号线的液晶显示装置中，布线层连接至视频信号驱动电路的输入电极中的逻辑信号输入电极，并且具有均匀的电阻。[选型图]图1

