

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2008-9393

(P2008-9393A)

(43) 公開日 平成20年1月17日(2008.1.17)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/36 (2006.01)	G09G 3/36	2H092
G09G 3/20 (2006.01)	G09G 3/20 621M	2H093
G02F 1/1345 (2006.01)	G09G 3/20 622G	5C006
G02F 1/133 (2006.01)	G09G 3/20 623R	5C080
	G09G 3/20 622E	
審査請求 未請求 請求項の数 11 O L (全 112 頁) 最終頁に続く		

(21) 出願番号	特願2007-136385 (P2007-136385)	(71) 出願人	000153878
(22) 出願日	平成19年5月23日 (2007.5.23)		株式会社半導体エネルギー研究所
(31) 優先権主張番号	特願2006-155472 (P2006-155472)		神奈川県厚木市長谷398番地
(32) 優先日	平成18年6月2日 (2006.6.2)	(72) 発明者	梅崎 敦司
(33) 優先権主張国	日本国 (JP)		神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内
		Fターム(参考)	2H092 GA59 GA60 JA21 JA25 JA26 JB69 KA03 KA04 KA05 MA10 NA21 NA22 NA27 NA29 PA06 2H093 NA16 NC09 NC11 NC22 NC34 NC35 ND39 ND48 ND49 5C006 BF03 BF34 FA41 5C080 AA10 BB05 DD22 DD29 EE28 JJ03 JJ04

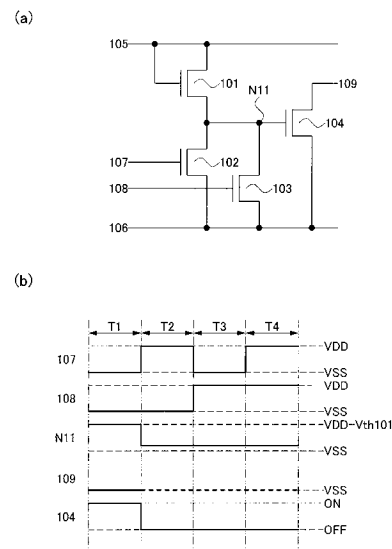
(54) 【発明の名称】 液晶表示装置及び電子機器

(57) 【要約】

【課題】シフトレジスタなどに用いられる新規な回路を提供する。

【解決手段】基本構成は、第1のトランジスタ～第4のトランジスタと、第1の配線～第4の配線を有する。第1の配線には電源電位VDDが供給され、第2の配線には電源電位VSSが供給されている。第3の配線、第4の配線には2値の値を持つデジタル信号が供給される。このデジタル信号は、高レベルのときには電源電位VDDと同電位となり、低レベルのときには電源電位VSSと同電位である。第3の配線と第4の配線の電位の組み合わせは4とおりあるが、第1のトランジスタ～第4トランジスタは、いずれかの電位の組み合わせによりオフさせることができる。つまり、定常的にオン状態となるトランジスタがないため、トランジスタの特性劣化が抑制することができる。

【選択図】図1



【特許請求の範囲】

【請求項 1】

液晶素子を有する画素と、駆動回路とを有し、

前記駆動回路は、第 1 のトランジスタと、第 2 のトランジスタと、第 3 のトランジスタと、第 4 のトランジスタとを有し、

前記第 1 のトランジスタのゲート及び第 1 端子が第 1 の配線に電氣的に接続され、前記第 1 のトランジスタの第 2 端子が前記第 4 のトランジスタのゲートに電氣的に接続され、

前記第 2 のトランジスタのゲートが第 2 の配線に電氣的に接続され、前記第 2 のトランジスタの第 1 端子が第 4 の配線に電氣的に接続され、前記第 2 のトランジスタの第 2 端子が前記第 4 のトランジスタのゲートに電氣的に接続され、

10

前記第 3 のトランジスタのゲートが第 3 の配線に電氣的に接続され、前記第 3 のトランジスタの第 1 端子が前記第 4 の配線に電氣的に接続され、第 3 のトランジスタの第 2 端子が前記第 4 のトランジスタのゲートに電氣的に接続され

前記第 4 のトランジスタの第 1 端子が前記第 4 の配線に電氣的に接続され、前記第 4 のトランジスタの第 2 端子が第 5 の配線に電氣的に接続されていることを特徴とする液晶表示装置。

【請求項 2】

請求項 1 において、

前記第 1 のトランジスタ乃至前記第 4 のトランジスタは同じ導電型のトランジスタであることを特徴とする液晶表示装置。

20

【請求項 3】

請求項 1 または請求項 2 において、

前記第 1 のトランジスタ乃至前記第 4 のトランジスタの半導体層に非結晶半導体が用いられていることを特徴とする液晶表示装置。

【請求項 4】

請求項 1 乃至請求項 3 のいずれか一項において、

前記第 1 のトランジスタのチャネル幅 W とチャネル長 L との比 W/L は、前記第 2 のトランジスタのチャネル幅 W とチャネル長 L との比 W/L よりも大きいことを特徴とする液晶表示装置。

【請求項 5】

30

請求項 1 乃至請求項 4 のいずれか一項において、

前記第 1 のトランジスタのチャネル幅 W とチャネル長 L との比 W/L は、前記第 3 のトランジスタのチャネル幅 W とチャネル長 L との比 W/L よりも大きいことを特徴とする液晶表示装置。

【請求項 6】

液晶素子を有する画素と、駆動回路とを有し、

前記駆動回路は、第 1 のトランジスタと、第 2 のトランジスタと、第 3 のトランジスタと、第 4 のトランジスタと、第 5 のトランジスタと、第 6 のトランジスタと、第 7 のトランジスタと、第 8 のトランジスタとを有し、

前記第 1 のトランジスタのゲートが第 1 の配線に電氣的に接続され、前記第 1 のトランジスタの第 1 端子が第 2 の配線に電氣的に接続され、前記第 1 のトランジスタの第 2 端子が第 2 のトランジスタのゲートに電氣的に接続され、

40

前記第 8 のトランジスタのゲートが第 4 の配線に電氣的に接続され、前記第 8 のトランジスタの第 1 端子が第 5 の配線に電氣的に接続され、前記第 8 のトランジスタの第 2 端子が前記第 2 のトランジスタのゲートに電氣的に接続され、

前記第 6 のトランジスタのゲートが前記第 2 のトランジスタのゲートに電氣的に接続され、前記第 6 のトランジスタの第 1 端子が前記第 5 の配線に電氣的に接続され、前記第 6 のトランジスタの第 2 端子が前記第 3 のトランジスタのゲートおよび前記第 4 のトランジスタのゲートに電氣的に接続され、

前記第 5 のトランジスタのゲート及び第 1 端子が前記第 2 の配線に電氣的に接続され、前

50

記第 5 のトランジスタの第 2 端子が前記第 3 のトランジスタのゲートおよび前記第 4 のトランジスタのゲートに電氣的に接続され、

前記第 7 のトランジスタのゲートが第 3 の配線に電氣的に接続され、前記第 7 のトランジスタの第 1 端子が前記第 5 の配線に電氣的に接続され、前記第 7 のトランジスタの第 2 端子が前記第 3 のトランジスタのゲートおよび前記第 4 のトランジスタのゲートに電氣的に接続され、

前記第 4 のトランジスタの第 1 端子が前記第 5 の配線に電氣的に接続され、前記第 4 のトランジスタの第 2 端子が前記第 2 のトランジスタのゲートに電氣的に接続され、

前記第 3 のトランジスタの第 1 端子が前記第 5 の配線に電氣的に接続され、前記第 3 のトランジスタの第 2 端子が第 6 の配線に電氣的に接続され、

前記第 2 のトランジスタの第 1 端子が前記第 3 の配線に電氣的に接続され、前記第 2 のトランジスタの第 2 端子が前記第 6 の配線に電氣的に接続されていることを特徴とする液晶表示装置。

10

【請求項 7】

請求項 6 において、

前記第 1 のトランジスタ乃至前記第 8 のトランジスタは同じ導電型のトランジスタであることを特徴とする液晶表示装置。

【請求項 8】

請求項 6 及び請求項 7 のうちいずれか一項において、

前記第 1 のトランジスタ乃至前記第 8 のトランジスタの半導体層に非結晶半導体を用いら

20

れていることを特徴とする液晶表示装置。

【請求項 9】

請求項 6 乃至請求項 8 のいずれか一項において、

前記第 5 のトランジスタのチャネル幅 W とチャネル長 L との比 W/L は、前記第 6 のトランジスタのチャネル幅 W とチャネル長 L との比 W/L よりも大きいことを特徴とする液晶表示装置。

【請求項 10】

請求項 6 乃至請求項 9 のいずれか一項において、

前記第 5 のトランジスタのチャネル幅 W とチャネル長 L との比 W/L は、前記第 7 のトランジスタのチャネル幅 W とチャネル長 L との比 W/L よりも大きいことを特徴とする液晶

30

表示装置。

【請求項 11】

請求項 1 乃至請求項 10 のいずれか一項に記載の液晶表示装置を具備する電子機器。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置に関する。また、半導体装置を具備する表示装置、特に半導体装置を具備する液晶表示装置、及び当該液晶表示装置を具備する電子機器に関する。

【背景技術】

【0002】

近年、液晶表示装置や発光装置などの表示装置は、液晶テレビなどの大型表示装置の増加から、活発に開発が進められている。特に絶縁体上に非結晶半導体により形成されたトランジスタを用いて、画素回路、及びシフトレジスタ回路等を含む駆動回路（以下、内部回路という）を一体形成する技術は、低消費電力化、低コスト化に大きく貢献するため、活発に開発が進められている。絶縁体上に形成された内部回路は、FPC等を介して絶縁体の外に配置されたコントローラIC等（以下、外部回路という）と接続され、その動作が制御されている。

40

【0003】

また、絶縁体上に一体形成された内部回路として、非結晶半導体のトランジスタを用いて構成されるシフトレジスタが考案されている（特許文献1参照）。

50

【 0 0 0 4 】

しかしながら、非結晶半導体のトランジスタの特性は、オンする時間、又は印加電圧に応じて、劣化してしまう問題があった。これを解決するために、2つのトランジスタを並列に接続して、トランジスタを順にオンすることで、トランジスタの特性劣化を抑制することが考案されている（非特許文献1参照）。

【特許文献1】特開2004-78172号公報

【非特許文献1】SID '05 DIGEST P348~P351

【発明の開示】

【発明が解決しようとする課題】

【 0 0 0 5 】

上記、非特許文献1では、詳しい駆動方法が開示されていない。また、並列に接続された2つのトランジスタを1つずつ制御するためには、回路規模が大きい制御回路が必要になる。

【 0 0 0 6 】

このような問題点に鑑み、本発明では、比較的回路規模が小さい制御回路を用いたフリップフロップ回路、シフトレジスタ、及びこのようなシフトレジスタを具備する半導体装置、並びに表示装置、及び当該表示装置を具備する電子機器を提供することを目的とする。

【 0 0 0 7 】

また、本発明では、従来技術とは別のトランジスタの特性劣化を抑制する駆動方法を用いたフリップフロップ回路、シフトレジスタ、及びこのようなシフトレジスタを具備する半導体装置、並びに表示装置、及び当該表示装置を具備する電子機器を提供することを目的とする。

【課題を解決するための手段】

【 0 0 0 8 】

本発明の半導体装置の一は、第1のトランジスタと、第2のトランジスタと、第3のトランジスタと、第4のトランジスタとを有し、第1のトランジスタのゲート及び第1端子が第1の配線に電氣的に接続され、第1のトランジスタの第2端子が第4のトランジスタのゲートに電氣的に接続され、第2のトランジスタのゲートが第2の配線に電氣的に接続され、第2のトランジスタの第1端子が第4の配線に電氣的に接続され、第2のトランジスタの第2端子が第4のトランジスタのゲートに電氣的に接続され、第3のトランジスタのゲートが第3の配線に電氣的に接続され、第3のトランジスタの第1端子が第4の配線に電氣的に接続され、第3のトランジスタの第2端子が第4のトランジスタのゲートに電氣的に接続され、第4のトランジスタの第1端子が第4の配線に電氣的に接続され、第4のトランジスタの第2端子が第5の配線に電氣的に接続されていることを特徴とする構成である。

【 0 0 0 9 】

第1のトランジスタ乃至第4のトランジスタは同じ導電型のトランジスタであっても良い。また、第1のトランジスタ乃至第4のトランジスタの半導体層に非結晶半導体を用いられていても良い。

【 0 0 1 0 】

なお、第1のトランジスタのチャンネル幅 W とチャンネル長 L との比 W/L は、第2のトランジスタのチャンネル幅 W とチャンネル長 L との比 W/L よりも大きくしても良い。

【 0 0 1 1 】

また、第1のトランジスタのチャンネル幅 W とチャンネル長 L との比 W/L は、第3のトランジスタのチャンネル幅 W とチャンネル長 L との比 W/L よりも大きくしても良い。

【 0 0 1 2 】

本発明の半導体装置の一は、第1のトランジスタと、第2のトランジスタと、第3のトランジスタと、第4のトランジスタと、第5のトランジスタと、第6のトランジスタと、第7のトランジスタと、第8のトランジスタとを有し、第1のトランジスタのゲートが第1の配線に電氣的に接続され、第1のトランジスタの第1端子が第2の配線に電氣的に接続

10

20

30

40

50

され、第 1 のトランジスタの第 2 端子が第 2 のトランジスタのゲートに電氣的に接続され、第 8 のトランジスタのゲートが第 4 の配線に電氣的に接続され、第 8 のトランジスタの第 1 端子が第 5 の配線に電氣的に接続され、第 8 のトランジスタの第 2 端子が第 2 のトランジスタのゲートに電氣的に接続され、第 6 のトランジスタのゲートが第 2 のトランジスタのゲートに電氣的に接続され、第 6 のトランジスタの第 1 端子が第 5 の配線に電氣的に接続され、第 6 のトランジスタの第 2 端子が第 3 のトランジスタのゲートおよび第 4 のトランジスタのゲートに電氣的に接続され、第 5 のトランジスタのゲート及び第 1 端子が第 2 の配線に電氣的に接続され、第 5 のトランジスタの第 2 端子が第 3 のトランジスタのゲートおよび第 4 のトランジスタのゲートに電氣的に接続され、第 7 のトランジスタのゲートが第 3 の配線に電氣的に接続され、第 7 のトランジスタの第 1 端子が第 5 の配線に電氣的に接続され、第 7 のトランジスタの第 2 端子が第 3 のトランジスタのゲートおよび第 4 のトランジスタのゲートに電氣的に接続され、第 4 のトランジスタの第 1 端子が第 5 の配線に電氣的に接続され、第 4 のトランジスタの第 2 端子が第 2 のトランジスタのゲートに電氣的に接続され、第 3 のトランジスタの第 1 端子が第 5 の配線に電氣的に接続され、第 3 のトランジスタの第 2 端子が第 6 の配線に電氣的に接続され、第 2 のトランジスタの第 1 端子が第 3 の配線に電氣的に接続され、第 2 のトランジスタの第 2 端子が第 6 の配線に電氣的に接続されていることを特徴とする構成である。

【0013】

なお、第 1 のトランジスタ乃至第 8 のトランジスタは同じ導電型のトランジスタとしてもよい。また、第 1 のトランジスタ乃至第 8 のトランジスタの半導体層に非結晶半導体を用いられていても良い。

【0014】

なお、第 5 のトランジスタのチャネル幅 W とチャネル長 L との比 W/L は、第 6 のトランジスタのチャネル幅 W とチャネル長 L との比 W/L よりも大きくしてもよい。

【0015】

なお、第 5 のトランジスタのチャネル幅 W とチャネル長 L との比 W/L は、第 7 のトランジスタのチャネル幅 W とチャネル長 L との比 W/L よりも大きくしてもよい。

【0016】

また、本発明の半導体装置は、液晶表示装置に用いてもよい。

【0017】

本発明の液晶表示装置の一は、液晶素子を有する画素と、駆動回路とを有し、駆動回路は、第 1 のトランジスタと、第 2 のトランジスタと、第 3 のトランジスタと、第 4 のトランジスタとを有し、第 1 のトランジスタのゲート及び第 1 端子が第 1 の配線に電氣的に接続され、第 1 のトランジスタの第 2 端子が第 4 のトランジスタのゲートに電氣的に接続され、第 2 のトランジスタのゲートが第 2 の配線に電氣的に接続され、第 2 のトランジスタの第 1 端子が第 4 の配線に電氣的に接続され、第 2 のトランジスタの第 2 端子が第 4 のトランジスタのゲートに電氣的に接続され、第 3 のトランジスタのゲートが第 3 の配線に電氣的に接続され、第 3 のトランジスタの第 1 端子が第 4 の配線に電氣的に接続され、第 3 のトランジスタの第 2 端子が第 4 のトランジスタのゲートに電氣的に接続され、第 4 のトランジスタの第 1 端子が第 4 の配線に電氣的に接続され、第 4 のトランジスタの第 2 端子が第 5 の配線に電氣的に接続されていることを特徴とする構成である。

【0018】

第 1 のトランジスタ乃至第 4 のトランジスタは同じ導電型のトランジスタであっても良い。また、第 1 のトランジスタ乃至第 4 のトランジスタの半導体層に非結晶半導体を用いられていても良い。

【0019】

なお、第 1 のトランジスタのチャネル幅 W とチャネル長 L との比 W/L は、第 2 のトランジスタのチャネル幅 W とチャネル長 L との比 W/L よりも大きくしても良い。

【0020】

また、第 1 のトランジスタのチャネル幅 W とチャネル長 L との比 W/L は、第 3 のトラン

ジスタのチャネル幅 W とチャネル長 L との比 W/L よりも大きくしても良い。

【0021】

本発明の液晶表示装置の一は、液晶素子を有する画素と、駆動回路とを有し、駆動回路は、第1のトランジスタと、第2のトランジスタと、第3のトランジスタと、第4のトランジスタと、第5のトランジスタと、第6のトランジスタと、第7のトランジスタと、第8のトランジスタとを有し、第1のトランジスタのゲートが第1の配線に電氣的に接続され、第1のトランジスタの第1端子が第2の配線に電氣的に接続され、第1のトランジスタの第2端子が第2のトランジスタのゲートに電氣的に接続され、第8のトランジスタのゲートが第4の配線に電氣的に接続され、第8のトランジスタの第1端子が第5の配線に電氣的に接続され、第8のトランジスタの第2端子が第2のトランジスタのゲートに電氣的に接続され、第6のトランジスタのゲートが第2のトランジスタのゲートに電氣的に接続され、第6のトランジスタの第1端子が第5の配線に電氣的に接続され、第6のトランジスタの第2端子が第3のトランジスタのゲートおよび第4のトランジスタのゲートに電氣的に接続され、第5のトランジスタのゲート及び第1端子が第2の配線に電氣的に接続され、第5のトランジスタの第2端子が第3のトランジスタのゲートおよび第4のトランジスタのゲートに電氣的に接続され、第7のトランジスタのゲートが第3の配線に電氣的に接続され、第7のトランジスタの第1端子が第5の配線に電氣的に接続され、第7のトランジスタの第2端子が第3のトランジスタのゲートおよび第4のトランジスタのゲートに電氣的に接続され、第4のトランジスタの第1端子が第5の配線に電氣的に接続され、第4のトランジスタの第2端子が第2のトランジスタのゲートに電氣的に接続され、第3のトランジスタの第1端子が第5の配線に電氣的に接続され、第3のトランジスタの第2端子が第6の配線に電氣的に接続され、第2のトランジスタの第1端子が第3の配線に電氣的に接続され、第2のトランジスタの第2端子が第6の配線に電氣的に接続されていることを特徴とする構成である。

【0022】

なお、第1のトランジスタ乃至第8のトランジスタは同じ導電型のトランジスタとしてもよい。また、第1のトランジスタ乃至第4のトランジスタの半導体層に非結晶半導体を用いられていても良い。

【0023】

なお、第5のトランジスタのチャネル幅 W とチャネル長 L との比 W/L は、第6のトランジスタのチャネル幅 W とチャネル長 L との比 W/L よりも大きくしてもよい。

【0024】

なお、第5のトランジスタのチャネル幅 W とチャネル長 L との比 W/L は、第7のトランジスタのチャネル幅 W とチャネル長 L との比 W/L よりも大きくしてもよい。

【0025】

なお、本発明に示すスイッチは、様々な形態のものを用いることができ、一例として、電氣的スイッチや機械的なスイッチなどがある。つまり、電流の流れを制御できるものであればよく、特定のものに限定されず、様々なものを用いることができる。例えば、トランジスタでもよいし、ダイオード（例えば、PNダイオード、PINダイオード、ショットキーダイオード、ダイオード接続のトランジスタなど）でもよいし、サイリスタでもよいし、それらを組み合わせた論理回路でもよい。よって、スイッチとしてトランジスタを用いる場合、そのトランジスタは、単なるスイッチとして動作するため、トランジスタの極性（導電型）は特に限定されない。ただし、オフ電流が少ない方が望ましい場合、オフ電流が少ない方の極性のトランジスタを用いることが望ましい。オフ電流が少ないトランジスタとしては、LDD領域を設けているものやマルチゲート構造にしているもの等がある。また、スイッチとして動作させるトランジスタのソース端子の電位が、低電位側電源（ V_{ss} 、 GND 、 $0V$ など）に近い状態で動作する場合はNチャネル型を、反対に、ソース端子の電位が、高電位側電源（ V_{dd} など）に近い状態で動作する場合はPチャネル型を用いることが望ましい。これは、ゲートソース間電圧の絶対値を大きくすることで、スイッチとして、動作しやすくなるからである。

【0026】

なお、Nチャネル型とPチャネル型の両方を用いて、CMOS型のスイッチにしてもよい。CMOS型のスイッチにすると、Pチャネル型或いはNチャネル型のいずれかのスイッチが導通すれば電流を流すことができるため、スイッチとして機能しやすくなる。例えば、スイッチへの入力信号の電圧が高い場合でも、低い場合でも、適切に電圧を出力させることが出来る。また、スイッチをオン・オフさせるための信号の電圧振幅値を小さくすることが出来るので、消費電力を小さくすることも出来る。

【0027】

なお、スイッチとしてトランジスタを用いる場合は、入力端子（ソース端子またはドレイン端子の一方）と、出力端子（ソース端子またはドレイン端子の他方）と、導通を制御する端子（ゲート端子）とを有している。一方、スイッチとしてダイオードを用いる場合は、導通を制御する端子を有していない場合がある。そのため、端子を制御するための配線を少なくすることが出来る。

【0028】

なお、本発明において、接続されているとは、電氣的に接続されている場合と機能的に接続されている場合と直接接続されている場合とを含むものとする。したがって、本発明が開示する構成において、所定の接続関係以外のものも含むものとする。例えば、ある部分とある部分との間に、電氣的な接続を可能とする素子（例えば、スイッチやトランジスタや容量素子やインダクタや抵抗素子やダイオードなど）が1個以上配置されていてもよい。また、機能的な接続を可能とする回路（例えば、論理回路（インバータやNAND回路やNOR回路など）や信号変換回路（DA変換回路やAD変換回路やガンマ補正回路など）や電位レベル変換回路（昇圧回路や降圧回路などの電源回路やH信号やL信号の電位レベルを変えるレベルシフタ回路など）や電圧源や電流源や切り替え回路や増幅回路（オペアンプや差動増幅回路やソースフォロワ回路やバッファ回路など、信号振幅や電流量などを大きく出来る回路など）や信号生成回路や記憶回路や制御回路など）が間に1個以上配置されていてもよい。あるいは、間に他の素子や他の回路を挟まずに、直接接続されて、配置されていてもよい。

【0029】

なお、素子や回路を間に介さずに接続されている場合のみを含む場合は、直接接続されている、と記載するものとする。また、電氣的に接続されている、と記載する場合は、電氣的に接続されている場合（つまり、間に別の素子を挟んで接続されている場合）と機能的に接続されている場合（つまり、間に別の回路を挟んで接続されている場合）と直接接続されている場合（つまり、間に別の素子や別の回路を挟まずに接続されている場合）とを含むものとする。

【0030】

なお、表示素子や表示装置や発光素子や発光装置は、様々な形態を用いる、或いは様々な素子を有することが出来る。例えば、表示素子や表示装置や発光素子や発光装置としては、EL素子（有機EL素子、無機EL素子又は有機物及び無機物を含むEL素子）、電子放出素子、液晶素子、電子インク、グレーティングライトバルブ（GLV）、プラズマディスプレイ（PDP）、デジタルマイクロミラーデバイス（DMD）、圧電セラミックディスプレイ、カーボンナノチューブ、など、電気磁気的作用によりコントラストが変化する表示媒体を適用することができる。なお、EL素子を用いた表示装置としてはELディスプレイ、電子放出素子を用いた表示装置としてはフィールドエミッションディスプレイ（FED）やSED方式平面型ディスプレイ（SED：Surface-conduction Electron-emitter Display）など、液晶素子を用いた表示装置としては液晶ディスプレイ、透過型液晶ディスプレイ、半透過型液晶ディスプレイ、反射型液晶ディスプレイ、電子インクを用いた表示装置としては電子ペーパーがある。

【0031】

なお、本発明において、トランジスタは、様々な形態のトランジスタを適用させることが

10

20

30

40

50

出来る。よって、適用可能なトランジスタの種類に限定はない。したがって、例えば、非晶質シリコンや多結晶シリコンに代表される非単結晶半導体膜を有する薄膜トランジスタ（TFT）などを適用することが出来る。これらにより、製造温度が高くななくても製造できたり、低コストで製造できたり、大型基板上に製造できたり、透明基板上に製造できたり、トランジスタで光を透過させたりすることが出来る。また、半導体基板やSOI基板を用いて形成されるトランジスタ、MOS型トランジスタ、接合型トランジスタ、バイポーラトランジスタなどを適用することが出来る。これらにより、バラツキの少ないトランジスタを製造できたり、電流供給能力の高いトランジスタを製造できたり、サイズの小さいトランジスタを製造できたり、消費電力の少ない回路を構成することが出来る。また、ZnO、a-InGaZnO、SiGe、GaAsなどの化合物半導体を有するトランジスタや、さらに、それらを薄膜化した薄膜トランジスタなどを適用することが出来る。これらにより、製造温度が高くなっても製造できたり、室温で製造できたり、耐熱性の低い基板、例えばプラスチック基板やフィルム基板に直接トランジスタを形成することが出来る。また、インクジェットや印刷法を用いて作製したトランジスタなどを適用することが出来る。これらにより、室温で製造する、真空度の低い状態で製造する、或いは大型基板で製造することなどができる。また、マスク（レチクル）を用いなくても製造することが可能となるため、トランジスタのレイアウトを容易に変更することが出来る。また、有機半導体やカーボンナノチューブを有するトランジスタ、その他のトランジスタを適用することができる。これらにより、曲げることが可能な基板にトランジスタを形成することが出来る。なお、非単結晶半導体膜には水素またはハロゲンが含まれていてもよい。また、トランジスタは様々な基板を用いて形成することができ、基板の種類は特定のものに限定されることはない。従って例えば、基板として、単結晶基板、SOI基板、ガラス基板、石英基板、プラスチック基板、紙基板、セロファン基板、石材基板、ステンレス・スチル基板、ステンレス・スチル・ホイルを有する基板などを用いることが出来る。また、ある基板を用いてトランジスタを形成し、その後、別の基板にトランジスタを移動させて、別の基板に配置するようにしてもよい。これらの基板を用いることにより、特性のよいトランジスタを形成する、消費電力の小さいトランジスタを形成する、壊れにくい装置にする、或いは耐熱性を持たせたりすることが出来る。

【0032】

なお、トランジスタの構成は、様々な形態をとることができる。特定の構成に限定されない。例えば、ゲート電極が2つ以上になっているマルチゲート構造を用いてもよい。マルチゲート構造にすると、チャンネル領域が直列に接続されるような構成となるため、複数のトランジスタが直列に接続されたような構成となる。マルチゲート構造にすることにより、オフ電流を低減する、トランジスタの耐圧を向上させて信頼性を良くする、或いは飽和領域で動作する時に、ドレイン・ソース間電圧が変化しても、ドレイン・ソース間電流があまり変化せず、フラットな特性にすることなどができる。また、チャンネルの上下にゲート電極が配置されている構造でもよい。チャンネルの上下にゲート電極が配置されている構造にすることにより、チャンネル領域が増えるため、電流値を大きくする、或いは空乏層ができやすくなってS値を小さくすることができる。チャンネルの上下にゲート電極が配置されると、複数のトランジスタが並列に接続されたような構成となる。また、チャンネルの上にゲート電極が配置されている構造でもよいし、チャンネルの下にゲート電極が配置されている構造でもよいし、正スタガ構造であってもよいし、逆スタガ構造でもよいし、チャンネル領域が複数の領域に分かれていてもよいし、並列に接続されていてもよいし、直列に接続されていてもよい。また、チャンネル（もしくはその一部）にソース電極やドレイン電極が重なっていてもよい。チャンネル（もしくはその一部）にソース電極やドレイン電極が重なっている構造にすることにより、チャンネルの一部に電荷がたまって、動作が不安定になることを防ぐことができる。また、LDD領域があってもよい。LDD領域を設けることにより、オフ電流を低減する、トランジスタの耐圧を向上させて信頼性を良くする、或いは飽和領域で動作する時に、ドレイン・ソース間電圧が変化しても、ドレイン・ソース間電流があまり変化せず、フラットな特性にすることができる。

【0033】

なお、本発明におけるトランジスタは、様々なタイプを用いることができ、様々な基板を用いて形成させることができる。したがって、回路の全てが、ガラス基板に形成されていてもよいし、プラスチック基板に形成されていてもよいし、単結晶基板に形成されていてもよいし、SOI基板に形成されていてもよいし、どのような基板に形成されていてもよい。回路の全てが同じ基板に形成されていることにより、部品点数を減らしてコストを低減する、回路部品との接続点数を減らして信頼性を向上させたりすることができる。あるいは、回路の一部が、ある基板に形成されており、回路の別の一部が、別の基板に形成されていてもよい。つまり、回路の全てが同じ基板上に形成されていなくてもよい。例えば、回路の一部は、ガラス基板にトランジスタを用いて形成し、回路の別の一部は、単結晶

10

【0034】

なお、本発明においては、一画素とは、明るさを制御できる要素一つ分を示すものとする。よって、一例としては、一画素とは、一つの色要素を示すものとし、その色要素一つで明るさを表現する。従って、そのときは、R（赤）G（緑）B（青）の色要素からなるカラー表示装置の場合には、画像の最小単位は、Rの画素とGの画素とBの画素との三画素から構成されるものとする。なお、色要素は、三色に限定されず、それ以上の数を用いても良いし、RGB以外の色を追加しても良い。例えば、白色を加えて、RGBW（Wは白）としてもよい。また、RGBに、例えば、イエロー、シアン、マゼンタ、エメラルドグリーン、朱色などを一色以上追加したものでもよい。また、例えばRGBの中の少なくとも一色について、類似した色を追加してもよい。例えば、R、G、B1、B2としてもよい。B1とB2とは、どちらも青色であるが、少し周波数が異なっている。このような色要素を用いることにより、より実物に近い表示を行うことができる、或いは消費電力を低減することが出来る。また、別の例としては、1つの色要素について、複数の領域を用いて明るさを制御する場合は、その領域一つ分を一画素とする。よって、一例としては、面積階調を行う場合、一つの色要素につき、明るさを制御する領域が複数あり、その全体で階調を表現するわけであるが、明るさを制御する領域の一つ分を一画素とする。よって、その場合は、一つの色要素は、複数の画素で構成されることとなる。また、その場合、画素によって、表示に寄与する領域の大きさが異なっている場合がある。また、一つの色要素につき複数ある、明るさを制御する領域において、つまり、一つの色要素を構成する複数の画素において、各々に供給する信号を僅かに異ならせるようにして、視野角を広げるようにしてもよい。なお、一画素（三色分）と記載する場合は、RとGとBの三画素分を一画素と考える場合であるとする。一画素（一色分）と記載する場合は、一つの色要素につ

20

30

40

【0035】

なお、本発明において、画素は、マトリクス状に配置（配列）されている場合を含んでいる。ここで、画素がマトリクス状に配置（配列）されているとは、縦方向もしくは横方向において、直線上に並んで配置されている場合や、ギザギザな線上に並んでいる場合を含んでいる。よって、例えば三色の色要素（例えばRGB）でフルカラー表示を行う場合に、ストライプ配置されている場合や、三色の色要素のドットがいわゆるデルタ配置されている場合も含むものとする。さらに、ベイヤー配置されている場合も含んでいる。なお、色要素は、三色に限定されず、それ以上でもよく、例えば、RGBW（Wは白）や、RGBに、イエロー、シアン、マゼンタなどを一色以上追加したものなどがある。また、色要

50

素のドット毎にその表示領域の大きさが異なってもよい。これにより、消費電力を低下させる、或いは表示素子の寿命を延ばすことが出来る。

【0036】

なお、トランジスタとは、それぞれ、ゲートと、ドレインと、ソースとを含む少なくとも三つの端子を有する素子であり、ドレイン領域とソース領域の間にチャンネル領域を有しており、ドレイン領域とチャンネル領域とソース領域とを介して電流が流れることが出来る。ここで、ソースとドレインとは、トランジスタの構造や動作条件等によって変わるため、いずれがソースまたはドレインであるかを限定することが困難である。そこで、本発明においては、ソース及びドレインとして機能する領域を、ソースもしくはドレインと呼ばない場合がある。その場合、一例としては、それぞれを第1端子、第2端子と表記する場合

10

【0037】

なお、トランジスタは、ベースとエミッタとコレクタとを含む少なくとも三つの端子を有する素子であってもよい。この場合も同様に、エミッタとコレクタとを、第1端子、第2端子と表記する場合がある。

【0038】

なお、ゲートとは、ゲート電極とゲート配線（ゲート線またはゲート信号線等とも言う）とを含んだ全体、もしくは、それらの一部のことを言う。ゲート電極とは、チャンネル領域やLDD（Lightly Doped Drain）領域などを形成する半導体と、ゲート絶縁膜を介してオーバーラップしている部分の導電膜のことを言う。ゲート配線とは、各画素のゲート電極の間を接続する、或いはゲート電極と別の配線とを接続するための配線のことを言う。

20

【0039】

ただし、ゲート電極としても機能し、ゲート配線としても機能するような部分も存在する。そのような領域は、ゲート電極と呼んでも良いし、ゲート配線と呼んでも良い。つまり、ゲート電極とゲート配線とが、明確に区別できないような領域も存在する。例えば、延伸して配置されているゲート配線とオーバーラップしてチャンネル領域がある場合、その領域はゲート配線として機能しているが、ゲート電極としても機能していることになる。よって、そのような領域は、ゲート電極と呼んでも良いし、ゲート配線と呼んでも良い。

【0040】

また、ゲート電極と同じ材料で形成され、ゲート電極とつながっている領域も、ゲート電極と呼んでも良い。同様に、ゲート配線と同じ材料で形成され、ゲート配線とつながっている領域も、ゲート配線と呼んでも良い。このような領域は、厳密な意味では、チャンネル領域とオーバーラップしていなかったり、別のゲート電極と接続させる機能を有してなかったりする場合がある。しかし、製造条件などの関係で、ゲート電極やゲート配線と同じ材料で形成され、ゲート電極やゲート配線とつながっている領域がある。よって、そのような領域もゲート電極やゲート配線と呼んでも良い。

30

【0041】

また、例えば、マルチゲートのトランジスタにおいて、1つのトランジスタのゲート電極と、別のトランジスタのゲート電極とは、ゲート電極と同じ材料で形成された導電膜で接続される場合が多い。そのような領域は、ゲート電極とゲート電極とを接続させるための領域であるため、ゲート配線と呼んでも良いが、マルチゲートのトランジスタを1つのトランジスタであると思えることも出来るため、ゲート電極と呼んでも良い。つまり、ゲート電極やゲート配線と同じ材料で形成され、それらとつながって配置されているものは、ゲート電極やゲート配線と呼んでも良い。また、例えば、ゲート電極とゲート配線とを接続させている部分の導電膜も、ゲート電極と呼んでも良いし、ゲート配線と呼んでも良い。

40

【0042】

なお、ゲート端子とは、ゲート電極の領域や、ゲート電極と電氣的に接続されている領域について、その一部分のことを言う。

50

【0043】

なお、ソースとは、ソース領域とソース電極とソース配線（ソース線またはソース信号線等とも言う）とを含んだ全体、もしくは、それらの一部のことを言う。ソース領域とは、P型不純物（ボロンやガリウムなど）やN型不純物（リンやヒ素など）が多く含まれる半導体領域のことを言う。従って、少しだけP型不純物やN型不純物が含まれる領域、いわゆる、LDD（Lightly Doped Drain）領域は、ソース領域には含まれない。ソース電極とは、ソース領域とは別の材料で形成され、ソース領域と電氣的に接続されて配置されている部分の導電層のことを言う。ただし、ソース電極は、ソース領域も含んでソース電極と呼ぶこともある。ソース配線とは、各画素のソース電極の間を接続する、或いはソース電極と別の配線とを接続するための配線のことを言う。

10

【0044】

しかしながら、ソース電極としても機能し、ソース配線としても機能するような部分も存在する。そのような領域は、ソース電極と呼んでも良いし、ソース配線と呼んでも良い。つまり、ソース電極とソース配線とが、明確に区別できないような領域も存在する。例えば、延伸して配置されているソース配線とオーバーラップしてソース領域がある場合、その領域はソース配線として機能しているが、ソース電極としても機能していることになる。よって、そのような領域は、ソース電極と呼んでも良いし、ソース配線と呼んでも良い。

【0045】

また、ソース電極と同じ材料で形成され、ソース電極とつながっている領域や、ソース電極とソース電極とを接続する部分も、ソース電極と呼んでも良い。また、ソース領域とオーバーラップしている部分も、ソース電極と呼んでも良い。同様に、ソース配線と同じ材料で形成され、ソース配線とつながっている領域も、ソース配線と呼んでも良い。このような領域は、厳密な意味では、別のソース電極と接続させる機能を有していたりすることがない場合がある。しかし、製造条件などの関係で、ソース電極やソース配線と同じ材料で形成され、ソース電極やソース配線とつながっている領域がある。よって、そのような領域もソース電極やソース配線と呼んでも良い。

20

【0046】

また、例えば、ソース電極とソース配線とを接続させている部分の導電膜も、ソース電極と呼んでも良いし、ソース配線と呼んでも良い。

30

【0047】

なお、ソース端子とは、ソース領域や、ソース電極や、ソース電極と電氣的に接続されている領域について、その一部分のことを言う。

【0048】

なお、ドレインについては、ソースと同様である。

【0049】

なお、本発明において、半導体装置とは半導体素子（トランジスタやダイオードなど）を含む回路を有する装置をいう。また、半導体特性を利用することで機能しうる装置全般でもよい。

【0050】

また、表示装置とは、表示素子（液晶素子や発光素子など）を有する装置のことを言う。なお、液晶素子やEL素子などの表示素子を含む複数の画素やそれらの画素を駆動させる周辺駆動回路が同一基板上に形成された表示パネル本体のことでもよい。また、ワイヤボンディングやパンプなどによって基板上に配置された周辺駆動回路、いわゆるチップオンガラス（COG）を含んでいても良い。さらに、フレキシブルプリントサーキット（FPC）やプリント配線基板（PWB）が取り付けられたもの（ICや抵抗素子や容量素子やインダクタやトランジスタなど）も含んでもよい。さらに、偏光板や位相差板などの光学シートを含んでいても良い。さらに、バックライトユニット（導光板やプリズムシートや拡散シートや反射シートや光源（LEDや冷陰極管など））を含んでいても良い。

40

【0051】

50

また、発光装置とは、特にＥＬ素子やＦＥＤで用いる素子などの自発光型の表示素子を有している表示装置をいう。液晶表示装置とは、液晶素子を有している表示装置をいう。

【００５２】

なお、本発明において、ある物の上に形成されている、あるいは、～上に形成されている、というように、～の上に、あるいは、～上に、という記載については、ある物の上に直接接していることに限定されない。直接接してはいない場合、つまり、間に別のものが挟まっている場合も含むものとする。従って例えば、層Ａの上に（もしくは層Ａ上に）、層Ｂが形成されている、という場合は、層Ａの上に直接接して層Ｂが形成されている場合と、層Ａの上に直接接して別の層（例えば層Ｃや層Ｄなど）が形成されていて、その上に直接接して層Ｂが形成されている場合とを含むものとする。また、～の上方に、という記載についても同様であり、ある物の上に直接接していることに限定されず、間に別のものが挟まっている場合も含むものとする。従って例えば、層Ａの上方に、層Ｂが形成されている、という場合は、層Ａの上に直接接して層Ｂが形成されている場合と、層Ａの上に直接接して別の層（例えば層Ｃや層Ｄなど）が形成されていて、その上に直接接して層Ｂが形成されている場合とを含むものとする。なお、～の下に、あるいは、～の下方に、の場合についても、同様であり、直接接している場合と、接していない場合とを含むこととする。

10

【発明の効果】

【００５３】

本発明を用いることで、トランジスタの特性劣化を抑制する駆動方法を用いたフリップフロップ回路、シフトレジスタ、及びこのようなシフトレジスタを具備する半導体装置、並びに表示装置、及び当該表示装置を具備する電子機器を提供することができる。

20

【００５４】

例えば、本発明をシフトレジスタに適用した場合、非選択期間において、出力端子に電源電位を供給するトランジスタが常時オン状態であることがないので、当該トランジスタの特性劣化（例えば、しきい値電位のシフト）を抑制することができる。よって、トランジスタの特性劣化によるシフトレジスタの誤動作を抑制できる。

【００５５】

また、本発明を用いることで、比較的回路規模が小さい制御回路を有するフリップフロップ回路、シフトレジスタ、及びこのようなシフトレジスタを具備する半導体装置、並びに

30

【発明を実施するための最良の形態】

【００５６】

以下、本発明の実施の形態について図面を参照しながら説明する。但し、本発明は多くの異なる態様で実施することが可能であり、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って本実施の形態の記載内容に限定して解釈されるものではない。

【００５７】

（第１の実施形態）

本実施形態では、本発明の基本原理について、図１（ａ）を参照して説明する。

40

【００５８】

図１（ａ）は、本発明の基本原理に基づく基本回路である。図１（ａ）の基本回路は、トランジスタ１０１、トランジスタ１０２、トランジスタ１０３、及びトランジスタ１０４を有している。

【００５９】

図１（ａ）の基本回路の接続関係について説明する。トランジスタ１０１のゲートが配線１０５に接続され、第１端子が配線１０５に接続され、第２端子がトランジスタ１０４のゲートに接続されている。トランジスタ１０２のゲートが配線１０７に接続され、第１端子が配線１０６に接続され、第２端子がトランジスタ１０４のゲートに接続されている。トランジスタ１０３のゲートが配線１０８に接続され、第１端子が配線１０６に接続され

50

、第2端子がトランジスタ104のゲートに接続されている。トランジスタ104の第1端子が配線106に接続され、第2端子が配線109に接続されている。なお、トランジスタ101の第2端子とトランジスタ102の第2端子とトランジスタ103の第2端子とトランジスタ104のゲートとの節点を節点N11とする。

【0060】

また、トランジスタ101～トランジスタ104は、それぞれNチャネル型である。

【0061】

したがって、図1(a)の基本回路はすべてNチャネル型のトランジスタで構成することができるため、図1(a)の基本回路は、半導体層にアモルファスシリコンを用いることができ、製造工程の簡略化を図ることができる。したがって、製造コストの削減や歩留まりの向上を図ることができる。さらに、大型の表示パネルなどの半導体装置を作製することも可能となる。また、図1(a)の基本回路は、半導体層にポリシリコンや単結晶シリコンを用いても製造工程の簡略化を図ることができる。

10

【0062】

また、配線105には電源電位VDDが供給され、配線106には電源電位VSSが供給されている。なお、電源電位VDDは、電源電位VSSよりも高い電位である。ただし、配線105、及び配線106には、デジタル信号、アナログ信号などが供給されていてもよいし、他の電源電位が供給されていてもよい。

【0063】

また、配線107、及び配線108には、それぞれ信号が供給されている。なお、配線107、及び配線108に供給されている信号は、それぞれ2値の値を持つデジタル信号である。このデジタル信号は、H信号のときには電源電位VDDと同電位（以下、電位VDD、又はHレベルともいう）となり、L信号のときには電源電位VSSと同電位（以下、電位VSS、又はLレベルともいう）となる。ただし、配線107、及び配線108には、それぞれ電源電位VDD、電源電位VSS、又は他の電源電位が供給されていてもよい。また、配線107、及び配線108には、それぞれアナログ信号が供給されていてもよい。

20

【0064】

次に、図1(a)に示した基本回路の動作について、図1(b)を参照して説明する。

【0065】

図1(b)は、図1(a)に示した基本回路のタイミングチャートの一例である。図1(b)のタイミングチャートは、配線107の電位、配線108の電位、節点N11の電位、配線109の電位、及びトランジスタ104のオン・オフを示している。

30

【0066】

図1(b)のタイミングチャートを期間T1～期間T4に分割して説明する。また、図2(a)、図2(b)、図3(a)、及び図3(b)は、期間T1、期間T2、期間T3、及び期間T4における図1(a)の基本回路の動作を示している。

【0067】

まず、期間T1の動作について、図2(a)を参照して説明する。期間T1は、配線107にL信号が供給され、配線108にL信号が供給されている。したがって、トランジスタ102がオフし、トランジスタ103がオフしている。

40

【0068】

また、トランジスタ101は、ダイオード接続されているので、節点N11の電位が上昇し始める。この節点N11の電位の上昇は、トランジスタ101がオフするまで続く。トランジスタ101は、節点N11の電位が電源電位VDDからトランジスタ101のしきい値電圧 V_{th101} を引いた値($VDD - V_{th101}$)になるとオフする。よって、節点N11の電位は $VDD - V_{th101}$ となる。

【0069】

したがって、トランジスタ104がオンして、配線109の電位が電源電位VSSと等しい値になる。

50

【 0 0 7 0 】

続いて、期間 T 2 の動作について、図 2 (b) を参照して説明する。期間 T 2 は、配線 1 0 7 に H 信号が供給され、配線 1 0 8 に L 信号が供給されている。したがって、トランジスタ 1 0 2 がオンし、トランジスタ 1 0 3 がオフしている。

【 0 0 7 1 】

また、節点 N 1 1 の電位は、トランジスタ 1 0 1 とトランジスタ 1 0 2 との動作点によって決定される。なお、トランジスタ 1 0 2 の W / L 比 (W はチャネル領域のチャネル幅、L はチャネル領域のチャネル長) を、トランジスタ 1 0 1 の W / L 比よりも十分大きくしておけば、節点 N 1 1 の電位は電源電位 V S S よりも少しだけ高い値になる。

【 0 0 7 2 】

したがって、トランジスタ 1 0 4 がオフして、配線 1 0 9 はフローティング (浮遊) 状態となる。配線 1 0 9 の電位は、期間 T 1 のときの電位を維持するため、電源電位 V S S と等しい値のままである。

【 0 0 7 3 】

続いて、期間 T 3 の動作について、図 3 (a) を参照して説明する。期間 T 3 は、配線 1 0 7 に L 信号が供給され、配線 1 0 8 に H 信号が供給されている。したがって、トランジスタ 1 0 2 がオフし、トランジスタ 1 0 3 がオンしている。

【 0 0 7 4 】

また、節点 N 1 1 の電位は、トランジスタ 1 0 1 とトランジスタ 1 0 3 との動作点によって決定される。なお、トランジスタ 1 0 3 の W / L 比を、トランジスタ 1 0 1 の W / L 比よりも十分大きくしておけば、節点 N 1 1 の電位は電源電位 V S S よりも少しだけ高い値になる。

【 0 0 7 5 】

したがって、トランジスタ 1 0 4 がオフして、配線 1 0 9 はフローティング (浮遊) 状態となる。配線 1 0 9 の電位は、期間 T 1、期間 T 2 のときの電位を維持するため、電源電位 V S S と等しい値のままである。

【 0 0 7 6 】

続いて、期間 T 4 の動作について、図 3 (b) を参照して説明する。期間 T 4 は、配線 1 0 7 に H 信号が供給され、配線 1 0 8 には H 信号が供給されている。したがって、トランジスタ 1 0 2 がオンし、トランジスタ 1 0 4 がオンしている。

【 0 0 7 7 】

また、節点 N 1 1 の電位は、トランジスタ 1 0 1 とトランジスタ 1 0 2 とトランジスタ 1 0 3 との動作点によって決定されるため、節点 N 1 1 の電位は電源電位 V S S よりも少しだけ高い値になる。

【 0 0 7 8 】

したがって、トランジスタ 1 0 4 がオフして、配線 1 0 9 はフローティング (浮遊) 状態となる。配線 1 0 9 の電位は、期間 T 1、期間 T 2、期間 T 3 のときの電位を維持するため、電源電位 V S S と等しい値のままである。

【 0 0 7 9 】

以上の動作によって、期間 T 1 では、図 1 (a) の基本回路は配線 1 0 9 に電源電位 V S S を供給し、配線 1 0 9 の電位を電源電位 V S S と等しい値にする。期間 T 2 ~ 期間 4 では、図 1 (a) の基本回路は、配線 1 0 9 をフローティング状態にし、配線 1 0 9 の電位を電源電位 V S S と等しい値に維持する。

【 0 0 8 0 】

また、図 1 (a) の基本回路は、期間 T 1 ~ 期間 T 4 すべての期間でオン状態であるトランジスタは有していない。つまり、定常的、又はほぼ定常的にオン状態であるトランジスタは有していない。したがって、図 1 (a) の基本回路は、トランジスタの特性劣化、及び特性劣化によるしきい値電圧のシフトを抑制することができる。

【 0 0 8 1 】

また、トランジスタの特性は、トランジスタがアモルファスシリコンで形成されている場

10

20

30

40

50

合に劣化しやすい。したがって、図 1 (a) の基本回路は、トランジスタをアモルファスシリコンで形成することによって、製造コストの削減や歩留まりの向上などのメリットが得られるだけでなく、トランジスタの特性劣化の問題も解決できる。

【 0 0 8 2 】

ここで、トランジスタ 1 0 1 ~ トランジスタ 1 0 4 の機能を説明する。トランジスタ 1 0 1 は、入力端子を第 1 端子、及びゲートとし、出力端子を第 2 端子としているダイオードとしての機能を有する。トランジスタ 1 0 2 は、配線 1 0 7 の電位に応じて、配線 1 0 6 と節点 N 1 1 とを接続するかしないかを選択するスイッチとしての機能を有する。トランジスタ 1 0 3 は、配線 1 0 8 の電位に応じて、配線 1 0 6 と節点 N 1 1 とを接続するかしないかを選択するスイッチとしての機能を有する。トランジスタ 1 0 4 は、節点 N 1 1 の電位に応じて、配線 1 0 6 と配線 1 0 9 とを接続するかしないかを選択するスイッチとしての機能を有する。

【 0 0 8 3 】

なお、トランジスタ 1 0 1 は、抵抗成分を持つ素子であればよい。例えば、図 4 (a) に示すように、抵抗素子 4 0 1 をトランジスタ 1 0 1 の代わりに用いることができる。抵抗素子 4 0 1 を用いることによって、節点 N 1 1 の電位を期間 T 1 において電源電位 V D D と等しい値とすることができる。また、図 4 (a) のタイミングチャートを図 4 (b) に示す。

【 0 0 8 4 】

次に、図 1 (a) に示した基本回路を P チャネル型トランジスタで構成した場合について、図 1 3 (a) を参照して説明する。

【 0 0 8 5 】

図 1 3 (a) は、本発明の基本原理に基づく基本回路である。図 1 3 (a) の基本回路は、トランジスタ 1 3 0 1、トランジスタ 1 3 0 2、トランジスタ 1 3 0 3、及びトランジスタ 1 3 0 4 を有している。

【 0 0 8 6 】

図 1 3 (a) の基本回路の接続関係について説明する。トランジスタ 1 3 0 1 のゲートが配線 1 3 0 6 に接続され、第 1 端子が配線 1 3 0 6 に接続され、第 2 端子がトランジスタ 1 3 0 4 のゲートに接続されている。トランジスタ 1 3 0 2 のゲートが配線 1 3 0 7 に接続され、第 1 端子が配線 1 3 0 5 に接続され、第 2 端子がトランジスタ 1 3 0 4 のゲートに接続されている。トランジスタ 1 3 0 3 のゲートが配線 1 3 0 8 に接続され、第 1 端子が配線 1 3 0 5 に接続され、第 2 端子がトランジスタ 1 3 0 4 のゲートに接続されている。トランジスタ 1 3 0 4 の第 1 端子が配線 1 3 0 5 に接続され、第 2 端子が配線 1 3 0 9 に接続されている。なお、トランジスタ 1 3 0 1 の第 2 端子とトランジスタ 1 3 0 2 の第 2 端子とトランジスタ 1 3 0 3 の第 2 端子とトランジスタ 1 3 0 4 のゲートとの節点を節点 N 1 3 1 とする。

【 0 0 8 7 】

また、トランジスタ 1 3 0 1 ~ トランジスタ 1 3 0 4 は、それぞれ P チャネル型である。

【 0 0 8 8 】

したがって、図 1 3 (a) の基本回路はすべて P チャネル型のトランジスタで構成することができるため、N チャネル型のトランジスタを形成するための工程が必要ない。したがって、図 1 3 (a) の基本回路は、製造工程の簡略化を図ることができ、製造コストの削減や歩留まりの向上を図ることができる。

【 0 0 8 9 】

また、配線 1 3 0 5 には電源電位 V D D が供給され、配線 1 3 0 6 には電源電位 V S S が供給されている。

【 0 0 9 0 】

また、配線 1 3 0 7、及び配線 1 3 0 8 には、それぞれ信号が供給されている。なお、配線 1 3 0 7、及び配線 1 3 0 8 に供給されている信号は、それぞれ 2 値の値を持つデジタル信号である。

10

20

30

40

50

【 0 0 9 1 】

次に、図 1 3 (a) に示した基本回路の動作について、図 1 3 (b) を参照して説明する。

【 0 0 9 2 】

図 1 3 (b) は、図 1 3 (a) に示した基本回路のタイミングチャートの一例である。図 1 3 (b) のタイミングチャートは、配線 1 3 0 7 の電位、配線 1 3 0 8 の電位、節点 N 1 3 1 の電位、配線 1 3 0 9 の電位、及びトランジスタ 1 3 0 4 のオン・オフを示している。

【 0 0 9 3 】

図 1 3 (b) のタイミングチャートを期間 T 1 ~ 期間 T 4 に分割して説明する。また、図 1 4 (a)、図 1 4 (b)、図 1 5 (a)、及び図 1 5 (b) は、期間 T 1、期間 T 2、期間 T 3、及び期間 T 4 における図 1 3 (a) の基本回路の動作を示している。 10

【 0 0 9 4 】

まず、期間 T 1 の動作について、図 1 4 (a) を参照して説明する。期間 T 1 は、配線 1 3 0 7 に H 信号が供給され、配線 1 3 0 8 に H 信号が供給されている。したがって、トランジスタ 1 3 0 2 がオフし、トランジスタ 1 3 0 3 がオフしている。

【 0 0 9 5 】

また、トランジスタ 1 3 0 1 は、ダイオード接続されているので、節点 N 1 3 1 の電位が減少し始める。この節点 N 1 3 1 の電位の減少は、トランジスタ 1 3 0 1 がオフするまで続く。トランジスタ 1 3 0 1 は、節点 N 1 3 1 の電位が電源電位 V_{SS} とトランジスタ 1 3 0 1 のしきい値電圧 V_{th1301} の絶対値との和 $(V_{SS} + |V_{th1301}|)$ になるとオフする。よって、節点 N 1 3 1 の電位は $V_{SS} + |V_{th1301}|$ となる。 20

【 0 0 9 6 】

したがって、トランジスタ 1 3 0 4 がオンして、配線 1 3 0 9 の電位が電源電位 V_{DD} と等しい値になる。

【 0 0 9 7 】

続いて、期間 T 2 の動作について、図 1 4 (b) を参照して説明する。期間 T 2 は、配線 1 3 0 7 に L 信号が供給され、配線 1 3 0 8 に H 信号が供給されている。したがって、トランジスタ 1 3 0 2 がオンし、トランジスタ 1 3 0 3 がオフしている。

【 0 0 9 8 】

また、節点 N 1 3 1 の電位は、トランジスタ 1 3 0 1 とトランジスタ 1 3 0 2 との動作点によって決定される。なお、トランジスタ 1 3 0 2 の W/L 比 (W はチャネル領域のチャネル幅、 L はチャネル領域のチャネル長) を、トランジスタ 1 3 0 1 の W/L 比よりも十分大きくしておけば、節点 N 1 3 1 の電位は電源電位 V_{DD} よりも少しだけ低い値になる。 30

【 0 0 9 9 】

したがって、トランジスタ 1 3 0 4 がオフして、配線 1 3 0 9 はフローティング (浮遊) 状態となる。配線 1 3 0 9 の電位は、期間 T 1 のときの電位を維持するため、電源電位 V_{DD} と等しい値のままである。

【 0 1 0 0 】

続いて、期間 T 3 の動作について、図 1 5 (a) を参照して説明する。期間 T 3 は、配線 1 3 0 7 に H 信号が供給され、配線 1 3 0 8 に L 信号が供給されている。したがって、トランジスタ 1 3 0 2 がオフし、トランジスタ 1 3 0 3 がオンしている。 40

【 0 1 0 1 】

また、節点 N 1 3 1 の電位は、トランジスタ 1 3 0 1 とトランジスタ 1 3 0 3 との動作点によって決定される。なお、トランジスタ 1 3 0 3 の W/L 比を、トランジスタ 1 3 0 1 の W/L 比よりも十分大きくしておけば、節点 N 1 3 1 の電位は電源電位 V_{DD} よりも少しだけ低い値になる。

【 0 1 0 2 】

したがって、トランジスタ 1 3 0 4 がオフして、配線 1 3 0 9 はフローティング (浮遊) 50

状態となる。配線 1309 の電位は、期間 T1、期間 T2 のときの電位を維持するため、電源電位 VDD と等しい値のままである。

【0103】

続いて、期間 T4 の動作について、図 15 (b) を参照して説明する。期間 T4 は、配線 1307 に L 信号が供給され、配線 1308 には L 信号が供給されている。したがって、トランジスタ 1302 がオンし、トランジスタ 1304 がオンしている。

【0104】

また、節点 N131 の電位は、トランジスタ 1301 とトランジスタ 1302 とトランジスタ 1303 との動作点によって決定されるため、節点 N131 の電位は電源電位 VDD よりも少しだけ低い値になる。

10

【0105】

したがって、トランジスタ 1304 がオフして、配線 1309 はフローティング（浮遊）状態となる。配線 1309 の電位は、期間 T1、期間 T2、期間 T3 のときの電位を維持するため、電源電位 VDD と等しい値のままである。

【0106】

以上の動作によって、期間 T1 では、図 13 (a) の基本回路は配線 1309 に電源電位 VDD を供給し、配線 1309 の電位を電源電位 VDD と等しい値にする。期間 T2 ~ 期間 4 では、図 13 (a) の基本回路は、配線 1309 をフローティング状態にし、配線 1309 の電位を電源電位 VDD と等しい値に維持する。

【0107】

20

また、図 13 (a) の基本回路は、期間 T1 ~ 期間 T4 すべての期間でオン状態であるトランジスタは有していない。つまり、定常的、又はほぼ定常的にオン状態であるトランジスタは有していない。したがって、図 13 (a) の基本回路は、トランジスタの特性劣化、及び特性劣化によるしきい値電圧のシフトを抑制することができる。

【0108】

なお、トランジスタ 1301 ~ トランジスタ 1304 は、トランジスタ 101 ~ トランジスタ 104 と同様な機能を有する。

【0109】

なお、トランジスタ 1301 は、抵抗成分を持つ素子であればよい。例えば、図 16 (a) に示すように、抵抗素子 1601 をトランジスタ 1301 の代わりに用いることができる。抵抗素子 1601 を用いることによって、節点 N131 の電位を期間 T1 において電源電位 VSS と等しい値とすることができる。また、図 16 (a) のタイミングチャートを図 16 (b) に示す。

30

【0110】

なお、本実施形態は、本明細書中の他の実施形態のいかなる記載とも自由に組み合わせて実施することができる。また、本実施形態中のいかなる記載も自由に組み合わせて実施することができる。

【0111】

（第 2 の実施形態）

本実施形態では、第 1 の実施形態とは別の本発明の基本原理について、図 5 (a) を参照して説明する。

40

【0112】

図 5 (a) は、本発明の基本原理に基づく基本回路である。図 5 (a) の基本回路は、トランジスタ 501、トランジスタ 502、トランジスタ 503、トランジスタ 504、トランジスタ 505、トランジスタ 506、及びトランジスタ 507 を有している。

【0113】

図 5 (a) の基本回路の接続関係について説明する。トランジスタ 501 のゲートが配線 508 に接続され、第 1 端子が配線 508 に接続され、第 2 端子がトランジスタ 504 のゲートに接続されている。トランジスタ 502 のゲートが配線 510 に接続され、第 1 端子が配線 509 に接続され、第 2 端子がトランジスタ 504 のゲートに接続されている。

50

トランジスタ 503 のゲートが配線 511 に接続され、第 1 端子が配線 509 に接続され、第 2 端子がトランジスタ 504 のゲートに接続されている。なお、トランジスタ 501 の第 2 端子とトランジスタ 502 の第 2 端子とトランジスタ 503 の第 2 端子とトランジスタ 504 のゲートとの節点を節点 N51 とする。トランジスタ 504 の第 1 端子が配線 508 に接続され、第 2 端子がトランジスタ 507 のゲートに接続されている。トランジスタ 505 のゲートが配線 510 に接続され、第 1 端子が配線 509 に接続され、第 2 端子がトランジスタ 507 のゲートに接続されている。トランジスタ 506 のゲートが配線 511 に接続され、第 1 端子が配線 509 に接続され、第 2 端子がトランジスタ 507 のゲートに接続されている。トランジスタ 507 の第 1 端子が配線 509 に接続され、第 2 端子が配線 512 に接続されている。なお、トランジスタ 504 の第 2 端子とトランジスタ 505 の第 2 端子とトランジスタ 506 の第 2 端子とトランジスタ 507 のゲートとの節点を節点 N52 とする。

10

20

30

40

50

【0114】

また、トランジスタ 501 ~ トランジスタ 507 は、それぞれ N チャンネル型である。

【0115】

したがって、図 5 (a) の基本回路はすべて N チャンネル型のトランジスタで構成することができるため、図 5 (a) の基本回路は、半導体層にアモルファスシリコンを用いることができ、製造工程の簡略化を図ることができる。したがって、製造コストの削減や歩留まりの向上を図ることができる。さらに、大型の表示パネルなどの半導体装置を作製することも可能となる。また、図 5 (a) の基本回路は、半導体層にポリシリコンや単結晶シリ

【0116】

また、配線 508 には電源電位 VDD が供給され、配線 509 には電源電位 VSS が供給されている。なお、電源電位 VDD は、電源電位 VSS よりも高い電位である。ただし、配線 508、及び配線 509 には、デジタル信号、アナログ信号などが供給されていてもよいし、他の電源電位が供給されていてもよい。

【0117】

また、配線 510、及び配線 511 には、それぞれ信号が供給されている。なお、配線 510、及び配線 511 に供給されている信号は、それぞれ 2 値の値を持つデジタル信号である。このデジタル信号は、H 信号のときには電源電位 VDD と同電位（以下、電位 VDD、又は H レベルともいう）となり、L 信号のときには電源電位 VSS と同電位（以下、電位 VSS、又は L レベルともいう）となる。ただし、配線 510、及び配線 511 には、それぞれ電源電位 VDD、電源電位 VSS、又は他の電源電位が供給されていてもよい。また、配線 510、及び配線 511 には、それぞれアナログ信号が供給されていてもよい。

【0118】

次に、図 5 (a) に示した基本回路の動作について、図 5 (b) を参照して説明する。

【0119】

図 5 (b) は、図 5 (a) に示した基本回路のタイミングチャートの一例である。図 5 (b) のタイミングチャートは、配線 510 の電位、配線 511 の電位、節点 N51 の電位、節点 N52 の電位、配線 512 の電位、及びトランジスタ 507 のオン・オフを示している。

【0120】

図 5 (b) のタイミングチャートを期間 T1 ~ 期間 T4 に分割して説明する。また、図 6 (a)、図 6 (b)、図 7 (a)、及び図 7 (b) は、期間 T1、期間 T2、期間 T3、及び期間 T4 における図 5 (a) の基本回路の動作を示している。

【0121】

まず、期間 T1 の動作について、図 6 (a) を参照して説明する。期間 T1 は、配線 510 に L 信号が供給され、トランジスタ 502、及びトランジスタ 505 がオフしている。また、配線 511 に L 信号が供給され、トランジスタ 503、及びトランジスタ 506 が

オフしている。

【0122】

また、トランジスタ501は、ダイオード接続されているので、節点N51の電位が上昇し始める。節点N51の電位が電源電位VDDからトランジスタ501のしきい値電圧 V_{th501} を引いた値($VDD - V_{th501}$)になると、トランジスタ501がオフする。したがって、節点N51がフローティング状態になる。

【0123】

このとき、トランジスタ504はオンしており、節点N52の電位も上昇している。したがって、フローティング状態になっている節点N51の電位は、トランジスタ504のゲート(節点N51)と第2端子(節点N52)との間の寄生容量によって、節点N52の電位と一緒に上昇する。この節点N51の電位の上昇は節点N52の電位の上昇が止まるまで続き、節点N51の電位が電源電位VDDとトランジスタ504のしきい値電圧 V_{th504} との和($VDD + V_{th504}$)以上になる。つまり、節点N51の電位の上昇は、節点N52の電位が電源電位VDDと等しくなるまで続く。いわゆるブートストラップ動作によって、節点N52の電位を電源電位VDDと等しくできる。

10

【0124】

したがって、トランジスタ507がオンして、配線509の電位が電源電位VSSと等しい値になる。ここで、節点N52の電位を電源電位VDDと等しくすることによって、トランジスタ507のゲートとソースとの間の電位差を大きくすることができる。よって、トランジスタ507をオンしやすくすることができ、広い動作条件で基本回路を動作させることができる。

20

【0125】

続いて、期間T2の動作について、図6(b)を参照して説明する。期間T2は、配線510にH信号が供給され、トランジスタ502、及びトランジスタ505がオンしている。また、配線511にL信号が供給され、トランジスタ503、及びトランジスタ506がオフしている。

【0126】

また、節点N51の電位は、トランジスタ501とトランジスタ502との動作点によって決定される。なお、トランジスタ502のW/L比を、トランジスタ501のW/L比よりも十分大きくしておけば、節点N51の電位は電源電位VSSよりも少しだけ高い電位になる。

30

【0127】

したがって、トランジスタ504はオフして、トランジスタ505がオンしているため、節点N52の電位が電源電位VSSと等しい値になる。よって、トランジスタ507がオフして、配線512はフローティング(浮遊)状態となる。配線512の電位は、期間T1のときの電位を維持するため、電源電位VSSと等しい値のままである。

【0128】

続いて、期間T3の動作について、図7(a)を参照して説明する。期間T3は、配線510にL信号が供給され、トランジスタ502、及びトランジスタ505がオフしている。また、配線511にH信号が供給され、トランジスタ503、及びトランジスタ506がオンしている。

40

【0129】

また、節点N51の電位は、トランジスタ501とトランジスタ503との動作点によって決定される。なお、トランジスタ503のW/L比を、トランジスタ501のW/L比よりも十分大きくしておけば、節点N51の電位は電源電位VSSよりも少しだけ高い電位になる。

【0130】

したがって、トランジスタ504はオフして、トランジスタ506がオンしているため、節点N52の電位が電源電位VSSと等しい値になる。よって、トランジスタ507がオフして、配線512はフローティング(浮遊)状態となる。配線512の電位は、期間T

50

1、期間 T 2 のときの電位を維持するため、電源電位 V S S と等しい値のままである。

【 0 1 3 1 】

続いて、期間 T 4 の動作について、図 7 (b) を参照して説明する。期間 T 4 は、配線 5 1 0 に H 信号が供給され、トランジスタ 5 0 2、及びトランジスタ 5 0 5 がオンしている。また、配線 5 1 1 に H 信号が供給され、トランジスタ 5 0 3、及びトランジスタ 5 0 6 がオンしている。

【 0 1 3 2 】

また、節点 N 5 1 の電位は、トランジスタ 5 0 1 とトランジスタ 5 0 2 とトランジスタ 5 0 3 との動作点によって決定されるため、節点 N 5 1 の電位は電源電位 V S S よりも少しだけ高い電位になる。

10

【 0 1 3 3 】

したがって、トランジスタ 5 0 4 はオフして、トランジスタ 5 0 5、及びトランジスタ 5 0 6 がオンしているため、節点 N 5 2 の電位が電源電位 V S S と等しい値になる。よって、トランジスタ 5 0 7 がオフして、配線 5 1 2 はフローティング（浮遊）状態となる。配線 5 1 2 の電位は、期間 T 1、期間 T 2、期間 T 3 のときの電位を維持するため、電源電位 V S S と等しい値のままである。

【 0 1 3 4 】

以上の動作によって、期間 T 1 では、図 5 (a) の基本回路は配線 5 1 2 に電源電位 V S S を供給し、配線 5 1 2 の電位を電源電位 V S S と等しい値にする。期間 T 2 ~ 期間 T 4 では、図 5 (a) の基本回路は、配線 5 1 2 をフローティング状態にし、配線 5 1 2 の電位を電源電位 V S S と等しい値に維持する。

20

【 0 1 3 5 】

なお、期間 T 1 では、図 5 (a) の基本回路の節点 N 5 2 の電位を電源電位 V D D と等しい値にすることができる。したがって、広い動作条件で、図 5 (a) の基本回路を動作させることができる。

【 0 1 3 6 】

また、図 5 (a) の基本回路は、期間 T 1 ~ 期間 T 4 すべての期間でオン状態であるトランジスタは有していない。つまり、定常的、又はほぼ定常的にオン状態であるトランジスタは有していない。したがって、図 5 (a) の基本回路は、トランジスタの特性劣化、及び特性劣化によるしきい値電圧のシフトを抑制することができる。

30

【 0 1 3 7 】

また、トランジスタの特性は、トランジスタがアモルファスシリコンで形成されている場合に劣化しやすい。したがって、図 5 (a) の基本回路は、トランジスタをアモルファスシリコンで形成することによって、製造コストの削減や歩留まりの向上などのメリットが得られるだけでなく、トランジスタの特性劣化の問題も解決できる。

【 0 1 3 8 】

ここで、トランジスタ 5 0 1 ~ トランジスタ 5 0 7 の機能を説明する。トランジスタ 5 0 1 は、入力端子を第 1 端子、及びゲートとし、出力端子を第 2 端子としているダイオードとしての機能を有する。トランジスタ 5 0 2 は、配線 5 1 0 の電位に応じて、配線 5 0 9 と節点 N 5 1 とを接続するかしないかを選択するスイッチとしての機能を有する。トランジスタ 5 0 3 は、配線 5 1 1 の電位に応じて、配線 5 0 9 と節点 N 5 1 とを接続するかしないかを選択するスイッチとしての機能を有する。トランジスタ 5 0 4 は、節点 N 5 1 の電位に応じて、配線 5 0 8 と節点 N 5 2 とを接続するかしないかを選択するスイッチとしての機能を有する。トランジスタ 5 0 5 は、配線 5 1 0 の電位に応じて、配線 5 0 9 と節点 N 5 2 とを接続するかしないかを選択するスイッチとしての機能を有する。トランジスタ 5 0 6 は、配線 5 1 1 の電位に応じて、配線 5 0 9 と節点 N 5 2 とを接続するかしないかを選択するスイッチとしての機能を有する。トランジスタ 5 0 7 は、節点 N 5 2 の電位に応じて、配線 5 0 9 と配線 5 1 2 とを接続するかしないかを選択するスイッチとしての機能を有する。

40

【 0 1 3 9 】

50

なお、トランジスタ 501 ~ トランジスタ 506 によって、配線 510、及び配線 511 を入力端子とし、出力端子を節点 N52 とする、2 入力 NOR 回路を構成している。

【0140】

なお、図 8 (a) に示すように、トランジスタ 504 のゲート (節点 N51) と、第 2 端子 (節点 N52) との間に、容量素子 801 を配置してもよい。なぜなら、節点 N51 の電位、及び節点 N52 の電位はブートストラップ動作によって上昇するため、容量素子 801 を配置することで、基本回路がブートストラップ動作しやすくなるからである。

【0141】

なお、図 8 (b) に示すように、トランジスタ 503 は、必ずしも必要ではない。なぜなら、配線 510 に H 信号が供給されるときは、節点 N52 の電位が減少し、トランジスタ 507 がオフすればよいからである。

10

【0142】

次に、図 5 (a) に示した基本回路を P チャネル型トランジスタで構成した場合について、図 17 (a) を参照して説明する。

【0143】

図 17 (a) は、本発明の基本原理に基づく基本回路である。図 17 (a) の基本回路は、トランジスタ 1701、トランジスタ 1702、トランジスタ 1703、トランジスタ 1704、トランジスタ 1705、トランジスタ 1706、及びトランジスタ 1707 を有している。

【0144】

図 17 (a) の基本回路の接続関係について説明する。トランジスタ 1701 のゲートが配線 1709 に接続され、第 1 端子が配線 1709 に接続され、第 2 端子がトランジスタ 1704 のゲートに接続されている。トランジスタ 1702 のゲートが配線 1710 に接続され、第 1 端子が配線 1708 に接続され、第 2 端子がトランジスタ 1704 のゲートに接続されている。トランジスタ 1703 のゲートが配線 1711 に接続され、第 1 端子が配線 1708 に接続され、第 2 端子がトランジスタ 1704 のゲートに接続されている。なお、トランジスタ 1701 の第 2 端子とトランジスタ 1702 の第 2 端子とトランジスタ 1703 の第 2 端子とトランジスタ 1704 のゲートとの節点を節点 N171 とする。トランジスタ 1704 の第 1 端子が配線 1709 に接続され、第 2 端子がトランジスタ 1707 のゲートに接続されている。トランジスタ 1705 のゲートが配線 1710 に接続され、第 1 端子が配線 1708 に接続され、第 2 端子がトランジスタ 1707 のゲートに接続されている。トランジスタ 1706 のゲートが配線 1711 に接続され、第 1 端子が配線 1708 に接続され、第 2 端子がトランジスタ 1707 のゲートに接続されている。トランジスタ 1707 の第 1 端子が配線 1708 に接続され、第 2 端子が配線 1712 に接続されている。なお、トランジスタ 1704 の第 2 端子とトランジスタ 1705 の第 2 端子とトランジスタ 1706 の第 2 端子とトランジスタ 1707 のゲートとの節点を節点 N172 とする。

20

30

【0145】

また、トランジスタ 1701 ~ トランジスタ 1707 は、それぞれ P チャネル型である。

【0146】

したがって、図 17 (a) の基本回路はすべて P チャネル型のトランジスタで構成することができるため、N チャネル型のトランジスタを形成するための工程が必要ない。したがって、図 17 (a) の基本回路は、製造工程の簡略化を図ることができ、製造コストの削減や歩留まりの向上を図ることができる。

40

【0147】

また、配線 1708 には電源電位 VDD が供給され、配線 1709 には電源電位 VSS が供給されている。なお、電源電位 VDD は、電源電位 VSS よりも高い電位である。ただし、配線 1708、及び配線 1709 には、デジタル信号、アナログ信号などが供給されていてもよいし、他の電源電位が供給されていてもよい。

【0148】

50

また、配線 1710、及び配線 1711には、それぞれ信号が供給されている。なお、配線 1710、及び配線 1711に供給されている信号は、それぞれ 2 値の値を持つデジタル信号である。ただし、配線 1710、及び配線 1711には、それぞれ電源電位 VDD、電源電位 VSS、又は他の電源電位が供給されていてもよい。また、配線 1710、及び配線 1711には、それぞれアナログ信号が供給されていてもよい。

【0149】

次に、図 17 (a) に示した基本回路の動作について、図 17 (b) を参照して説明する。

【0150】

図 17 (b) は、図 17 (a) に示した基本回路のタイミングチャートの一例である。図 17 (b) のタイミングチャートは、配線 1710 の電位、配線 1711 の電位、節点 N171 の電位、節点 N172 の電位、配線 1712 の電位、及びトランジスタ 1707 のオン・オフを示している。 10

【0151】

図 17 (b) のタイミングチャートを期間 T1 ~ 期間 T4 に分割して説明する。また、図 18 (a)、図 18 (b)、図 19 (a)、及び図 19 (b) は、期間 T1、期間 T2、期間 T3、及び期間 T4 における図 17 (a) の基本回路の動作を示している。

【0152】

まず、期間 T1 の動作について、図 18 (a) を参照して説明する。期間 T1 は、配線 1710 に H 信号が供給され、トランジスタ 1702、及びトランジスタ 1705 がオフしている。また、配線 1711 に H 信号が供給され、トランジスタ 1703、及びトランジスタ 1706 がオフしている。 20

【0153】

また、トランジスタ 1701 は、ダイオード接続されているので、節点 N171 の電位が減少し始める。節点 N171 の電位が電源電位 VSS とトランジスタ 1701 のしきい値電圧 V_{th1701} の絶対値との和 ($VSS + |V_{th1701}|$) になると、トランジスタ 1701 がオフする。したがって、節点 N171 がフローティング状態になる。

【0154】

このとき、トランジスタ 1704 はオンしており、節点 N172 の電位も減少している。したがって、フローティング状態になっている節点 N171 の電位は、トランジスタ 1704 のゲート (節点 N171) と第 2 端子 (節点 N172) との間の寄生容量によって、節点 N172 の電位と一緒に減少する。この節点 N171 の電位の減少は節点 N172 の電位の減少が止まるまで続き、節点 N171 の電位が電源電位 VSS からトランジスタ 1704 のしきい値電圧 V_{th1704} の絶対値を引いた値 ($VSS - |V_{th1704}|$) 以下になる。つまり、節点 N171 の電位の減少は、節点 N172 の電位が電源電位 VSS と等しくなるまで続く。いわゆるブートストラップ動作によって、節点 N172 の電位を電源電位 VSS と等しくできる。 30

【0155】

したがって、トランジスタ 1707 がオンして、配線 1712 の電位が電源電位 VDD と等しい値になる。ここで、節点 N172 の電位を電源電位 VSS と等しくすることによって、トランジスタ 1707 のゲートとソースとの間の電位差を大きくすることができる。よって、トランジスタ 1707 をオンしやすくすることができ、広い動作条件で基本回路を動作させることが可能になる。 40

【0156】

続いて、期間 T2 の動作について、図 18 (b) を参照して説明する。期間 T2 は、配線 1710 に L 信号が供給され、トランジスタ 1702、及びトランジスタ 1705 がオンしている。また、配線 1711 に H 信号が供給され、トランジスタ 1703、及びトランジスタ 1706 がオフしている。

【0157】

また、節点 N171 の電位は、トランジスタ 1701 とトランジスタ 1702 との動作点 50

によって決定される。なお、トランジスタ 1702 の W/L 比を、トランジスタ 1701 の W/L 比よりも十分大きくしておけば、節点 N171 の電位は電源電位 V_{DD} よりも少しだけ低い電位になる。

【0158】

したがって、トランジスタ 1704 はオフして、トランジスタ 1705 がオンしているため、節点 N172 の電位が電源電位 V_{DD} と等しい値になる。よって、トランジスタ 1707 がオフして、配線 1712 はフローティング（浮遊）状態となる。配線 1712 の電位は、期間 T1 のときの電位を維持するため、電源電位 V_{DD} と等しい値のままである。

【0159】

続いて、期間 T3 の動作について、図 19 (a) を参照して説明する。期間 T3 は、配線 1710 に H 信号が供給され、トランジスタ 1702、及びトランジスタ 1705 がオフしている。また、配線 1711 に L 信号が供給され、トランジスタ 1703、及びトランジスタ 1706 がオンしている。

10

【0160】

また、節点 N171 の電位は、トランジスタ 1701 とトランジスタ 1703 との動作点によって決定される。なお、トランジスタ 1703 の W/L 比を、トランジスタ 1701 の W/L 比よりも十分大きくしておけば、節点 N171 の電位は電源電位 V_{DD} よりも少しだけ低い電位になる。

【0161】

したがって、トランジスタ 1704 はオフして、トランジスタ 1706 がオンしているため、節点 N172 の電位が電源電位 V_{DD} と等しい値になる。よって、トランジスタ 1707 がオフして、配線 1712 はフローティング（浮遊）状態となる。配線 1712 の電位は、期間 T1、期間 T2 のときの電位を維持するため、電源電位 V_{DD} と等しい値のままである。

20

【0162】

続いて、期間 T4 の動作について、図 19 (b) を参照して説明する。期間 T4 は、配線 1710 に L 信号が供給され、トランジスタ 1702、及びトランジスタ 1705 がオンしている。また、配線 1711 に L 信号が供給され、トランジスタ 1703、及びトランジスタ 1706 がオンしている。

【0163】

また、節点 N171 の電位は、トランジスタ 1701 とトランジスタ 1702 とトランジスタ 1703 との動作点によって決定されるため、節点 N171 の電位は電源電位 V_{DD} よりも少しだけ低い電位になる。

30

【0164】

したがって、トランジスタ 1704 はオフして、トランジスタ 1705、及びトランジスタ 1706 がオンしているため、節点 N172 の電位が電源電位 V_{DD} と等しい値になる。よって、トランジスタ 1707 がオフして、配線 1712 はフローティング（浮遊）状態となる。配線 1712 の電位は、期間 T1、期間 T2、期間 T3 のときの電位を維持するため、電源電位 V_{DD} のままである。

【0165】

以上の動作によって、期間 T1 では、図 17 (a) の基本回路は配線 1712 に電源電位 V_{DD} を供給し、配線 1712 の電位を電源電位 V_{DD} と等しい値にする。期間 T2 ~ 期間 4 では、図 17 (a) の基本回路は、配線 1712 をフローティング状態にし、配線 1712 の電位を電源電位 V_{DD} と等しい値に維持する。

40

【0166】

なお、期間 T1 では、図 17 (a) の基本回路の節点 N172 の電位を電源電位 V_{SS} と等しい値にすることができる。したがって、広い動作条件で、図 17 (a) の基本回路を動作させることができる。

【0167】

また、図 17 (a) の基本回路は、期間 T1 ~ 期間 T4 すべての期間でオン状態であるト

50

ランジスタは有していない。つまり、定常的、又はほぼ定常的にオン状態であるトランジスタは有していない。したがって、図 17 (a) の基本回路は、トランジスタの特性劣化、及び特性劣化によるしきい値電圧のシフトを抑制することができる。

【 0 1 6 8 】

なお、トランジスタ 1 7 0 1 ~ トランジスタ 1 7 0 7 は、トランジスタ 5 0 1 ~ トランジスタ 5 0 7 と同様な機能を有する。

【 0 1 6 9 】

なお、トランジスタ 1 7 0 1 ~ トランジスタ 1 7 0 6 によって、配線 1 7 1 0、及び配線 1 7 1 1 を入力端子とし、出力端子を節点 N 1 7 2 とする、2 入力 N A N D 回路を構成している。

10

【 0 1 7 0 】

なお、図 2 0 (a) に示すように、トランジスタ 1 7 0 4 のゲート (節点 N 1 7 1) と、第 2 端子 (節点 N 1 7 2) との間に、容量素子 2 0 0 1 を配置してもよい。なぜなら、節点 N 1 7 1 の電位、及び節点 N 1 7 2 の電位はブートストラップ動作によって減少するため、容量素子 2 0 0 1 を配置することで、基本回路がブートストラップ動作しやすくなるからである。

【 0 1 7 1 】

なお、図 2 0 (b) に示すように、トランジスタ 1 7 0 3 は、必ずしも必要ではない。なぜなら、配線 1 7 1 0 に L 信号が供給されるときは、節点 N 1 7 2 の電位が上昇し、トランジスタ 1 7 0 7 がオフすればよいからである。

20

【 0 1 7 2 】

なお、本実施形態は、本明細書中の他の実施形態のいかなる記載とも自由に組み合わせて実施することができる。また、本実施形態中のいかなる記載も自由に組み合わせて実施することができる。

【 0 1 7 3 】

(第 3 の実施形態)

本実施形態では、第 1 の実施形態、及び第 2 の実施形態とは別の本発明の基本原理について、図 9 (a) を参照して説明する。

【 0 1 7 4 】

図 9 (a) は、本発明の基本原理に基づく基本回路である。図 9 (a) の基本回路は、トランジスタ 9 0 1、トランジスタ 9 0 2、トランジスタ 9 0 3、及びトランジスタ 9 0 4 を有している。

30

【 0 1 7 5 】

図 9 (a) の基本回路の接続関係について説明する。トランジスタ 9 0 1 のゲートがトランジスタ 9 0 4 のゲートに接続され、第 1 端子が配線 9 0 6 に接続され、第 2 端子がトランジスタ 9 0 4 のゲートに接続されている。トランジスタ 9 0 2 のゲートが配線 9 0 7 に接続され、第 1 端子が配線 9 0 5 に接続され、第 2 端子がトランジスタ 9 0 4 のゲートに接続されている。トランジスタ 9 0 3 のゲートが配線 9 0 8 に接続され、第 1 端子が配線 9 0 6 に接続され、第 2 端子がトランジスタ 9 0 4 のゲートに接続されている。トランジスタ 9 0 4 の第 1 端子が配線 9 0 6 に接続され、第 2 端子が配線 9 0 9 に接続されている。なお、トランジスタ 9 0 1 の第 2 端子とトランジスタ 9 0 1 のゲートとトランジスタ 9 0 2 の第 2 端子とトランジスタ 9 0 3 の第 2 端子とトランジスタ 9 0 4 のゲートとの節点を節点 N 9 1 とする。

40

【 0 1 7 6 】

また、トランジスタ 9 0 1 ~ トランジスタ 9 0 4 は、それぞれ N チャネル型である。

【 0 1 7 7 】

したがって、図 9 (a) の基本回路はすべて N チャネル型のトランジスタで構成することができるため、図 9 (a) の基本回路は、半導体層にアモルファスシリコンを用いることができ、製造工程の簡略化を図ることができる。したがって、製造コストの削減や歩留まりの向上を図ることができる。さらに、大型の表示パネルなどの半導体装置を作製するこ

50

とも可能となる。また、図 9 (a) の基本回路は、半導体層にポリシリコンや単結晶シリコンを用いても製造工程の簡略化を図ることができる。

【 0 1 7 8 】

また、配線 9 0 5 には電源電位 V_{DD} が供給され、配線 9 0 6 には電源電位 V_{SS} が供給されている。なお、電源電位 V_{DD} は、電源電位 V_{SS} よりも高い電位である。ただし、配線 9 0 5、及び配線 9 0 6 には、デジタル信号、アナログ信号などが供給されていてもよいし、他の電源電位が供給されていてもよい。

【 0 1 7 9 】

また、配線 9 0 7、及び配線 9 0 8 には、それぞれ信号が供給されている。なお、配線 9 0 7、及び配線 9 0 8 に供給されている信号は、それぞれ 2 値の値を持つデジタル信号である。ただし、配線 9 0 7、及び配線 9 0 8 には、それぞれ電源電位 V_{DD} 、電源電位 V_{SS} 、及び他の電源電位が供給されていてもよい。また、配線 9 0 7、及び配線 9 0 8 には、それぞれアナログ信号が供給されていてもよい。

10

【 0 1 8 0 】

次に、図 9 (a) に示した基本回路の動作について、図 9 (b) を参照して説明する。

【 0 1 8 1 】

図 9 (b) は、図 9 (a) に示した基本回路のタイミングチャートの一例である。図 9 (b) のタイミングチャートは、配線 9 0 7 の電位、配線 9 0 8 の電位、節点 N 9 1 の電位、配線 9 0 9 の電位、及びトランジスタ 9 0 4 のオン・オフを示している。

【 0 1 8 2 】

図 9 (b) のタイミングチャートを期間 T 1 ~ 期間 T 4 に分割して説明する。また、図 1 0 (a)、図 1 0 (b)、図 1 1 (a)、及び図 1 1 (b) は、期間 T 1、期間 T 2、期間 T 3、及び期間 T 4 における図 9 (a) の基本回路の動作を示している。

20

【 0 1 8 3 】

まず、期間 T 1 の動作について、図 1 0 (a) を参照して説明する。期間 T 1 は、配線 9 0 7 に L 信号が供給され、配線 9 0 8 に L 信号が供給されている。したがって、トランジスタ 9 0 2 がオフし、トランジスタ 9 0 3 がオフしている。

【 0 1 8 4 】

また、トランジスタ 9 0 1 は、ダイオード接続されているので、節点 N 9 1 の電位が減少し始める。この節点 N 9 1 の電位の減少は、トランジスタ 9 0 1 がオフするまで続く。トランジスタ 9 0 1 は、節点 N 9 1 の電位が電源電位 V_{SS} とトランジスタ 9 0 1 のしきい値電圧 V_{th901} の絶対値との和 ($V_{SS} + |V_{th901}|$) になるとオフする。したがって、節点 N 9 1 の電位は $V_{SS} + |V_{th901}|$ となる。

30

【 0 1 8 5 】

したがって、トランジスタ 9 0 4 がオフして、配線 9 0 9 の電位は、期間 T 2 の電位を維持するため、電源電位 V_{SS} と等しい値のままである。なお、期間 T 2 の動作は次に説明する。

【 0 1 8 6 】

続いて、期間 T 2 の動作について、図 1 0 (b) を参照して説明する。期間 T 2 は、配線 9 0 7 に H 信号が供給され、配線 9 0 8 に L 信号が供給されている。したがって、トランジスタ 9 0 2 がオンし、トランジスタ 9 0 3 がオフしている。

40

【 0 1 8 7 】

また、節点 N 9 1 の電位は、トランジスタ 9 0 1 とトランジスタ 9 0 2 との動作点によって決定される。なお、トランジスタ 9 0 2 の W/L 比をトランジスタ 9 0 1 の W/L 比よりも十分大きくしておけば、節点 N 9 1 の電位は電源電位 V_{DD} よりも少しだけ低い値になる。

【 0 1 8 8 】

したがって、トランジスタ 9 0 4 がオンして、配線 9 0 9 の電位が電源電位 V_{SS} と等しい値になる。

【 0 1 8 9 】

50

続いて、期間 T 3 の動作について、図 1 1 (a) を参照して説明する。期間 T 3 は、配線 9 0 7 に L 信号が供給され、配線 9 0 8 に H 信号が供給されている。したがって、トランジスタ 9 0 2 がオフし、トランジスタ 9 0 3 がオンしている。

【 0 1 9 0 】

また、節点 N 9 1 の電位は、トランジスタ 9 0 2 がオフしているため、電源電位 V S S と等しい値になる。

【 0 1 9 1 】

したがって、トランジスタ 9 0 4 がオフして、配線 9 0 9 はフローティング（浮遊）状態となる。配線 9 0 9 の電位は、期間 T 1、期間 T 2 のときの電位を維持するため、電源電位 V S S と等しい値のままである。

10

【 0 1 9 2 】

続いて、期間 T 4 の動作について、図 1 1 (b) を参照して説明する。期間 T 4 は、配線 9 0 7 に H 信号が供給され、配線 9 0 8 には H 信号が供給されている。したがって、トランジスタ 9 0 2 がオンし、トランジスタ 9 0 4 がオンしている。

【 0 1 9 3 】

また、節点 N 9 1 の電位は、トランジスタ 9 0 1 とトランジスタ 9 0 2 とトランジスタ 9 0 3 との動作点によって決定されるため、節点 N 9 1 の電位は電源電位 V S S よりも少しだけ高い値になる。

【 0 1 9 4 】

したがって、トランジスタ 9 0 4 がオフして、配線 9 0 9 はフローティング（浮遊）状態となる。配線 9 0 9 の電位は、期間 T 1、期間 T 2、期間 T 3 のときの電位を維持するため、電源電位 V S S と等しい値のままである。

20

【 0 1 9 5 】

以上の動作によって、期間 T 2 では、図 9 (a) の基本回路は配線 9 0 9 に電源電位 V S S を供給し、配線 9 0 9 の電位を電源電位 V S S と等しい値にする。期間 T 1、期間 T 3、及び期間 4 では、図 9 (a) の基本回路は、配線 9 0 9 をフローティング状態にし、配線 9 0 9 の電位を電源電位 V S S と等しい値に維持する。

【 0 1 9 6 】

また、図 9 (a) の基本回路は、期間 T 1 ~ 期間 T 4 すべての期間でオン状態であるトランジスタは有していない。つまり、定常的、又はほぼ定常的にオン状態であるトランジスタは有していない。したがって、図 9 (a) の基本回路は、トランジスタの特性劣化、及び特性劣化によるしきい値電圧のシフトを抑制することができる。

30

【 0 1 9 7 】

また、トランジスタの特性は、トランジスタがアモルファスシリコンで形成されている場合に劣化しやすい。したがって、図 9 (a) の基本回路は、トランジスタをアモルファスシリコンで形成することによって、製造コストの削減や歩留まりの向上などのメリットが得られるだけでなく、トランジスタの特性劣化の問題も解決できる。

【 0 1 9 8 】

ここで、トランジスタ 9 0 1 ~ トランジスタ 9 0 4 の機能を説明する。トランジスタ 9 0 1 は、入力端子を第 2 端子、及びゲートとし、出力端子を第 1 端子としているダイオードとしての機能を有する。トランジスタ 9 0 2 は、配線 9 0 7 の電位に応じて、配線 9 0 5 と節点 N 9 1 とを接続するかしないかを選択するスイッチとしての機能を有する。トランジスタ 9 0 3 は、配線 9 0 8 の電位に応じて、配線 9 0 6 と節点 N 9 1 とを接続するかしないかを選択するスイッチとしての機能を有する。トランジスタ 9 0 4 は、節点 N 9 1 の電位に応じて、配線 9 0 6 と配線 9 0 9 とを接続するかしないかを選択するスイッチとしての機能を有する。

40

【 0 1 9 9 】

なお、トランジスタ 9 0 1 ~ トランジスタ 9 0 4 によって、配線 9 0 7、及び配線 9 0 8 を入力端子とし、出力端子を節点 N 9 1 とする、2 入力の論理回路を構成している。

【 0 2 0 0 】

50

なお、トランジスタ 901 は、抵抗成分を持つ素子であればよい。例えば、図 12 (a) に示すように、抵抗素子 1201 をトランジスタ 901 の代わりに用いることができる。また、図 12 (a) のタイミングチャートを図 12 (b) に示す。

【0201】

次に、図 9 (a) に示した基本回路を P チャンネル型トランジスタで構成した場合について、図 21 (a) を参照して説明する。

【0202】

図 21 (a) は、本発明の基本原理に基づく基本回路である。図 21 (a) の基本回路は、トランジスタ 2101、トランジスタ 2102、トランジスタ 2103、及びトランジスタ 2104 を有している。

10

【0203】

図 21 (a) の基本回路の接続関係について説明する。トランジスタ 2101 のゲートがトランジスタ 2104 のゲートに接続され、第 1 端子が配線 2105 に接続され、第 2 端子がトランジスタ 2104 のゲートに接続されている。トランジスタ 2102 のゲートが配線 2107 に接続され、第 1 端子が配線 2106 に接続され、第 2 端子がトランジスタ 2104 のゲートに接続されている。トランジスタ 2103 のゲートが配線 2108 に接続され、第 1 端子が配線 2105 に接続され、第 2 端子がトランジスタ 2104 のゲートに接続されている。トランジスタ 2104 の第 1 端子が配線 2105 に接続され、第 2 端子が配線 2109 に接続されている。なお、トランジスタ 2101 のゲートとトランジスタ 2101 の第 2 端子とトランジスタ 2102 の第 2 端子とトランジスタ 2103 の第 2 20 端子とトランジスタ 2104 のゲートとの節点を節点 N211 とする。

20

【0204】

また、トランジスタ 2101 ~ トランジスタ 2104 は、それぞれ P チャンネル型である。

【0205】

したがって、図 21 (a) の基本回路はすべて P チャンネル型のトランジスタで構成することができるため、N チャンネル型のトランジスタを形成するための工程が必要ない。したがって、図 21 (a) の基本回路は、製造工程の簡略化を図ることができ、製造コストの削減や歩留まりの向上を図ることができる。

【0206】

また、配線 2105 には電源電位 VDD が供給され、配線 2106 には電源電位 VSS が供給されている。なお、電源電位 VDD は、電源電位 VSS よりも高い電位である。ただし、配線 2105、及び配線 2106 には、デジタル信号、アナログ信号などが供給されていてもよいし、他の電源電位が供給されていてもよい。

30

【0207】

また、配線 2107、及び配線 2108 には、それぞれ信号が供給されている。なお、配線 2107、及び配線 2108 に供給されている信号は、それぞれ 2 値の値を持つデジタル信号である。ただし、配線 2107、及び配線 2108 には、それぞれ電源電位 VDD、電源電位 VSS、又は他の電源電位が供給されていてもよい。また、配線 2107、及び配線 2108 には、それぞれアナログ信号が供給されていてもよい。

【0208】

次に、図 21 (a) に示した基本回路の動作について、図 21 (b) を参照して説明する。

40

【0209】

図 21 (b) は、図 21 (a) に示し基本回路のタイミングチャートの一例である。図 21 (b) のタイミングチャートは、配線 2107 の電位、配線 2108 の電位、節点 N211 の電位、配線 2109 の電位、及びトランジスタ 2104 のオン・オフを示している。

【0210】

図 21 (b) のタイミングチャートを期間 T1 ~ 期間 T4 に分割して説明する。また、図 22 (a)、図 22 (b)、図 23 (a)、及び図 23 (b) は、期間 T1、期間 T2、

50

期間 T 3、及び期間 T 4 における図 2 1 (a) の基本回路の動作を示している。

【 0 2 1 1 】

まず、期間 T 1 の動作について、図 2 2 (a) を参照して説明する。期間 T 1 は、配線 2 1 0 7 に H 信号が供給され、配線 2 1 0 8 に H 信号が供給されている。したがって、トランジスタ 2 1 0 2 がオフし、トランジスタ 2 1 0 3 がオフしている。

【 0 2 1 2 】

また、トランジスタ 2 1 0 1 は、ダイオード接続されているので、節点 N 2 1 1 の電位が上昇し始める。この節点 N 2 1 1 の電位の上昇は、トランジスタ 2 1 0 1 がオフするまで続く。トランジスタ 2 1 0 1 は、節点 N 2 1 1 の電位が電源電位 V D D からトランジスタ 2 1 0 1 のしきい値電位 V_{th2101} の絶対値を引いた値 $(V_{DD} - |V_{th2101}|)$ となるとオフする。よって、節点 N 2 1 1 の電位は $V_{DD} - |V_{th2101}|$ となる。

10

【 0 2 1 3 】

したがって、トランジスタ 2 1 0 4 がオフして、配線 2 1 0 9 の電位は、期間 T 2 の電位を維持するため、電源電位 V D D よりも少しだけ低い値のままである。また、期間 T 2 の動作は次に説明する。

【 0 2 1 4 】

続いて、期間 T 2 の動作について、図 2 2 (b) を参照して説明する。期間 T 2 は、配線 2 1 0 7 に L 信号が供給され、配線 2 1 0 8 に H 信号が供給されている。したがって、トランジスタ 2 1 0 2 がオンし、トランジスタ 2 1 0 3 がオフしている。

20

【 0 2 1 5 】

また、節点 N 2 1 1 の電位は、トランジスタ 2 1 0 1 とトランジスタ 2 1 0 2 との動作点によって決定される。なお、トランジスタ 2 1 0 2 の W / L 比をトランジスタ 2 1 0 1 の W / L 比よりも十分大きくしておけば、節点 N 2 1 1 の電位は電源電位 V S S よりも少しだけ高い値になる。

【 0 2 1 6 】

したがって、トランジスタ 2 1 0 4 がオンして、配線 2 1 0 9 の電位が電源電位 V D D と等しい値になる。

【 0 2 1 7 】

続いて、期間 T 3 の動作について、図 2 3 (a) を参照して説明する。期間 T 3 は、配線 2 1 0 7 に H 信号が供給され、配線 2 1 0 8 に L 信号が供給されている。したがって、トランジスタ 2 1 0 2 がオフし、トランジスタ 2 1 0 3 がオンしている。

30

【 0 2 1 8 】

また、節点 N 2 1 1 の電位は、トランジスタ 2 1 0 2 がオフしているため、電源電位 V D D と等しい値になる。

【 0 2 1 9 】

したがって、トランジスタ 2 1 0 4 がオフして、配線 2 1 0 9 はフローティング（浮遊）状態となる。配線 2 1 0 9 の電位は、期間 T 1、期間 T 2 のときの電位を維持するため、電源電位 V S S と等しい値のままである。

【 0 2 2 0 】

続いて、期間 T 4 の動作について、図 2 3 (b) を参照して説明する。期間 T 4 は、配線 2 1 0 7 に L 信号が供給され、配線 2 1 0 8 には L 信号が供給されている。したがって、トランジスタ 2 1 0 2 がオンし、トランジスタ 2 1 0 4 がオンしている。

40

【 0 2 2 1 】

また、節点 N 2 1 1 の電位は、トランジスタ 2 1 0 1 とトランジスタ 2 1 0 2 とトランジスタ 2 1 0 3 との動作点によって決定されるため、節点 N 2 1 1 の電位は電源電位 V D D よりも少しだけ低い値になる。

【 0 2 2 2 】

したがって、トランジスタ 2 1 0 4 がオフして、配線 2 1 0 9 はフローティング（浮遊）状態となる。配線 2 1 0 9 の電位は、期間 T 1、期間 T 2、期間 T 3 のときの電位を維持

50

するため、電源電位 V_{SS} と等しい値のままである。

【0223】

以上の動作によって、期間 T_2 では、図 21 (a) の基本回路は配線 2109 に電源電位 V_{DD} を供給し、配線 2109 の電位を電源電位 V_{DD} と等しい値にする。期間 T_1 、期間 T_3 、及び期間 4 では、図 21 (a) の基本回路は、配線 2109 をフローティング状態にし、配線 2109 の電位を電源電位 V_{DD} と等しい値に維持する。

【0224】

また、図 21 (a) の基本回路は、期間 $T_1 \sim$ 期間 T_4 すべての期間でオン状態であるトランジスタは有していない。つまり、定常的、又はほぼ定常的にオン状態であるトランジスタは有していない。したがって、図 21 (a) の基本回路は、トランジスタの特性劣化、及び特性劣化によるしきい値電圧のシフトを抑制することができる。

10

【0225】

なお、トランジスタ 2101 ~ トランジスタ 2104 は、トランジスタ 901 ~ トランジスタ 904 と同様な機能を有する。

【0226】

なお、トランジスタ 2101 ~ トランジスタ 2104 によって、配線 2107、及び配線 2108 を入力端子とし、出力端子を節点 N_{211} とする、2 入力の論理回路を構成している。

【0227】

なお、トランジスタ 2101 は、抵抗成分を持つ素子であればよい。例えば、図 24 (a) に示すように、抵抗素子 2401 をトランジスタ 2101 の代わりに用いることができる。また、図 24 (a) のタイミングチャートを図 24 (b) に示す。

20

【0228】

なお、本実施形態は、本明細書中の他の実施形態のいかなる記載とも自由に組み合わせて実施することができる。また、本実施形態中のいかなる記載も自由に組み合わせて実施することができる。

【0229】

(第 4 の実施形態)

本実施形態では、第 1 の実施形態乃至第 3 の実施形態とは別の本発明の基本原理について、図 25 (a) を参照して説明する。

30

【0230】

図 25 (a) は、本発明の基本原理に基づく基本回路である。図 25 (a) の基本回路は、回路 2501、及び回路 2502 を有している。

【0231】

なお、回路 2501、及び回路 2502 として、図 1 (a)、図 4 (a)、図 5 (a)、図 8 (a)、図 8 (b)、図 9 (a)、図 12 (a) に示した基本回路を用いることができる。

【0232】

したがって、配線 2503、及び配線 2504 は、図 1 (a) の配線 107、図 4 (a) の配線 107、図 5 (a) の配線 510、図 8 (a) の配線 510、図 8 (b) の配線 510、図 9 (a) の配線 907、図 12 (a) の配線 907 に相当する。

40

【0233】

また、配線 2505 は、図 1 (a) の配線 108、図 4 (a) の配線 108、図 5 (a) の配線 511、図 8 (a) の配線 511、図 8 (b) の配線 511、図 9 (a) の配線 908、図 12 (a) の配線 908 に相当する。

【0234】

また、配線 2506 は、図 1 (a) の配線 109、図 4 (a) の配線 109、図 5 (a) の配線 512、図 8 (a) の配線 512、図 8 (b) の配線 512、図 9 (a) の配線 909、図 12 (a) の配線 909 に相当する。

【0235】

50

また、図 25 (a) の基本回路は、すべて N チャンネル型のトランジスタで構成することができるため、図 9 (a) の基本回路は、半導体層にアモルファスシリコンを用いることができ、製造工程の簡略化を図ることができる。したがって、製造コストの削減や歩留まりの向上を図ることができる。さらに、大型の表示パネルなどの半導体装置を作製することも可能となる。また、図 25 (a) の基本回路は、半導体層にポリシリコンや単結晶シリコンを用いても製造工程の簡略化を図ることができる。

【 0 2 3 6 】

また、電源電位が供給されている配線は、省略する。

【 0 2 3 7 】

また、配線 2 5 0 3、配線 2 5 0 4、及び配線 2 5 0 5 には、それぞれ信号が供給されている。なお、配線 2 5 0 3、配線 2 5 0 4、及び配線 2 5 0 5 に供給されている信号は、それぞれ 2 値の値を持つデジタル信号である。 10

【 0 2 3 8 】

ただし、配線 2 5 0 3、配線 2 5 0 4、及び配線 2 5 0 5 には、それぞれ電源電位 V D D、電源電位 V S S、又は他の電源電位が供給されていてもよい。また、配線 2 5 0 3、配線 2 5 0 4、及び配線 2 5 0 5 には、それぞれアナログ信号が供給されていてもよい。

【 0 2 3 9 】

次に、図 25 (a) に示した基本回路の動作について、図 25 (b) を参照して説明する。なお、図 25 (b) は、回路 2 5 0 1、回路 2 5 0 2 として、図 1 (a)、図 4 (a)、図 5 (a)、図 8 (a)、図 8 (b) に示した基本回路を用いた場合について示す。 20

【 0 2 4 0 】

図 25 (b) は、図 25 (a) に示した基本回路のタイミングチャートの一例である。図 25 (b) のタイミングチャートは、配線 2 5 0 3 の電位、配線 2 5 0 4 の電位、配線 2 5 0 5 の電位、回路 2 5 0 1 の出力が浮遊 (O F F で表記) か電源電位 V S S (O N で表記) か、回路 2 5 0 2 の出力が浮遊 (O F F で表記) か電源電位 V S S (O N で表記) か、配線 2 5 0 6 の電位を示している。

【 0 2 4 1 】

図 25 (b) のタイミングチャートを期間 T 1 ~ 期間 T 8 に分割して説明する。

【 0 2 4 2 】

まず、期間 T 1 の動作について説明する。期間 T 1 は、配線 2 5 0 5 に L 信号が供給され、配線 2 5 0 3 に L 信号が供給され、配線 2 5 0 4 に L 信号が供給されている。回路 2 5 0 1 は配線 2 5 0 6 に電源電位 V S S を供給し、回路 2 5 0 2 は配線 2 5 0 6 に電源電位 V S S を供給する。したがって、配線 2 5 0 6 の電位は電源電位 V S S と等しい値となる。 30

【 0 2 4 3 】

続いて、期間 T 2 の動作について説明する。期間 T 2 は、配線 2 5 0 5 に L 信号が供給され、配線 2 5 0 3 に H 信号が供給され、配線 2 5 0 4 に L 信号が供給されている。回路 2 5 0 1 は配線 2 5 0 6 になにも供給せず、回路 2 5 0 2 は配線 2 5 0 6 に電源電位 V S S を供給する。したがって、配線 2 5 0 6 の電位は電源電位 V S S と等しい値となる。

【 0 2 4 4 】

続いて、期間 T 3 の動作について説明する。期間 T 3 では、配線 2 5 0 5 に L 信号が供給され、配線 2 5 0 3 に L 信号が供給され、配線 2 5 0 4 に H 信号が供給されている。回路 2 5 0 1 は配線 2 5 0 6 に電源電位 V S S を供給し、回路 2 5 0 2 は配線 2 5 0 6 になにも供給しない。したがって、配線 2 5 0 6 の電位は電源電位 V S S と等しい値となる。 40

【 0 2 4 5 】

続いて、期間 T 4 の動作について説明する。期間 T 4 では、配線 2 5 0 5 に L 信号が供給され、配線 2 5 0 3 に H 信号が供給され、配線 2 5 0 4 に H 信号が供給されている。回路 2 5 0 1 は配線 2 5 0 6 になにも供給せず、回路 2 5 0 2 は配線 2 5 0 6 になにも供給しない。したがって、配線 2 5 0 6 の電位は、期間 T 3 の電位を維持するため、電源電位 V S S と等しい値のままである。 50

【 0 2 4 6 】

続いて、期間 T 5 の動作について説明する。期間 T 5 では、配線 2 5 0 5 に H 信号が供給され、配線 2 5 0 3 に L 信号が供給され、配線 2 5 0 4 に L 信号が供給されている。回路 2 5 0 1 は配線 2 5 0 6 になにも供給せず、回路 2 5 0 2 は配線 2 5 0 6 になにも供給しない。したがって、配線 2 5 0 6 の電位は、期間 T 3 の電位を維持するため、電源電位 V S S と等しい値のままである。

【 0 2 4 7 】

続いて、期間 T 6 の動作について説明する。期間 T 6 では、配線 2 5 0 5 に H 信号が供給され、配線 2 5 0 3 に H 信号が供給され、配線 2 5 0 4 に L 信号が供給されている。回路 2 5 0 1 は配線 2 5 0 6 になにも供給せず、回路 2 5 0 2 は配線 2 5 0 6 になにも供給しない。したがって、配線 2 5 0 6 の電位は、期間 T 3 の電位を維持するため、電源電位 V S S と等しい値のままである。

10

【 0 2 4 8 】

続いて、期間 T 7 の動作について説明する。期間 T 7 では、配線 2 5 0 5 に H 信号が供給され、配線 2 5 0 3 に L 信号が供給され、配線 2 5 0 4 に H 信号が供給されている。回路 2 5 0 1 は配線 2 5 0 6 になにも供給せず、回路 2 5 0 2 は配線 2 5 0 6 になにも供給しない。したがって、配線 2 5 0 6 の電位は、期間 T 3 の電位を維持するため、電源電位 V S S と等しい値のままである。

【 0 2 4 9 】

続いて、期間 T 8 の動作について説明する。期間 T 8 では、配線 2 5 0 5 に H 信号が供給され、配線 2 5 0 3 に H 信号が供給され、配線 2 5 0 4 に H 信号が供給されている。回路 2 5 0 1 は配線 2 5 0 6 になにも供給せず、回路 2 5 0 2 は配線 2 5 0 6 になにも供給しない。したがって、配線 2 5 0 6 の電位は、期間 T 3 の電位を維持するため、電源電位 V S S と等しい値のままである。

20

【 0 2 5 0 】

以上の動作によって、期間 T 1 では、回路 2 5 0 1 が電源電位 V S S を配線 2 5 0 6 に供給し、回路 2 5 0 2 が電源電位 V S S を配線 2 5 0 6 に供給し、配線 2 5 0 6 の電位を電源電位 V S S と等しい値にする。期間 T 2 では、回路 2 5 0 2 が電源電位 V S S を配線 2 5 0 6 に供給し、配線 2 5 0 6 の電位を電源電位 V S S と等しい値にする。期間 T 3 では、回路 2 5 0 1 が電源電位 V S S を配線 2 5 0 6 に供給し、配線 2 5 0 6 の電位を電源電位 V S S と等しい値にする。期間 T 4 ~ 期間 T 8 では、配線 2 5 0 6 をフローティング状態にし、配線 2 5 0 6 の電位を電源電位 V S S と等しい値に維持する。

30

【 0 2 5 1 】

また、図 2 5 (a) の基本回路は、期間 T 1 ~ 期間 T 8 にすべての期間でオン状態であるトランジスタは有していない。つまり、定常的、又は定常的にオン状態であるトランジスタは有していない。したがって、図 2 5 (a) の基本回路は、トランジスタの特性劣化、及び特性劣化によるしきい値電圧のシフトを抑制することができる。

【 0 2 5 2 】

また、トランジスタの特性は、トランジスタがアモルファスシリコンで形成されている場合に劣化しやすい。したがって、図 2 5 (a) の基本回路は、トランジスタをアモルファスシリコンで形成することによって、製造コストの削減や歩留まりの向上などのメリットが得られるだけでなく、トランジスタの特性劣化の問題も解決できる。

40

【 0 2 5 3 】

次に、図 2 5 (a) に示した基本回路を P チャネル型トランジスタで構成した場合について、図 2 6 (a) を参照して説明する。

【 0 2 5 4 】

図 2 6 (a) は、本発明の基本原理に基づく基本回路である。図 2 6 (a) の基本回路は、回路 2 6 0 1、及び回路 2 6 0 2 を有している。

【 0 2 5 5 】

なお、回路 2 6 0 1、及び回路 2 6 0 2 として、図 1 3 (a)、図 1 6 (a)、図 1 7 (

50

a)、図20(a)、図20(b)、図21(a)、図24(a)に示した基本回路を用いることができる。

【0256】

したがって、配線2603、および配線2604は、図13(a)の配線1307、図16(a)の配線1307、図17(a)の配線1710、図20(a)の配線1710、図20(b)の配線1710、図21(a)の配線2108、図24(a)の配線2108に相当する。

【0257】

また、配線2605は、図13(a)の配線1308、図16(a)の配線1308、図17(a)の配線1711、図20(a)の配線1711、図20(b)の配線1711、図21(a)の配線2107、図24(a)の配線2107に相当する。

10

【0258】

また、配線2606は、図13(a)の配線1309、図16(a)の配線1309、図17(a)の配線1712、図20(a)の配線1712、図20(b)の配線1712、図21(a)の配線2109、図24(a)の配線2109に相当する。

【0259】

したがって、図26(a)の基本回路はすべてPチャネル型のトランジスタで構成することができるため、Nチャネル型のトランジスタを形成するための工程が必要ない。したがって、図26(a)の基本回路は、製造工程の簡略化を図ることができ、製造コストの削減や歩留まりの向上を図ることができる。

20

【0260】

また、電源電位が供給されている配線は、省略する。

【0261】

また、配線2603、配線2604、及び配線2605には、それぞれ信号が供給されている。なお、配線2603、配線2604、及び配線2605に供給されている信号は、それぞれ2値の値を持つデジタル信号である。

【0262】

ただし、配線2603、配線2604、及び配線2605には、それぞれ電源電位VDD、電源電位VSS、又は他の電源電位が供給されていてもよい。また、配線2603、配線2604、及び配線2605には、それぞれアナログ信号が供給されていてもよい。

30

【0263】

次に、図26(a)に示した基本回路の動作について、図26(b)を参照して説明する。なお、図26(b)は、回路2601、回路2602として、図13(a)、図16(a)、図17(a)、図20(a)、図20(b)に示した基本回路を用いた場合について示す。

【0264】

図26(b)は、図26(a)に示した基本回路のタイミングチャートの一例である。図26(b)のタイミングチャートは、配線2603の電位、配線2604の電位、配線2605の電位、回路2601の出力が浮遊(OFFで表記)か電源電位VSS(ONで表記)か、回路2602の出力が浮遊(OFFで表記)か電源電位VSS(ONで表記)か、配線2606の電位を示している。

40

【0265】

図26(b)のタイミングチャートを期間T1～期間T8に分割して説明する。

【0266】

まず、期間T1の動作について説明する。期間T1では、配線2605にH信号が供給され、配線2603にH信号が供給され、配線2604にH信号が供給されている。回路2601は配線2606に電源電位VDDを供給し、回路2602は配線2606に電源電位VDDを供給する。したがって、配線2606の電位は電源電位VDDと等しい値となる。

【0267】

50

続いて、期間 T 2 の動作について説明する。期間 T 2 では、配線 2 6 0 5 に H 信号が供給され、配線 2 6 0 3 に L 信号が供給され、配線 2 6 0 4 に H 信号が供給されている。回路 2 6 0 1 は配線 2 6 0 6 になにも供給せず、回路 2 6 0 2 は配線 2 6 0 6 に電源電位 V D D を供給する。したがって、配線 2 6 0 6 の電位は電源電位 V D D と等しい値となる。

【 0 2 6 8 】

続いて、期間 T 3 の動作について説明する。期間 T 3 では、配線 2 6 0 5 に H 信号が供給され、配線 2 6 0 3 に H 信号が供給され、配線 2 6 0 4 に L 信号が供給されている。回路 2 6 0 1 は配線 2 6 0 6 に電源電位 V D D を供給し、回路 2 6 0 2 は配線 2 6 0 6 になにも供給しない。したがって、配線 2 6 0 6 の電位は電源電位 V D D と等しい値となる。

【 0 2 6 9 】

続いて、期間 T 4 の動作について説明する。期間 T 4 では、配線 2 6 0 5 に H 信号が供給され、配線 2 6 0 3 に L 信号が供給され、配線 2 6 0 4 に L 信号が供給されている。回路 2 6 0 1 は配線 2 6 0 6 になにも供給せず、回路 2 6 0 2 は配線 2 6 0 6 になにも供給しない。したがって、配線 2 6 0 6 の電位は、期間 T 3 の電位を維持するため、電源電位 V D D と等しい値のままである。

【 0 2 7 0 】

続いて、期間 T 5 の動作について説明する。期間 T 5 では、配線 2 6 0 5 に L 信号が供給され、配線 2 6 0 3 に H 信号が供給され、配線 2 6 0 4 に H 信号が供給されている。回路 2 6 0 1 は配線 2 6 0 6 になにも供給せず、回路 2 6 0 2 は配線 2 6 0 6 になにも供給しない。したがって、配線 2 6 0 6 の電位は、期間 T 3 の電位を維持するため、電源電位 V D D と等しい値のままである。

【 0 2 7 1 】

続いて、期間 T 6 の動作について説明する。期間 T 6 では、配線 2 6 0 5 に L 信号が供給され、配線 2 6 0 3 に L 信号が供給され、配線 2 6 0 4 に H 信号が供給されている。回路 2 6 0 1 は配線 2 6 0 6 になにも供給せず、回路 2 6 0 2 は配線 2 6 0 6 になにも供給しない。したがって、配線 2 6 0 6 の電位は、期間 T 3 の電位を維持するため、電源電位 V D D と等しい値のままである。

【 0 2 7 2 】

続いて、期間 T 7 の動作について説明する。期間 T 7 では、配線 2 6 0 5 に L 信号が供給され、配線 2 6 0 3 に H 信号が供給され、配線 2 6 0 4 に L 信号が供給されている。回路 2 6 0 1 は配線 2 6 0 6 になにも供給せず、回路 2 6 0 2 は配線 2 6 0 6 になにも供給しない。したがって、配線 2 6 0 6 の電位は、期間 T 3 の電位を維持するため、電源電位 V D D と等しい値のままである。

【 0 2 7 3 】

続いて、期間 T 8 の動作について説明する。期間 T 8 では、配線 2 6 0 5 に L 信号が供給され、配線 2 6 0 3 に L 信号が供給され、配線 2 6 0 4 に L 信号が供給されている。回路 2 6 0 1 は配線 2 6 0 6 になにも供給せず、回路 2 6 0 2 は配線 2 6 0 6 になにも供給しない。したがって、配線 2 6 0 6 の電位は、期間 T 3 の電位を維持するため、電源電位 V D D と等しい値のままである。

【 0 2 7 4 】

以上の動作によって、期間 T 1 では、回路 2 6 0 1 が電源電位 V D D を配線 2 6 0 6 に供給し、回路 2 6 0 2 が電源電位 V D D を配線 2 6 0 6 に供給し、配線 2 6 0 6 の電位を電源電位 V D D と等しい値にする。期間 T 2 では、回路 2 6 0 2 が電源電位 V D D を配線 2 6 0 6 に供給し、配線 2 6 0 6 の電位を電源電位 V D D と等しい値にする。期間 T 3 では、回路 2 6 0 1 が電源電位 V D D を配線 2 6 0 6 に供給し、配線 2 6 0 6 の電位を電源電位 V D D と等しい値にする。期間 T 4 ~ 期間 T 8 では、配線 2 6 0 6 をフローティング状態にし、配線 2 6 0 6 の電位を電源電位 V D D と等しい値に維持する。

【 0 2 7 5 】

また、図 2 6 (a) の基本回路は、期間 T 1 ~ 期間 T 8 すべての期間でオン状態であるトランジスタは有していない。つまり、定常的、又はほぼ定常的にオン状態であるトランジ

10

20

30

40

50

スタは有していない。したがって、図 26 (a) の基本回路は、トランジスタの特性劣化、及び特性劣化によるしきい値電圧のシフトを抑制することができる。

【0276】

なお、本実施形態は、本明細書中の他の実施形態のいかなる記載とも自由に組み合わせて実施することができる。また、本実施形態中のいかなる記載も自由に組み合わせて実施することができる。

【0277】

(第5の実施形態)

本実施形態では、第1の実施形態で説明した基本回路をフリップフロップ回路に適用した場合について、図27を参照して説明する。

10

【0278】

図27は、第1の実施の形態で説明した図1(a)の基本回路を適用したフリップフロップ回路の一例である。図27のフリップフロップ回路は、トランジスタ2701、トランジスタ2702、トランジスタ2703、トランジスタ2704、トランジスタ2705、トランジスタ2706、トランジスタ2707、及びトランジスタ2708を有している。

【0279】

なお、トランジスタ2705が図1(a)のトランジスタ101、トランジスタ2707が図1(a)のトランジスタ103、トランジスタ2706が図1(a)のトランジスタ102に、それぞれ相当する。また、トランジスタ2703、及びトランジスタ2704

20

【0280】

図27のフリップフロップ回路の接続関係について説明する。なお、トランジスタ2701の第2端子とトランジスタ2708の第2端子とトランジスタ2706のゲートとトランジスタ2704の第2端子とトランジスタ2702のゲートとの節点を節点N271とする。また、トランジスタ2705の第2端子とトランジスタ2706の第2端子とトランジスタ2707の第2端子とトランジスタ2703のゲートとトランジスタ2704のゲートとの節点を節点N272とする。

【0281】

トランジスタ2701のゲートが配線2712に接続され、第1端子が配線2709に接続され、第2端子が節点N271に接続されている。トランジスタ2708のゲートが配線2713に接続され、第1端子が配線2710に接続され、第2端子が節点N271に接続されている。トランジスタ2705のゲートが配線2709に接続され、第1端子が配線2709に接続され、第2端子が節点N272に接続されている。トランジスタ2706のゲートが節点N271に接続され、第1端子が配線2710に接続され、第2端子が節点N272に接続されている。トランジスタ2707のゲートが配線2711に接続され、第1端子が配線2710に接続され、第2端子が節点N272に接続されている。トランジスタ2704のゲートが節点N272に接続され、第1端子が配線2710に接続され、第2端子が節点N271に接続されている。トランジスタ2703のゲートが節点N272に接続され、第1端子が配線2710に接続され、第2端子が配線2714に接続されている。トランジスタ2702のゲートが節点N271に接続され、第1端子が配線2711に接続され、第2端子が配線2714に接続されている。

30

40

【0282】

また、トランジスタ2701～トランジスタ2708は、それぞれNチャネル型である。

【0283】

したがって、図27のフリップフロップ回路はすべてNチャネル型のトランジスタで構成することができたため、図27のフリップフロップ回路は、半導体層にアモルファスシリコンを用いることができ、製造工程の簡略化を図ることができる。したがって、製造コストの削減や歩留まりの向上を図ることができる。さらに、大型の表示パネルなどの半導体装置を作製することも可能となる。また、図27のフリップフロップ回路は、半導体層にボ

50

リシリコンや単結晶シリコンを用いても製造工程の簡略化を図ることができる。

【0284】

また、配線2709には電源電位VDDが供給され、配線2710には電源電位VSSが供給されている。なお、電源電位VDDは、電源電位VSSよりも高い電位である。ただし、配線2709、及び配線2710には、デジタル信号、アナログ信号などが供給されていてもよいし、他の電源電位が供給されていてもよい。

【0285】

また、配線2711、配線2712、及び配線2713には、それぞれ信号が供給されている。なお、配線2711、配線2712、及び配線2713に供給されている信号は、それぞれ2値の値を持つデジタル信号である。ただし、配線2711、配線2712、及び配線2713には、それぞれ電源電位VDD、電源電位VSS、又は他の電源電位が供給されていてもよい。また、配線2711、配線2712、及び配線2713には、それぞれアナログ信号が供給されていてもよい。

10

【0286】

次に、図27に示したフリップフロップ回路の動作について、図28を参照して説明する。

【0287】

図28は、図27に示したフリップフロップ回路のタイミングチャートの一例である。図28のタイミングチャートは、配線2711の電位、配線2712の電位、節点N271の電位、節点N272の電位、配線2714の電位、トランジスタ2703、及びトランジスタ2704のオン、オフの関係、配線2713の電位を示している。

20

【0288】

図28のタイミングチャートを期間T1～期間T4に分割して説明する。また、期間T3は、期間T3aと期間T3bとに分割して説明する。また、図29、図30、図31、図32、図33は、それぞれ、期間T1、期間T2、期間T3b、期間T4、期間T3aにおける図27のフリップフロップ回路の動作を示している。

【0289】

なお、期間T1、期間T2、期間T3b以外の期間は、期間T3aと期間T4とを順に繰り返している。

【0290】

まず、期間T1の動作について、図29を参照して説明する。期間T1では、配線2711にL信号が供給され、配線2712にH信号が供給され、配線2713にL信号が供給されている。

30

【0291】

したがって、トランジスタ2701がオンになり、トランジスタ2708がオフになり、トランジスタ2707がオフになる。このとき、節点N271にトランジスタ2701を介して電源電位VDDが供給され、節点N271の電位が上昇する。また、トランジスタ2706が節点N271の電位の上昇によってオンして、節点N272の電位が減少する。また、トランジスタ2703、及びトランジスタ2704が節点N272の電位の減少によってオフする。

40

【0292】

ここで、節点N271の電位の上昇は、トランジスタ2701がオフするまで続く。トランジスタ2701は、節点N271の電位が電源電位VDDからトランジスタ2701のしきい値電圧 V_{th2701} を引いた値($VDD - V_{th2701}$)になるとオフする。したがって、節点N271の電位は、 $VDD - V_{th2701}$ となる。また、節点N271は、フローティング状態となる。

【0293】

したがって、トランジスタ2702がオンする。また、配線2714には、配線2711のL信号が供給されるため、配線2714の電位は電源電位VSSと等しい値となる。

【0294】

50

続いて、期間 T 2 の動作について、図 3 0 を参照して説明する。期間 T 2 では、配線 2 7 1 1 に H 信号が供給され、配線 2 7 1 2 に L 信号が供給され、配線 2 7 1 3 に L 信号が供給されている。

【 0 2 9 5 】

したがって、トランジスタ 2 7 0 1 がオフになり、トランジスタ 2 7 0 8 がオフのままであり、トランジスタ 2 7 0 7 がオンになる。このとき、節点 N 2 7 1 はフローティング状態であり、節点 N 2 7 1 の電位は $V_{DD} - V_{th2701}$ を維持している。また、節点 N 2 7 2 の電位は、トランジスタ 2 7 0 6、及びトランジスタ 2 7 0 7 がオンしているため、L レベルのままである。よって、節点 N 2 7 2 が L レベルであるため、トランジスタ 2 7 0 3、及びトランジスタ 2 7 0 4 がオフのままである。

10

【 0 2 9 6 】

ここで、節点 N 2 7 1 はフローティング状態であり、H レベルを維持している。また、トランジスタ 2 7 0 2 は節点 N 2 7 1 が H レベルを維持しているため、オンのままである。また、配線 2 7 1 4 には配線 2 7 1 1 の H 信号が供給されるため、配線 2 7 1 4 の電位が上昇している。したがって、ブートストラップ動作によって、節点 N 2 7 1 の電位は電源電位 V_{DD} とトランジスタ 2 7 0 2 のしきい値電圧 V_{th2702} との和 ($V_{DD} + V_{th2702}$) 以上になり、配線 2 7 1 4 の電位は電源電位 V_{DD} と等しい値になる。

【 0 2 9 7 】

続いて、期間 T 3 b の動作について、図 3 1 を参照して説明する。期間 T 3 b では、配線 2 7 1 1 に L 信号供給され、配線 2 7 1 2 に L 信号が供給され、配線 2 7 1 3 に H 信号が供給されている。

20

【 0 2 9 8 】

したがって、トランジスタ 2 7 0 1 がオフのままであり、トランジスタ 2 7 0 8 がオンになり、トランジスタ 2 7 0 7 がオフになる。このとき、節点 N 2 7 1 にトランジスタ 2 7 0 8 を介して電源電位 V_{SS} が供給され、節点 N 2 7 1 の電位が減少する。また、トランジスタ 2 7 0 6 が節点 N 2 7 1 の電位の減少によってオフして、節点 N 2 7 2 の電位が上昇する。また、トランジスタ 2 7 0 3、及びトランジスタ 2 7 0 4 が節点 N 2 7 2 の電位の上昇によってオンする。

【 0 2 9 9 】

また、トランジスタ 2 7 0 2 は節点 N 2 7 1 の電位の減少によってオフする。したがって、配線 2 7 1 4 には、トランジスタ 2 7 0 3 を介して電源電位 V_{SS} が供給されるため、配線 2 7 1 4 の電位は電源電位 V_{SS} と等しい値になる。

30

【 0 3 0 0 】

続いて、期間 T 4 の動作について、図 3 2 を参照して説明する。期間 T 4 では、配線 2 7 1 1 に H 信号が供給され、配線 2 7 1 2 に L 信号が供給され、配線 2 7 1 3 に L 信号が供給されている。

【 0 3 0 1 】

したがって、トランジスタ 2 7 0 1 がオフのままであり、トランジスタ 2 7 0 8 がオフになり、トランジスタ 2 7 0 7 がオンになる。このとき、節点 N 2 7 1 はフローティング状態になり、節点 N 2 7 1 の電位は電源電位 V_{SS} を維持する。したがって、トランジスタ 2 7 0 6、及びトランジスタ 2 7 0 2 がオフする。また、節点 N 2 7 2 の電位はトランジスタ 2 7 0 7 を介して電源電位 V_{SS} が供給されるため、L レベルになる。したがって、トランジスタ 2 7 0 3、及びトランジスタ 2 7 0 4 がオフする。

40

【 0 3 0 2 】

したがって、配線 2 7 1 4 はフローティング状態になり、配線 2 7 1 4 の電位は電源電位 V_{SS} と等しい値を維持する。

【 0 3 0 3 】

続いて、期間 T 3 a の動作について、図 3 3 を参照して説明する。期間 T 3 a では、配線 2 7 1 1 に L 信号が供給され、配線 2 7 1 2 に L 信号が供給され、配線 2 7 1 3 に L 信号が供給されている。

50

【0304】

したがって、トランジスタ2701がオフのままであり、トランジスタ2708がオフのままであり、トランジスタ2707がオフになる。このとき、節点N272の電位はトランジスタ2707がオフするため上昇する。したがって、トランジスタ2703、及びトランジスタ2704がオンする。また、節点N271にトランジスタ2704を介して電源電位VSSが供給され、節点N271の電位は電源電位VSSと等しい値になる。したがって、トランジスタ2702、及びトランジスタ2706はオフのままである。

【0305】

また、配線2714にはトランジスタ2703を介して電源電位VSSが供給され、配線2714の電位は電源電位VSSと等しい値を維持する。

10

【0306】

以上の動作によって、期間T1では、図27のフリップフロップ回路は、節点N271をHレベルのまま、フローティング状態にする。期間T2では、図27のフリップフロップ回路は、ブートストラップ動作によって、節点N271の電位を $V_{DD} + V_{th2702}$ 以上にし、配線2714の電位を電源電位VDDと等しい値にできる。

【0307】

また、期間T3aにおいて、図27のフリップフロップ回路は、トランジスタ2703、及びトランジスタ2704がオンして、電源電位VSSを配線2714、及び節点N271に供給する。また、期間T4において、図27のフリップフロップ回路は、トランジスタ2703、及びトランジスタ2704をオフする。したがって、図27のフリップフロップ回路は、トランジスタ2703、及びトランジスタ2704が順にオンするため、トランジスタ2703、及びトランジスタ2704の特性劣化を抑制でき、節点N271、及び配線2714の電位を安定して電源電位VSSと等しい値に維持することができる。

20

【0308】

また、図27のフリップフロップ回路は、期間T1～期間T4すべての期間でオン状態であるトランジスタは有していない。つまり、定常的、又はほぼ定常的にオン状態であるトランジスタは有していない。したがって、図27のフリップ回路は、トランジスタの特性劣化、及び特性劣化によるしきい値電圧のシフトを抑制することができる。

【0309】

また、トランジスタの特性は、トランジスタがアモルファスシリコンで形成されている場合に劣化しやすい。したがって、図27のフリップフロップ回路は、トランジスタをアモルファスシリコンで形成することによって、製造コストの削減や歩留まりの向上などのメリットが得られるだけでなく、トランジスタの特性劣化の問題も解決できる。

30

【0310】

ここで、トランジスタ2701～トランジスタ2708の機能を説明する。トランジスタ2701は、配線2712の電位に応じて、配線2709と節点N271とを接続するかしないかを選択するスイッチとしての機能を有する。トランジスタ2702は、節点N271の電位に応じて、配線2711と配線2714とを接続するかしないかを選択するスイッチとしての機能を有する。トランジスタ2703は、節点N272の電位に応じて、配線2710と配線2714とを接続するかしないかを選択するスイッチとしての機能を有する。トランジスタ2704は、節点N272の電位に応じて、配線2710と節点N271とを接続するかしないかを選択するスイッチとしての機能を有する。トランジスタ2705は、入力端子を第1端子、及びゲートとし、出力端子を第2端子としているダイオードとしての機能を有する。トランジスタ2706は、節点N271の電位に応じて、配線2710と節点N272とを接続するかしないかを選択するスイッチとしての機能を有する。トランジスタ2707は、配線2711の電位に応じて、配線2710と節点N272とを接続するかしないかを選択するスイッチとしての機能を有する。トランジスタ2708は、配線2713の電位に応じて、配線2710と節点N271とを接続するかしないかを選択するスイッチとしての機能を有する。

40

【0311】

50

なお、トランジスタ 2705、トランジスタ 2706、及びトランジスタ 2707 によって、節点 N271、及び配線 2711 を入力端子とし、出力端子を節点 N272 とする 2 入力 NOR 回路 2715 を構成している。

【0312】

なお、トランジスタ 2705 は、抵抗成分を持つ素子であればよい。例えば、図 34 に示すように、抵抗素子 3401 をトランジスタ 2705 の代わりに用いることができる。抵抗素子 3401 を用いることによって、節点 N272 の電位において電源電位 VDD と等しい値とすることができる。

【0313】

なお、図 35 に示すように、トランジスタ 2702 のゲート（節点 N271）と、第 2 端子（配線 2714）との間に、容量素子 3501 を配置していてもよい。なぜなら、期間 T2 において、節点 N271 の電位、及び配線 2714 の電位はブートストラップ動作によって、上昇させるため、容量素子 3501 を配置することで、フリップフロップ回路がブートストラップ動作しやすくなるからである。

【0314】

なお、トランジスタ 2701 は、期間 T1 において、節点 N271 をフローティング状態にして、節点 N271 の電位を H レベルにできればよい。したがって、トランジスタ 2701 の第 1 端子を配線 2712 に接続しても、節点 N271 をフローティング状態にして、節点 N271 の電位を H レベルにできる。

【0315】

次に、図 27 に示したフリップフロップ回路を P チャネル型トランジスタで構成した場合について、図 44 を参照して説明する。

【0316】

図 44 は、第 1 の実施の形態で説明した図 13 (a) の基本回路を適用したフリップフロップ回路の一例である。図 44 のフリップフロップ回路は、トランジスタ 4401、トランジスタ 4402、トランジスタ 4403、トランジスタ 4404、トランジスタ 4405、トランジスタ 4406、トランジスタ 4407、及びトランジスタ 4408 を有している。

【0317】

なお、トランジスタ 4405 が図 13 (a) のトランジスタ 1301、トランジスタ 4407 が図 13 (a) のトランジスタ 1302、トランジスタ 4406 が図 13 (a) のトランジスタ 1303 に、それぞれ相当する。また、トランジスタ 4403、及びトランジスタ 4404 が図 13 (a) のトランジスタ 1304 に相当する。

【0318】

図 44 のフリップフロップ回路の接続関係について説明する。なお、トランジスタ 4401 の第 2 端子とトランジスタ 4408 の第 2 端子とトランジスタ 4406 のゲートとトランジスタ 4404 の第 2 端子とトランジスタ 4402 のゲートとの節点を節点 N441 とする。また、トランジスタ 4405 の第 2 端子とトランジスタ 4406 の第 2 端子とトランジスタ 4407 の第 2 端子とトランジスタ 4403 のゲートとトランジスタ 4404 のゲートとの節点を節点 N442 とする。

【0319】

トランジスタ 4401 のゲートが配線 4412 に接続され、第 1 端子が配線 4409 に接続され、第 2 端子が節点 N441 に接続されている。トランジスタ 4408 のゲートが配線 4413 に接続され、第 1 端子が配線 4410 に接続され、第 2 端子が節点 N441 に接続されている。トランジスタ 4405 のゲートが配線 4409 に接続され、第 1 端子が配線 4409 に接続され、第 2 端子が節点 N442 に接続されている。トランジスタ 4406 のゲートが節点 N441 に接続され、第 1 端子が配線 4410 に接続され、第 2 端子が節点 N442 に接続されている。トランジスタ 4407 のゲートが配線 4411 に接続され、第 1 端子が配線 4410 に接続され、第 2 端子が節点 N442 に接続されている。トランジスタ 4404 のゲートが節点 N442 に接続され、第 1 端子が配線 4410 に接

10

20

30

40

50

続され、第2端子が節点N441に接続されている。トランジスタ4403のゲートが節点N442に接続され、第1端子が配線4410に接続され、第2端子が配線4414に接続されている。トランジスタ4402のゲートが節点N441に接続され、第1端子が配線4411に接続され、第2端子が配線4414に接続されている。

【0320】

また、トランジスタ4401～トランジスタ4408は、それぞれPチャネル型である。

【0321】

したがって、図44のフリップフロップ回路はすべてPチャネル型のトランジスタで構成することができるため、Nチャネル型のトランジスタを形成するための工程が必要ない。したがって、図44のフリップフロップ回路は、製造工程の簡略化を図ることができ、製造コストの削減や歩留まりの向上を図ることができる。

10

【0322】

また、配線4410には電源電位VDDが供給され、配線4409には電源電位VSSが供給されている。なお、電源電位VDDは、電源電位VSSよりも高い電位である。ただし、配線4409、及び配線4410には、デジタル信号、アナログ信号などが供給されていてもよいし、他の電源電位が供給されていてもよい。

【0323】

また、配線4411、配線4412、及び配線4413には、それぞれ信号が供給されている。なお、配線4411、配線4412、及び配線4413に供給されている信号は、それぞれ2値の値を持つデジタル信号である。ただし、配線4411、配線4412、及び配線4413には、それぞれ電源電位VDD、電源電位VSS、又は他の電源電位が供給されていてもよい。また、配線4411、配線4412、及び配線4413には、それぞれアナログ信号が供給されていてもよい。

20

【0324】

次に、図44に示したフリップフロップ回路の動作について、図45を参照して説明する。

【0325】

図45は、図44に示したフリップフロップ回路のタイミングチャートの一例である。図45のタイミングチャートは、配線4411の電位、配線4412の電位、節点N441の電位、節点N442の電位、配線4414の電位、トランジスタ4403、及びトランジスタ4404のオン、オフの関係、配線4413の電位を示している。

30

【0326】

図44のタイミングチャートを期間T1～期間T4に分割して説明する。また、期間T3は、期間T3aと期間T3bとに分割して説明する。

【0327】

なお、期間T1、期間T2、期間T3b以外の期間は、期間T3aと期間T4とを順に繰り返している。

【0328】

まず、期間T1の動作について説明する。期間T1では、配線4411にH信号が供給され、配線4412にL信号が供給され、配線4413にH信号が供給されている。

40

【0329】

したがって、トランジスタ4401がオンになり、トランジスタ4408がオフになり、トランジスタ4407がオフになる。このとき、節点N441にトランジスタ4401を介して電源電位VSSが供給され、節点N441の電位が減少する。また、トランジスタ4406が節点N441の電位の減少によってオンして、節点N442の電位が上昇する。また、トランジスタ4403、及びトランジスタ4404が節点N442の電位の上昇によってオフする。

【0330】

ここで、節点N441の電位の減少は、トランジスタ4401がオフするまで続く。トランジスタ4401は、節点N441の電位が電源電位VSSとトランジスタ4401のし

50

きい値電圧 V_{th4401} の絶対値との和 ($V_{SS} + |V_{th4401}|$) になるとオフする。したがって、節点 $N441$ の電位は、 $V_{SS} + |V_{th4401}|$ となる。また、節点 $N441$ は、フローティング状態となる。

【0331】

したがって、トランジスタ 4402 がオンする。また、配線 4414 には、配線 4411 の H 信号が供給されるため、配線 4414 の電位は電源電位 V_{DD} と等しい値となる。

【0332】

続いて、期間 $T2$ の動作について説明する。期間 $T2$ では、配線 4411 に L 信号が供給され、配線 4412 に H 信号が供給され、配線 4413 に H 信号が供給されている。

【0333】

したがって、トランジスタ 4401 がオフになり、トランジスタ 4408 がオフのままであり、トランジスタ 4407 がオンになる。このとき、節点 $N441$ はフローティング状態であり、節点 $N441$ の電位は $V_{SS} + |V_{th4401}|$ を維持している。また、節点 $N442$ の電位は、トランジスタ 4406 、及びトランジスタ 4407 がオンしているため、 H レベルのままである。よって、節点 $N442$ が H レベルであるため、トランジスタ 4403 、及びトランジスタ 4404 がオフのままである。

【0334】

ここで、節点 $N441$ はフローティング状態であり、 L レベルを維持している。また、トランジスタ 4402 は節点 $N441$ が L レベルを維持しているため、オンのままである。また、配線 4414 には配線 4411 の L 信号が供給されるため、配線 4414 の電位が減少している。したがって、ブートストラップ動作によって、節点 $N441$ の電位は電源電位 V_{SS} からトランジスタ 4402 のしきい値電圧 V_{th4402} の絶対値を引いた値 ($V_{SS} - |V_{th4402}|$) 以下になり、配線 4414 の電位は電源電位 V_{SS} と等しい値になる。

【0335】

続いて、期間 $T3b$ の動作について説明する。期間 $T3b$ では、配線 4411 に H 信号が供給され、配線 4412 に H 信号が供給され、配線 4413 に L 信号が供給されている。

【0336】

したがって、トランジスタ 4401 がオフのままであり、トランジスタ 4408 がオンになり、トランジスタ 4407 がオフになる。このとき、節点 $N441$ にトランジスタ 4408 を介して電源電位 V_{DD} が供給され、節点 $N441$ の電位が上昇する。また、トランジスタ 4406 が節点 $N441$ の電位の上昇によってオフして、節点 $N442$ の電位が減少する。また、トランジスタ 4403 、及びトランジスタ 4404 が節点 $N442$ の電位の減少によってオンする。

【0337】

また、トランジスタ 4402 は節点 $N441$ の電位の上昇によってオフする。したがって、配線 4414 には、トランジスタ 4403 を介して電源電位 V_{DD} が供給されるため、配線 4414 の電位は電源電位 V_{DD} と等しい値になる。

【0338】

続いて、期間 $T4$ の動作について説明する。期間 $T4$ では、配線 4411 に L 信号が供給され、配線 4412 に H 信号が供給され、配線 4413 に H 信号が供給されている。

【0339】

したがって、トランジスタ 4401 がオフのままであり、トランジスタ 4408 がオフになり、トランジスタ 4407 がオンになる。このとき、節点 $N441$ はフローティング状態になり、節点 $N441$ の電位は電源電位 V_{DD} を維持する。したがって、トランジスタ 4406 、及びトランジスタ 4402 がオフする。また、節点 $N442$ の電位はトランジスタ 4407 を介して電源電位 V_{DD} が供給されるため、 H レベルになる。したがって、トランジスタ 4403 、及びトランジスタ 4404 がオフする。

【0340】

したがって、配線 4414 はフローティング状態になり、配線 4414 の電位は電源電位

10

20

30

40

50

VDDと等しい値を維持する。

【0341】

続いて、期間T3aの動作について説明する。期間T3aでは、配線4411にH信号供給され、配線4412にH信号が供給され、配線4413にH信号が供給されている。

【0342】

したがって、トランジスタ4401がオフのままであり、トランジスタ4408がオフのままであり、トランジスタ4407がオフになる。このとき、節点N442の電位はトランジスタ4407がオフするため減少する。したがって、トランジスタ4403、及びトランジスタ4404がオンする。また、節点N441にトランジスタ4404を介して電源電位VDDが供給され、節点N441の電位は電源電位VDDと等しい値になる。したがって、トランジスタ4402、及びトランジスタ4406はオフのままである。

10

【0343】

また、配線4414にはトランジスタ4403を介して電源電位VDDが供給され、配線4414の電位は電源電位VDDと等しい値を維持する。

【0344】

以上の動作によって、期間T1では、図44のフリップフロップ回路は、節点N441をLレベルのまま、フローティング状態にする。期間T2では、図44のフリップフロップ回路は、ブートストラップ動作によって、節点N441の電位をVSS - |Vth4402|以下にし、配線4414の電位を電源電位VSSと等しい値にできる。

【0345】

20

また、期間T3aにおいて、図44のフリップフロップ回路は、トランジスタ4403、及びトランジスタ4404がオンして、電源電位VDDを配線4414、及び節点N441に供給する。また、期間T4において、図44のフリップフロップ回路は、トランジスタ4403、及びトランジスタ4404をオフする。したがって、図44のフリップフロップ回路は、トランジスタ4403、及びトランジスタ4404が順にオンするため、トランジスタ4403、及びトランジスタ4404の特性劣化を抑制でき、節点N441、及び配線4414の電位を安定して電源電位VDDと等しい値に維持することができる。

【0346】

また、図44のフリップフロップ回路は、期間T1～期間T4すべての期間でオン状態であるトランジスタは有していない。つまり、定常的、又はほぼ定常的にオン状態であるトランジスタは有していない。したがって、図44のフリップ回路は、トランジスタの特性劣化、及び特性劣化によるしきい値電圧のシフトを抑制することができる。

30

【0347】

なお、トランジスタ4401～トランジスタ4408は、トランジスタ2701～トランジスタ2708と同様な機能を有する。

【0348】

なお、トランジスタ4405、トランジスタ4406、及びトランジスタ4407によって、節点N441、及び配線4411を入力端子とし、出力端子を節点N442とする2入力NAND回路4415を構成している。

【0349】

40

なお、トランジスタ4405は、抵抗成分を持つ素子であればよい。例えば、図46に示すように、抵抗素子4601をトランジスタ4405の代わりに用いることができる。抵抗素子4601を用いることによって、節点N442の電位において電源電位VSSと等しい値とすることができる。

【0350】

なお、図47に示すように、トランジスタ4402のゲート(節点N441)と、第2端子(配線4414)との間に、容量素子4701を配置していてもよい。なぜなら、期間T2において、節点N441の電位、及び配線4414の電位はブートストラップ動作によって、上昇させるため、容量素子4701を配置することで、フリップフロップ回路がブートストラップ動作しやすくなるからである。

50

【 0 3 5 1 】

なお、トランジスタ 4 4 0 1 は、期間 T 1 において、節点 N 4 4 1 をフローティング状態にして、節点 N 4 4 1 の電位を L レベルにできればよい。したがって、トランジスタ 4 4 0 1 の第 1 端子を配線 4 4 1 2 に接続しても、節点 N 4 4 1 をフローティング状態にして、節点 N 4 4 1 の電位を L レベルにできる。

【 0 3 5 2 】

なお、本実施形態は、本明細書中の他の実施形態のいかなる記載とも自由に組み合わせて実施することができる。また、本実施形態中のいかなる記載も自由に組み合わせて実施することができる。

【 0 3 5 3 】

10

(第 6 の実施形態)

本実施形態では、第 2 の実施形態で説明した基本回路をフリップフロップ回路に適用した場合について、図 3 6 を参照して説明する。

【 0 3 5 4 】

図 3 6 は、第 2 の実施の形態で説明した図 5 (a) の基本回路を適用したフリップフロップ回路の一例である。図 3 6 のフリップフロップ回路は、トランジスタ 3 6 0 0、トランジスタ 3 6 0 1、トランジスタ 3 6 0 2、トランジスタ 3 6 0 3、トランジスタ 3 6 0 4、トランジスタ 3 6 0 5、トランジスタ 3 6 0 6、トランジスタ 3 6 0 7、トランジスタ 3 6 0 8、トランジスタ 3 6 0 9、およびトランジスタ 3 6 1 0 を有している。

【 0 3 5 5 】

20

なお、トランジスタ 3 6 0 5 が図 5 (a) のトランジスタ 5 0 1、トランジスタ 3 6 0 7 が図 5 (a) のトランジスタ 5 0 2、トランジスタ 3 6 0 6 が図 5 (a) のトランジスタ 5 0 3、トランジスタ 3 6 0 8 が図 5 (a) のトランジスタ 5 0 4、トランジスタ 3 6 1 0 が図 5 (a) のトランジスタ 5 0 5、トランジスタ 3 6 0 9 が図 5 (a) のトランジスタ 5 0 6 に、それぞれ相当する。また、トランジスタ 3 6 0 3、及びトランジスタ 3 6 0 4 が図 5 (a) のトランジスタ 5 0 7 に相当する。

【 0 3 5 6 】

図 3 6 のフリップフロップ回路の接続関係について説明する。なお、トランジスタ 3 6 0 1 の第 2 端子とトランジスタ 3 6 0 0 の第 2 端子とトランジスタ 3 6 0 6 のゲートとトランジスタ 3 6 0 4 の第 2 端子とトランジスタ 3 6 0 2 のゲートとの節点を節点 N 3 6 1 とする。また、トランジスタ 3 6 0 5 の第 2 端子とトランジスタ 3 6 0 6 の第 2 端子とトランジスタ 3 6 0 7 の第 2 端子とトランジスタ 3 6 0 8 のゲートとの節点を節点 N 3 6 2 とする。また、トランジスタ 3 6 0 9 の第 2 端子とトランジスタ 3 6 0 8 の第 2 端子とトランジスタ 3 6 1 0 の第 2 端子とトランジスタ 3 6 0 3 のゲートとトランジスタ 3 6 0 4 のゲートとの節点を節点 N 3 6 3 とする。

30

【 0 3 5 7 】

トランジスタ 3 6 0 1 のゲートが配線 3 6 1 4 に接続され、第 1 端子が配線 3 6 1 1 に接続され、第 2 端子が節点 N 3 6 1 に接続されている。トランジスタ 3 6 0 0 のゲートは配線 3 6 1 5 に接続され、第 1 端子が配線 3 6 1 2 に接続され、第 2 端子が節点 N 3 6 1 と接続されている。トランジスタ 3 6 0 6 のゲートが節点 N 3 6 1 に接続され、第 1 端子が配線 3 6 1 2 に接続され、第 2 端子が節点 N 3 6 2 に接続されている。トランジスタ 3 6 0 5 のゲートが配線 3 6 1 1 に接続され、第 1 端子が配線 3 6 1 1 に接続され、第 2 端子が節点 N 3 6 2 に接続されている。トランジスタ 3 6 0 7 のゲートが配線 3 6 1 3 に接続され、第 1 端子が配線 3 6 1 2 に接続され、第 2 端子が節点 N 3 6 2 に接続されている。トランジスタ 3 6 0 8 のゲートが節点 N 3 6 2 に接続され、第 1 端子が配線 3 6 1 1 に接続され、第 2 端子が節点 N 3 6 3 に接続されている。トランジスタ 3 6 0 9 のゲートが節点 N 3 6 1 に接続され、第 1 端子が配線 3 6 1 2 に接続され、第 2 端子が節点 N 3 6 3 に接続されている。トランジスタ 3 6 1 0 のゲートが配線 3 6 1 3 に接続され、第 1 端子が配線 3 6 1 2 に接続され、第 2 端子が節点 N 3 6 3 に接続されている。トランジスタ 3 6 0 4 のゲートが節点 N 3 6 3 に接続され、第 1 端子が配線 3 6 1 2 に接続され、第 2 端子

40

50

が節点 N 3 6 1 に接続されている。トランジスタ 3 6 0 3 のゲートが節点 N 3 6 3 に接続され、第 1 端子が配線 3 6 1 2 に接続され、第 2 端子が配線 3 6 1 6 に接続されている。トランジスタ 3 6 0 2 のゲートが節点 N 3 6 1 に接続され、第 1 端子が配線 3 6 1 3 に接続され、第 2 端子が配線 3 6 1 6 に接続されている。

【 0 3 5 8 】

また、トランジスタ 3 6 0 0 ~ トランジスタ 3 6 1 0 は、それぞれ N チャネル型である。

【 0 3 5 9 】

したがって、図 3 6 のフリップフロップ回路はすべて N チャネル型のトランジスタで構成することができるため、図 3 6 のフリップフロップ回路は、半導体層にアモルファスシリコンを用いることができ、製造工程の簡略化を図ることができる。したがって、製造コストの削減や歩留まりの向上を図ることができる。さらに、大型の表示パネルなどの半導体装置を作製することも可能となる。また、図 3 6 のフリップフロップ回路は、半導体層にポリシリコンや単結晶シリコンを用いても製造工程の簡略化を図ることができる。

10

【 0 3 6 0 】

また、配線 3 6 1 1 には電源電位 V D D が供給され、配線 3 6 1 2 には電源電位 V S S が供給されている。なお、電源電位 V D D は、電源電位 V S S よりも高い電位である。ただし、配線 3 6 1 1、及び配線 3 6 1 2 には、デジタル信号、アナログ信号などが供給されていてもよいし、他の電源電位が供給されていてもよい。

【 0 3 6 1 】

また、配線 3 6 1 3、配線 3 6 1 4、及び配線 3 6 1 5 には、それぞれ信号が供給されている。なお、配線 3 6 1 3、配線 3 6 1 4、及び配線 3 6 1 5 に供給されている信号は、それぞれ 2 値の値を持つデジタル信号である。ただし、配線 3 6 1 3、配線 3 6 1 4、及び配線 3 6 1 5 には、それぞれ電源電位 V D D、電源電位 V S S、又は他の電源電位が供給されていてもよい。また、配線 3 6 1 3、配線 3 6 1 4、及び配線 3 6 1 5 には、それぞれアナログ信号が供給されていてもよい。

20

【 0 3 6 2 】

次に、図 3 6 に示したフリップフロップ回路の動作について、図 3 7 を参照して説明する。

【 0 3 6 3 】

図 3 7 は、図 3 6 に示したフリップフロップ回路のタイミングチャートの一例である。図 3 7 のタイミングチャートは、配線 3 6 1 3 の電位、配線 3 6 1 4 の電位、節点 N 3 6 1 の電位、節点 N 3 6 2 の電位、節点 N 3 6 3、配線 3 6 1 6 の電位、トランジスタ 3 6 0 3、及びトランジスタ 3 6 0 4 のオン、オフの関係、配線 3 6 1 5 の電位を示している。

30

【 0 3 6 4 】

図 3 7 のタイミングチャートを期間 T 1 ~ 期間 T 4 に分割して説明する。また、期間 T 3 は、期間 T 3 a と期間 T 3 b とに分割して説明する。

【 0 3 6 5 】

なお、期間 T 1、期間 T 2、期間 T 3 b 以外の期間は、期間 T 3 a と期間 T 4 とを順に繰り返している。

【 0 3 6 6 】

まず、期間 T 1 の動作について説明する。期間 T 1 では、配線 3 6 1 3 に L 信号が供給され、配線 3 6 1 4 に H 信号が供給され、配線 3 6 1 5 に L 信号が供給されている。

40

【 0 3 6 7 】

したがって、トランジスタ 3 6 0 1 がオンになり、トランジスタ 3 6 0 0 がオフになり、トランジスタ 3 6 0 7、及びトランジスタ 3 6 1 0 がオフになる。このとき、節点 N 3 6 1 にトランジスタ 3 6 0 1 を介して電源電位 V D D が供給され、節点 N 3 6 1 の電位が上昇する。また、トランジスタ 3 6 0 6、及びトランジスタ 3 6 0 9 が節点 N 3 6 1 の電位の上昇によってオンして、節点 N 3 6 2、及び節点 N 3 6 3 の電位が減少する。また、トランジスタ 3 6 0 8 が節点 N 3 6 2 の電位の減少によってオフする。また、トランジスタ 3 6 0 3、及びトランジスタ 3 6 0 4 が節点 N 3 6 3 の電位の減少によってオフする。

50

【0368】

ここで、節点N361の電位の上昇は、トランジスタ3601がオフするまで続く。トランジスタ3601は、節点N361の電位が電源電位VDDからトランジスタ3601のしきい値電圧 V_{th3601} を引いた値($VDD - V_{th3601}$)になるとオフする。したがって、節点N361の電位は、 $VDD - V_{th3601}$ となる。また、節点N361はフローティング状態となる。

【0369】

したがって、トランジスタ3602がオンする。また、配線3616には、配線3613のL信号が供給されているため、配線3616の電位は電源電位VSSと等しい値となる。

10

【0370】

続いて、期間T2の動作について説明する。期間T2では、配線3613にH信号が供給され、配線3614にL信号が供給され、配線3615にL信号が供給されている。

【0371】

したがって、トランジスタ3601がオフになり、トランジスタ3600がオフのままであり、トランジスタ3607、及びトランジスタ3610がオンになる。このとき、節点N361はフローティング状態であり、節点N361の電位は $VDD - V_{th3601}$ を維持している。また、節点N362の電位は、トランジスタ3606、及びトランジスタ3607がオンしているため、Lレベルのままである。また、節点N363の電位は、トランジスタ3609、及びトランジスタ3610がオンしているため、Lレベルのままである。よって、節点N363がLレベルであるため、トランジスタ3603、及びトランジスタ3604がオフのままである。

20

【0372】

ここで、節点N361はフローティング状態であり、Hレベルを維持している。また、トランジスタ3602は、節点N361がHレベルを維持しているため、オンのままである。また、配線3616には、配線3613のH信号が供給されているため、配線3616の電位が上昇している。したがって、ブートストラップ動作によって、節点N361の電位は電源電位VDDとトランジスタ3602のしきい値電圧 V_{th3602} との和($VDD + V_{th3602}$)以上になり、配線3616の電位は電源電位VDDと等しい値になる。

30

【0373】

続いて、期間T3bの動作について説明する。期間T3bでは、配線3613にL信号が供給され、配線3614にL信号が供給され、配線3615にH信号が供給されている。

【0374】

したがって、トランジスタ3601がオフのままであり、トランジスタ3600がオンになり、トランジスタ3607、及びトランジスタ3610がオフになる。このとき、節点N361にトランジスタ3600を介して電源電位VSSが供給され、節点N361の電位が減少する。また、トランジスタ3606、及びトランジスタ3607が、節点N361の電位の減少によって、オフする。したがって、節点N362、及び節点N363の電位は、ブートストラップ動作によって、上昇する。節点N362の電位は、電源電位VDDとトランジスタ3608のしきい値電圧 V_{th3608} との和($VDD + V_{th3608}$)以上まで上昇する。節点N363の電位は、電源電位VDDまで上昇する。したがって、トランジスタ3603、及びトランジスタ3604は、節点N363の電位の上昇によって、オンする。

40

【0375】

また、トランジスタ3602は、節点N361の電位の減少によってオフする。したがって、配線3616には、トランジスタ3603を介して電源電位VSSが供給されるため、配線3616の電位は電源電位VSSと等しい値となる。

【0376】

続いて、期間T4の動作について説明する。期間T4では、配線3613にH号が供給さ

50

れ、配線 3 6 1 4 に L 信号が供給され、配線 3 6 1 5 に L 信号が供給されている。

【 0 3 7 7 】

したがって、トランジスタ 3 6 0 1 がオフのままであり、トランジスタ 3 6 0 0 がオフになり、トランジスタ 3 6 0 7、及びトランジスタ 3 6 1 0 がオンになる。このとき、節点 N 3 6 1 はフローティング状態であり、節点 N 3 6 1 の電位は電源電位 V S S を維持する。したがって、トランジスタ 3 6 0 2、トランジスタ 3 6 0 6、及びトランジスタ 3 6 0 9 はオフのままである。また、節点 N 3 6 2 の電位はトランジスタ 3 6 0 7 を介して電源電位 V S S が供給されるため、L レベルになる。よって、トランジスタ 3 6 0 8 がオフする。また、節点 N 3 6 3 の電位はトランジスタ 3 6 1 0 を介して電源電位 V S S が供給されるため、L レベルになる。よって、トランジスタ 3 6 0 3、及びトランジスタ 3 6 0 4 がオフする。

10

【 0 3 7 8 】

したがって、配線 3 6 1 6 はフローティング状態になり、配線 3 6 1 6 の電位は電源電位 V S S と等しい値を維持する。

【 0 3 7 9 】

続いて、期間 T 3 a の動作について説明する。期間 T 3 a では、配線 3 6 1 3 に L 信号が供給され、配線 3 6 1 4 に L 信号が供給され、配線 3 6 1 5 に L 信号が供給されている。

【 0 3 8 0 】

したがって、トランジスタ 3 6 0 1 がオフのままであり、トランジスタ 3 6 0 0 がオフのままであり、トランジスタ 3 6 0 7、及びトランジスタ 3 6 1 0 がオフになる。このとき、節点 N 3 6 1 はフローティング状態であり、節点 N 3 6 1 の電位は L レベルのままである。したがって、トランジスタ 3 6 0 2、トランジスタ 3 6 0 6、及びトランジスタ 3 6 0 9 がオフのままである。また、節点 N 3 6 2 の電位、及び節点 N 3 6 3 の電位は、ブートストラップ動作によって、上昇する。節点 N 3 6 2 の電位は、電源電位 V D D とトランジスタ 3 6 0 8 のしきい値電圧 V_{th3608} との和 ($V_{DD} + V_{th3608}$) 以上まで上昇する。節点 N 3 6 3 の電位は、電源電位 V D D まで上昇する。したがって、トランジスタ 3 6 0 3、及びトランジスタ 3 6 0 4 は、節点 N 3 6 3 の電位の上昇によって、オンする。

20

【 0 3 8 1 】

したがって、配線 3 6 1 6 には、トランジスタ 3 6 0 3 を介して電源電位 V S S が供給されるため、配線 3 6 1 6 の電位は電源電位 V S S と等しい値を維持する。

30

【 0 3 8 2 】

以上の動作によって、期間 T 1 では、図 3 6 のフリップフロップ回路は、節点 N 3 6 1 を H レベルのまま、フローティング状態にする。期間 T 2 では、図 3 6 のフリップフロップ回路は、ブートストラップ動作によって、節点 N 3 6 1 の電位を $V_{DD} + V_{th3602}$ 以上にし、配線 3 6 1 6 の電位を電源電位 V D D と等しい値にできる。

【 0 3 8 3 】

また、期間 T 3 a において、図 3 6 のフリップフロップ回路は、トランジスタ 3 6 0 3、及びトランジスタ 3 6 0 4 がオンして、電源電位 V S S を配線 3 6 1 6、及び節点 N 3 6 1 に供給する。また、期間 T 4 において、図 3 6 のフリップフロップ回路は、トランジスタ 3 6 0 3、及びトランジスタ 3 6 0 4 をオフする。したがって、図 3 6 のフリップフロップ回路は、トランジスタ 3 6 0 3、及びトランジスタ 3 6 0 4 が順にオンするため、トランジスタ 3 6 0 3、及びトランジスタ 3 6 0 4 の特性劣化を抑制でき、節点 N 3 6 1、及び配線 3 6 1 6 の電位を安定して電源電位 V S S と等しい値に維持することができる。

40

【 0 3 8 4 】

また、図 3 6 のフリップフロップ回路は、期間 T 3 a、及び期間 T 3 b において、節点 N 3 6 3 の電位を電源電位 V D D と等しい値にすることができる。したがって、トランジスタ 3 6 0 3、及びトランジスタ 3 6 0 4 の特性が劣化しても、広い動作条件で、図 3 6 のフリップフロップ回路を動作させることができる。

【 0 3 8 5 】

50

また、図 3 6 のフリップフロップ回路は、期間 T 1 ~ 期間 T 4 すべての期間でオン状態であるトランジスタは有していない。つまり、定常的、又はほぼ定常的にオン状態であるトランジスタは有していない。したがって、図 3 6 のフリップ回路は、トランジスタの特性劣化、及び特性劣化によるしきい値電圧のシフトを抑制することができる。

【0386】

また、トランジスタの特性は、トランジスタがアモルファスシリコンで形成されている場合に劣化しやすい。したがって、図 3 6 のフリップフロップ回路は、トランジスタをアモルファスシリコンで形成することによって、製造コストの削減や歩留まりの向上などのメリットが得られるだけでなく、トランジスタの特性劣化の問題も解決できる。

【0387】

ここで、トランジスタ 3 6 0 0 ~ トランジスタ 3 6 1 0 の機能を説明する。トランジスタ 3 6 0 0 は、配線 3 6 1 5 の電位に応じて、配線 3 6 1 2 と節点 N 3 6 1 とを接続するかしないかを選択するスイッチとしての機能を有する。トランジスタ 3 6 0 1 は、配線 3 6 1 4 の電位に応じて、配線 3 6 1 1 と節点 N 3 6 1 とを接続するかしないかを選択するスイッチとしての機能を有する。トランジスタ 3 6 0 2 は、節点 N 3 6 1 の電位に応じて、配線 3 6 1 3 と配線 3 6 1 6 とを接続するかしないかを選択するスイッチとしての機能を有する。トランジスタ 3 6 0 3 は、節点 N 3 6 3 の電位に応じて、配線 3 6 1 2 と配線 3 6 1 6 とを接続するかしないかを選択するスイッチとしての機能を有する。トランジスタ 3 6 0 4 は、節点 N 3 6 3 の電位に応じて、配線 3 6 1 2 と節点 N 3 6 1 とを接続するかしないかを選択するスイッチとしての機能を有する。トランジスタ 3 6 0 5 は、入力端子を第 1 端子、及びゲートとし、出力端子を第 2 端子としているダイオードとしての機能を有する。トランジスタ 3 6 0 6 は、節点 N 3 6 1 の電位に応じて、配線 3 6 1 2 と節点 N 3 6 2 とを接続するかしないかを選択するスイッチとしての機能を有する。トランジスタ 3 6 0 7 は、配線 3 6 1 3 の電位に応じて、配線 3 6 1 2 と節点 N 3 6 2 とを接続するかしないかを選択するスイッチとしての機能を有する。トランジスタ 3 6 0 8 は、節点 N 3 6 2 の電位に応じて、配線 3 6 1 1 と節点 N 3 6 3 とを接続するかしないかを選択するスイッチとしての機能を有する。トランジスタ 3 6 0 9 は、節点 N 3 6 1 の電位に応じて、配線 3 6 1 2 と節点 N 3 6 3 とを接続するかしないかを選択するスイッチとしての機能を有する。トランジスタ 3 6 1 0 は、配線 3 6 1 3 の電位に応じて、配線 3 6 1 2 と節点 N 3 6 3 とを接続するかしないかを選択するスイッチとしての機能を有する。

【0388】

なお、トランジスタ 3 6 0 5、トランジスタ 3 6 0 6、トランジスタ 3 6 0 7、トランジスタ 3 6 0 8、トランジスタ 3 6 0 9、及びトランジスタ 3 6 1 0 によって、節点 N 3 6 1、及び配線 3 6 1 3 を入力端子とし、出力端子を節点 N 3 6 3 とする 2 入力 NOR 回路 3 6 1 7 を構成している。

【0389】

なお、図 3 8 に示すように、トランジスタ 3 6 0 8 のゲート（節点 N 3 6 2）と、第 2 端子（節点 N 3 6 3）との間に、容量素子 3 8 0 1 を配置していてもよい。なぜなら、期間 T 3 a、及び期間 T 3 b において、節点 N 3 6 2 の電位、及び節点 N 3 6 3 の電位はブートストラップ動作によって、上昇させるため、容量素子 3 8 0 1 を配置することで、フリップフロップ回路がブートストラップ動作しやすくなるからである。

【0390】

なお、図 3 9 に示すように、トランジスタ 3 6 0 7 は必ずしも必要ではない。

【0391】

なお、図 4 0 に示すように、トランジスタ 3 6 0 2 のゲート（節点 N 3 6 1）と、第 2 端子（配線 3 6 1 6）との間に、容量素子 4 1 1 1 を配置していてもよい。なぜなら、期間 T 2 において、節点 N 3 6 1 の電位、及び配線 3 6 1 6 の電位はブートストラップ動作によって、上昇させるため、容量素子 4 1 1 1 を配置することで、フリップフロップ回路がブートストラップ動作しやすくなるからである。

【0392】

なお、トランジスタ 3601 は、期間 T1 において、節点 N361 をフローティング状態にして、節点 N361 の電位を H レベルにできればよい。したがって、トランジスタ 3601 の第 1 端子を配線 3614 に接続しても、節点 N361 をフローティング状態にして、節点 N361 の電位を H レベルにできる。

【0393】

次に、図 36 に示したフリップフロップ回路を P チャンネル型トランジスタで構成した場合について、図 48 を参照して説明する。

【0394】

図 48 は、第 2 の実施の形態で説明した図 17 (a) の基本回路を適用したフリップフロップ回路の一例である。図 48 のフリップフロップ回路は、トランジスタ 4800、トランジスタ 4801、トランジスタ 4802、トランジスタ 4803、トランジスタ 4804、トランジスタ 4805、トランジスタ 4806、トランジスタ 4807、トランジスタ 4808、トランジスタ 4809、およびトランジスタ 4810 を有している。

10

【0395】

なお、トランジスタ 4805 が図 17 (a) のトランジスタ 1701、トランジスタ 4807 が図 17 (a) のトランジスタ 1702、トランジスタ 4806 が図 17 (a) のトランジスタ 1703、トランジスタ 4808 が図 17 (a) のトランジスタ 1704、トランジスタ 4810 が図 17 (a) のトランジスタ 1705、トランジスタ 4809 が図 17 (a) のトランジスタ 1706 に、それぞれ相当する。また、トランジスタ 4803、及びトランジスタ 4804 が図 17 (a) のトランジスタ 1707 に相当する。

20

【0396】

図 48 のフリップフロップ回路の接続関係について説明する。なお、トランジスタ 4801 の第 2 端子とトランジスタ 4800 の第 2 端子とトランジスタ 4806 のゲートとトランジスタ 4804 の第 2 端子とトランジスタ 4802 のゲートとの節点を節点 N481 とする。また、トランジスタ 4805 の第 2 端子とトランジスタ 4806 の第 2 端子とトランジスタ 4807 の第 2 端子とトランジスタ 4808 のゲートとの節点を節点 N482 とする。また、トランジスタ 4809 の第 2 端子とトランジスタ 4808 の第 2 端子とトランジスタ 4810 の第 2 端子とトランジスタ 4803 のゲートとトランジスタ 4804 のゲートとの節点を節点 N483 とする。

【0397】

トランジスタ 4801 のゲートが配線 4814 に接続され、第 1 端子が配線 4811 に接続され、第 2 端子が節点 N481 に接続されている。トランジスタ 4800 のゲートは配線 4815 に接続され、第 1 端子が配線 4812 に接続され、第 2 端子が節点 N481 と接続されている。トランジスタ 4806 のゲートが節点 N481 に接続され、第 1 端子が配線 4812 に接続され、第 2 端子が節点 N482 に接続されている。トランジスタ 4805 のゲートが配線 4811 に接続され、第 1 端子が配線 4811 に接続され、第 2 端子が節点 N482 に接続されている。トランジスタ 4807 のゲートが配線 4813 に接続され、第 1 端子が配線 4812 に接続され、第 2 端子が節点 N482 に接続されている。トランジスタ 4808 のゲートが節点 N482 に接続され、第 1 端子が配線 4811 に接続され、第 2 端子が節点 N483 に接続されている。トランジスタ 4809 のゲートが節点 N481 に接続され、第 1 端子が配線 4812 に接続され、第 2 端子が節点 N483 に接続されている。トランジスタ 4810 のゲートが配線 4813 に接続され、第 1 端子が配線 4812 に接続され、第 2 端子が節点 N483 に接続されている。トランジスタ 4804 のゲートが節点 N483 に接続され、第 1 端子が配線 4812 に接続され、第 2 端子が節点 N481 に接続されている。トランジスタ 4803 のゲートが節点 N483 に接続され、第 1 端子が配線 4812 に接続され、第 2 端子が配線 4816 に接続されている。トランジスタ 4802 のゲートが節点 N481 に接続され、第 1 端子が配線 4813 に接続され、第 2 端子が配線 4816 に接続されている。

30

40

【0398】

また、トランジスタ 4800 ~ トランジスタ 4810 は、それぞれ P チャンネル型である。

50

【 0 3 9 9 】

したがって、図 4 8 のフリップフロップ回路はすべて P チャネル型のトランジスタで構成することができるため、N チャネル型のトランジスタを形成するための工程が必要ない。したがって、図 4 8 のフリップフロップ回路は、製造工程の簡略化を図ることができる、製造コストの削減や歩留まりの向上を図ることができる。

【 0 4 0 0 】

また、配線 4 8 1 2 には電源電位 V_{DD} が供給され、配線 4 8 1 1 には電源電位 V_{SS} が供給されている。なお、電源電位 V_{DD} は、電源電位 V_{SS} よりも高い電位である。ただし、配線 4 8 1 1、及び配線 4 8 1 2 には、デジタル信号、アナログ信号などが供給されていてもよいし、他の電源電位が供給されていてもよい。

10

【 0 4 0 1 】

また、配線 4 8 1 3、配線 4 8 1 4、及び配線 4 8 1 5 には、それぞれ信号が供給されている。なお、配線 4 8 1 3、配線 4 8 1 4、及び配線 4 8 1 5 に供給されている信号は、それぞれ 2 値の値を持つデジタル信号である。ただし、配線 4 8 1 3、配線 4 8 1 4、及び配線 4 8 1 5 には、それぞれ電源電位 V_{DD} 、電源電位 V_{SS} 、又は他の電源電位が供給されていてもよい。また、配線 4 8 1 3、配線 4 8 1 4、及び配線 4 8 1 5 には、それぞれアナログ信号が供給されていてもよい。

【 0 4 0 2 】

次に、図 4 8 に示したフリップフロップ回路の動作について、図 4 9 を参照して説明する。

20

【 0 4 0 3 】

図 4 9 は、図 4 8 に示したフリップフロップ回路のタイミングチャートの一例である。図 4 9 のタイミングチャートは、配線 4 8 1 3 の電位、配線 4 8 1 4 の電位、節点 N 4 8 1 の電位、節点 N 4 8 2 の電位、節点 N 4 8 3、配線 4 8 1 6 の電位、トランジスタ 4 8 0 3、及びトランジスタ 4 8 0 4 のオン、オフの関係、配線 4 8 1 5 の電位を示している。

【 0 4 0 4 】

図 4 8 のタイミングチャートを期間 T 1 ~ 期間 T 4 に分割して説明する。また、期間 T 3 は、期間 T 3 a と期間 T 3 b とに分割して説明する。

【 0 4 0 5 】

なお、期間 T 1、期間 T 2、期間 T 3 b 以外の期間は、期間 T 3 a と期間 T 4 とを順に繰り返している。

30

【 0 4 0 6 】

まず、期間 T 1 の動作について説明する。期間 T 1 では、配線 4 8 1 3 に H 信号が供給され、配線 4 8 1 4 に L 信号が供給され、配線 4 8 1 5 に H 信号が供給されている。

【 0 4 0 7 】

したがって、トランジスタ 4 8 0 1 がオンになり、トランジスタ 4 8 0 0 がオフになり、トランジスタ 4 8 0 7、及びトランジスタ 4 8 1 0 がオフになる。このとき、節点 N 4 8 1 にトランジスタ 4 8 0 1 を介して電源電位 V_{SS} が供給され、節点 N 4 8 1 の電位が減少する。また、トランジスタ 4 8 0 6、及びトランジスタ 4 8 0 9 が節点 N 4 8 1 の電位の減少によってオンして、節点 N 4 8 2、及び節点 N 4 8 3 の電位が上昇する。また、トランジスタ 4 8 0 8 が節点 N 4 8 2 の電位の上昇によってオフする。また、トランジスタ 4 8 0 3、及びトランジスタ 4 8 0 4 が節点 N 4 8 3 の電位の上昇によってオフする。

40

【 0 4 0 8 】

ここで、節点 N 4 8 1 の電位の減少は、トランジスタ 4 8 0 1 がオフするまで続く。トランジスタ 4 8 0 1 は、節点 N 4 8 1 の電位が電源電位 V_{SS} とトランジスタ 4 8 0 1 のしきい値電圧 V_{th4801} の絶対値との和 ($V_{SS} + |V_{th4801}|$) になるとオフする。したがって、節点 N 4 8 1 の電位は、 $V_{SS} + |V_{th4801}|$ となる。また、節点 N 4 8 1 はフローティング状態となる。

【 0 4 0 9 】

したがって、トランジスタ 4 8 0 2 がオンする。また、配線 4 8 1 6 には、配線 4 8 1 3

50

の H 信号が供給されているため、配線 4816 の電位は電源電位 VDD と等しい値となる。

【0410】

続いて、期間 T2 の動作について説明する。期間 T2 では、配線 4813 に L 信号が供給され、配線 4814 に H 信号が供給され、配線 4815 に H 信号が供給されている。

【0411】

したがって、トランジスタ 4801 がオフになり、トランジスタ 4800 がオフのままであり、トランジスタ 4807、及びトランジスタ 4810 がオンになる。このとき、節点 N481 はフローティング状態であり、節点 N481 の電位は $V_{SS} + |V_{th4801}|$ を維持している。また、節点 N482 の電位は、トランジスタ 4806、及びトランジスタ 4807 がオンしているため、H レベルのままである。また、節点 N483 の電位は、トランジスタ 4809、及びトランジスタ 4810 がオンしているため、H レベルのままである。よって、節点 N483 が H レベルであるため、トランジスタ 4803、及びトランジスタ 4804 がオフのままである。

10

【0412】

ここで、節点 N481 はフローティング状態であり、L レベルを維持している。また、トランジスタ 4802 は、節点 N481 が L レベルを維持しているため、オンのままである。また、配線 4816 には、配線 4813 の L 信号が供給されているため、配線 4816 の電位が減少している。したがって、ブートストラップ動作によって、節点 N481 の電位は電源電位 VSS からトランジスタ 4802 のしきい値電圧 V_{th4802} の絶対値を引いた値 ($V_{SS} - |V_{th4802}|$) 以下になり、配線 4816 の電位は電源電位 VSS と等しい値になる。

20

【0413】

続いて、期間 T3b の動作について説明する。期間 T3b では、配線 4813 に H 信号が供給され、配線 4814 に H 信号が供給され、配線 4815 に L 信号が供給されている。

【0414】

したがって、トランジスタ 4801 がオフのままであり、トランジスタ 4800 がオンになり、トランジスタ 4807、及びトランジスタ 4810 がオフになる。このとき、節点 N481 にトランジスタ 4800 を介して電源電位 VDD が供給され、節点 N481 の電位が上昇する。また、トランジスタ 4806、及びトランジスタ 4809 が、節点 N481 の電位の上昇によって、オフする。したがって、節点 N482、及び節点 N483 の電位は、ブートストラップ動作によって、減少する。節点 N482 の電位は、電源電位 VSS からトランジスタ 4808 のしきい値電圧 V_{th4808} の絶対値を引いた値 ($V_{SS} - |V_{th4808}|$) 以下まで減少する。節点 N483 の電位は、電源電位 VSS まで減少する。したがって、トランジスタ 4803、及びトランジスタ 4804 は、節点 N483 の電位の減少によって、オンする。

30

【0415】

また、トランジスタ 4802 は、節点 N481 の電位の上昇によってオフする。したがって、配線 4816 には、トランジスタ 4803 を介して電源電位 VDD が供給されるため、配線 4816 の電位は電源電位 VDD と等しい値となる。

40

【0416】

続いて、期間 T4 の動作について説明する。期間 T4 では、配線 4813 に L 信号が供給され、配線 4814 に H 信号が供給され、配線 4815 に H 信号が供給されている。

【0417】

したがって、トランジスタ 4801 がオフのままであり、トランジスタ 4800 がオフになり、トランジスタ 4807、及びトランジスタ 4810 がオンになる。このとき、節点 N481 はフローティング状態であり、節点 N481 の電位は電源電位 VDD を維持する。したがって、トランジスタ 4802、トランジスタ 4806、及びトランジスタ 4809 はオフのままである。また、節点 N482 の電位はトランジスタ 4807 を介して電源電位 VDD が供給されるため、H レベルになる。よって、トランジスタ 4808 がオフす

50

る。また、節点N483の電位はトランジスタ4810を介して電源電位VDDが供給されるため、Hレベルになる。よって、トランジスタ4803、及びトランジスタ4804がオフする。

【0418】

したがって、配線4816はフローティング状態になり、配線4816の電位は電源電位VDDと等しい値を維持する。

【0419】

続いて、期間T3aの動作について説明する。期間T3aでは、配線4813にH号が供給され、配線4814にH信号が供給され、配線4815にH信号が供給されている。

【0420】

したがって、トランジスタ4801がオフのままであり、トランジスタ4800がオフのままであり、トランジスタ4807、及びトランジスタ4810がオフになる。このとき、節点N481はフローティング状態であり、節点N481の電位はHレベルのままである。したがって、トランジスタ4802、トランジスタ4806、及びトランジスタ4809がオフのままである。また、節点N482の電位、及び節点N483の電位は、ブートストラップ動作によって、減少する。節点N482の電位は、電源電位VSSからトランジスタ4808のしきい値電圧 V_{th4808} の絶対値を引いた値($VSS - |V_{th4808}|$)以下まで減少する。節点N483の電位は、電源電位VSSまで減少する。したがって、トランジスタ4803、及びトランジスタ4804は、節点N483の電位の減少によって、オンする。

【0421】

したがって、配線4816には、トランジスタ4803を介して電源電位VDDが供給されるため、配線4816の電位は電源電位VDDと等しい値を維持する。

【0422】

以上の動作によって、期間T1では、図48のフリップフロップ回路は、節点N481をLレベルのまま、フローティング状態にする。期間T2では、図48のフリップフロップ回路は、ブートストラップ動作によって、節点N481の電位を $VSS - |V_{th4802}|$ 以下にし、配線4816の電位を電源電位VSSと等しい値にできる。

【0423】

また、期間T3aにおいて、図48のフリップフロップ回路は、トランジスタ4803、及びトランジスタ4804がオンして、電源電位VDDを配線4816、及び節点N481に供給する。また、期間T4において、図48のフリップフロップ回路は、トランジスタ4803、及びトランジスタ4804をオフする。したがって、図48のフリップフロップ回路は、トランジスタ4803、及びトランジスタ4804が順にオンするため、トランジスタ4803、及びトランジスタ4804の特性劣化を抑制でき、節点N481、及び配線4816の電位を安定して電源電位VDDと等しい値に維持することができる。

【0424】

また、図48のフリップフロップ回路は、期間T3a、及び期間T3bにおいて、節点N483の電位を電源電位VSSと等しい値にすることができる。したがって、トランジスタ4803、及びトランジスタ4804の特性が劣化しても、広い動作条件で、図48のフリップフロップ回路を動作させることができる。

【0425】

また、図48のフリップフロップ回路は、期間T1～期間T4すべての期間でオン状態であるトランジスタは有していない。つまり、定常的、又はほぼ定常的にオン状態であるトランジスタは有していない。したがって、図48のフリップ回路は、トランジスタの特性劣化、及び特性劣化によるしきい値電圧のシフトを抑制することができる。

【0426】

なお、トランジスタ4800～トランジスタ4810は、トランジスタ3600～トランジスタ3610と同様な機能を有する。

【0427】

10

20

30

40

50

なお、トランジスタ４８０５、トランジスタ４８０６、トランジスタ４８０７、トランジスタ４８０８、トランジスタ４８０９、及びトランジスタ４８１０によって、節点Ｎ４８１、及び配線４８１３を入力端子とし、出力端子を節点Ｎ４８３とする２入力ＮＡＮＤ回路４８１７を構成している。

【０４２８】

なお、図５０に示すように、トランジスタ４８０８のゲート（節点Ｎ４８２）と、第２端子（節点Ｎ４８３）との間に、容量素子５００１を配置していてもよい。なぜなら、期間Ｔ３ａ、及び期間Ｔ３ｂにおいて、節点Ｎ４８２の電位、及び節点Ｎ４８３の電位はブートストラップ動作によって、減少させるため、容量素子５００１を配置することで、フリップフロップ回路がブートストラップ動作しやすくなるからである。

10

【０４２９】

なお、図５１に示すように、トランジスタ４８０７は必ずしも必要ではない。

【０４３０】

なお、図５２に示すように、トランジスタ４８０２のゲート（節点Ｎ４８１）と、第２端子（配線４８１６）との間に、容量素子５２０１を配置していてもよい。なぜなら、期間Ｔ２において、節点Ｎ４８１の電位、及び配線４８１６の電位はブートストラップ動作によって、上昇させるため、容量素子５２０１を配置することで、フリップフロップ回路がブートストラップ動作しやすくなるからである。

【０４３１】

なお、トランジスタ４８０１は、期間Ｔ１において、節点Ｎ４８１をフローティング状態にして、節点Ｎ４８１の電位をＬレベルにできればよい。したがって、トランジスタ４８０１の第１端子を配線４８１４に接続しても、節点Ｎ４８１をフローティング状態にして、節点Ｎ４８１の電位をＬレベルにできる。

20

【０４３２】

なお、本実施形態は、本明細書中の他の実施形態のいかなる記載とも自由に組み合わせて実施することができる。また、本実施形態中のいかなる記載も自由に組み合わせて実施することができる。

【０４３３】

（第７の実施形態）

本実施形態では、第４の実施形態で説明した基本回路をフリップフロップ回路に適用した場合について、図５６を参照して説明する。

30

【０４３４】

図５６は、第４の実施形態で説明した図２５（ａ）の基本回路を適用したフリップフロップ回路の一例である。図５６のフリップフロップ回路は、トランジスタ５６０１、トランジスタ５６０２、トランジスタ５６０３、トランジスタ５６０４、トランジスタ５６０５、トランジスタ５６０６、トランジスタ５６０７、回路５６０８、及び回路５６０９を有している。

【０４３５】

なお、回路５６０８、及び回路５６０９として、図２７のＮＯＲ回路２７１５、図３６のＮＯＲ回路３６１７を用いることができる。

40

【０４３６】

図５６のフリップフロップ回路の接続関係について説明する。なお、トランジスタ５６０１の第２端子とトランジスタ５６０７の第２端子とトランジスタ５６０５の第２端子とトランジスタ５６０６の第２端子とトランジスタ５６０２のゲートとの節点Ｎ５６１とする。また、トランジスタ５６０４のゲートとトランジスタ５６０６のゲートとの節点を節点Ｎ５６２とする。また、トランジスタ５６０３のゲートとトランジスタ５６０５のゲートとの節点を節点Ｎ５６３とする。

【０４３７】

トランジスタ５６０１のゲートが配線５６１４に接続され、第１端子が配線５６１０に接続され、第２端子が節点Ｎ５６１に接続されている。トランジスタ５６０７のゲートが配

50

線 5 6 1 5 に接続され、第 1 端子が配線 5 6 1 1 に接続され、第 2 端子が節点 N 5 6 1 に接続されている。回路 5 6 0 8 の 2 つの入力端子は節点 N 5 6 1 と配線 5 6 1 2 とにそれぞれ接続され、出力端子は節点 N 5 6 2 に接続されている。回路 5 6 0 9 の 2 つの入力端子は節点 N 5 6 1 と配線 5 6 1 3 とにそれぞれ接続され、出力端子は節点 N 5 6 3 に接続されている。トランジスタ 5 6 0 6 のゲートが節点 N 5 6 2 に接続され、第 1 端子が配線 5 6 1 1 に接続され、第 2 端子が節点 N 5 6 1 に接続されている。トランジスタ 5 6 0 5 のゲートが節点 N 5 6 3 に接続され、第 1 端子が配線 5 6 1 1 に接続され、第 2 端子が節点 N 5 6 1 に接続されている。トランジスタ 5 6 0 4 のゲートが節点 N 5 6 2 に接続され、第 1 端子が配線 5 6 1 1 に接続され、第 2 端子が配線 5 6 1 6 に接続されている。トランジスタ 5 6 0 3 のゲートが節点 N 5 6 3 に接続され、第 1 端子が配線 5 6 1 1 に接続され、第 2 端子が配線 5 6 1 6 に接続されている。トランジスタ 5 6 0 2 のゲートが節点 N 5 6 1 に接続され、第 1 端子が配線 5 6 1 3 に接続され、第 2 端子が配線 5 6 1 6 に接続されている。

10

【0438】

また、トランジスタ 5 6 0 1 ~ トランジスタ 5 6 0 7 は、それぞれ N チャネル型である。また、回路 5 6 0 8、及び回路 5 6 0 9 が有するトランジスタも、それぞれ N チャネル型である。

【0439】

したがって、図 5 6 のフリップフロップ回路はすべて N チャネル型のトランジスタで構成することができるため、図 5 6 のフリップフロップ回路は、半導体層にアモルファスシリコンを用いることができ、製造工程の簡略化を図ることができる。したがって、製造コストの削減や歩留まりの向上を図ることができる。さらに、大型の表示パネルなどの半導体装置を作製することも可能となる。また、図 5 6 のフリップフロップ回路は、半導体層にポリシリコンや単結晶シリコンを用いても製造工程の簡略化を図ることができる。

20

【0440】

また、配線 5 6 1 0 には電源電位 VDD が供給され、配線 5 6 1 1 には電源電位 VSS が供給されている。なお、電源電位 VDD は、電源電位 VSS よりも高い電位である。ただし、配線 5 6 1 0、及び配線 5 6 1 1 には、デジタル信号、アナログ信号などが供給されていてもよいし、他の電源電位が供給されていてもよい。

【0441】

また、配線 5 6 1 2、配線 5 6 1 3、配線 5 6 1 4、及び配線 5 6 1 5 には、それぞれ信号が供給されている。なお、配線 5 6 1 2、配線 5 6 1 3、配線 5 6 1 4、及び配線 5 6 1 5 に供給されている信号は、それぞれ 2 値の値を持つデジタル信号である。ただし、配線 5 6 1 2、配線 5 6 1 3、配線 5 6 1 4、及び配線 5 6 1 5 には、それぞれ電源電位 VDD、電源電位 VSS、又は他の電源電位が供給されていてもよい。また、配線 5 6 1 2、配線 5 6 1 3、配線 5 6 1 4、及び配線 5 6 1 5 には、それぞれアナログ信号が供給されていてもよい。

30

【0442】

次に、図 5 6 に示したフリップフロップ回路の動作について、図 5 7 を参照して説明する。

40

【0443】

図 5 7 は、図 5 6 に示したフリップフロップ回路のタイミングチャートの一例である。図 5 7 のタイミングチャートは、配線 5 6 1 2 の電位、配線 5 6 1 3 の電位、配線 5 6 1 4 の電位、節点 N 5 6 1 の電位、節点 N 5 6 2 の電位、節点 N 5 6 3 の電位、配線 5 6 1 6 の電位、トランジスタ 5 6 0 4、及びトランジスタ 5 6 0 6 のオン、オフの関係、トランジスタ 5 6 0 3、及びトランジスタ 5 6 0 5 のオン、オフの関係、配線 5 6 1 5 の電位を示している。

【0444】

図 5 7 のタイミングチャートを期間 T1 ~ 期間 T4 に分割して説明する。また、期間 T3 は、期間 T3a と期間 T3b とに分割して説明する。

50

【 0 4 4 5 】

なお、期間 T 1、期間 T 2、期間 T 3 b 以外の期間は、期間 T 3 a と期間 T 4 とを順に繰り返している。

【 0 4 4 6 】

まず、期間 T 1 の動作について説明する。期間 T 1 では、配線 5 6 1 2 に H 信号が供給され、配線 5 6 1 3 に L 信号が供給され、配線 5 6 1 4 に H 信号が供給され、配線 5 6 1 5 に L 信号が供給されている。

【 0 4 4 7 】

したがって、トランジスタ 5 6 0 1 がオンになり、トランジスタ 5 6 0 7 がオフになる。このとき、節点 N 5 6 1 の電位は、トランジスタ 5 6 0 1 を介して電源電位 V D D が供給されるため、上昇する。よって、回路 5 6 0 8 は L 信号を節点 N 5 6 2 に出力し、トランジスタ 5 6 0 4、及びトランジスタ 5 6 0 6 がオフする。また、回路 5 6 0 9 は L 信号を節点 N 5 6 3 に出力し、トランジスタ 5 6 0 3、及びトランジスタ 5 6 0 5 がオフする。

10

【 0 4 4 8 】

なお、節点 N 5 6 1 の電位の上昇は、トランジスタ 5 6 0 1 がオフするまで続く。トランジスタ 5 6 0 1 は、節点 N 5 6 1 の電位が電源電位 V D D からトランジスタ 5 6 0 1 のしきい値電圧 V_{th5601} を引いた値 ($V_{DD} - V_{th5601}$) になると、オフする。したがって、節点 N 5 6 1 の電位は $V_{DD} - V_{th5601}$ となり、節点 N 5 6 1 はフローティング状態になる。

【 0 4 4 9 】

したがって、トランジスタ 5 6 0 2 がオンする。配線 5 6 1 6 にはトランジスタ 5 6 0 2 を介して配線 5 6 1 3 の L 信号が供給されるため、配線 5 6 1 6 の電位は電源電位 V S S と等しい値になる。

20

【 0 4 5 0 】

続いて、期間 T 2 の動作について説明する。期間 T 2 では、配線 5 6 1 2 に L 信号が供給され、配線 5 6 1 3 に H 信号が供給され、配線 5 6 1 4 に L 信号が供給され、配線 5 6 1 5 に L 信号が供給されている。

【 0 4 5 1 】

したがって、トランジスタ 5 6 0 1 がオフになり、トランジスタ 5 6 0 7 がオフのままである。このとき、節点 N 5 6 1 の電位は、 $V_{DD} - V_{th5601}$ を維持している。よって、回路 5 6 0 8 は L 信号を節点 N 5 6 2 に出力し、トランジスタ 5 6 0 4、及びトランジスタ 5 6 0 6 がオフのままである。また、回路 5 6 0 9 は L 信号を節点 N 5 6 3 に出力し、トランジスタ 5 6 0 3、及びトランジスタ 5 6 0 5 がオフのままである。

30

【 0 4 5 2 】

なお、配線 5 6 1 3 には H 信号が供給されるため、配線 5 6 1 6 の電位が上昇し始める。したがって、節点 N 5 6 1 の電位は、ブートストラップ動作によって、電源電位 V D D とトランジスタ 5 6 0 2 のしきい値電圧 V_{th5602} との和 ($V_{DD} + V_{th5602}$) 以上になる。よって、配線 5 6 1 6 の電位は、電源電位 V D D と等しい値まで上昇する。

【 0 4 5 3 】

続いて、期間 T 3 b の動作について説明する。期間 T 3 b では、配線 5 6 1 2 に H 信号が供給され、配線 5 6 1 3 に L 信号が供給され、配線 5 6 1 4 に L 信号が供給され、配線 5 6 1 5 に H 信号が供給されている。

40

【 0 4 5 4 】

したがって、トランジスタ 5 6 0 1 がオフになり、トランジスタ 5 6 0 7 がオンになる。節点 N 5 6 1 にはトランジスタ 5 6 0 7 を介して電源電位 V S S が供給されるため、節点 N 5 6 1 の電位が減少する。よって、回路 5 6 0 8 は L 信号を節点 N 5 6 2 に出力し、トランジスタ 5 6 0 4、及びトランジスタ 5 6 0 6 がオフのままである。また、回路 5 6 0 9 は H 信号を節点 N 5 6 3 に出力し、トランジスタ 5 6 0 3、及びトランジスタ 5 6 0 5 がオンになる。

【 0 4 5 5 】

50

なお、節点 N 5 6 1 が L レベルになるため、トランジスタ 5 6 0 2 がオフする。配線 5 6 1 6 にはトランジスタ 5 6 0 3 を介して電源電位 V S S が供給されるため、配線 5 6 1 6 の電位は電源電位 V S S と等しい値のままである。

【 0 4 5 6 】

続いて、期間 T 4 の動作について説明する。期間 T 4 では、配線 5 6 1 2 に L 信号が供給され、配線 5 6 1 3 に H 信号が供給され、配線 5 6 1 4 に L 信号が供給され、配線 5 6 1 5 に L 信号が供給されている。

【 0 4 5 7 】

したがって、トランジスタ 5 6 0 1 がオフのままであり、トランジスタ 5 6 0 7 がオフになる。節点 N 5 6 1 の電位は、L レベルを維持する。よって、回路 5 6 0 8 は H 信号を節点 N 5 6 2 に出力し、トランジスタ 5 6 0 4、及びトランジスタ 5 6 0 6 がオンになる。また、回路 5 6 0 9 は L 信号を節点 N 5 6 3 に出力し、トランジスタ 5 6 0 3、及びトランジスタ 5 6 0 5 がオフになる。

10

【 0 4 5 8 】

なお、節点 N 5 6 1 が L レベルを維持するため、トランジスタ 5 6 0 2 がオフする。配線 5 6 1 6 にはトランジスタ 5 6 0 4 を介して電源電位 V S S が供給されるため、配線 5 6 1 6 の電位は電源電位 V S S と等しい値のままである。

【 0 4 5 9 】

続いて、期間 T 3 a の動作について説明する。期間 T 3 a では、配線 5 6 1 2 に H 信号が供給され、配線 5 6 1 3 に L 信号が供給され、配線 5 6 1 4 に L 信号が供給され、配線 5 6 1 5 に H 信号が供給されている。

20

【 0 4 6 0 】

したがって、トランジスタ 5 6 0 1 がオフになり、トランジスタ 5 6 0 7 がオンになる。節点 N 5 6 1 の電位は、L レベルを維持する。よって、回路 5 6 0 8 は L 信号を節点 N 5 6 2 に出力し、トランジスタ 5 6 0 4、及びトランジスタ 5 6 0 6 がオフになる。また、回路 5 6 0 9 は H 信号を節点 N 5 6 3 に出力し、トランジスタ 5 6 0 3、及びトランジスタ 5 6 0 5 がオンになる。

【 0 4 6 1 】

なお、節点 N 5 6 1 が L レベルを維持するため、トランジスタ 5 6 0 2 がオフする。配線 5 6 1 6 にはトランジスタ 5 6 0 3 を介して電源電位 V S S が供給されるため、配線 5 6 1 6 の電位は電源電位 V S S と等しい値のままである。

30

【 0 4 6 2 】

以上の動作によって、期間 T 1 では、図 5 6 のフリップフロップ回路は、節点 N 5 6 1 を H レベルのまま、フローティング状態にする。期間 T 2 では、図 5 6 のフリップフロップ回路は、ブートストラップ動作によって、節点 N 5 6 1 の電位を $V_{DD} + V_{th5602}$ 以上にし、配線 5 6 1 6 の電位を電源電位 V D D と等しい値にできる。

【 0 4 6 3 】

また、期間 T 3 a において、トランジスタ 5 6 0 3 がオンして、配線 5 6 1 6 に電源電位 V S S を供給する。また、期間 T 4 において、トランジスタ 5 6 0 4 がオンして配線 5 6 1 6 に電源電位 V S S を供給する。したがって、図 5 6 のフリップフロップ回路は、期間 T 3 a、及び期間 T 4 において、配線 5 6 1 6 に常に電源電位 V S S を供給することができる。

40

【 0 4 6 4 】

また、期間 T 3 b において、トランジスタ 5 6 0 5 がオンして、節点 N 5 6 1 に電源電位 V S S を供給する。また、期間 T 4 において、トランジスタ 5 6 0 6 がオンして節点 N 5 6 1 に電源電位 V S S を供給する。したがって、図 5 6 のフリップフロップ回路は、期間 T 3 b、及び期間 T 4 において、節点 N 5 6 1 に常に電源電位 V S S を供給することができる。

【 0 4 6 5 】

また、図 5 6 のフリップフロップ回路は、期間 T 1 ~ 期間 T 4 すべての期間でオン状態で

50

あるトランジスタは有していない。つまり、定常的、又はほぼ定常的にオン状態であるトランジスタは有していない。したがって、図 5 6 のフリップ回路は、トランジスタの特性劣化、及び特性劣化によるしきい値電圧のシフトを抑制することができる。

【 0 4 6 6 】

また、トランジスタの特性は、トランジスタがアモルファスシリコンで形成されている場合に劣化しやすい。したがって、図 5 6 のフリップフロップ回路は、トランジスタをアモルファスシリコンで形成することによって、製造コストの削減や歩留まりの向上などのメリットが得られるだけでなく、トランジスタの特性劣化の問題も解決できる。

【 0 4 6 7 】

ここで、トランジスタ 5 6 0 1 ~ トランジスタ 5 6 0 7 の機能を説明する。トランジスタ 5 6 0 1 は、配線 5 6 1 4 の電位に応じて、配線 5 6 1 0 と節点 N 5 6 1 とを接続するかしないかを選択するスイッチとしての機能を有する。トランジスタ 5 6 0 2 は、節点 N 5 6 1 の電位に応じて、配線 5 6 1 3 と配線 5 6 1 6 とを接続するかしないかを選択するスイッチとしての機能を有する。トランジスタ 5 6 0 3 は、節点 N 5 6 3 の電位に応じて、配線 5 6 1 1 と配線 5 6 1 6 とを接続するかしないかを選択するスイッチとしての機能を有する。トランジスタ 5 6 0 4 は、節点 N 5 6 2 の電位に応じて、配線 5 6 1 1 と配線 5 6 1 6 とを接続するかしないかを選択するスイッチとしての機能を有する。トランジスタ 5 6 0 5 は、節点 N 5 6 3 の電位に応じて、配線 5 6 1 1 と節点 N 5 6 1 とを接続するかしないかを選択するスイッチとしての機能を有する。トランジスタ 5 6 0 6 は、節点 N 5 6 2 の電位に応じて、配線 5 6 1 1 と節点 N 5 6 1 とを接続するかしないかを選択するスイッチとしての機能を有する。トランジスタ 5 6 0 7 は、配線 5 6 1 5 の電位に応じて、配線 5 6 1 1 と節点 N 5 6 1 とを接続するかしないかを選択するスイッチとしての機能を有する。

【 0 4 6 8 】

次に、図 5 6 に示した基本回路を P チャネル型トランジスタで構成した場合について、図 5 8 を参照して説明する。

【 0 4 6 9 】

図 5 8 は、第 4 の実施形態で説明した図 2 6 (a) の基本回路を適用したフリップフロップ回路の一例である。図 5 8 のフリップフロップ回路は、トランジスタ 5 8 0 1、トランジスタ 5 8 0 2、トランジスタ 5 8 0 3、トランジスタ 5 8 0 4、トランジスタ 5 8 0 5、トランジスタ 5 8 0 6、トランジスタ 5 8 0 7、回路 5 8 0 8、及び回路 5 8 0 9 を有している。

【 0 4 7 0 】

なお、回路 5 8 0 8、及び回路 5 8 0 9 として、図 4 4 の N A N D 回路 4 4 1 5、図 4 8 の N A N D 回路 4 8 1 7 を用いることができる。

【 0 4 7 1 】

図 5 8 のフリップフロップ回路の接続関係について説明する。なお、トランジスタ 5 8 0 1 の第 2 端子とトランジスタ 5 8 0 7 の第 2 端子とトランジスタ 5 8 0 5 の第 2 端子とトランジスタ 5 8 0 6 の第 2 端子とトランジスタ 5 8 0 2 のゲートとの節点 N 5 8 1 とする。また、トランジスタ 5 8 0 4 のゲートとトランジスタ 5 8 0 6 のゲートとの節点を節点 N 5 8 2 とする。また、トランジスタ 5 8 0 3 のゲートとトランジスタ 5 8 0 5 のゲートとの節点を節点 N 5 8 3 とする。

【 0 4 7 2 】

トランジスタ 5 8 0 1 のゲートが配線 5 8 1 4 に接続され、第 1 端子が配線 5 8 1 0 に接続され、第 2 端子が節点 N 5 8 1 に接続されている。トランジスタ 5 8 0 7 のゲートが配線 5 8 1 5 に接続され、第 1 端子が配線 5 8 1 1 に接続され、第 2 端子が節点 N 5 8 1 に接続されている。回路 5 8 0 8 の 2 つの入力端子は節点 N 5 8 1 と配線 5 8 1 2 とにそれぞれ接続され、出力端子は節点 N 5 8 2 に接続されている。回路 5 8 0 9 の 2 つの入力端子は節点 N 5 8 1 と配線 5 8 1 3 とにそれぞれ接続され、出力端子は節点 N 5 8 3 に接続されている。トランジスタ 5 8 0 6 のゲートが節点 N 5 8 2 に接続され、第 1 端子が配線

５８１１に接続され、第２端子が節点Ｎ５８１に接続されている。トランジスタ５８０５のゲートが節点Ｎ５８３に接続され、第１端子が配線５８１１に接続され、第２端子が節点Ｎ５８１に接続されている。トランジスタ５８０４のゲートが節点Ｎ５８２に接続され、第１端子が配線５８１１に接続され、第２端子が配線５８１６に接続されている。トランジスタ５８０３のゲートが節点Ｎ５８３に接続され、第１端子が配線５８１１に接続され、第２端子が配線５８１６に接続されている。トランジスタ５８０２のゲートが節点Ｎ５８１に接続され、第１端子が配線５８１３に接続され、第２端子が配線５８１６に接続されている。

【０４７３】

また、トランジスタ５８０１～トランジスタ５８０７は、それぞれＰチャネル型である。また、回路５８０８、及び回路５８０９が有するトランジスタも、それぞれＰチャネル型である。

10

【０４７４】

したがって、図５８のフリップフロップ回路はすべてＰチャネル型のトランジスタで構成することができるため、Ｎチャネル型のトランジスタを形成するための工程が必要ない。したがって、図５８のフリップフロップ回路は、製造工程の簡略化を図ることができ、製造コストの削減や歩留まりの向上を図ることができる。

【０４７５】

また、配線５８１１には電源電位ＶＤＤが供給され、配線５８１０には電源電位ＶＳＳが供給されている。なお、電源電位ＶＤＤは、電源電位ＶＳＳよりも高い電位である。ただし、配線５８１０、及び配線５８１１には、デジタル信号、アナログ信号などが供給されていてもよいし、他の電源電位が供給されていてもよい。

20

【０４７６】

また、配線５８１２、配線５８１３、配線５８１４、及び配線５８１５には、それぞれ信号が供給されている。なお、配線５８１２、配線５８１３、配線５８１４、及び配線５８１５に供給されている信号は、それぞれ２値の値を持つデジタル信号である。ただし、配線５８１２、配線５８１３、配線５８１４、及び配線５８１５には、それぞれ電源電位ＶＤＤ、電源電位ＶＳＳ、又は他の電源電位が供給されていてもよい。また、配線５８１２、配線５８１３、配線５８１４、及び配線５８１５には、それぞれアナログ信号が供給されていてもよい。

30

【０４７７】

次に、図５８に示したフリップフロップ回路の動作について、図５９を参照して説明する。

【０４７８】

図５９は、図５８に示したフリップフロップ回路のタイミングチャートの一例である。図５９のタイミングチャートは、配線５８１２の電位、配線５８１３の電位、配線５８１４の電位、節点Ｎ５８１の電位、節点Ｎ５８２の電位、節点Ｎ５８３の電位、配線５８１６の電位、トランジスタ５８０４、及びトランジスタ５８０６のオン、オフの関係、トランジスタ５８０３、及びトランジスタ５８０５のオン、オフの関係、配線５８１５の電位を示している。

40

【０４７９】

図５９のタイミングチャートを期間Ｔ１～期間Ｔ４に分割して説明する。また、期間Ｔ３は、期間Ｔ３ａと期間Ｔ３ｂとに分割して説明する。

【０４８０】

なお、期間Ｔ１、期間Ｔ２、期間Ｔ３ｂ以外の期間は、期間Ｔ３ａと期間Ｔ４とを順に繰り返している。

【０４８１】

まず、期間Ｔ１の動作について説明する。期間Ｔ１では、配線５８１２にＬ信号が供給され、配線５８１３にＨ信号が供給され、配線５８１４にＬ信号が供給され、配線５８１５にＨ信号が供給されている。

50

【0482】

したがって、トランジスタ5801がオンになり、トランジスタ5807がオフになる。このとき、節点N581の電位は、トランジスタ5801を介して電源電位VSSが供給されるため、減少する。よって、回路5808はH信号を節点N582に出力し、トランジスタ5804、及びトランジスタ5806がオフする。また、回路5809はH信号を節点N583に出力し、トランジスタ5803、及びトランジスタ5805がオフする。

【0483】

なお、節点N581の電位の減少は、トランジスタ5801がオフするまで続く。トランジスタ5801は、節点N581の電位が電源電位VSSとトランジスタ5801のしきい値電圧 V_{th5801} の絶対値との和($VSS + |V_{th5801}|$)になると、オフする。したがって、節点N581の電位は $VSS + |V_{th5801}|$ となり、節点N581はフローティング状態になる。

【0484】

したがって、トランジスタ5802がオンする。配線5816にはトランジスタ5802を介して配線5813のH信号が供給されるため、配線5816の電位は電源電位VDDと等しい値になる。

【0485】

続いて、期間T2の動作について説明する。期間T2では、配線5812にH信号が供給され、配線5813にL信号が供給され、配線5814にH信号が供給され、配線5815にH信号が供給されている。

【0486】

したがって、トランジスタ5801がオフになり、トランジスタ5807がオフのままである。このとき、節点N581の電位は、 $VSS + |V_{th5801}|$ を維持している。よって、回路5808はH信号を節点N582に出力し、トランジスタ5804、及びトランジスタ5806がオフのままである。また、回路5809はH信号を節点N583に出力し、トランジスタ5803、及びトランジスタ5805がオフのままである。

【0487】

なお、配線5813にはL信号が供給されるため、配線5816の電位が減少し始める。したがって、節点N581の電位は、ブートストラップ動作によって、電源電位VSSからトランジスタ5802のしきい値電圧 V_{th5802} の絶対値を引いた値($VSS - |V_{th5802}|$)以下になる。よって、配線5816の電位は、電源電位VSSと等しい値まで減少する。

【0488】

続いて、期間T3bの動作について説明する。期間T3bでは、配線5812にL信号が供給され、配線5813にH信号が供給され、配線5814にH信号が供給され、配線5815にL信号が供給されている。

【0489】

したがって、トランジスタ5801がオフになり、トランジスタ5807がオンになる。節点N581にはトランジスタ5807を介して電源電位VDDが供給されるため、節点N581の電位が上昇する。よって、回路5808はH信号を節点N582に出力し、トランジスタ5804、及びトランジスタ5806がオフのままである。また、回路5809はL信号を節点N583に出力し、トランジスタ5803、及びトランジスタ5805がオンになる。

【0490】

なお、節点N581がHレベルになるため、トランジスタ5802がオフする。配線5816にはトランジスタ5803を介して電源電位VDDが供給されるため、配線5816の電位は電源電位VDDと等しい値になる。

【0491】

続いて、期間T4の動作について説明する。期間T4では、配線5812にH信号が供給され、配線5813にL信号が供給され、配線5814にH信号が供給され、配線5815にL信号が供給されている。

5 に H 信号が供給されている。

【 0 4 9 2 】

したがって、トランジスタ 5 8 0 1 がオフのままであり、トランジスタ 5 8 0 7 がオフになる。節点 N 5 8 1 の電位は、H レベルを維持する。よって、回路 5 8 0 8 は L 信号を節点 N 5 8 2 に出力し、トランジスタ 5 8 0 4、及びトランジスタ 5 8 0 6 がオンになる。また、回路 5 8 0 9 は H 信号を節点 N 5 8 3 に出力し、トランジスタ 5 8 0 3、及びトランジスタ 5 8 0 5 がオフになる。

【 0 4 9 3 】

なお、節点 N 5 8 1 が H レベルを維持するため、トランジスタ 5 8 0 2 がオフする。配線 5 8 1 6 にはトランジスタ 5 8 0 4 を介して電源電位 V D D が供給されるため、配線 5 8 1 6 の電位は電源電位 V D D と等しい値のままである。

10

【 0 4 9 4 】

続いて、期間 T 3 a の動作について説明する。期間 T 3 a では、配線 5 8 1 2 に L 信号が供給され、配線 5 8 1 3 に H 信号が供給され、配線 5 8 1 4 に H 信号が供給され、配線 5 8 1 5 に H 信号が供給されている。

【 0 4 9 5 】

したがって、トランジスタ 5 8 0 1 がオフになり、トランジスタ 5 8 0 7 がオフになる。節点 N 5 8 1 の電位は、H レベルを維持する。よって、回路 5 8 0 8 は H 信号を節点 N 5 8 2 に出力し、トランジスタ 5 8 0 4、及びトランジスタ 5 8 0 6 がオフになる。また、回路 5 8 0 9 は L 信号を節点 N 5 8 3 に出力し、トランジスタ 5 8 0 3、及びトランジスタ 5 8 0 5 がオンになる。

20

【 0 4 9 6 】

なお、節点 N 5 8 1 が H レベルを維持するため、トランジスタ 5 8 0 2 がオフする。配線 5 8 1 6 にはトランジスタ 5 8 0 3 を介して電源電位 V D D が供給されるため、配線 5 8 1 6 の電位は電源電位 V D D と等しい値のままである。

【 0 4 9 7 】

以上の動作によって、期間 T 1 では、図 5 8 のフリップフロップ回路は、節点 N 5 8 1 を L レベルのまま、フローティング状態にする。期間 T 2 では、図 5 8 のフリップフロップ回路は、ブートストラップ動作によって、節点 N 5 8 1 の電位を V S S - | V t h 5 8 0 2 | 以下にし、配線 5 8 1 6 の電位を電源電位 V S S と等しい値にできる。

30

【 0 4 9 8 】

また、期間 T 3 a において、トランジスタ 5 8 0 3 がオンして、配線 5 8 1 6 に電源電位 V D D を供給する。また、期間 T 4 において、トランジスタ 5 8 0 4 がオンして配線 5 8 1 6 に電源電位 V D D を供給する。したがって、図 5 8 のフリップフロップ回路は、期間 T 3 a、及び期間 T 4 において、配線 5 8 1 6 に常に電源電位 V D D を供給することができる。

【 0 4 9 9 】

また、期間 T 3 b において、トランジスタ 5 8 0 5 がオンして、節点 N 5 8 1 に電源電位 V D D を供給する。また、期間 T 4 において、トランジスタ 5 8 0 6 がオンして節点 N 5 8 1 に電源電位 V D D を供給する。したがって、図 5 8 のフリップフロップ回路は、期間 T 3 b、及び期間 T 4 において、節点 N 5 8 1 に常に電源電位 V D D を供給することができる。

40

【 0 5 0 0 】

また、図 5 8 のフリップフロップ回路は、期間 T 1 ~ 期間 T 4 すべての期間でオン状態であるトランジスタは有していない。つまり、定常的、又はほぼ定常的にオン状態であるトランジスタは有していない。したがって、図 5 8 のフリップ回路は、トランジスタの特性劣化、及び特性劣化によるしきい値電圧のシフトを抑制することができる。

【 0 5 0 1 】

なお、トランジスタ 5 8 0 1 ~ トランジスタ 5 8 0 7 は、トランジスタ 5 6 0 1 ~ トランジスタ 5 6 0 7 と同様な機能を有する。

50

【 0 5 0 2 】

なお、本実施形態は、本明細書中の他の実施形態のいかなる記載とも自由に組み合わせて実施することができる。また、本実施形態中のいかなる記載も自由に組み合わせて実施することができる。

【 0 5 0 3 】

(第8の実施形態)

本実施形態では、第5の実施形態、及び第6の実施形態で説明したフリップフロップ回路を適用したシフトレジスタについて、図60を参照して説明する。

【 0 5 0 4 】

図60は、第5の実施形態、及び第6の実施形態で説明したフリップフロップ回路を適用したシフトレジスタの一例である。図60のシフトレジスタには、複数のフリップフロップ回路6001が配置されている。 10

【 0 5 0 5 】

なお、フリップフロップ回路6001は、第5の実施形態、及び第6の実施形態に示したものと同様である。

【 0 5 0 6 】

なお、図60では、 $n - 1$ 段目のフリップフロップ回路6001($n - 1$)、 n 段目のフリップフロップ回路6001(n)、及び $n + 1$ 段目のフリップフロップ回路6001($n + 1$)を示している。なお、 n は偶数である。なお、偶数段目のフリップフロップ回路6001の入力端子IN601は配線6005に接続され、奇数段目の入力端子IN601は配線6004に接続されている。 20

【 0 5 0 7 】

なお、入力端子IN601は、図27の配線2711、図36の配線3613、図44の配線4411、図48の配線4813に、それぞれ接続されている。入力端子IN602は、図27の配線2712、図36の配線3614、図44の配線4412、図48の配線4814に、それぞれ接続されている。入力端子IN603は、図27の配線2713、図36の配線3615、図44の配線4413、図48の配線4815に、それぞれ接続されている。入力端子IN604は、図27の配線2709、図36の配線3611、図44の配線4410、図48の配線4812に、それぞれ接続されている。入力端子IN605は、図27の配線2710、図36の配線3612、図44の配線4409、図48の配線4811に、それぞれ接続されている。出力端子OUT606は、図27の配線2714、図36の配線3616、図44の配線4414、図48の配線4816に、それぞれ接続されている。 30

【 0 5 0 8 】

また、配線6002には電源電位VDDが供給され、配線6003には電源電位VSSが供給されている。なお、電源電位VDDは、電源電位VSSよりも高い電位である。ただし、配線6002、及び配線6003は、デジタル信号、アナログ信号などが供給されていてもよいし、他の電源電位が供給されていてもよい。

【 0 5 0 9 】

また、配線6004、配線6005、及び配線6006には、それぞれ信号が供給されている。なお、配線6004、配線6005、及び配線6006に供給されている信号は、それぞれ2値の値を持つデジタル信号である。ただし、配線6004、配線6005、及び配線6006には、それぞれ電源電位VDD、電源電位VSS、又は他の電源電位が供給されていてもよい。また、配線6004、配線6005、及び配線6006には、それぞれアナログ信号が供給されていてもよい。 40

【 0 5 1 0 】

なお、配線6006には、 $n - 2$ 段目のフリップフロップ回路6001の出力信号が供給されている。

【 0 5 1 1 】

次に、図60に示したシフトレジスタの動作について、図61のタイミングチャートを参 50

照して説明する。

【0512】

図61は、図60に示したシフトレジスタのタイミングチャートの一例である。図61のタイミングチャートは、配線6004の電位、配線6005の電位、出力端子OUT606(n-2)の電位、出力端子OUT606(n-1)の電位、出力端子OUT606(n)の電位、出力端子OUT606(n+1)の電位を示している。

【0513】

なお、図61のタイミングチャートは、フリップフロップ回路6001をNチャネル型トランジスタで構成した場合について示している。フリップフロップ回路6001をPチャネル型トランジスタで構成した場合は、それぞれHレベルとLレベルとを反転すればよい。

【0514】

なお、図61のタイミングチャートを期間T1～期間T8に分割して説明する。

【0515】

まず、期間T1の動作について説明する。期間T1において、フリップフロップ回路6001(n-1)は、第5の実施形態、及び第6の実施形態における期間T1の動作をする。フリップフロップ回路6001(n)は、第5の実施形態、及び第6の実施形態における期間T4の動作をする。フリップフロップ回路6001(n+1)は、第5の実施形態、及び第6の実施形態における期間T3aの動作をする。

【0516】

続いて、期間T2の動作について説明する。期間T2において、フリップフロップ回路6001(n-1)は、第5の実施形態、及び第6の実施形態における期間T2の動作をする。フリップフロップ回路6001(n)は、第5の実施形態、及び第6の実施形態における期間T1の動作をする。フリップフロップ回路6001(n+1)は、第5の実施形態、及び第6の実施形態における期間T4の動作をする。

【0517】

したがって、フリップフロップ回路6001(n-1)の出力端子OUT606から、H信号が出力される。

【0518】

続いて、期間T3の動作について説明する。期間T3において、フリップフロップ回路6001(n-1)は、第5の実施形態、及び第6の実施形態における期間T3bの動作をする。フリップフロップ回路6001(n)は、第5の実施形態、及び第6の実施形態における期間T2の動作をする。フリップフロップ回路6001(n+1)は、第5の実施形態、及び第6の実施形態における期間T1の動作をする。

【0519】

したがって、フリップフロップ回路6001(n)の出力端子OUT606から、H信号が出力される。

【0520】

続いて、期間T4の動作について説明する。期間T4において、フリップフロップ回路6001(n-1)は、第5の実施形態、及び第6の実施形態における期間T4の動作をする。フリップフロップ回路6001(n)は、第5の実施形態、及び第6の実施形態における期間T3bの動作をする。フリップフロップ回路6001(n+1)は、第5の実施形態、及び第6の実施形態における期間T2の動作をする。

【0521】

したがって、フリップフロップ回路6001(n+1)の出力端子OUT606から、H信号が出力される。

【0522】

続いて、期間T5の動作について説明する。期間T5において、フリップフロップ回路6001(n-1)は、第5の実施形態、及び第6の実施形態における期間T3aの動作をする。フリップフロップ回路6001(n)は、第5の実施形態、及び第6の実施形態に

おける期間 T 4 の動作をする。フリップフロップ回路 6 0 0 1 (n + 1) は、第 5 の実施形態、及び第 6 の実施形態における期間 T 3 b の動作をする。

【 0 5 2 3 】

続いて、期間 T 6 の動作について説明する。期間 T 6 において、フリップフロップ回路 6 0 0 1 (n - 1) は、第 5 の実施形態、及び第 6 の実施形態における期間 T 4 の動作をする。フリップフロップ回路 6 0 0 1 (n) は、第 5 の実施形態、及び第 6 の実施形態における期間 T 3 a の動作をする。フリップフロップ回路 6 0 0 1 (n + 1) は、第 5 の実施形態、及び第 6 の実施形態における期間 T 4 の動作をする。

【 0 5 2 4 】

続いて、期間 T 7 の動作について説明する。期間 T 7 において、フリップフロップ回路 6 0 0 1 (n - 1) は、第 5 の実施形態、及び第 6 の実施形態における期間 T 3 a の動作をする。フリップフロップ回路 6 0 0 1 (n) は、第 5 の実施形態、及び第 6 の実施形態における期間 T 4 の動作をする。フリップフロップ回路 6 0 0 1 (n + 1) は、第 5 の実施形態、及び第 6 の実施形態における期間 T 3 a の動作をする。

10

【 0 5 2 5 】

続いて、期間 T 8 の動作について説明する。期間 T 8 において、フリップフロップ回路 6 0 0 1 (n - 1) は、第 5 の実施形態、及び第 6 の実施形態における期間 T 4 の動作をする。フリップフロップ回路 6 0 0 1 (n) は、第 5 の実施形態、及び第 6 の実施形態における期間 T 3 a の動作をする。フリップフロップ回路 6 0 0 1 (n + 1) は、第 5 の実施形態、及び第 6 の実施形態における期間 T 4 の動作をする。

20

【 0 5 2 6 】

このように、図 6 0 に示すシフトレジスタは、第 5 の実施形態、及び第 6 の実施形態に示したフリップフロップ回路を用いることによって、全てのトランジスタを N チャネル型、若しくは P チャネル型にすることができる。

【 0 5 2 7 】

また、すべて N チャネル型のトランジスタで構成することができるため、図 6 0 に示すシフトレジスタは、半導体層にアモルファスシリコンを用いることができ、製造工程の簡略化を図ることができる。したがって、製造コストの削減や歩留まりの向上を図ることができる。さらに、大型の表示パネルを作製することも可能となる。また、図 6 0 に示すシフトレジスタを用いることによって、特性が劣化しやすいアモルファスシリコンのトランジスタを用いても、半導体装置の寿命を長くすることができる。

30

【 0 5 2 8 】

トランジスタの特性は、トランジスタがアモルファスシリコンで形成されている場合に劣化しやすい。したがって、図 6 0 のシフトレジスタは、トランジスタをアモルファスシリコンで形成することによって、製造コストの削減や歩留まりの向上などのメリットが得られるだけでなく、トランジスタの特性劣化の問題も解決できる。

【 0 5 2 9 】

なお、本実施形態は、本明細書中の他の実施形態のいかなる記載とも自由に組み合わせて実施することができる。また、本実施形態中のいかなる記載も自由に組み合わせて実施することができる。

40

【 0 5 3 0 】

(第 9 の実施形態)

本実施形態では、第 8 の実施形態で説明したシフトレジスタを適用したソースドライバについて、図 6 2 を参照して説明する。

【 0 5 3 1 】

図 6 2 に示す回路は、第 8 の実施形態に示したシフトレジスタを適用した回路構成の一例である。

【 0 5 3 2 】

図 6 2 に示す回路は、シフトレジスタ 6 5 0 1、及び複数のスイッチ 6 5 0 3 を有している。また、シフトレジスタ 6 5 0 1 は、複数の出力端子 O U T を有している。

50

【0533】

また、図62には、1段目、2段目、3段目、そしてn段目の、スイッチ6503、負荷6504、及び出力端子OUTを、それぞれ示す。また、nは2以上の自然数である。

【0534】

また、シフトレジスタ6501は、第8の実施の形態で説明したものと同様である。

【0535】

図62の回路に示すように、配線6502がスイッチ6503を介して負荷6504と接続されている。また、スイッチ6503がシフトレジスタ6501によって制御されている。

【0536】

また、配線6502には、伝達信号が供給されている。また、伝達信号は、電流でもよいし、電圧でもよい。

【0537】

なお、図示しないが、シフトレジスタ6501には複数の制御信号、及び各種電源電位が供給されている。

【0538】

次に、図62に示す回路の動作について説明する。

【0539】

シフトレジスタ6501は、1段目の出力端子OUT(1)からH信号、若しくはL信号を順に出力する。同時に、スイッチ6503が1段目から順にオンする。そして、伝達信号が1段目から順にスイッチ6503を介して負荷6504に供給される。

【0540】

なお、1段目の出力端子OUT(1)からH信号が順に出力するときは、スイッチ6503としてNチャネル型のトランジスタを用いる。また、1段目の出力端子OUT(1)からL信号が順に出力するときは、スイッチ6503としてPチャネル型のトランジスタを用いる。

【0541】

また、図62の回路は、スイッチ6503のオン・オフの切り替わりのタイミングごとに、伝達信号を変化させることで、複数の負荷6504には、それぞれ異なる電圧、若しくは電流を供給できる。

【0542】

ここで、シフトレジスタ6501、スイッチ6503が有する機能について説明する。

【0543】

まず、シフトレジスタ6501は、スイッチ6503をオンするかオフするかを選択するための信号を出力する機能を有する。また、シフトレジスタ6501は、第8の実施形態で示したものと同様である。

【0544】

また、スイッチ6503は、配線6502と負荷6504とを接続するかしないかを選択する機能を有する。

【0545】

このように、図62に示す回路は、すでに述べたように、第8の実施形態のシフトレジスタを用いることによって、全てのトランジスタをNチャネル型のみ、若しくはPチャネル型のみで構成することができる。

【0546】

なお、図62の回路は、シフトレジスタの1つの出力信号によって、1つのスイッチのオン・オフを制御していた。しかし、シフトレジスタの1つの出力信号によって、複数のスイッチのオン・オフを制御してもよい。したがって、シフトレジスタの1つの出力信号によって、3つのスイッチのオン・オフを制御する場合の構成について、図63を参照して説明する。

【0547】

10

20

30

40

50

図 6 3 に示す回路は、シフトレジスタ 6 6 0 1、及び複数のスイッチ群 6 6 0 5 を有している。また、シフトレジスタ 6 6 0 1 は、複数の出力端子 O U T を有している。また、スイッチ群 6 6 0 5 は、3 つのスイッチを有する。また、負荷群 6 6 0 6 は、3 つの負荷を有する。

【 0 5 4 8 】

また、図 6 3 には、1 段目、2 段目、3 段目、そして n 段目の、スイッチ群 6 6 0 5、負荷群 6 6 0 6、及び出力端子 O U T を、それぞれ示す。また、n は 2 以上の自然数である。

【 0 5 4 9 】

また、シフトレジスタ 6 6 0 1 は、第 8 の実施形態で説明したものと同様である。

10

【 0 5 5 0 】

図 6 3 の回路に示すように、配線 6 6 0 2、配線 6 6 0 3、及び配線 6 6 0 4 が、スイッチ群 6 6 0 5 が有する 3 つのスイッチを介して、負荷群 6 6 0 6 が有する 3 つの負荷に、それぞれ接続されている。また、スイッチ群 6 6 0 5 が有する 3 つのスイッチは、シフトレジスタ 6 6 0 1 によって制御されている。

【 0 5 5 1 】

また、配線 6 6 0 2 には伝達信号 1 が供給され、配線 6 6 0 3 には伝達信号 2 が供給され、配線 6 6 0 4 には伝達信号 3 が供給されている。また、伝達信号 1、伝達信号 2、及び伝達信号 3 は、電流でもよいし、電圧でもよい。

【 0 5 5 2 】

なお、図示はしないが、シフトレジスタ 6 6 0 1 には複数の制御信号、及び各種電源電位が供給されている。

20

【 0 5 5 3 】

次に、図 6 3 に示す回路の動作について説明する。

【 0 5 5 4 】

シフトレジスタ 6 6 0 1 は、1 段目の出力端子 O U T (1) から H 信号、若しくは L 信号を順に出力する。同時に、スイッチ群 6 6 0 5 が有する 3 つのスイッチが 1 段目から順に同じタイミングでオンする。そして、伝達信号 1、伝達信号 2、及び伝達信号 3 が 1 段目から順にスイッチ群 6 6 0 5 を介して負荷群 6 6 0 6 が有する負荷に、それぞれ供給される。

30

【 0 5 5 5 】

なお、シフトレジスタ 6 6 0 1 の 1 段目の出力端子 O U T (1) から H 信号が順に出力するときは、スイッチ群 6 6 0 5 が有するスイッチとして N チャネル型のトランジスタを用いる。また、シフトレジスタ 6 6 0 1 の 1 段目の出力端子 O U T (1) から L 信号が順に出力するときは、スイッチ群 6 6 0 5 が有するスイッチとして P チャネル型のトランジスタを用いる。

【 0 5 5 6 】

また、図 6 3 の回路は、スイッチ群 6 6 0 5 が有するスイッチのオン・オフの切り替わりのタイミングごとに、伝達信号 1、伝達信号 2、及び伝達信号 3 を、それぞれ変化させることで、負荷群 6 6 0 6 が有する負荷には、それぞれ異なる電圧、若しくは電流を供給できる。

40

【 0 5 5 7 】

ここで、シフトレジスタ 6 6 0 1、スイッチ群 6 6 0 5 が有する機能について説明する。

【 0 5 5 8 】

まず、シフトレジスタ 6 6 0 1 は、スイッチ群 6 6 0 5 が有するスイッチを同時にオンするかオフするかを選択するための信号を出力する機能を有する。また、シフトレジスタ 6 6 0 1 は、第 8 の実施形態で示したものと同様である。

【 0 5 5 9 】

また、スイッチ群 6 6 0 5 は、配線 6 6 0 2、配線 6 6 0 3、及び配線 6 6 0 4 と負荷群 6 6 0 6 とを、それぞれ接続するかしないかを選択する機能を有する。

50

【 0 5 6 0 】

このように、図 6 3 に示す回路は、シフトレジスタ 6 6 0 1 の 1 つの出力信号によって、複数のスイッチのオン・オフを制御できる。また、すでに述べたように、第 8 の実施形態のシフトレジスタを用いることによって、全てのトランジスタを N チャンネル型のみ、若しくは P チャンネル型のみで構成することができる。

【 0 5 6 1 】

ここで、図 6 2、及び図 6 3 とは別の、第 8 の実施形態に示したシフトレジスタを適用できる構成について、図 6 4 を参照して説明する。

【 0 5 6 2 】

図 6 4 に示す回路は、シフトレジスタ 6 7 0 1、及び複数のスイッチ群 6 7 0 5 を有している。また、シフトレジスタ 6 7 0 1 は、3 つの出力端子 O U T を有している。また、スイッチ群 6 7 0 5 は、3 つのスイッチを有している。また、負荷群 6 7 0 6 は 3 つの負荷を有する。

10

【 0 5 6 3 】

また、図 6 4 には、1 段目、2 段目、3 段目の、スイッチ群 6 7 0 5、負荷群 6 7 0 6 を示す。

【 0 5 6 4 】

また、シフトレジスタ 6 7 0 1 は、第 8 の実施形態で説明したものと同様である。

【 0 5 6 5 】

図 6 4 の回路に示すように、複数の配線 6 7 0 7 が、スイッチ群 6 7 0 5 が有する 3 つのスイッチを介して、負荷群 6 7 0 6 が有する 3 つの負荷に、接続されている。また、スイッチ群 6 7 0 5 が有する 3 つのスイッチは、シフトレジスタ 6 7 0 1 によって、それぞれ制御されている。

20

【 0 5 6 6 】

また、配線 6 7 0 2 には、シフトレジスタ 6 7 0 1 の 1 段目の出力端子 O U T (1) からの出力信号が供給されている。配線 6 7 0 3 には、シフトレジスタ 6 7 0 1 の 2 段目の出力端子 O U T (2) からの出力信号が供給されている。配線 6 7 0 4 には、シフトレジスタ 6 7 0 1 の 3 段目の出力端子 O U T (3) からの出力信号が供給されている。

【 0 5 6 7 】

また、1 段目の配線 6 7 0 7 (1) には伝達信号 1 が供給され、2 段目の配線 6 7 0 7 (2) には伝達信号 2 が供給され、3 段目の配線 6 7 0 7 (3) には伝達信号 3 が供給されている。また、伝達信号 1、伝達信号 2、及び伝達信号 3 は、電流でもよいし、電圧でもよい。

30

【 0 5 6 8 】

なお、図示はしないが、シフトレジスタ 6 7 0 1 には複数の制御信号、及び各種電源電位が供給されている。

【 0 5 6 9 】

次に、図 6 4 に示す回路の動作について説明する。

【 0 5 7 0 】

シフトレジスタ 6 7 0 1 は、1 段目の出力端子 O U T (1) から H 信号、若しくは L 信号を順に出力する。同時に、スイッチ群 6 7 0 5 が有するスイッチが 1 つずつ順にオンする。したがって、1 つの伝達信号は、順に負荷群 6 7 0 6 が有する負荷に供給される。

40

【 0 5 7 1 】

なお、シフトレジスタ 6 7 0 1 の 1 段目の出力端子 O U T (1) から H 信号が順に出力するときは、スイッチ群 6 7 0 5 が有するスイッチとして N チャンネル型のトランジスタを用いる。また、シフトレジスタ 6 7 0 1 の 1 段目の出力端子 O U T (1) から L 信号が順に出力するときは、スイッチ群 6 7 0 5 が有するスイッチとして P チャンネル型のトランジスタを用いる。

【 0 5 7 2 】

また、図 6 4 の回路は、スイッチ群 6 7 0 5 が有するスイッチのオン・オフの切り替わり

50

のタイミングごとに、各伝達信号を、それぞれ変化させることで、負荷群 6 7 0 6 が有する負荷に、それぞれ異なる電圧、若しくは電流を供給できる。

【 0 5 7 3 】

このように、図 6 4 に示す回路は、1つの伝達信号をそれぞれ複数の負荷に供給することによって、伝達信号を減らすことができる。図 6 4 では、各スイッチ群において3つのスイッチを用いているため、伝達信号の数を 1 / 3 にすることができる。

【 0 5 7 4 】

また、すでに述べたように、第 8 の実施形態のシフトレジスタを用いることによって、全てのトランジスタを N チャンネル型のみ、若しくは P チャンネル型のみで構成することができる。

10

【 0 5 7 5 】

なお、本実施形態は、本明細書中の他の実施形態のいかなる記載とも自由に組み合わせて実施することができる。また、本実施形態中のいかなる記載も自由に組み合わせて実施することができる。

【 0 5 7 6 】

(第 1 0 の実施形態)

本実施形態では、第 3 の実施形態で説明したフリップフロップ回路のレイアウト図について、図 6 5 を参照して説明する。

【 0 5 7 7 】

図 6 5 は、図 2 7 に示したフリップフロップ回路のレイアウト図である。なお、図 6 5 のフリップフロップ回路のレイアウト図は、トランジスタの半導体層として、多結晶半導体 (ポリシリコン) を用いた場合について示している。また、図 6 5 において、半導体層 6 8 0 1、ゲート電極層 6 8 0 2、及び配線層 6 8 0 3 が形成されている場合について説明する。

20

【 0 5 7 8 】

図 6 5 のフリップフロップ回路のレイアウト図には、トランジスタ 2 7 0 1 ~ トランジスタ 2 7 0 8 が配置されている。

【 0 5 7 9 】

なお、図 6 5 のフリップフロップ回路のレイアウト図において、トランジスタ 2 7 0 5 がデュアルゲート構造になっていることを特徴とする。

30

【 0 5 8 0 】

また、各トランジスタと、配線 2 7 1 1 a、配線 2 7 1 1 b との間に、配線 2 7 0 9 が配置されていることを特徴とする。なぜなら、配線 2 7 1 1 a、及び配線 2 7 1 1 b に供給されている信号がノイズとなって、各トランジスタの動作に影響してしまう。したがって、各トランジスタと、配線 2 7 1 1 a、配線 2 7 1 1 b との間に、配線 2 7 0 9 が配置されていることによって、配線 2 7 0 9 がこのノイズを抑制することができるからである。

【 0 5 8 1 】

次に、図 6 6 に示すフリップフロップ回路のレイアウト図は、非結晶半導体 (アモルファスシリコン) を用いた場合について示している。

【 0 5 8 2 】

40

なお、各トランジスタと、配線 2 7 1 1 a、配線 2 7 1 1 b との間に、配線 2 7 0 9 が配置されていることを特徴とする。なぜなら、配線 2 7 1 1 a、及び配線 2 7 1 1 b に供給されている信号がノイズとなって、各トランジスタの動作に影響してしまう。したがって、各トランジスタと、配線 2 7 1 1 a、配線 2 7 1 1 b との間に、配線 2 7 0 9 が配置されていることによって、配線 2 7 0 9 がこのノイズを抑制することができるからである。

【 0 5 8 3 】

なお、本実施形態は、本明細書中の他の実施形態のいかなる記載とも自由に組み合わせて実施することができる。また、本実施形態中のいかなる記載も自由に組み合わせて実施することができる。

【 0 5 8 4 】

50

(第11の実施形態)

第11の実施形態では、複数の画素が形成されたパネルの例について図75を用いて説明する。図75(A)において、パネル191は、マトリクス状に配置された複数の画素590よりなる画素部591を有する。画素部591は、画素590毎に薄膜トランジスタ等のスイッチング素子を配置したアクティブマトリクス方式の構成とすることができる。画素590の表示媒体として、エレクトロルミネッセンス素子等の発光素子を設けても良いし、液晶素子を設けても良い。

【0585】

なお、図75(B)に示すように、画素部591が形成された基板と同じ基板上に画素部591を駆動する駆動回路を設けても良い。図75(B)において図75(A)と同じ部分は同じ符号を用いて示し説明は省略する。図75(B)では、駆動回路としてソースドライバ593及びゲートドライバ594を示した。なおこれに限定されず、ソースドライバ593、ゲートドライバ594の他に更に駆動回路を設けても良い。駆動回路は、別基板上に形成され画素部591が形成された基板上に実装されていても良い。例えば、画素部591はガラス基板上に薄膜トランジスタを用いて形成し、駆動回路は単結晶基板を用いてそのICチップをCOG(Chip On Glass)によって当該ガラス基板上に接続してもよい。あるいは、そのICチップをTAB(Tape Automated Bonding)によって当該ガラス基板上に接続してもよいし、プリント基板を用いて当該ガラス基板と接続してもよい。

10

【0586】

また、駆動回路は、画素部591が形成された基板と同一基板上に画素590の有する薄膜トランジスタと同じ工程で形成された薄膜トランジスタを用いて形成されていても良い。薄膜トランジスタのチャネル形成領域は、多結晶半導体で形成されていてもよいし非晶質半導体で形成されていても良い。

20

【0587】

なお、本実施形態は、本明細書中の他の実施形態のいかなる記載とも自由に組み合わせて実施することができる。また、本実施形態中のいかなる記載も自由に組み合わせて実施することができる。

【0588】

(第12の実施形態)

図76(A)に、図75(A)や図75(B)で示した画素部591の構成例(以下、第1の画素構成という)を示す。画素部591は、複数のソース信号線S1乃至Sp(pは自然数)と、複数のソース信号線S1乃至Spと交差するように設けられた複数の走査線G1乃至Gq(qは自然数)と、ソース信号線S1乃至Spと走査線G1乃至Gqの交差部毎に設けられた画素690とを有する。

30

【0589】

図76(A)の画素690の構成を図76(B)に示す。図76(B)では、複数のソース信号線S1乃至Spのうちの1本Sx(xはp以下の自然数)と、複数の走査線G1乃至Gqのうちの1本Gy(yはq以下の自然数)との交差部に形成された画素690を示す。画素690は、第1のトランジスタ691と、第2のトランジスタ692と、容量素子693と、発光素子694とを有する。なお、本実施形態では、発光素子694として一対の電極を有し、当該一対の電極間に電流が流れることによって発光する素子を用いた例を示す。また、容量素子693として、第2のトランジスタ692の寄生容量等を積極的に利用してもよい。第1のトランジスタ691及び第2のトランジスタ692は、nチャンネル型のトランジスタであってもpチャンネル型のトランジスタであっても良い。画素690を構成するトランジスタとして、薄膜トランジスタを用いることができる。

40

【0590】

第1のトランジスタ691のゲートは走査線Gyに接続され、第1のトランジスタ691のソース及びドレインの一方はソース信号線Sxに接続され、他方は第2のトランジスタ692のゲート及び容量素子693の一方の電極に接続される。容量素子693の他方の

50

電極は、電位 V_3 が与えられる端子 695 に接続される。第 2 のトランジスタ 692 のソース及びドレインの一方は発光素子 694 の一方の電極に接続され、他方は電位 V_2 が与えられる端子 696 に接続される。発光素子 694 の他方の電極は、電位 V_1 が与えられる端子 697 に接続される。

【0591】

図 76 (A) 及び図 76 (B) に示した画素部 591 の表示方法について説明する。

【0592】

複数の走査線 G_1 乃至 G_q のうち 1 本を選択し、当該走査線が選択されている間に複数のソース信号線 S_1 乃至 S_p 全てに画像信号を入力する。こうして、画素部 591 の 1 行の画素に画像信号を入力する。複数の走査線 G_1 乃至 G_q を順に選択し同様の動作を行って、画素部 591 の全ての画素 690 に画像信号を入力する。

10

【0593】

複数の走査線 G_1 乃至 G_q のうちの 1 本 G_y が選択され、複数のソース信号線 S_1 乃至 S_p のうちの 1 本 S_x から画像信号が入力された画素 690 の動作について説明する。走査線 G_y が選択されると、第 1 のトランジスタ 691 がオン状態となる。トランジスタのオン状態とはソースとドレインが導通状態であることを言い、トランジスタのオフ状態とはソースとドレインが非導通状態であることを言うものとする。第 1 のトランジスタ 691 がオン状態となると、ソース信号線 S_x に入力された画像信号は、第 1 のトランジスタ 691 を介して第 2 のトランジスタ 692 のゲートに入力される。第 2 のトランジスタ 692 は入力された画像信号に応じてオン状態またはオフ状態を選択される。第 2 のトランジスタ 692 のオン状態が選択されると、第 2 のトランジスタ 692 のドレイン電流が発光素子 694 に流れ、発光素子 694 は発光する。

20

【0594】

電位 V_2 と電位 V_3 とは、第 2 のトランジスタ 692 がオン状態となった際に電位差が常に一定となるように保たれる。電位 V_2 と電位 V_3 とを同じ電位としてもよい。電位 V_2 と電位 V_3 とを同じ電位とする場合は、端子 695 と端子 696 とを同じ配線に接続しても良い。電位 V_1 と電位 V_2 とは、発光素子 694 の発光を選択された際に所定の電位差を有するように設定される。こうして、発光素子 694 に電流を流し、発光素子 694 を発光させる。

【0595】

30

なお、配線や電極は、アルミニウム (Al)、タンタル (Ta)、チタン (Ti)、モリブデン (Mo)、タングステン (W)、ネオジウム (Nd)、クロム (Cr)、ニッケル (Ni)、白金 (Pt)、金 (Au)、銀 (Ag)、銅 (Cu)、マグネシウム (Mg)、スカンジウム (Sc)、コバルト (Co)、亜鉛 (Zn)、ニオブ (Nb)、シリコン (Si)、リン (P)、ボロン (B)、ヒ素 (As)、ガリウム (Ga)、インジウム (In)、錫 (Sn)、酸素 (O) で構成された群から選ばれた一つ又は複数の元素、もしくは、群から選ばれた一つ又は複数の元素を成分とする化合物や合金材料 (例えば、インジウム錫酸化物 (ITO)、インジウム亜鉛酸化物 (IZO)、酸化珪素を添加したインジウム錫酸化物 (ITSO)、酸化亜鉛 (ZnO)、アルミネオジウム (Al-Nd)、マグネシウム銀 (Mg-Ag) など)、もしくは、これらの化合物を組み合わせた物質などを有して形成される。もしくは、それらとシリコンの化合物 (シリサイド) (例えば、アルミシリコン、モリブデンシリコン、ニッケルシリサイドなど) や、それらと窒素の化合物 (例えば、窒化チタン、窒化タンタル、窒化モリブデン等) を有して形成される。なお、シリコン (Si) には、 n 型不純物 (リンなど) や p 型不純物 (ボロンなど) を多く含んでいてもよい。これらの不純物を含むことにより、導電率が向上する、又は通常の導体と同様な振る舞いをするので、配線や電極として利用しやすくなったりする。なお、シリコンは、単結晶でもよいし、多結晶 (ポリシリコン) でもよいし、非晶質 (アモルファスシリコン) でもよい。単結晶シリコンや多結晶シリコンを用いることにより、抵抗を小さくすることが出来る。非晶質シリコンを用いることにより、簡単な製造工程で作ることが出来る。なお、アルミニウムや銀は、導電率が高いため、信号遅延を低減すること

40

50

ができ、エッチングしやすいので、パターンニングしやすく、微細加工を行うことが出来る。なお、銅は、導電率が高いため、信号遅延を低減することが出来る。なお、モリブデンは、ITOやIZOなどの酸化物半導体や、シリコンと接触しても、材料が不良を起こすなどの問題が生じることなく製造できたり、パターンニングやエッチングがしやすかったり、耐熱性が高いため、望ましい。なお、チタンは、ITOやIZOなどの酸化物半導体や、シリコンと接触しても、材料が不良を起こすなどの問題が生じることなく製造でき、また、耐熱性が高いため、望ましい。なお、タングステンは、耐熱性が高いため、望ましい。なお、ネオジウムは、耐熱性が高いため、望ましい。特に、ネオジウムとアルミニウムとの合金にすると、耐熱性が向上し、アルミニウムがヒロックをおこしにくくなるため、望ましい。なお、シリコンは、トランジスタが有する半導体層と同時に形成でき、また、耐熱性が高いため、望ましい。なお、インジウム錫酸化物 (ITO)、インジウム亜鉛酸化物 (IZO)、酸化珪素を添加したインジウム錫酸化物 (ITSO)、酸化亜鉛 (ZnO)、シリコン (Si) は、透光性を有しているため、光を透過させるような部分に用いることができるため、望ましい。たとえば、画素電極や共通電極として用いることができる。

10

【0596】

なお、配線や電極は単層で形成していてもよいし、多層構造になっていてもよい。単層構造で形成することにより、製造工程を簡略化することができ、工程日数を少なくでき、コストを低減することが出来る。また、多層構造にすることにより、それぞれの材料のメリットを生かし、デメリットを低減させ、性能の良い配線や電極を形成することが出来る。たとえば、抵抗の低い材料 (アルミニウムなど) を多層構造の中に含むようにすることにより、配線の低抵抗化を図ることができる。また、耐熱性が高い材料を含むようにすれば、例えば、耐熱性が弱い、別のメリットを有する材料を、耐熱性が高い材料で挟むような積層構造にすることにより、配線や電極全体として、耐熱性を高くすることが出来る。例えば、アルミニウムを含む層を、モリブデンやチタンを含む層で挟んだような形にした積層構造にすると望ましい。また、別の材料の配線や電極などと直接接するような部分がある場合、お互いに悪影響を及ぼすことがある。例えば、一方の材料が他方の材料の中に入っていて、性質を変えてしまい、本来の目的を果たせなくなったり、製造するときに、問題が生じて、正常に製造できなくなったりすることがある。そのような場合、ある層を別の層で挟んだり、覆ったりすることにより、問題を解決することが出来る。例えば、インジウム錫酸化物 (ITO) と、アルミニウムを接触させたい場合は、間に、チタンやモリブデンを挟むことが望ましい。また、シリコンとアルミニウムを接触させたい場合は、間に、チタンやモリブデンを挟むことが望ましい。

20

30

【0597】

なお、本実施形態は、本明細書中の他の実施形態のいかなる記載とも自由に組み合わせて実施することができる。また、本実施形態中のいかなる記載も自由に組み合わせて実施することができる。

【0598】

(第13の実施形態)

図77(A)に、図75(A)や図75(B)で示した画素部591の構成例を示す。図77(A)では、第12の実施形態で示した第1の画素構成とは異なる例 (以下、第2の画素構成という) を示す。画素部591は、複数のソース信号線S1乃至Sp (pは自然数) と、複数のソース信号線S1乃至Spと交差するように設けられた複数の走査線G1乃至Gq (qは自然数) 及び複数の走査線R1乃至Rqと、ソース信号線S1乃至Spと走査線G1乃至Gq及び走査線R1乃至Rqの交差部毎に設けられた画素790とを有する。

40

【0599】

図77(A)の画素790の構成を図77(B)に示す。図77(B)では、複数のソース信号線S1乃至Spのうちの1本Sx (xはp以下の自然数) と、複数の走査線G1乃至Gqのうちの1本Gy (yはq以下の自然数) 及び複数の走査線R1乃至Rqのうちの

50

1 本 R y との交差部に形成された画素 790 を示す。なお、図 77 (B) に示す構成の画素において、図 76 (B) と同じ部分は同じ符号を用いて示し、説明は省略する。図 77 (B) では、図 76 (B) で示した画素 690 において、第 3 のトランジスタ 791 とを有する点で異なる。第 3 のトランジスタ 791 は、n チャネル型のトランジスタであっても p チャネル型のトランジスタであっても良い。画素 790 を構成するトランジスタとして、薄膜トランジスタを用いることができる。

【 0600 】

第 3 のトランジスタ 791 のゲートは走査線 R y に接続され、第 3 のトランジスタ 791 のソース及びドレインの一方は第 2 のトランジスタ 692 のゲート及び容量素子 693 の一方の電極に接続され、他方は電位 V 4 が与えられる端子 792 に接続される。

10

【 0601 】

図 77 (A) 及び図 77 (B) に示した画素部 591 の表示方法について説明する。

【 0602 】

発光素子 694 を発光させる方法は、第 12 の実施形態で説明した方法と同じである。図 77 (A) 及び図 77 (B) で示す構成の画素では、走査線 R y 及び第 3 のトランジスタ 791 を有することによって、ソース信号線 S x から入力される画像信号に関わらず、画素 790 の発光素子 694 を非発光とすることができる点に特徴がある。走査線 R y に入力される信号によって、画素 790 の発光素子 694 が発光する時間を設定することができる。こうして、全ての走査線 G 1 乃至 G q が順に選択される期間よりも短い発光期間を設定することができる。こうして、時分割階調方式で表示を行う場合に、短いサブフレーム期間を設定することができるので、高階調を表現することができる。

20

【 0603 】

電位 V 4 は、第 3 のトランジスタ 791 がオン状態となった際に第 2 のトランジスタ 692 がオフ状態となるように設定すれば良い。例えば、第 3 のトランジスタ 791 がオン状態となった際に、電位 V 3 と同じ電位になるように電位 V 4 を設定することができる。電位 V 3 と電位 V 4 とを同じ電位とすることによって、容量素子 693 に保持された電荷を放電し、第 2 のトランジスタ 692 のソースとゲート間の電圧をゼロとして第 2 のトランジスタ 692 をオフ状態とすることができる。なお、電位 V 3 と電位 V 4 とを同じ電位とする場合は、端子 695 と端子 792 とを同じ配線に接続しても良い。

【 0604 】

30

なお、第 3 のトランジスタ 791 は、図 77 (B) に示した配置に限定されない。例えば、第 2 のトランジスタ 692 と直列に第 3 のトランジスタ 791 を配置してもよい。この構成では、走査線 R y に入力される信号により、第 3 のトランジスタ 791 をオフ状態にすることによって、発光素子 694 に流れる電流を遮断し、発光素子 694 を非発光とすることができる。

【 0605 】

図 77 (B) で示した第 3 のトランジスタ 791 の代わりにダイオードを用いることもできる。第 3 のトランジスタ 791 の代わりにダイオードを用いた画素の構成を図 77 (C) に示す。なお、図 77 (C) において図 77 (B) と同じ部分は同じ符号を用いて示し説明は省略する。ダイオード 781 の一方の電極は走査線 R y に接続され、他方の電極は第 2 のトランジスタ 692 のゲート及び容量素子 693 の一方の電極に接続されている。

40

【 0606 】

ダイオード 781 は一方の電極から他方の電極に電流を流す。第 2 のトランジスタ 692 を p チャネル型のトランジスタとする。ダイオード 781 の一方の電極の電位を上昇させることによって、第 2 のトランジスタ 692 のゲートの電位を上昇させ、第 2 のトランジスタ 692 をオフ状態とすることができる。

【 0607 】

図 77 (C) では、ダイオード 781 は、走査線 R y に接続された一方の電極から第 2 のトランジスタ 692 のゲートに接続された他方の電極に電流を流すとし、第 2 のトランジスタ 692 を p チャネル型のトランジスタとした構成を示したがこれに限定されない。ダ

50

イオード 781 は、第 2 のトランジスタ 692 のゲートに接続された他方の電極から走査線 Ry に接続された一方の電極に電流を流すとし、第 2 のトランジスタ 692 を n チャンネル型のトランジスタとした構成としてもよい。第 2 のトランジスタ 692 が n チャンネル型のトランジスタのときは、ダイオード 781 の一方の電極の電位を下降させることによって、第 2 のトランジスタ 692 のゲートの電位を下降させ、第 2 のトランジスタ 692 をオフ状態とすることができる。

【0608】

ダイオード 781 としては、ダイオード接続されたトランジスタを用いてもよい。ダイオード接続されたトランジスタとは、ドレインとゲートが接続されたトランジスタを示すものとする。ダイオード接続されたトランジスタとしては、p チャンネル型のトランジスタを用いても良いし n チャンネル型のトランジスタを用いても良い。

10

【0609】

なお、本実施形態は、本明細書中の他の実施形態のいかなる記載とも自由に組み合わせて実施することができる。また、本実施形態中のいかなる記載も自由に組み合わせて実施することができる。

【0610】

(第 14 の実施形態)

図 78 (A) に、図 75 (A) や図 75 (B) で示した画素部 591 の構成例 (以下、第 3 の画素構成という) を示す。画素部 591 は、複数のソース信号線 S1 乃至 Sp (p は自然数) と、複数のソース信号線 S1 乃至 Sp と交差するように設けられた複数の走査線 G1 乃至 Gq (q は自然数) と、ソース信号線 S1 乃至 Sp と走査線 G1 乃至 Gq の交差部毎に設けられた画素 690 とを有する。

20

【0611】

図 78 (A) の画素 690 の構成を図 78 (B) に示す。図 78 (B) では、複数のソース信号線 S1 乃至 Sp のうちの 1 本 Sx (x は p 以下の自然数) と、複数の走査線 G1 乃至 Gq のうちの 1 本 Gy (y は q 以下の自然数) との交差部に形成された画素 690 を示す。また、各行に対応して容量線 C0 が設けられている。画素 690 は、トランジスタ 4691 と、液晶素子 4692 と、容量素子 4693 とを有する。トランジスタ 4691 は、n チャンネル型のトランジスタであっても p チャンネル型のトランジスタであっても良い。画素 690 を構成するトランジスタとして、薄膜トランジスタを用いることができる。

30

【0612】

トランジスタ 4691 のゲートは走査線 Gy に接続され、トランジスタ 4691 のソース及びドレインの一方はソース信号線 Sx に接続され、他方は液晶素子 4692 の一方の電極及び容量素子 4693 の一方の電極に接続される。液晶素子 4692 の他方の電極は、電位 V0 が与えられる端子 4694 に接続される。容量素子 4693 の他方の電極は、容量線 C0 に接続される。容量線 C0 には、端子 4694 に与えられる電位 V0 と同じ電位が与えられる。

【0613】

図 78 (A) 及び図 78 (B) に示した画素部 591 の表示方法について説明する。

【0614】

複数の走査線 G1 乃至 Gq のうち 1 本を選択し、当該走査線が選択されている間に複数のソース信号線 S1 乃至 Sp 全てに画像信号を入力する。こうして、画素部 591 の 1 行の画素に画像信号を入力する。複数の走査線 G1 乃至 Gq を順に選択し同様の動作を行って、画素部 591 の全ての画素 690 に画像信号を入力する。

40

【0615】

複数の走査線 G1 乃至 Gq のうちの 1 本 Gy が選択され、複数のソース信号線 S1 乃至 Sp のうちの 1 本 Sx から画像信号が入力された画素 690 の動作について説明する。走査線 Gy が選択されると、トランジスタ 4691 がオン状態となる。トランジスタのオン状態とはソースとドレインが導通状態であることを言い、トランジスタのオフ状態とはソースとドレインが非導通状態であることを言うものとする。トランジスタ 4691 がオン状

50

態となると、ソース信号線 S_x に入力された画像信号は、トランジスタ 4691 を介して液晶素子 4692 の一方の電極及び容量素子 4693 の一方の電極に入力される。こうして、液晶素子 4692 の一对の電極間に電圧（入力された画像信号の電位と端子 4694 の電位 V_0 の電位差に相当）が印加され、液晶素子 4692 の透過率が変化する。

【0616】

なお、本実施形態は、本明細書中の他の実施形態のいかなる記載とも自由に組み合わせて実施することができる。また、本実施形態中のいかなる記載も自由に組み合わせて実施することができる。

【0617】

（第15の実施形態）

本実施形態では、画素を実際に作製した例について説明する。図67（A）及び図67（B）は、第12の実施形態乃至第13の実施形態で説明したパネルの画素の断面図である。画素に配置されるスイッチング素子として TFT を用い、画素に配置される表示媒体として発光素子を用いた例を示す。

【0618】

図67（A）及び図67（B）において、1000は基板、1001は下地膜、1002は半導体層、1102は半導体層、1003は第1の絶縁膜、1004はゲート電極、1104は電極、1005は第2の絶縁膜、1006は電極、1007は第1の電極、1008は第3の絶縁膜、1009は発光層、1010は第2の電極である。1100は TFT、1011は発光素子、1101は容量素子である。図67では、画素を構成する素子として、TFT 1100と、容量素子 1101とを代表で示した。図67（A）の構成について説明する。

【0619】

基板 1000 としては、例えばバリウムホウケイ酸ガラスや、アルミノホウケイ酸ガラスなどのガラス基板、石英基板、セラミック基板等を用いることができる。また、ステンレスを含む金属基板または半導体基板の表面に絶縁膜を形成したものをを用いても良い。プラスチック等の可撓性を有する合成樹脂からなる基板を用いても良い。基板 1000 の表面を、CMP 法などの研磨により平坦化しておいても良い。

【0620】

下地膜 1001 としては、酸化珪素や、窒化珪素または窒化酸化珪素などの絶縁膜を用いることができる。下地膜 1001 によって、基板 1000 に含まれる Na などのアルカリ金属やアルカリ土類金属が半導体層 1002 に拡散し TFT 1100 の特性に悪影響をおよぼすのを防ぐことができる。図67では、下地膜 1001 を単層の構造としているが、2層あるいはそれ以上の複数層で形成してもよい。なお、石英基板など不純物の拡散がさして問題とならない場合は、下地膜 1001 を必ずしも設ける必要はない。

【0621】

半導体層 1002 及び半導体層 1102 としては、所定の形状に加工された結晶性半導体膜や非晶質半導体膜を用いることができる。結晶性半導体膜は非晶質半導体膜を結晶化して得ることができる。結晶化方法としては、レーザ結晶化法、RTA 又はファーネスアニール炉を用いる熱結晶化法、結晶化を助長する金属元素を用いる熱結晶化法等を用いることができる。半導体層 1002 は、チャンネル形成領域と、導電型を付与する不純物元素が添加された一对の不純物領域とを有する。なお、チャンネル形成領域と一对の不純物領域との間に、不純物元素が低濃度で添加された不純物領域（LDD 領域）を有していてもよい。半導体層 1102 には、全体に導電型を付与する不純物元素が添加された構成とすることができる。

【0622】

第1の絶縁膜 1003 としては、酸化珪素、窒化珪素または窒化酸化珪素等を用い、単層または複数の膜を積層させて形成することができる。

【0623】

なお、第1の絶縁膜 1003 として水素を含む膜を用い、半導体層 1002 を水素化して

10

20

30

40

50

もよい。

【0624】

ゲート電極1004及び電極1104としては、Ta、W、Ti、Mo、Al、Cu、Cr、Ndから選ばれた一種の元素または該元素を複数含む合金若しくは化合物を用いることができる。更に、これらの単層または積層構造を用いることができる。

【0625】

TFT1100は、半導体層1002と、ゲート電極1004と、半導体層1002とゲート電極1004との間の第1の絶縁膜1003とによって構成される。図67では、画素を構成するTFTとして、発光素子1011の第1の電極1007に接続されたTFT1100のみを示したが、複数のTFTを有する構成としてもよい。また、本実施形態では、TFT1100をトップゲート型のトランジスタとして示したが、半導体層の下方にゲート電極を有するボトムゲート型のトランジスタであっても良いし、半導体層の上下にゲート電極を有するデュアルゲート型のトランジスタであっても良い。

10

【0626】

容量素子1101は、第1の絶縁膜1003を誘電体とし、第1の絶縁膜1003を挟んで対向する半導体層1102と電極1104とを一对の電極として構成される。なお、図67では、画素の有する容量素子として、一对の電極の一方をTFT1100の半導体層1002と同時に形成される半導体層1102とし、他方の電極をTFT1100のゲート電極1004と同時に形成される電極1104とした例を示したが、この構成に限定されない。

20

【0627】

第2の絶縁膜1005としては、無機絶縁膜や有機絶縁膜の単層または積層を用いることができる。無機絶縁膜としては、CVD法により形成された酸化シリコン膜や、SOG(Spin On Glass)法により形成された酸化シリコン膜などを用いることができ、有機絶縁膜としてはポリイミド、ポリアミド、BCB(ベンゾシクロブテン)、アクリルまたはポジ型感光性有機樹脂、ネガ型感光性有機樹脂等の膜を用いることができる。

【0628】

また、第2の絶縁膜1005として、シリコン(Si)と酸素(O)との結合で骨格構造が構成される材料を用いることができる。この材料の置換基として、少なくとも水素を含む有機基(例えばアルキル基、アリール基)が用いられる。置換基としてフルオロ基を用いてもよい。または置換基として少なくとも水素を含む有機基とフルオロ基とを用いてもよい。

30

【0629】

なお、第2の絶縁膜1005の表面を高密度プラズマによって処理し、窒化させてもよい。高密度プラズマは、高い周波数のマイクロ波、例えば2.45GHzを使うことによって生成される。なお、高密度プラズマとしては電子密度が 10^{11} cm^{-3} 以上かつ電子温度が0.2eV以上2.0eV以下(より好ましくは0.5eV以上1.5eV以下)であるものを用いる。このように低電子温度が特徴である高密度プラズマは、活性種の運動エネルギーが低いため、従来のプラズマ処理に比べプラズマダメージが少なく欠陥が少ない膜を形成することができる。高密度プラズマ処理の際、基板1000は350から450の温度とする。また、高密度プラズマを発生させる装置において、マイクロ波を発生するアンテナから基板1000までの距離を20mm以上80mm以下(好ましくは20mm以上60mm以下)とする。

40

【0630】

窒素(N_2)と希ガス(He、Ne、Ar、Kr、Xeの少なくとも一つを含む)雰囲気下、または窒素と水素(H_2)と希ガス雰囲気下、または NH_3 と希ガス雰囲気下において、上記高密度プラズマ処理を行い第2の絶縁膜1005表面を窒化する。高密度プラズマによる窒化処理により形成された第2の絶縁膜1005表面にはHや、He、Ne、Ar、Kr、Xeの元素が混入している。例えば、第2の絶縁膜1005として酸化シリコン膜や酸化窒化シリコン膜を用い、当該膜の表面を高密度プラズマで処理することによっ

50

て窒化シリコン膜を形成する。こうして形成した窒化シリコン膜に含まれる水素を用いて、TFT1100の半導体層1002の水素化を行ってもよい。なお当該水素化処理は、前述した第1の絶縁膜1003中の水素を用いた水素化処理と組み合わせてもよい。

【0631】

なお、上記高密度プラズマ処理によって形成された窒化膜の上に更に絶縁膜を形成して、第2の絶縁膜1005としてもよい。

【0632】

電極1006としては、Al、W、Mo、Ti、Pt、Cu、Ta、Au、Mnから選ばれた一種の元素、またはAl、Ni、C、W、Mo、Ti、Pt、Cu、Ta、Au、Mnから選ばれた一種の元素を複数含む合金を用いることができる。更に、これらの単層または積層構造を用いることができる。

10

【0633】

第1の電極1007及び第2の電極1010の一方もしくは両方を透明電極とすることができる。透明電極としては、酸化タングステンを含むインジウム酸化物(IWO)、酸化タングステンと酸化亜鉛を含む酸化インジウム(IWZO)、酸化チタンを含むインジウム酸化物(ITiO)、酸化チタンを含むインジウム錫酸化物(ITTiO)などを用いることができる。勿論、インジウム錫酸化物(ITO)、インジウム亜鉛酸化物(IZO)、酸化ケイ素を添加したインジウム錫酸化物(ITSO)なども用いることができる。

【0634】

また、発光素子は、直流電圧を印加することによって発光する発光素子(以下、直流駆動発光素子という)と、交流電圧を印加することによって発光する発光素子(以下、交流駆動発光素子という)に分けられる。

20

【0635】

直流駆動発光素子では、発光層は、正孔注入輸送層、発光層、電子注入輸送層など、機能の異なる複数の層を用いて構成することが好ましい。

【0636】

正孔注入輸送層は、ホール輸送性の有機化合物材料と、その有機化合物材料に対して電子受容性を示す無機化合物材料とを含む複合材料で形成することが好ましい。このような構成とすることで、本来内在的なキャリアをほとんど有さない有機化合物に多くのホールキャリアが発生し、極めて優れたホール注入性・輸送性が得られる。この効果により、従来よりも駆動電圧を低くすることができる。また、駆動電圧の上昇を招くことなく正孔注入輸送層を厚くすることができるため、ゴミ等に起因する発光素子の短絡も抑制することができる。

30

【0637】

ホール輸送性の有機化合物材料としては、4,4',4''-トリス[N-(3-メチルフェニル)-N-フェニルアミノ]トリフェニルアミン(略称:MTDATA)、1,3,5-トリス[N,N-ジ(m-トリル)アミノ]ベンゼン(略称:m-MTAB)、N,N'-ジフェニル-N,N'-ビス(3-メチルフェニル)-1,1'-ビフェニル-4,4'-ジアミン(略称:TPD)、4,4'-ビス[N-(1-ナフチル)-N-フェニルアミノ]ビフェニル(略称:NPB)などが挙げられるが、これらに限定されることはない。

40

【0638】

電子受容性を示す無機化合物材料としては、酸化チタン、酸化ジルコニウム、酸化バナジウム、酸化モリブデン、酸化タングステン、酸化レニウム、酸化ルテニウム、酸化亜鉛などが挙げられる。特に酸化バナジウム、酸化モリブデン、酸化タングステン、酸化レニウムは真空蒸着が可能で扱いやすいため、好適である。

【0639】

電子注入輸送層は、電子輸送性の有機化合物材料を用いて形成する。具体的には、トリス(8-キノリノラト)アルミニウム(略称:Alq₃)、トリス(4-メチル-8-キノリノラト)アルミニウム(略称:Almq₃)などが挙げられるが、これらに限定される

50

ことはない。

【0640】

直流駆動発光素子では、発光層は、9, 10 - ジ(2 - ナフチル)アントラセン(略称: DNA)、9, 10 - ジ(2 - ナフチル) - 2 - tert - ブチルアントラセン(略称: t - BuDNA)、4, 4' - ビス(2, 2 - ジフェニルビニル)ビフェニル(略称: DPVBi)、クマリン30、クマリン6、クマリン545、クマリン545T、ペリレン、ルブレン、ペリフランテン、2, 5, 8, 11 - テトラ(tert - ブチル)ペリレン(略称: TBP)、9, 10 - ジフェニルアントラセン(略称: DPA)、5, 12 - ジフェニルテトラセン、4 - (ジシアノメチレン) - 2 - メチル - [p - (ジメチルアミノ)スチリル] - 4H - ピラン(略称: DCM1)、4 - (ジシアノメチレン) - 2 - メチル - 6 - [2 - (ジュロリジン - 9 - イル)エテニル] - 4H - ピラン(略称: DCM2)、4 - (ジシアノメチレン) - 2, 6 - ビス[p - (ジメチルアミノ)スチリル] - 4H - ピラン(略称: BisDCM)等が挙げられる。また、ビス[2 - (4', 6' - ジフルオロフェニル)ピリジナト - N, C²']イリジウム(ピコリナート)(略称: Irpic)、ビス{2 - [3', 5' - ビス(トリフルオロメチル)フェニル]ピリジナト - N, C²'}イリジウム(ピコリナート)(略称: Ir(CF₃ppy)₂(pic))、トリス(2 - フェニルピリジナト - N, C²')イリジウム(略称: Ir(ppy)₃)、ビス(2 - フェニルピリジナト - N, C²')イリジウム(アセチルアセトナート)(略称: Ir(ppy)₂(acac))、ビス[2 - (2' - チエニル)ピリジナト - N, C³']イリジウム(アセチルアセトナート)(略称: Ir(thp)₂(acac))、ビス(2 - フェニルキノリナト - N, C²')イリジウム(アセチルアセトナート)(略称: Ir(pq)₂(acac))、ビス[2 - (2' - ベンゾチエニル)ピリジナト - N, C³']イリジウム(アセチルアセトナート)(略称: Ir(btp)₂(acac))などの燐光を放出できる化合物を用いることもできる。

【0641】

その他に、発光層の形成に用いることができる高分子系の電界発光材料は、ポリパラフェニレンビニレン系、ポリパラフェニレン系、ポリチオフエン系、ポリフルオレン系が挙げられる。

【0642】

第1の電極1007及び第2の電極1010の他方は、透光性を有さない材料で形成されていてもよい。例えば、LiやCs等のアルカリ金属、およびMg、Ca、Sr等のアルカリ土類金属、これらを含む合金(Mg:Ag、Al:Li、Mg:Inなど)、およびこれらの化合物(CaF₂、窒化カルシウム)の他、YbやEr等の希土類金属を用いることができる。

【0643】

第3の絶縁膜1008としては、第2の絶縁膜1005と同様の材料を用いて形成することができる。第3の絶縁膜1008は、第1の電極1007の端部を覆うように第1の電極1007の周辺に形成され、隣り合う画素において発光層1009を分離する機能を有する。

【0644】

発光層1009は、単数または複数の層で構成されている。複数の層で構成されている場合、これらの層は、キャリア輸送特性の観点から正孔注入層、正孔輸送層、発光層、電子輸送層、電子注入層などに分類することができる。なお各層の境目は必ずしも明確である必要はなく、互いの層を構成している材料が一部混合し、界面が不明瞭になっている場合もある。各層には、有機系の材料、無機系の材料を用いることが可能である。有機系の材料として、高分子系、低分子系のいずれの材料も用いることが可能である。

【0645】

発光素子1011は、発光層1009と、発光層1009を介して重なる第1の電極1007及び第2の電極1010とによって構成される。第1の電極1007及び第2の電極1010の一方が陽極に相当し、他方が陰極に相当する。発光素子1011は、陽極と陰

極の間にしきい値電圧より大きい電圧が順バイアスで印加されると、陽極から陰極に電流が流れて発光する。

【0646】

一方、交流駆動発光素子は、一对の電極間に2つの絶縁膜で挟まれた発光層を有する絶縁二重構造を有しており、一对の電極の間に交流電圧を印加することにより発光が得られる。交流駆動発光素子において、発光層は、 ZnS 、 SrS 、 $BaAl_2S_4$ などを用いることができる。発光層を挟む絶縁膜は、 Ta_2O_5 、 SiO_2 、 Y_2O_3 、 $BaTiO_3$ 、 $SrTiO_3$ 、窒化珪素などを用いることができる。

【0647】

図67(B)の構成について説明する。なお、図67(A)と同じ部分は同じ符号を用いて示し、説明は省略する。 10

【0648】

図67(B)は、図67(A)において、第2の絶縁膜1005と第3の絶縁膜1008の間に絶縁膜1108を有する構成である。電極1006と第1の電極1007とは、絶縁膜1108に設けられたコンタクトホールにおいて、電極1106によって接続されている。

【0649】

なお、電極1106は、必ずしも必要ではない。つまり、第1の電極1007は、電極1106を介さずに電極1006に直接接続されていてもよい。こうして、電極1106を形成するための工程を省くことができ、コストを低減することができる。 20

【0650】

また、電極1106を介さず第1の電極1007を電極1006に直接接続する場合、第1の電極1007の材料や作製方法によっては、第1の電極1007の被覆性が悪化し断線することがある。このような場合は、図67(B)のように、絶縁膜1108に設けられたコンタクトホールにおいて、電極1106によって電極1006と第1の電極1007とを接続したほうが有利である。

【0651】

絶縁膜1108は、第2の絶縁膜1005と同様の構成とすることができる。電極1106は、電極1006と同様の構成とすることができる。

【0652】

なお、本実施形態は、本明細書中の他の実施形態のいかなる記載とも自由に組み合わせて実施することができる。また、本実施形態中のいかなる記載も自由に組み合わせて実施することができる。 30

【0653】

(第16の実施形態)

本実施形態では、画素を実際に作製した例について説明する。図68は、第11の実施形態乃至第14の実施形態で説明したパネルの画素の断面図である。画素に配置されるスイッチング素子としてTFETを用い、画素に配置される表示媒体として発光素子を用いた例を示す。なお、第15の実施形態に示した図67と同じ部分は同じ符号を用いて示し、説明は省略する。 40

【0654】

図68で示した画素は、第15の実施形態において図67(A)で示した構成において、TFET1100と容量素子1101の構成が異なる。TFET1100としてボトムゲート型のTFETを用いた例である。TFET1100は、ゲート電極2803と、チャネル形成領域2806、LDD領域2807及び不純物領域2808を有する半導体層と、ゲート電極2803と、当該半導体層との間の第1の絶縁膜2805とによって構成される。第1の絶縁膜2805はTFET1100のゲート絶縁膜として機能する。不純物領域2808はTFET1100のソース領域及びドレイン領域となる。

【0655】

容量素子1101は、第1の絶縁膜2805を誘電体とし、第1の絶縁膜2805を挟ん 50

で対向する半導体層と電極 2804 とを一对の電極として構成される。当該半導体層は、チャンネル形成領域 2809、LDD 領域 2810 及び不純物領域 2811 を有する。なお、図 68 では、画素の有する容量素子として、一对の電極の一方を TFT1100 の活性層となる半導体層と同時に形成される半導体層とし、他方の電極を TFT1100 のゲート電極 2803 と同時に形成される電極 2804 とした例を示したが、この構成に限定されない。

【0656】

チャンネル形成領域 2806、LDD 領域 2807 及び不純物領域 2808 を有する半導体層や、チャンネル形成領域 2809、LDD 領域 2810 及び不純物領域 2811 を有する半導体層としては、図 67 における半導体層 1002 や半導体層 1102 と同様の材料を用いることができる。第 1 の絶縁膜 2805 としては、図 67 における第 1 の絶縁膜 1003 と同様の材料を用いることができる。ゲート電極 2803 や電極 2804 としては、図 67 におけるゲート電極 1004 と同様の材料を用いることができる。

10

【0657】

チャンネル形成領域 2806 及びチャンネル形成領域 2809 は導電性を付与する不純物元素が添加されていてもよい。

【0658】

なお、本実施形態は、本明細書中の他の実施形態のいかなる記載とも自由に組み合わせて実施することができる。また、本実施形態中のいかなる記載も自由に組み合わせて実施することができる。

20

【0659】

(第17の実施形態)

本実施形態では、画素を実際に作製した例について説明する。図 69 は、第 13 の実施形態及び第 14 の実施形態で説明したパネルの画素の断面図である。画素に配置されるスイッチング素子として TFT を用い、画素に配置される表示媒体として発光素子を用いた例を示す。なお、第 15 の実施形態に示した図 67 と同じ部分は同じ符号を用いて示し、説明は省略する。

【0660】

図 69 (A) 及び図 69 (B) で示した画素は、第 15 の実施形態において図 67 (A) で示した構成において、TFT1100 と容量素子 1101 の構成が異なる。図 69 (A) は、TFT1100 としてボトムゲート型でチャンネルエッチ構造の TFT を用いた例である。図 69 (B) は、TFT1100 としてボトムゲート型でチャンネル保護構造の TFT を用いた例である。図 69 (B) に示したチャンネル保護構造の TFT1100 は、図 69 (A) に示したチャンネルエッチ構造の TFT1100 において半導体層 2906 のチャンネルが形成される領域上にエッチングのマスクとなる絶縁物 3001 が設けられている点

30

【0661】

図 69 (A) 及び図 69 (B) において、TFT1100 は、ゲート電極 2993 と、ゲート電極 2993 上の第 1 の絶縁膜 2905 と、第 1 の絶縁膜 2905 上の半導体層 2906 と、半導体層 2906 上の N 型半導体層 2908 及び N 型半導体層 2909 とによって構成される。第 1 の絶縁膜 2905 は TFT1100 のゲート絶縁膜として機能する。N 型半導体層 2908 及び N 型半導体層 2909 が TFT1100 のソース及びドレインとなる。N 型半導体層 2908 及び N 型半導体層 2909 の上にはそれぞれ電極 2911、電極 2912 が形成される。電極 2911 の一方の端部は半導体層 2906 が無い領域まで延びて存在し、半導体層 2906 が無い領域において電極 2911 の上部に接して電極 1006 が形成されている。

40

【0662】

容量素子 1101 は、第 1 の絶縁膜 2905 を誘電体とし、電極 2904 を一方の電極とし、第 1 の絶縁膜 2905 を挟んで電極 2904 と対向する半導体層 2907、半導体層 2907 上の N 型半導体層 2910、及び N 型半導体層 2910 上の電極 2913 とを他

50

方の電極として構成される。電極 2904 はゲート電極 2993 と同時に形成することができる。半導体層 2907 は半導体層 2906 と同時に形成することができる。N 型半導体層 2910 は N 型半導体層 2908 及び N 型半導体層 2909 と同時に形成することができる。電極 2913 は電極 2911 及び電極 2912 と同時に形成することができる。

【0663】

ゲート電極 2993 や電極 2904 としては、図 67 におけるゲート電極 1004 と同様の材料を用いることができる。半導体層 2906 や半導体層 2907 としては、非晶質半導体膜を用いることができる。第 1 の絶縁膜 2905 としては、図 67 における第 1 の絶縁膜 1003 と同様の材料を用いることができる。電極 2911、電極 2912 及び電極 2913 としては、電極 1006 と同様の材料を用いることができる。N 型半導体層 2910、N 型半導体層 2908 及び N 型半導体層 2909 としては、N 型の不純物元素を含む半導体膜を用いることができる。

10

【0664】

なお、本実施形態は、本明細書中の他の実施形態のいかなる記載とも自由に組み合わせて実施することができる。また、本実施形態中のいかなる記載も自由に組み合わせて実施することができる。

【0665】

(第 18 の実施形態)

本実施形態では、画素を実際に作製した例について説明する。図 70 は、第 14 の実施形態で説明したパネルの画素の断面図である。画素に配置されるスイッチング素子として TFT を用い、画素に配置される表示媒体として液晶素子を用いた例を示す。

20

【0666】

図 70 (A)、図 70 (B) 及び図 70 (C) で示した画素は、第 15 の実施形態において図 67 (A) 及び図 67 (B) で示した構成、第 16 の実施形態において図 68 で示した構成において、発光素子 1011 の代わりに液晶素子を設けた例である。図 67、図 68 と同じ部分は同じ符号を用いて示し、説明は省略する。

【0667】

液晶素子は、第 1 の電極 4000 と、第 1 の電極 4000 上に形成された配向膜 4001 と、液晶層 4002 と、配向膜 4003 と、第 2 の電極 4004 とによって構成される。第 1 の電極 4000 と第 2 の電極 4004 の間に電圧が印加されることによって、液晶の配向状態が変化し、液晶素子の透過率が変化する。第 2 の電極 4004 及び配向膜 4003 は、対向基板 4005 に形成されている。

30

【0668】

第 1 の電極 4000 及び第 2 の電極 4004 の一方もしくは両方を透明電極とすることができる。透明電極としては、酸化タングステンを含むインジウム酸化物 (ITO)、酸化タングステンと酸化亜鉛を含む酸化インジウム (IZO)、酸化チタンを含むインジウム酸化物 (ITiO)、酸化チタンを含むインジウム錫酸化物 (ITTiO) などを用いることができる。勿論、インジウム錫酸化物 (ITO)、インジウム亜鉛酸化物 (IZO)、酸化ケイ素を添加したインジウム錫酸化物 (ITSO) なども用いることができる。第 1 の電極 4000 及び第 2 の電極 4004 の他方は、透光性を有さない材料で形成されていてもよい。例えば、Li や Cs 等のアルカリ金属、および Mg、Ca、Sr 等のアルカリ土類金属、これらを含む合金 (Mg:Ag、Al:Li、Mg:In など)、およびこれらの化合物 (CaF₂、窒化カルシウム) の他、Yb や Er 等の希土類金属を用いることができる。

40

【0669】

液晶層 4002 としては公知の液晶を自由に用いることができる。例えば、液晶層 4002 として強誘電性の液晶を用いてもよいし反強誘電性の液晶を用いてもよい。また、液晶の駆動方式は、TN (Twisted Nematic) モード、MVA (Multi-domain Vertical Alignment) モード、ASM (Axially Symmetric aligned Micro-cell) モード、OCB (O

50

ptical Compensated Bend) モード等を自由に用いることができる。

【0670】

本実施形態では、液晶層4002に電圧を印加する一対の電極(第1の電極4000及び第2の電極4004)を異なる基板上に形成した例を示したがこれに限定されない。第2の電極4004を基板1000上に設けてもよい。こうして、液晶の駆動方式として、IPS(In-Plane-Switching)モードを用いてもよい。また、液晶層4002の材料によっては、配向膜4001及び配向膜4003の一方または両方が無くともよい。

【0671】

なお、本実施形態は、本明細書中の他の実施形態のいかなる記載とも自由に組み合わせて実施することができる。また、本実施形態中のいかなる記載も自由に組み合わせて実施することができる。

【0672】

(第19の実施形態)

本実施形態では、画素を実際に作製した例について説明する。図71は、第14の実施形態で説明したパネルの画素の断面図である。画素に配置されるスイッチング素子としてTFTを用い、画素に配置される表示媒体として液晶素子を用いた例を示す。

【0673】

図71(A)及び図71(B)で示した画素は、第17の実施形態において図69(A)及び図69(B)で示した構成において、発光素子1011の代わりに液晶素子を設けた例である。図69と同じ部分は同じ符号を用いて示し、説明は省略する。また、液晶素子の構成等については、第18の実施形態において図70で示した構成と同様であるので説明は省略する。

【0674】

なお、本実施形態は、本明細書中の他の実施形態のいかなる記載とも自由に組み合わせて実施することができる。また、本実施形態中のいかなる記載も自由に組み合わせて実施することができる。

【0675】

(第20の実施形態)

本実施形態では、画素の形成された基板の封止を行った構成について、図72を用いて説明する。図72(A)は、画素の形成された基板を封止することによって形成されたパネルの上面図であり、図72(B)、図72(C)はそれぞれ図72(A)のA-A'における断面図である。図72(B)と図72(C)とは、異なる方法で封止を行った例である。

【0676】

図72(A)乃至図72(C)において、基板1401上には、複数の画素を有する画素部1402が配置され、画素部1402を囲むようにしてシール材1406が設けられシーリング材1407が基板1401に貼り付けられている。画素の構造については、上述の第16の実施形態、第17の実施形態、第18の実施形態で示した構成を用いることができる。

【0677】

図72(B)の表示パネルでは、図72(A)のシーリング材1407は、対向基板1421に相当する。シール材1406を接着層として用いて透明な対向基板1421が基板1401に貼り付けられ、基板1401、対向基板1421及びシール材1406によって密閉空間1422が形成される。対向基板1421には、カラーフィルタ1420と該カラーフィルタを保護する保護膜1423が設けられる。画素部1402に配置された発光素子から発せられる光は、該カラーフィルタ1420を介して外部に放出される。密閉空間1422は、不活性な樹脂もしくは液体などで充填される。なお、密閉空間1422に充填する樹脂として、吸湿材を分散させた透光性を有する樹脂を用いても良い。また、

10

20

30

40

50

シール材 1406 と密閉空間 1422 に充填される材料とを同一の材料として、対向基板 1421 の接着と画素部 1402 の封止とを同時に行っても良い。

【0678】

図 72 (C) に示した表示パネルでは、図 72 (A) のシーリング材 1407 は、シーリング材 1424 に相当する。シール材 1406 を接着層として用いてシーリング材 1424 が基板 1401 に貼り付けられ、基板 1401、シール材 1406 及びシーリング材 1424 によって密閉空間 1408 が形成される。シーリング材 1424 には予め凹部の中に吸湿剤 1409 が設けられ、上記密閉空間 1408 の内部において、水分や酸素等を吸着して清浄な雰囲気内に保ち、発光素子の劣化を抑制する役割を果たす。この凹部は目の細かいメッシュ状のカバー材 1410 で覆われている。カバー材 1410 は空気や水分は通すが、吸湿剤 1409 は通さない。なお、密閉空間 1408 は、窒素もしくはアルゴン等の希ガスで充填しておけばよく、不活性であれば樹脂もしくは液体で充填することも可能である。

10

【0679】

基板 1401 上には、画素部 1402 等に信号を伝達するための入力端子部 1411 が設けられ、該入力端子部 1411 へは FPC (フレキシブルプリントサーキット) 1412 を介して映像信号等の信号が伝達される。入力端子部 1411 では、基板 1401 上に形成された配線と FPC (フレキシブルプリントサーキット) 1412 に設けられた配線とを、導電体を分散させた樹脂 (異方性導電樹脂: ACF) を用いて電氣的に接続してある。

20

【0680】

画素部 1402 が形成された基板 1401 上に、画素部 1402 に信号を入力する駆動回路が一体形成されていても良い。画素部 1402 に信号を入力する駆動回路を IC チップで形成し、基板 1401 上に COG (Chip On Glass) で接続しても良いし、IC チップを TAB (Tape Automated Bonding) やプリント基板を用いて基板 1401 上に配置しても良い。

【0681】

なお、本実施形態は、本明細書中の他の実施形態のいかなる記載とも自由に組み合わせて実施することができる。また、本実施形態中のいかなる記載も自由に組み合わせて実施することができる。

30

【0682】

(第 21 の実施形態)

本発明は、パネルに、パネルに信号を入力する回路を実装した表示モジュールに適用することができる。

【0683】

図 73 はパネル 980 と回路基板 984 を組み合わせた表示モジュールを示している。図 73 では、回路基板 984 上にコントローラ 985 や信号分割回路 986 などが形成されている例を示した。回路基板 984 上に形成される回路はこれに限定されない。パネルを制御する信号を生成する回路であればどのような回路が形成されていてもよい。

【0684】

回路基板 984 上に形成されたこれらの回路から出力された信号は、接続配線 987 によってパネル 980 に入力される。

40

【0685】

パネル 980 は、画素部 981 と、ソースドライバ 982 と、ゲートドライバ 983 とを有する。パネル 980 の構成は、第 11 の実施形態乃至第 14 の実施形態で示した構成と同様とすることができる。図 73 では、画素部 981 が形成された基板と同一基板上に、ソースドライバ 982 及びゲートドライバ 983 が形成されている例を示した。しかし、本発明の表示モジュールはこれに限定されない。画素部 981 が形成された基板と同一基板上にゲートドライバ 983 のみが形成され、ソースドライバ 982 は回路基板上に形成されていても良い。ソースドライバ 982 及びゲートドライバ 983 の両方が回路基板上

50

に形成されていても良い。

【0686】

このような表示モジュールを組み込んで、様々な電子機器の表示部を形成することができる。

【0687】

なお、本実施形態は、本明細書中の他の実施形態のいかなる記載とも自由に組み合わせて実施することができる。また、本実施形態中のいかなる記載も自由に組み合わせて実施することができる。

【0688】

(第22の実施形態)

本発明は、様々な電子機器に適用することができる。電子機器としては、カメラ（ビデオカメラ、デジタルカメラ等）、プロジェクター、ヘッドマウントディスプレイ（ゴーグル型ディスプレイ）、ナビゲーションシステム、カーステレオ、パーソナルコンピュータ、ゲーム機器、携帯情報端末（モバイルコンピュータ、携帯電話または電子書籍等）、記録媒体を備えた画像再生装置などが挙げられる。記録媒体を備えた画像再生装置としては、具体的にはDigital Versatile Disc（DVD）等の記録媒体を再生し、その画像を表示しうるディスプレイを備えた装置などが挙げられる。電子機器の例を図74に示す。

【0689】

図74（A）は、ノート型パーソナルコンピュータであり、本体911、筐体912、表示部913、キーボード914、外部接続ポート915、ポインティングデバイス916等を含む。本発明は、表示部913に適用される。本発明を用いることによって、表示部の消費電力を低減することができる。

【0690】

図74（B）は記録媒体を備えた画像再生装置（具体的にはDVD再生装置）であり、本体921、筐体922、第1の表示部923、第2の表示部924、記録媒体（DVD等）読み込み部925、操作キー926、スピーカー部927等を含む。第1の表示部923は主として画像情報を表示し、第2の表示部924は主として文字情報を表示する。本発明は、第1の表示部923、第2の表示部924に適用される。本発明を用いることによって、表示部の消費電力を低減することができる。

【0691】

図74（C）は携帯電話であり、本体931、音声出力部932、音声入力部933、表示部934、操作スイッチ935、アンテナ936等を含む。本発明は、表示部934に適用される。本発明を用いることによって、表示部の消費電力を低減することができる。

【0692】

図74（D）はカメラであり、本体941、表示部942、筐体943、外部接続ポート944、リモコン受信部945、受像部946、バッテリー947、音声入力部948、操作キー949等を含む。本発明は、表示部942に適用される。本発明を用いることによって、表示部の消費電力を低減することができる。

【0693】

なお、本実施形態は、本明細書中の他の実施形態のいかなる記載とも自由に組み合わせて実施することができる。また、本実施形態中のいかなる記載も自由に組み合わせて実施することができる。

【0694】

(第23の実施形態)

本実施形態については、本発明の画素構成を用いた表示装置を表示部に用いた表示パネルを用いた応用例について、応用形態を図示し説明する。本発明の画素構成を用いた表示装置を表示部に用いた表示パネルは、移動体や建造物等と一体に設けられた構成をとることもできる。

【0695】

本発明の画素構成を用いた表示装置を表示部に有する表示パネルの例について、表示装置一体型の移動体をその一例として、図４１に示す。図４１（ａ）は、表示装置一体型の移動体の例として電車車両本体９７０１におけるドアのガラス戸のガラスに表示パネル９７０２を用いた例について示す。図４１（ａ）に示す本発明の画素構成を用いた表示装置を表示部に有する表示パネル９７０２は、外部からの信号により表示部で表示される画像の切り替えが容易である。そのため、電車の乗降客の客層が入れ替わる時間帯ごとに表示パネルの画像を切り替え、より効果的な広告効果が期待できる。

【０６９６】

なお、本発明の画素構成を用いた表示装置を表示部に有する表示パネルは、図４１（ａ）で示した電車車両本体におけるドアのガラスにのみ適用可能であることに限定されることがなく、その形状を異ならせることにより、ありとあらゆる場所に適用可能である。図４１（ｂ）にその一例について説明する。

10

【０６９７】

図４１（ｂ）は、電車車両本体における車内の様子について図示したものである。図４１（ｂ）において、図４１（ａ）で示したドアのガラス戸の表示パネル９７０２の他に、ガラス窓に設けられた表示パネル９７０３、及び天井より吊り下げられた表示パネル９７０４を示す。本発明の画素構成を具備する表示パネル９７０３は、自発光型の表示素子を具備するため、混雑時には広告用の画像を表示し、混雑時以外には表示を行わないことで、電車からの外観をも見ることもできる。また、本発明の画素構成を具備する表示パネル９７０４はフィルム状の基板に自発光型の表示素子及び有機トランジスタなどのスイッチング素子を設け、該自発光型の表示素子を駆動することで、表示パネル自体を湾曲させて表示を行うことも可能である。

20

【０６９８】

また、本発明の画素構成を用いた表示装置を表示部に有する表示パネルを用いた表示装置一体型の移動体の応用例について、別の応用形態を図４２にて説明する。

【０６９９】

本発明の画素構成を用いた表示装置を表示部に有する表示パネルの例について、表示装置一体型の移動体をその一例として、図４２に示す。図４２は、表示装置一体型の移動体の例として自動車の車体９９０２に一体に取り付けられた表示パネル９９０１の例について示す。図４２に示す本発明の画素構成を用いた表示装置を表示部に有する表示パネル９９０１は、自動車の車体と一体に取り付けられており、車体の動作や車体内外から入力される情報をオンデマンドに表示する、或いは自動車の目的地までのナビゲーション機能をも有する。

30

【０７００】

なお、本発明の画素構成を用いた表示装置を表示部に有する表示パネルは、図４２で示した車体のフロント部にのみ適用可能であることに限定されることがなく、その形状を異ならせることにより、ガラス窓、ドアなどありとあらゆる場所に適用可能である。

【０７０１】

また、本発明の画素構成を用いた表示装置を表示部に有する表示パネルを用いた表示装置一体型の移動体の応用例について、別の応用形態を図４３にて説明する。

40

【０７０２】

本発明の画素構成を用いた表示装置を表示部に有する表示パネルの例について、表示装置一体型の移動体をその一例として、図４３に示す。図４３（ａ）は、表示装置一体型の移動体の例として飛行機車体１０１０１内の客席天井部に一体に取り付けられた表示パネル１０１０２の例について示す。図４３（ａ）に示す本発明の画素構成を用いた表示装置を表示部に有する表示パネル１０１０２は、飛行機車体１０１０１とヒンジ部１０１０３を介して一体に取り付けられており、ヒンジ部１０１０３の伸縮により乗客は表示パネル１０１０２の視聴が可能になる。表示パネル１０１０２は乗客が操作することで情報を表示するなど、広告や娯楽手段として利用できる機能を有する。また、図４３（ｂ）に示すように、ヒンジ部１０１０３を折り曲げて飛行機車体１０１０１に格納することにより、離

50

着陸時の安全に配慮することができる。なお、緊急時に表示パネルの表示素子を点灯させることで、飛行機車体 10101 の誘導灯としても利用可能である。

【0703】

なお、本発明の画素構成を用いた表示装置を表示部に有する表示パネルは、図 43 で示した飛行機車体 10101 の天井部にのみ適用可能であることに限定されることなく、その形状を異ならせることにより、座席やドアなどありとあらゆる場所に適用可能である。例えば座席前の座席後方に表示パネルを設け、操作・視聴を行う構成であってもよい。

【0704】

なお、本実施形態において、移動体としては電車車両本体、自動車車体、飛行機車体について例示したがこれに限定されず、自動二輪車、自動四輪車（自動車、バス等を含む）、電車（モノレール、鉄道等を含む）、船舶等、多岐に渡る。本発明の画素構成を用いた表示部を有する表示パネルを適用することにより、表示パネルの小型化、低消費電力化を達成し、且つ動作が良好である表示媒体を具備する移動体を提供することができる。また特に、外部からの信号により、移動体内における複数の表示パネルの表示を一斉に切り替えることが容易であるため、不特定多数の顧客を対象とした広告表示盤、また緊急災害時の情報表示板としても極めて有用であるといえる。

10

【0705】

また、本発明の画素構成を用いた表示装置を表示部に有する表示パネルを用いた応用例について、建造物に用いた応用形態を図 53 にて用いて説明する。

【0706】

20

図 53 は本発明の画素構成を用いた表示装置を表示部に有する表示パネルとして、フィルム状の基板に自発光型の表示素子及び有機トランジスタなどのスイッチング素子を設け、該自発光型の表示素子を駆動することにより表示パネル自身を湾曲させて表示可能な表示パネルとし、その応用例について説明する。図 53 においては、建造物として電柱等の屋外に設けられた柱状体の有する曲面に表示パネルを具備し、ここでは柱状体として電柱 9801 に表示パネル 9802 を具備する構成について示す。

【0707】

図 53 に示す表示パネル 9802 は、電柱の高さの真ん中あたりに位置させ、人間の視点より高い位置に設ける。そして移動体 9803 から表示パネルを視認することにより、表示パネル 9802 における画像を認識することができる。電柱のように屋外で繰り返し林立し、林立した電柱に設けた表示パネル 9802 において同じ映像を表示させることにより、視認者は情報表示、広告表示を視認することができる。図 53 において電柱 9801 に設けられた表示パネル 9802 は、外部からの信号により同じ画像を表示させることが容易であるため、極めて効率的な情報表示、及び広告効果が期待できる。また、本発明の表示パネルには、表示素子として自発光型の表示素子を設けることで、夜間であっても、視認性の高い表示媒体として有用であるといえる。

30

【0708】

また、本発明の画素構成を用いた表示装置を表示部に有する表示パネルを用いた応用例について、図 53 とは別の建造物の応用形態を図 54 にて説明する。

【0709】

40

本発明の画素構成を用いた表示装置を表示部に有する表示パネルの応用例として、図 54 に示す。図 54 は、表示装置一体型の例としてユニットバス 10002 内の側壁に一体に取り付けられた表示パネル 10001 の例について示す。図 54 に示す本発明の画素構成を用いた表示装置を表示部に有する表示パネル 10001 は、ユニットバス 10002 と一体に取り付けられており、入浴者は表示パネル 10001 の視聴が可能になる。表示パネル 10001 は入浴者が操作することで情報を表示するなど、広告や娯楽手段として利用できる機能を有する。

【0710】

なお、本発明の画素構成を用いた表示装置を表示部に有する表示パネルは、図 54 で示したユニットバス 10002 の側壁にのみ適用可能であることに限定されることなく、その

50

形状を異ならせることにより、鏡面の一部や浴槽自体と一体にするなどありとあらゆる場所に適用可能である。

【 0 7 1 1 】

また図 5 5 に建造物内に大型の表示部を有するテレビジョン装置を設けた例について示す。図 5 5 は、筐体 8 0 1 0、表示部 8 0 1 1、操作部であるリモコン装置 8 0 1 2、スピーカー部 8 0 1 3 等を含む。本発明の画素構成を用いた表示装置を表示部に有する表示パネルは、表示部 8 0 1 1 の作製に適用される。図 5 5 のテレビジョン装置は、壁かけ型として建物と一体となっており、設置するスペースを広く必要とすることなく設置可能である。

【 0 7 1 2 】

なお、本実施形態において、建造物として、柱状体として電柱、ユニットバス等を例としたが、本発明はこれに限定されず、表示パネルを備えることのできる建造物であればよい。本発明の画素構成を用いた表示部を有する表示装置を適用することにより、表示装置の小型化、低消費電力化を達成し、且つ動作が良好である表示媒体を具備する移動体や建造物を提供することができる。

10

【 0 7 1 3 】

なお、本実施形態は、本明細書中の他の実施形態のいかなる記載とも自由に組み合わせて実施することができる。また、本実施形態中のいかなる記載も自由に組み合わせて実施することができる。

【 図面の簡単な説明 】

20

【 0 7 1 4 】

【 図 1 】 第 1 の実施形態を説明する図

【 図 2 】 第 1 の実施形態を説明する図

【 図 3 】 第 1 の実施形態を説明する図

【 図 4 】 第 1 の実施形態を説明する図

【 図 5 】 第 2 の実施形態を説明する図

【 図 6 】 第 2 の実施形態を説明する図

【 図 7 】 第 2 の実施形態を説明する図

【 図 8 】 第 2 の実施形態を説明する図

【 図 9 】 第 3 の実施形態を説明する図

30

【 図 1 0 】 第 3 の実施形態を説明する図

【 図 1 1 】 第 3 の実施形態を説明する図

【 図 1 2 】 第 3 の実施形態を説明する図

【 図 1 3 】 第 1 の実施形態を説明する図

【 図 1 4 】 第 1 の実施形態を説明する図

【 図 1 5 】 第 1 の実施形態を説明する図

【 図 1 6 】 第 1 の実施形態を説明する図

【 図 1 7 】 第 2 の実施形態を説明する図

【 図 1 8 】 第 2 の実施形態を説明する図

【 図 1 9 】 第 2 の実施形態を説明する図

40

【 図 2 0 】 第 2 の実施形態を説明する図

【 図 2 1 】 第 3 の実施形態を説明する図

【 図 2 2 】 第 3 の実施形態を説明する図

【 図 2 3 】 第 3 の実施形態を説明する図

【 図 2 4 】 第 3 の実施形態を説明する図

【 図 2 5 】 第 4 の実施形態を説明する図

【 図 2 6 】 第 4 の実施形態を説明する図

【 図 2 7 】 第 5 の実施形態を説明する図

【 図 2 8 】 第 5 の実施形態を説明する図

【 図 2 9 】 第 5 の実施形態を説明する図

50

【図 3 0】第 5 の実施形態を説明する図	
【図 3 1】第 5 の実施形態を説明する図	
【図 3 2】第 5 の実施形態を説明する図	
【図 3 3】第 5 の実施形態を説明する図	
【図 3 4】第 5 の実施形態を説明する図	
【図 3 5】第 5 の実施形態を説明する図	
【図 3 6】第 6 の実施形態を説明する図	
【図 3 7】第 6 の実施形態を説明する図	
【図 3 8】第 6 の実施形態を説明する図	
【図 3 9】第 6 の実施形態を説明する図	10
【図 4 0】第 6 の実施形態を説明する図	
【図 4 1】第 2 3 の実施形態を説明する図	
【図 4 2】第 2 3 の実施形態を説明する図	
【図 4 3】第 2 3 の実施形態を説明する図	
【図 4 4】第 5 の実施形態を説明する図	
【図 4 5】第 5 の実施形態を説明する図	
【図 4 6】第 5 の実施形態を説明する図	
【図 4 7】第 5 の実施形態を説明する図	
【図 4 8】第 6 の実施形態を説明する図	
【図 4 9】第 6 の実施形態を説明する図	20
【図 5 0】第 6 の実施形態を説明する図	
【図 5 1】第 6 の実施形態を説明する図	
【図 5 2】第 6 の実施形態を説明する図	
【図 5 3】第 2 3 の実施形態を説明する図	
【図 5 4】第 2 3 の実施形態を説明する図	
【図 5 5】第 2 3 の実施形態を説明する図	
【図 5 6】第 7 の実施形態を説明する図	
【図 5 7】第 7 の実施形態を説明する図	
【図 5 8】第 7 の実施形態を説明する図	
【図 5 9】第 7 の実施形態を説明する図	30
【図 6 0】第 8 の実施形態を説明する図	
【図 6 1】第 8 の実施形態を説明する図	
【図 6 2】第 9 の実施形態を説明する図	
【図 6 3】第 9 の実施形態を説明する図	
【図 6 4】第 9 の実施形態を説明する図	
【図 6 5】第 1 0 の実施形態を説明する図	
【図 6 6】第 1 0 の実施形態を説明する図	
【図 6 7】第 1 5 の実施形態を説明する図	
【図 6 8】第 1 6 の実施形態を説明する図	
【図 6 9】第 1 7 の実施形態を説明する図	40
【図 7 0】第 1 8 の実施形態を説明する図	
【図 7 1】第 1 9 の実施形態を説明する図	
【図 7 2】第 2 0 の実施形態を説明する図	
【図 7 3】第 2 1 の実施形態を説明する図	
【図 7 4】第 2 2 の実施形態を説明する図	
【図 7 5】第 1 1 の実施形態を説明する図	
【図 7 6】第 1 2 の実施形態を説明する図	
【図 7 7】第 1 3 の実施形態を説明する図	
【図 7 8】第 1 4 の実施形態を説明する図	
【符号の説明】	50

【 0 7 1 5 】

1 1	接点 N	
5 1	接点 N	
5 2	接点 N	
9 1	接点 N	
1 0 1	トランジスタ	
1 0 2	トランジスタ	
1 0 3	トランジスタ	
1 0 4	トランジスタ	
1 0 5	配線	10
1 0 6	配線	
1 0 7	配線	
1 0 8	配線	
1 0 9	配線	
1 3 1	節点 N	
1 7 1	節点 N	
1 7 2	節点 N	
1 9 1	パネル	
2 1 1	節点 N	
2 7 1	節点 N	20
2 7 2	節点 N	
3 6 1	節点 N	
3 6 2	節点 N	
3 6 3	節点 N	
4 0 1	抵抗素子	
4 4 1	節点 N	
4 4 2	節点 N	
4 8 1	節点 N	
4 8 2	節点 N	
4 8 3	節点 N	30
5 0 1	トランジスタ	
5 0 2	トランジスタ	
5 0 3	トランジスタ	
5 0 4	トランジスタ	
5 0 5	トランジスタ	
5 0 6	トランジスタ	
5 0 7	トランジスタ	
5 0 8	配線	
5 0 9	配線	
5 1 0	配線	40
5 1 1	配線	
5 1 2	配線	
5 6 1	節点 N	
5 6 2	節点 N	
5 6 3	節点 N	
5 8 1	節点 N	
5 8 2	節点 N	
5 8 3	節点 N	
5 9 0	画素	
5 9 1	画素部	50

5 9 3	ソースドライバ	
5 9 4	ゲートドライバ	
6 0 1	入力端子 I N	
6 0 2	入力端子 I N	
6 0 3	入力端子 I N	
6 0 4	入力端子 I N	
6 0 5	入力端子 I N	
6 0 6	出力端子 O U T	
6 6 1	シフトレジスタ	
6 9 0	画素	10
6 9 1	トランジスタ	
6 9 2	トランジスタ	
6 9 3	容量素子	
6 9 4	発光素子	
6 9 5	端子	
6 9 6	端子	
6 9 7	端子	
7 8 1	ダイオード	
7 9 0	画素	
7 9 1	トランジスタ	20
7 9 2	端子	
8 0 1	容量素子	
9 0 1	トランジスタ	
9 0 2	トランジスタ	
9 0 3	トランジスタ	
9 0 4	トランジスタ	
9 0 5	配線	
9 0 6	配線	
9 0 7	配線	
9 0 8	配線	30
9 0 9	配線	
9 1 1	本体	
9 1 2	筐体	
9 1 3	表示部	
9 1 4	キーボード	
9 1 5	外部接続ポート	
9 1 6	ポインティングデバイス	
9 2 1	本体	
9 2 2	筐体	
9 2 3	表示部	40
9 2 4	表示部	
9 2 5	部	
9 2 6	操作キー	
9 2 7	スピーカ部	
9 3 1	本体	
9 3 2	音声出力部	
9 3 3	音声入力部	
9 3 4	表示部	
9 3 5	操作スイッチ	
9 3 6	アンテナ	50

9 4 1	本体	
9 4 2	表示部	
9 4 3	筐体	
9 4 4	外部接続ポート	
9 4 5	リモコン受信部	
9 4 6	受像部	
9 4 7	バッテリー	
9 4 8	音声入力部	
9 4 9	操作キー	
9 8 0	パネル	10
9 8 1	画素部	
9 8 2	ソースドライバ	
9 8 3	ゲートドライバ	
9 8 4	回路基板	
9 8 5	コントローラ	
9 8 6	信号分割回路	
9 8 7	接続配線	
1 0 0 0	基板	
1 0 0 1	下地膜	
1 0 0 2	半導体層	20
1 0 0 3	絶縁膜	
1 0 0 4	ゲート電極	
1 0 0 5	絶縁膜	
1 0 0 6	電極	
1 0 0 7	電極	
1 0 0 8	絶縁膜	
1 0 0 9	発光層	
1 0 1 0	電極	
1 0 1 1	発光素子	
1 1 0 0	T F T	30
1 1 0 1	容量素子	
1 1 0 2	半導体層	
1 1 0 4	電極	
1 1 0 6	電極	
1 1 0 8	絶縁膜	
1 2 0 1	抵抗素子	
1 3 0 1	トランジスタ	
1 3 0 2	トランジスタ	
1 3 0 3	トランジスタ	
1 3 0 4	トランジスタ	40
1 3 0 5	配線	
1 3 0 6	配線	
1 3 0 7	配線	
1 3 0 8	配線	
1 3 0 9	配線	
1 4 0 1	基板	
1 4 0 2	画素部	
1 4 0 6	シール材	
1 4 0 7	シーリング材	
1 4 0 8	密閉空間	50

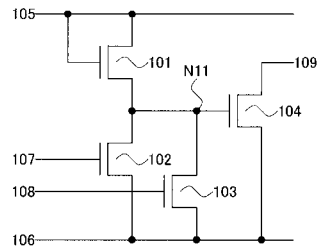
1 4 0 9	吸湿剤	
1 4 1 0	カバー材	
1 4 1 1	入力端子部	
1 4 1 2	F P C (フレキシブルプリントサーキット)	
1 4 2 0	カラーフィルタ	
1 4 2 1	対向基板	
1 4 2 2	密閉空間	
1 4 2 3	保護膜	
1 4 2 4	シーリング材	
1 6 0 1	抵抗素子	10
1 7 0 1	トランジスタ	
1 7 0 2	トランジスタ	
1 7 0 3	トランジスタ	
1 7 0 4	トランジスタ	
1 7 0 5	トランジスタ	
1 7 0 6	トランジスタ	
1 7 0 7	トランジスタ	
1 7 0 8	配線	
1 7 0 9	配線	
1 7 1 0	配線	20
1 7 1 1	配線	
1 7 1 2	配線	
2 0 0 1	容量素子	
2 1 0 1	トランジスタ	
2 1 0 2	トランジスタ	
2 1 0 3	トランジスタ	
2 1 0 4	トランジスタ	
2 1 0 5	配線	
2 1 0 6	配線	
2 1 0 7	配線	30
2 1 0 8	配線	
2 1 0 9	配線	
2 4 0 1	抵抗素子	
2 5 0 1	回路	
2 5 0 2	回路	
2 5 0 3	配線	
2 5 0 4	配線	
2 5 0 5	配線	
2 5 0 6	配線	
2 6 0 1	回路	40
2 6 0 2	回路	
2 6 0 3	配線	
2 6 0 4	配線	
2 6 0 5	配線	
2 6 0 6	配線	
2 7 0 1	トランジスタ	
2 7 0 2	トランジスタ	
2 7 0 3	トランジスタ	
2 7 0 4	トランジスタ	
2 7 0 5	トランジスタ	50

2 7 0 6	トランジスタ	
2 7 0 7	トランジスタ	
2 7 0 8	トランジスタ	
2 7 0 9	配線	
2 7 1 0	配線	
2 7 1 1	配線	
2 7 1 2	配線	
2 7 1 3	配線	
2 7 1 4	配線	
2 7 1 5	N O R 回路	10
2 8 0 3	ゲート電極	
2 8 0 4	電極	
2 8 0 5	絶縁膜	
2 8 0 6	チャネル形成領域	
2 8 0 7	L D D 領域	
2 8 0 8	不純物領域	
2 8 0 9	チャネル形成領域	
2 8 1 0	L D D 領域	
2 8 1 1	不純物領域	
2 9 0 4	電極	20
2 9 0 5	絶縁膜	
2 9 0 6	半導体層	
2 9 0 7	半導体層	
2 9 0 8	N 型半導体層	
2 9 0 9	N 型半導体層	
2 9 1 0	N 型半導体層	
2 9 1 1	電極	
2 9 1 2	電極	
2 9 1 3	電極	
2 9 9 3	ゲート電極	30
3 0 0 1	絶縁物	
3 4 0 1	抵抗素子	
3 5 0 1	容量素子	
3 6 0 0	トランジスタ	
3 6 0 1	トランジスタ	
3 6 0 2	トランジスタ	
3 6 0 3	トランジスタ	
3 6 0 4	トランジスタ	
3 6 0 5	トランジスタ	
3 6 0 6	トランジスタ	40
3 6 0 7	トランジスタ	
3 6 0 8	トランジスタ	
3 6 0 9	トランジスタ	
3 6 1 0	トランジスタ	
3 6 1 1	配線	
3 6 1 2	配線	
3 6 1 3	配線	
3 6 1 4	配線	
3 6 1 5	配線	
3 6 1 6	配線	50

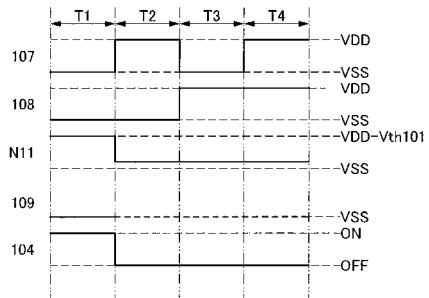
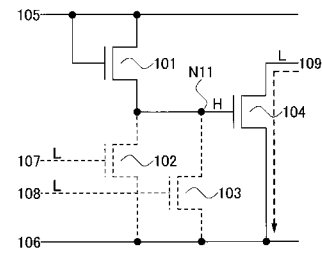
3 6 1 7	N O R 回路	
3 6 7 1	節 点 N	
3 8 0 1	容 量 素 子	
4 0 0 0	電 極	
4 0 0 1	配 向 膜	
4 0 0 2	液 晶 層	
4 0 0 3	配 向 膜	
4 0 0 4	電 極	
4 0 0 5	対 向 基 板	
4 1 1 1	容 量 素 子	10
4 4 0 1	ト ラ ン ジ ス タ	
4 4 0 2	ト ラ ン ジ ス タ	
4 4 0 3	ト ラ ン ジ ス タ	
4 4 0 4	ト ラ ン ジ ス タ	
4 4 0 5	ト ラ ン ジ ス タ	
4 4 0 6	ト ラ ン ジ ス タ	
4 4 0 7	ト ラ ン ジ ス タ	
4 4 0 8	ト ラ ン ジ ス タ	
4 4 0 9	配 線	
4 4 1 0	配 線	20
4 4 1 1	配 線	
4 4 1 2	配 線	
4 4 1 3	配 線	
4 4 1 4	配 線	
4 4 1 5	N A N D 回路	
4 6 0 1	抵 抗 素 子	
4 6 9 1	ト ラ ン ジ ス タ	
4 6 9 2	液 晶 素 子	
4 6 9 3	容 量 素 子	
4 6 9 4	端 子	30
4 7 0 1	容 量 素 子	
4 8 0 0	ト ラ ン ジ ス タ	
4 8 0 1	ト ラ ン ジ ス タ	
4 8 0 2	ト ラ ン ジ ス タ	
4 8 0 3	ト ラ ン ジ ス タ	
4 8 0 4	ト ラ ン ジ ス タ	
4 8 0 5	ト ラ ン ジ ス タ	
4 8 0 6	ト ラ ン ジ ス タ	
4 8 0 7	ト ラ ン ジ ス タ	
4 8 0 8	ト ラ ン ジ ス タ	40
4 8 0 9	ト ラ ン ジ ス タ	
4 8 1 0	ト ラ ン ジ ス タ	
4 8 1 1	配 線	
4 8 1 2	配 線	
4 8 1 3	配 線	
4 8 1 4	配 線	
4 8 1 5	配 線	
4 8 1 6	配 線	
4 8 1 7	N A N D 回路	
5 0 0 1	容 量 素 子	50

5 2 0 1	容量素子	
5 6 0 1	トランジスタ	
5 6 0 2	トランジスタ	
5 6 0 3	トランジスタ	
5 6 0 4	トランジスタ	
5 6 0 5	トランジスタ	
5 6 0 6	トランジスタ	
5 6 0 7	トランジスタ	
5 6 0 8	回路	
5 6 0 9	回路	10
5 6 1 0	配線	
5 6 1 1	配線	
5 6 1 2	配線	
5 6 1 3	配線	
5 6 1 4	配線	
5 6 1 5	配線	
5 6 1 6	配線	
5 8 0 1	トランジスタ	
5 8 0 2	トランジスタ	
5 8 0 3	トランジスタ	20
5 8 0 4	トランジスタ	
5 8 0 5	トランジスタ	
5 8 0 6	トランジスタ	
5 8 0 7	トランジスタ	
5 8 0 8	回路	
5 8 0 9	回路	
5 8 1 0	配線	
5 8 1 1	配線	
5 8 1 2	配線	
5 8 1 3	配線	30
5 8 1 4	配線	
5 8 1 5	配線	
5 8 1 6	配線	
6 0 0 1	フリップフロップ回路	
6 0 0 2	配線	
6 0 0 3	配線	
6 0 0 4	配線	
6 0 0 5	配線	
6 0 0 6	配線	
6 5 0 1	シフトレジスタ	40
6 5 0 2	配線	
6 5 0 3	スイッチ	
6 5 0 4	負荷	
6 6 0 1	シフトレジスタ	
6 6 0 2	配線	
6 6 0 3	配線	
6 6 0 4	配線	
6 6 0 5	スイッチ群	
6 6 0 6	負荷群	
6 7 0 1	シフトレジスタ	50

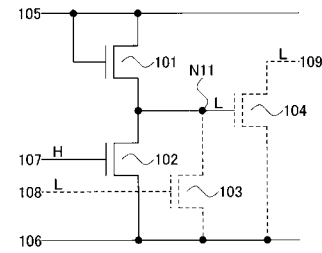
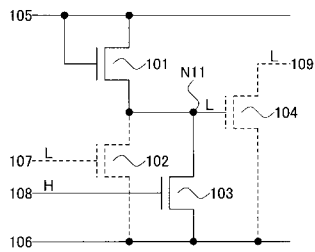
6 7 0 2	配線	
6 7 0 3	配線	
6 7 0 4	配線	
6 7 0 5	スイッチ群	
6 7 0 6	負荷群	
6 7 0 7	配線	
6 8 0 1	半導体層	
6 8 0 2	ゲート電極層	
6 8 0 3	配線層	
8 0 1 0	筐体	10
8 0 1 1	表示部	
8 0 1 2	リモコン装置	
8 0 1 3	スピーカ部	
9 7 0 1	電車車両本体	
9 7 0 2	表示パネル	
9 7 0 3	表示パネル	
9 7 0 4	表示パネル	
9 8 0 1	電柱	
9 8 0 2	表示パネル	
9 8 0 3	移動体	20
9 9 0 1	表示パネル	
9 9 0 2	車体	
1 0 0 0 1	表示パネル	
1 0 0 0 2	ユニットバス	
1 0 1 0 1	飛行機車体	
1 0 1 0 2	表示パネル	
1 0 1 0 3	ヒンジ部	
2 7 1 1 a	配線	
2 7 1 1 b	配線	

【図 1】
(a)

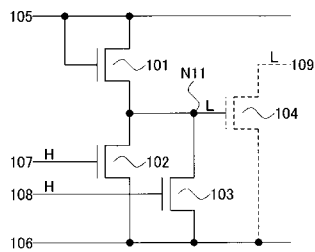
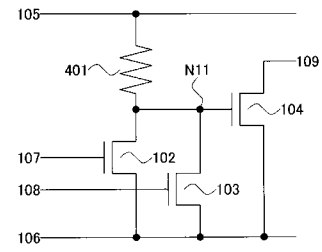
(b)

【図 2】
(a)

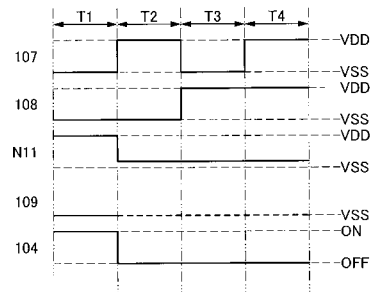
(b)

【図 3】
(a)

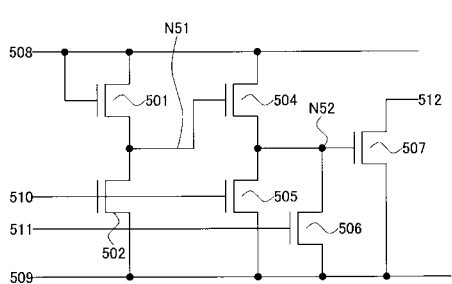
(b)

【図 4】
(a)

(b)

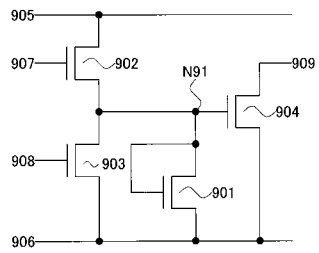


(a)

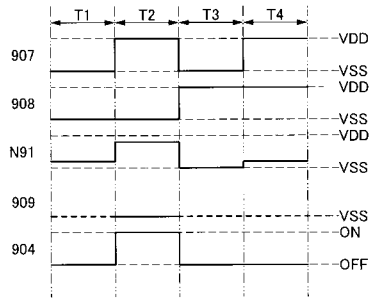


【図 9】

(a)

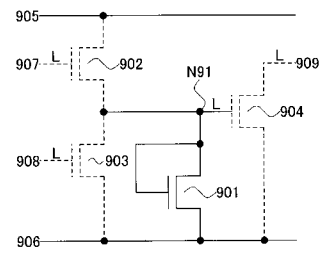


(b)

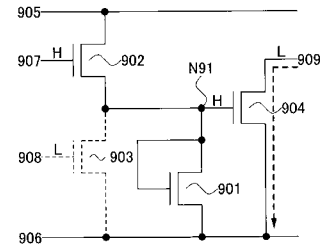


【図 10】

(a)

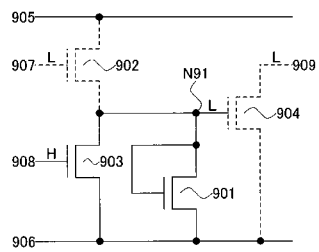


(b)

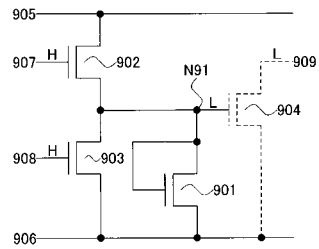


【図 11】

(a)

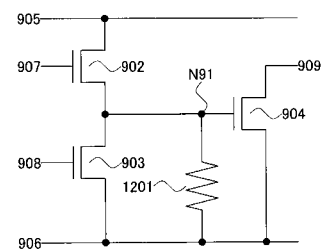


(b)

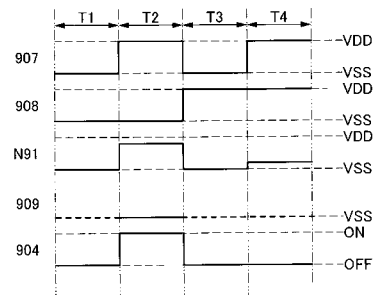


【図 12】

(a)

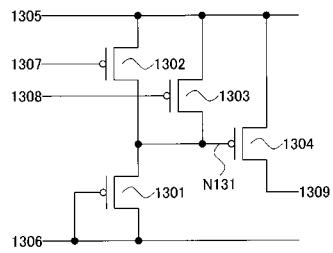


(b)

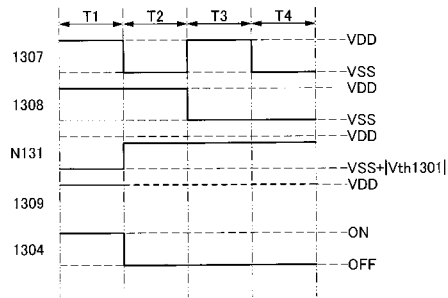


【図 13】

(a)

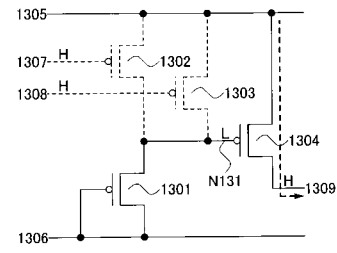


(b)

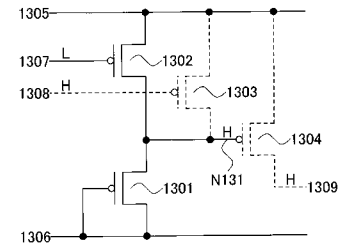


【図 14】

(a)

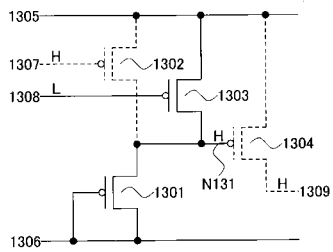


(b)

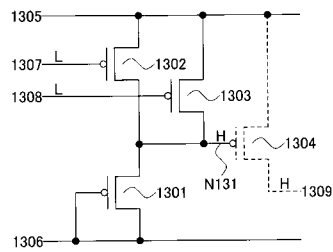


【図 15】

(a)

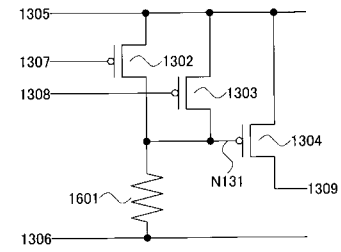


(b)

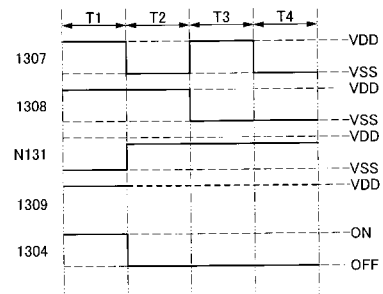


【図 16】

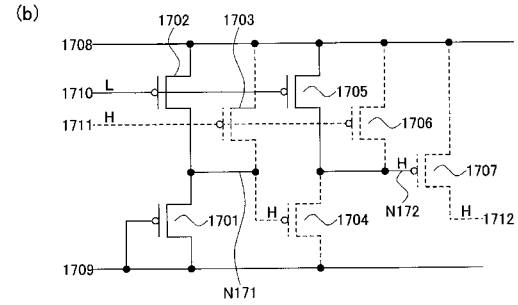
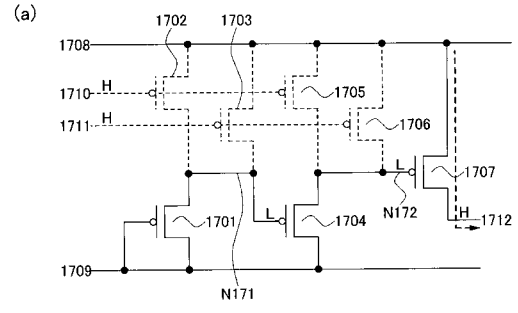
(a)



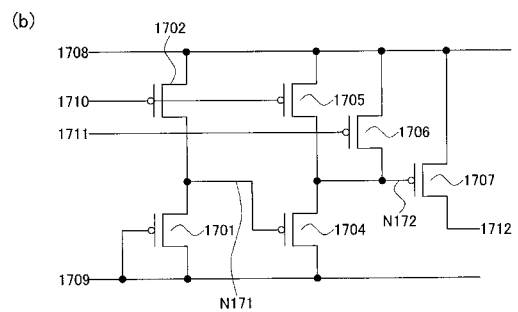
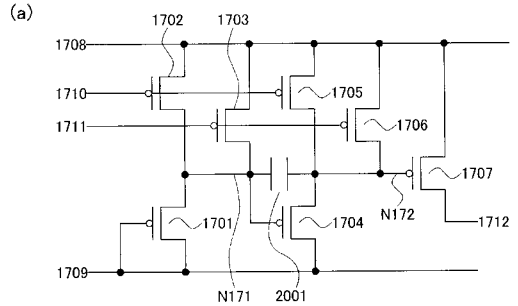
(b)



【 図 1 8 】

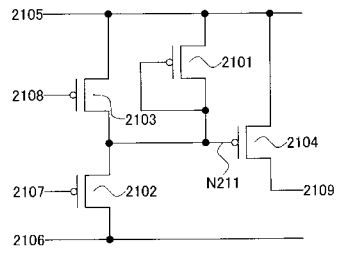


【 図 2 0 】

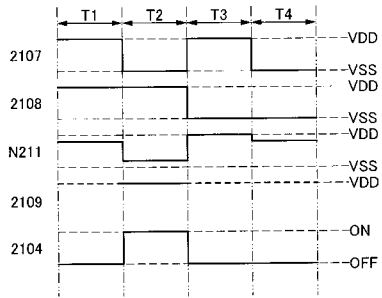


【図 2 1】

(a)

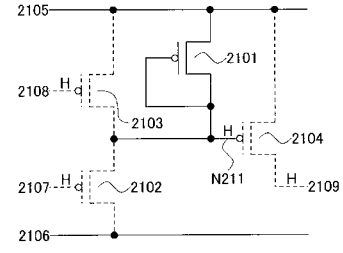


(b)

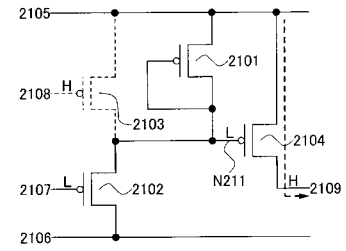


【図 2 2】

(a)

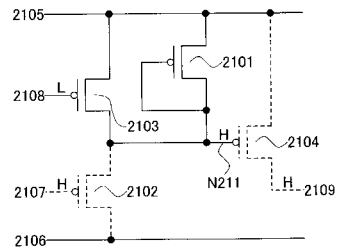


(b)

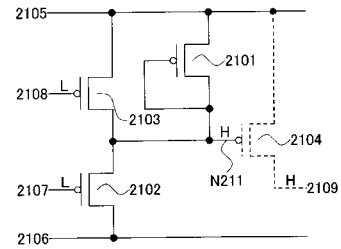


【図 2 3】

(a)

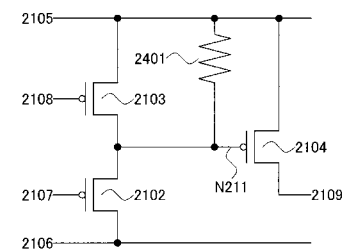


(b)

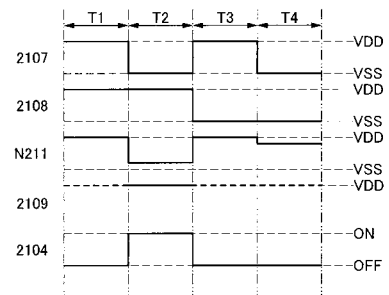


【図 2 4】

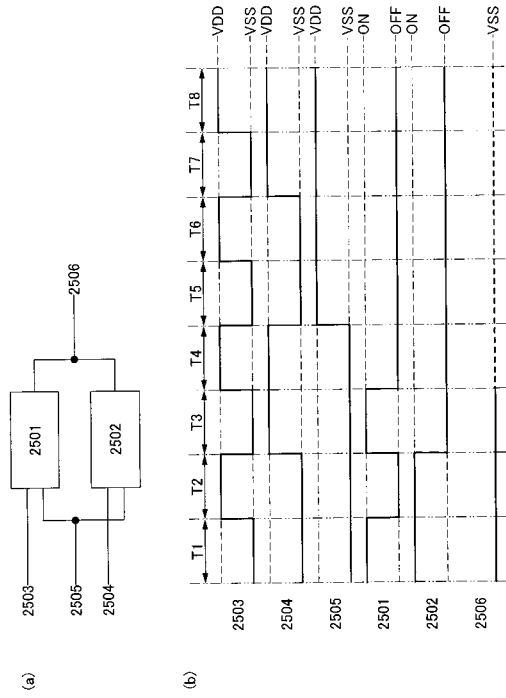
(a)



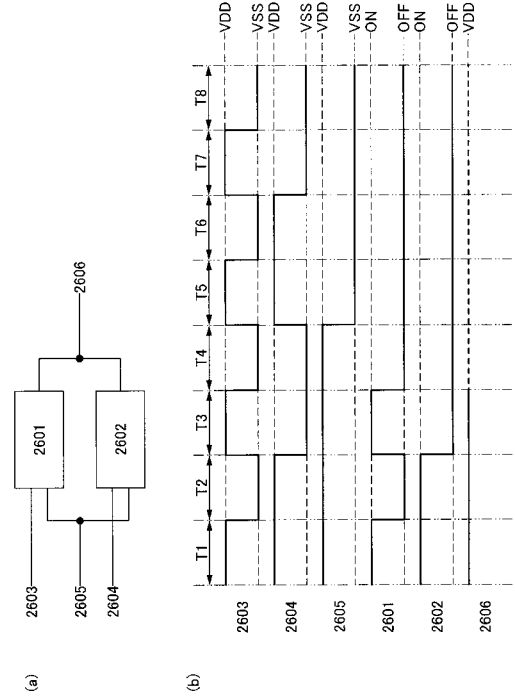
(b)



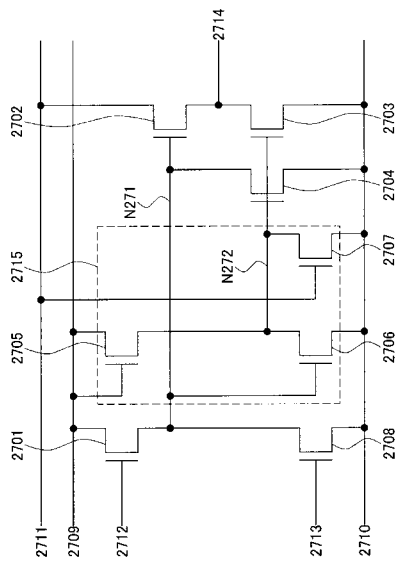
【図 25】



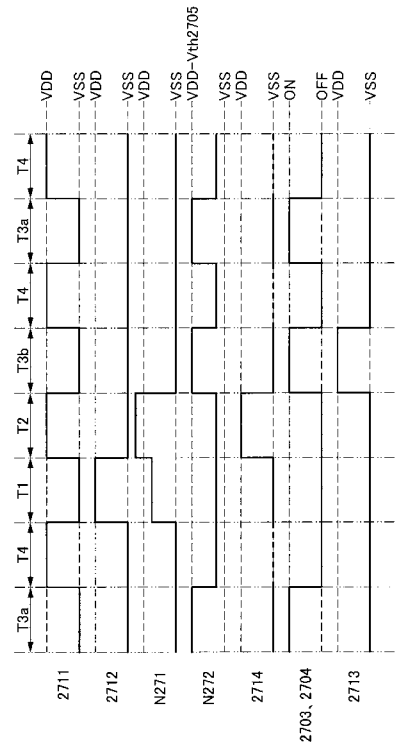
【図 26】



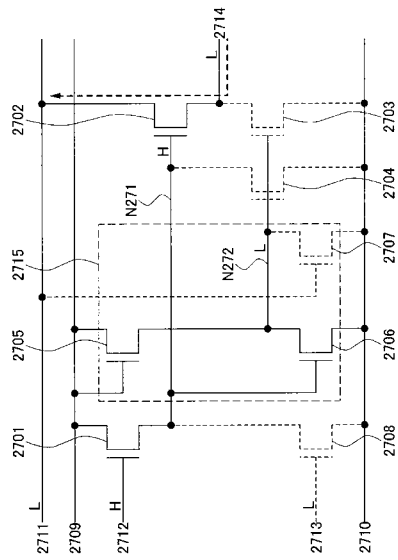
【図 27】



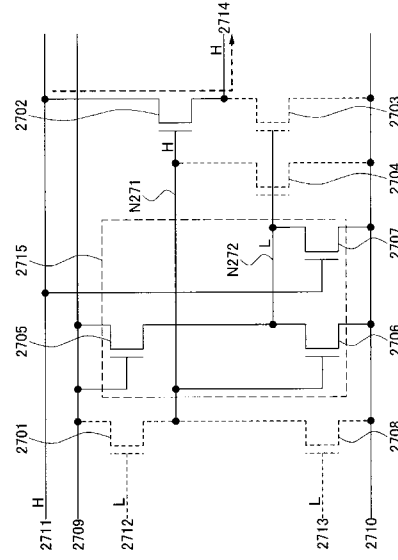
【図 28】



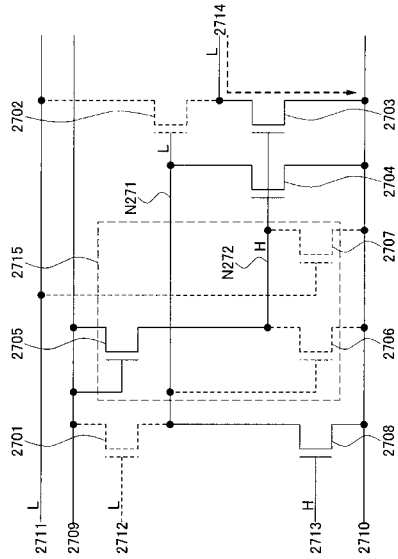
【図 29】



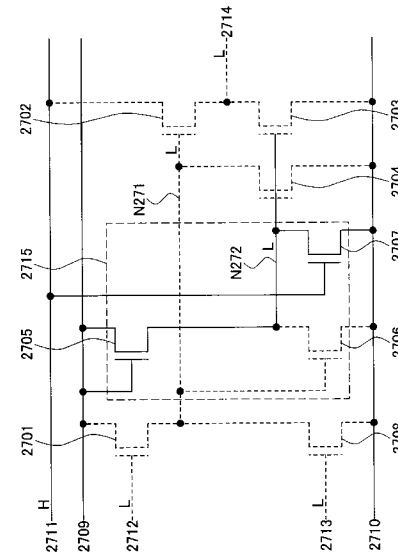
【図 30】



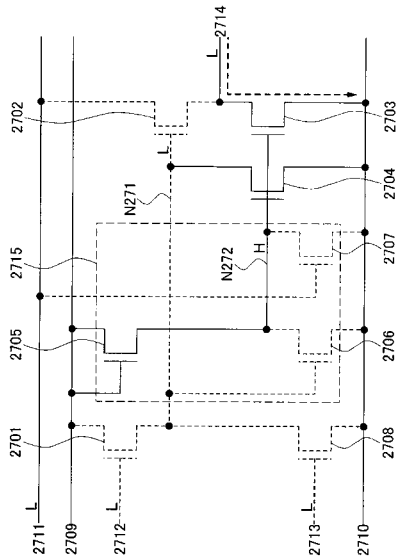
【図 31】



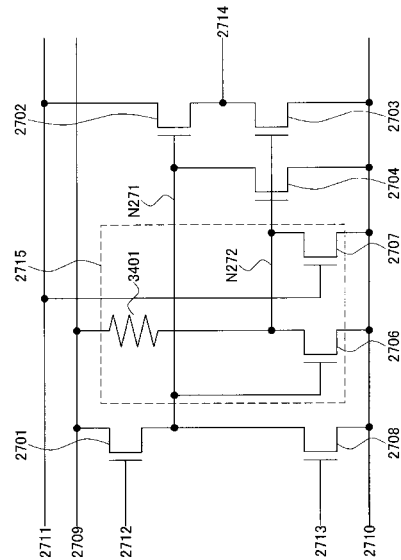
【図 32】



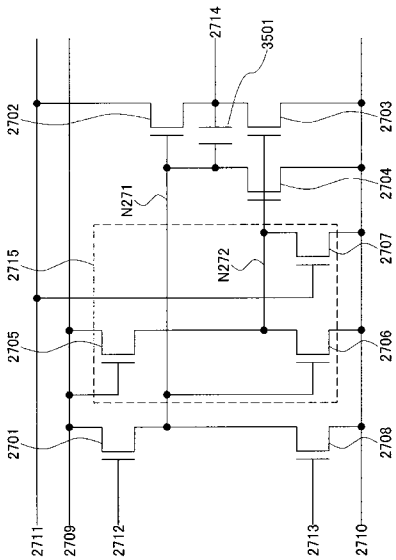
【 図 3 3 】



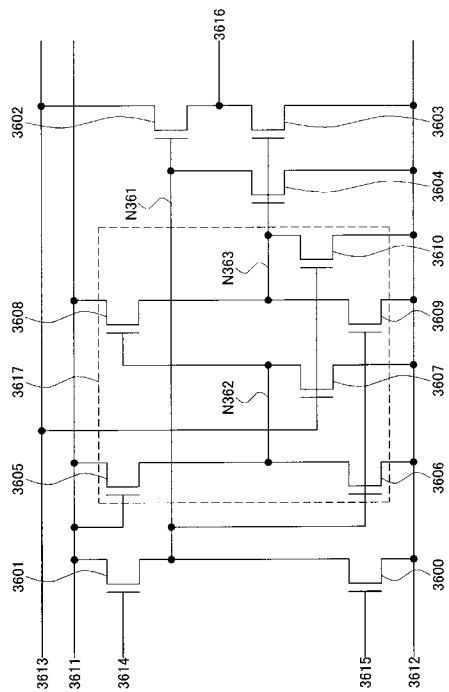
【 図 3 4 】



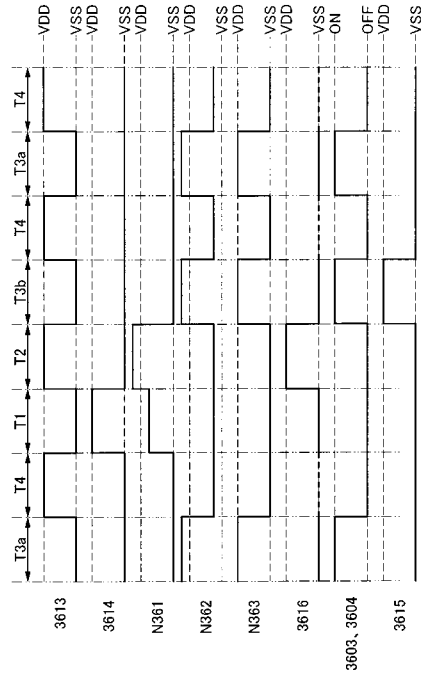
【 図 3 5 】



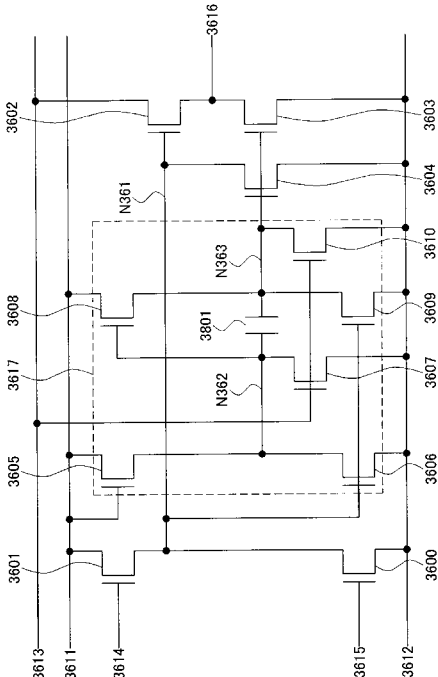
【 ㄨ 3 6 】



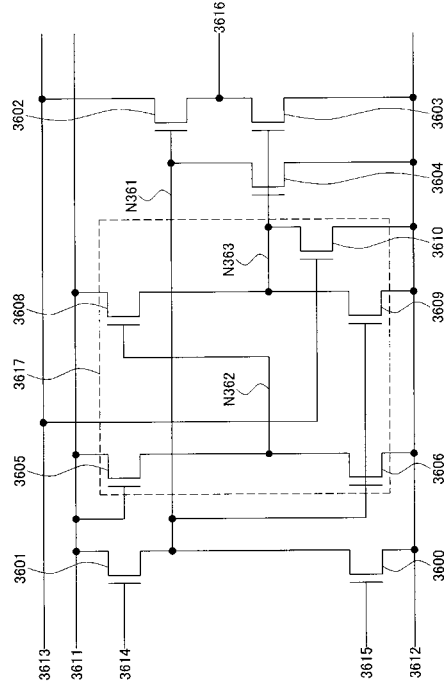
【図 37】



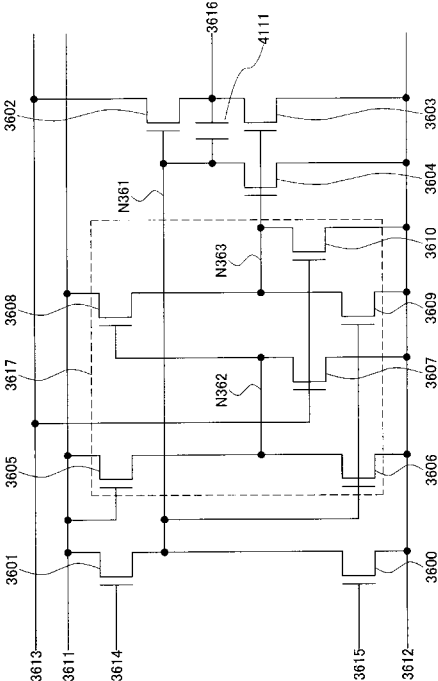
【図 38】



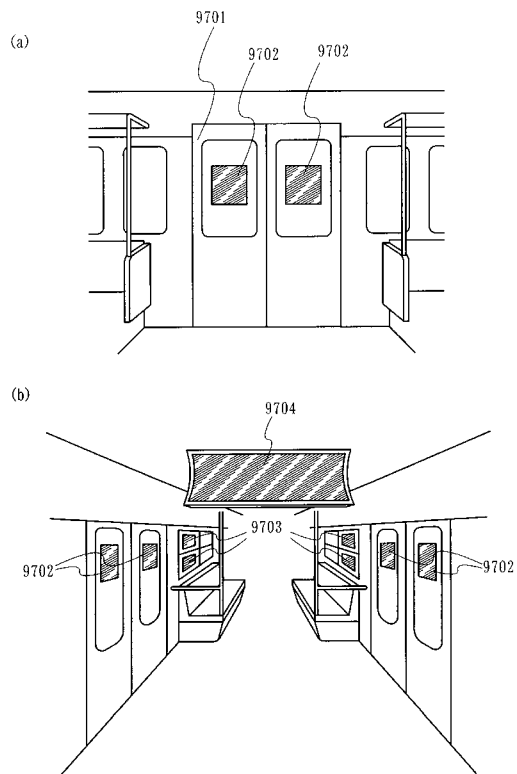
【図 39】



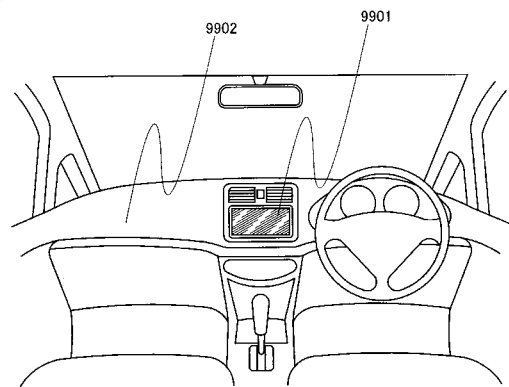
【図 40】



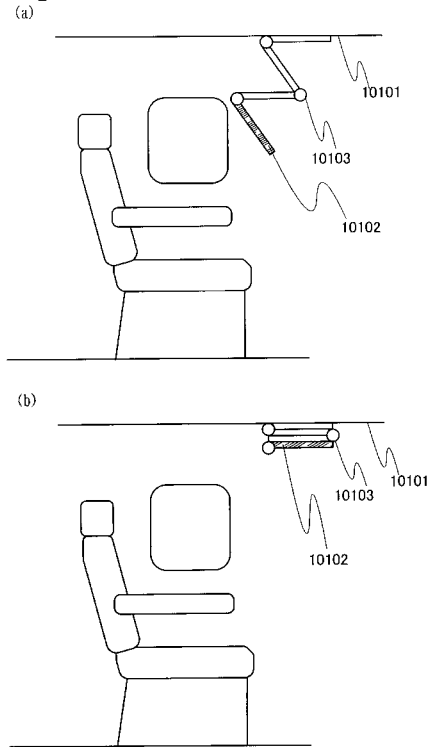
【図 4 1】



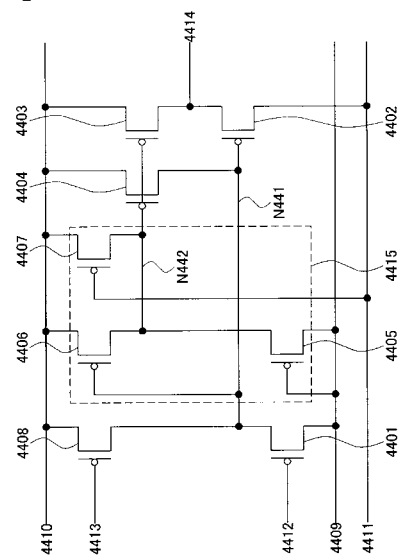
【図 4 2】



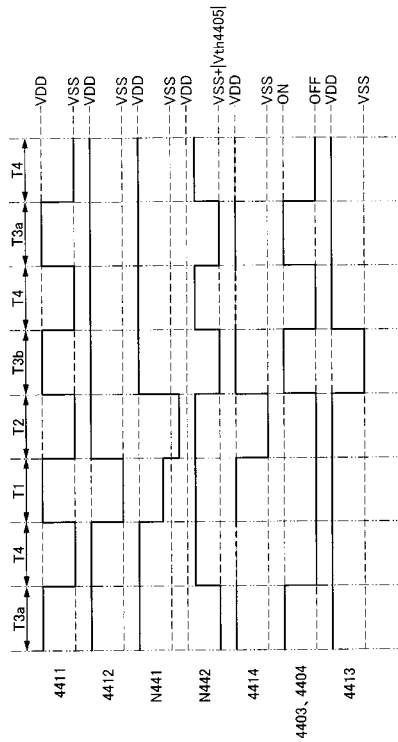
【図 4 3】



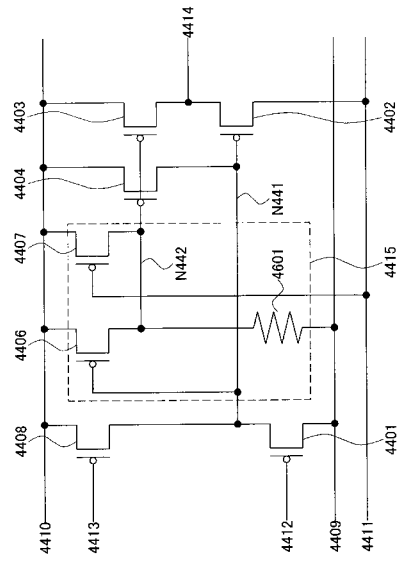
【図 4 4】



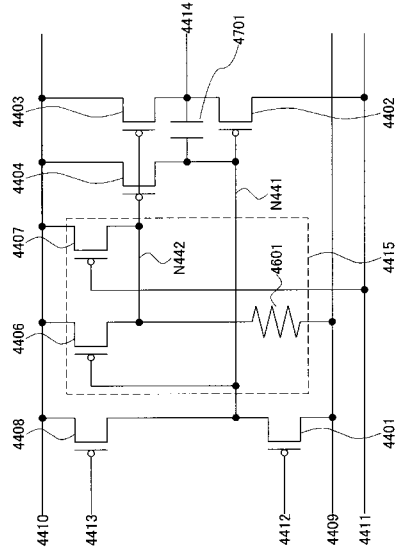
【 図 4 5 】



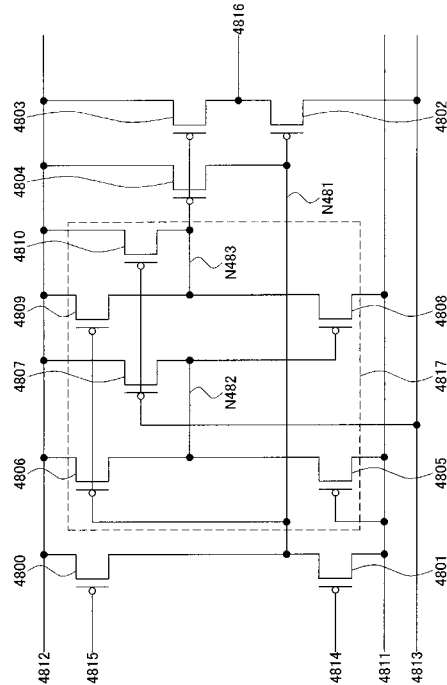
【 図 4 6 】



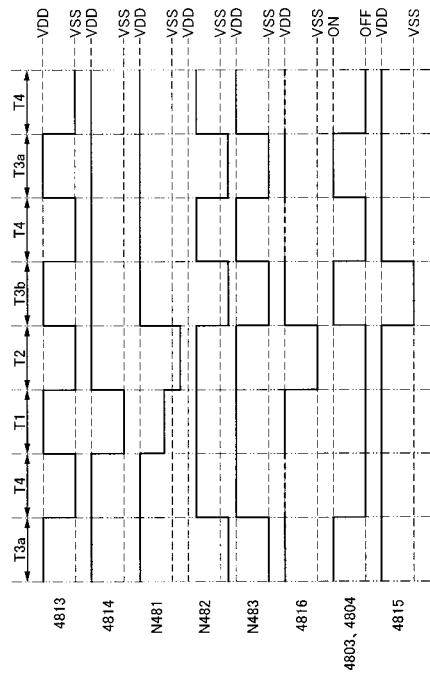
【 図 4 7 】



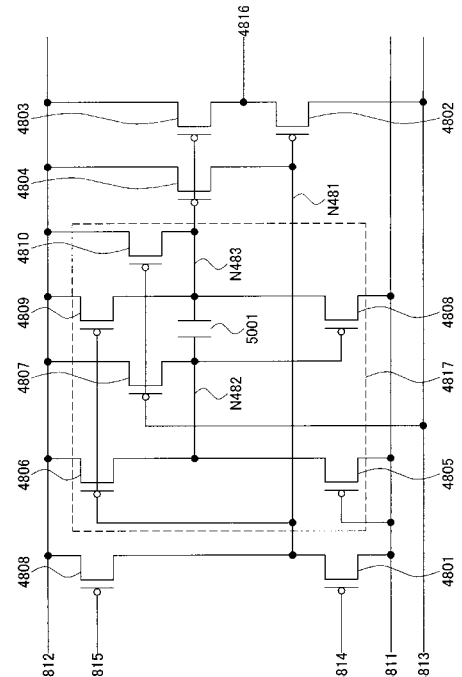
【 図 4 8 】



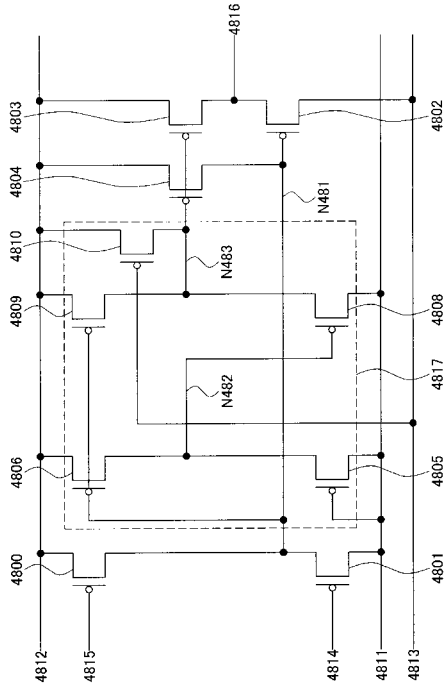
【図 4 9】



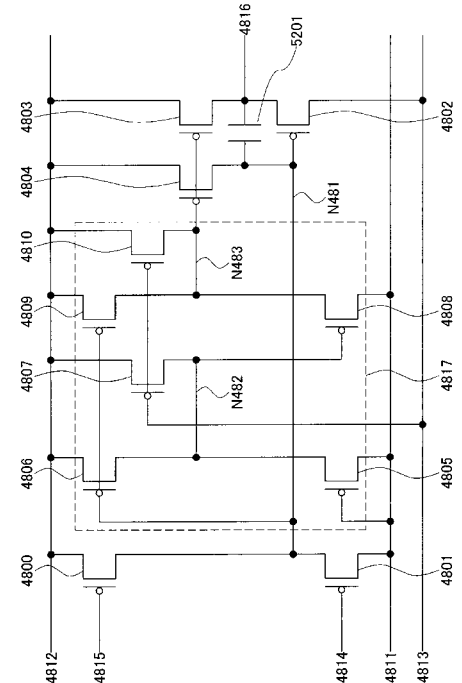
【図 5 0】



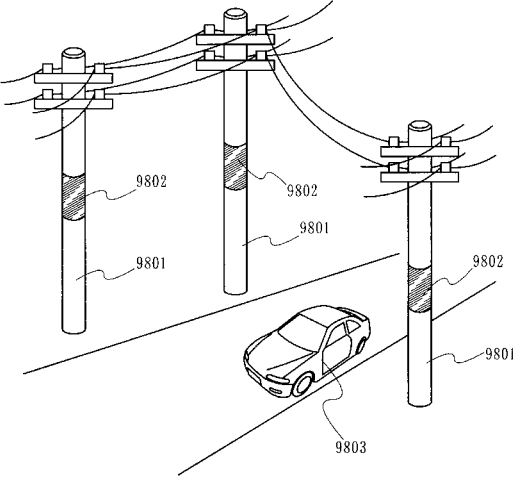
【図 5 1】



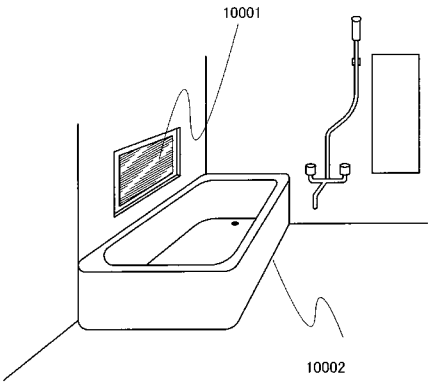
【図 5 2】



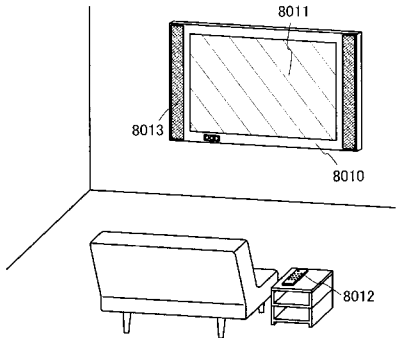
【図 5 3】



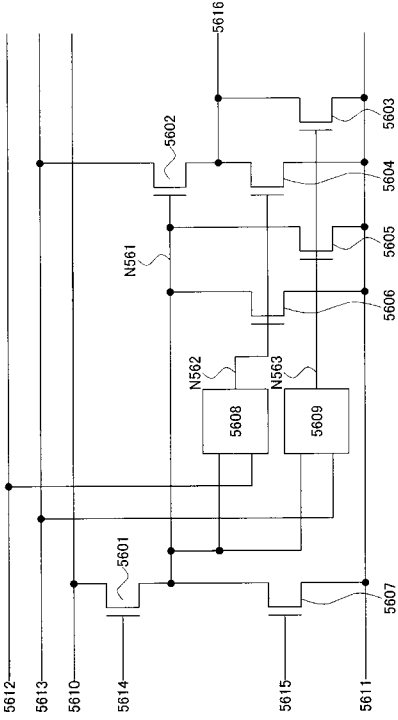
【図 5 4】



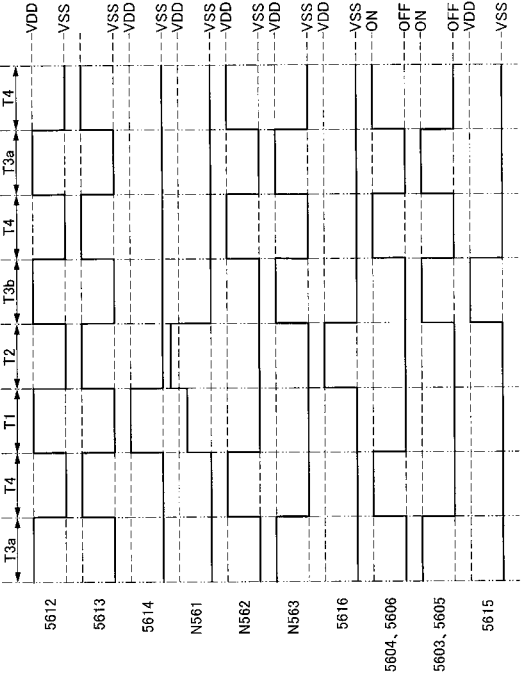
【図 5 5】



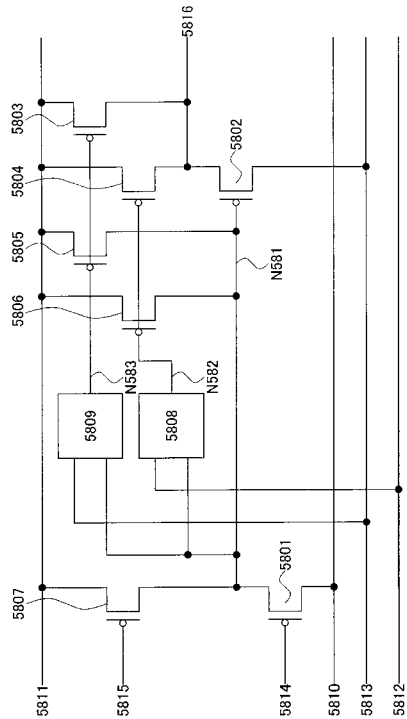
【図 5 6】



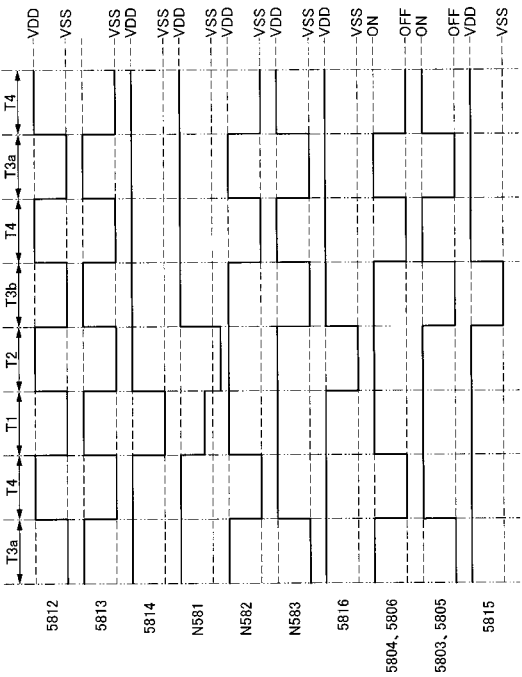
【図 5 7】



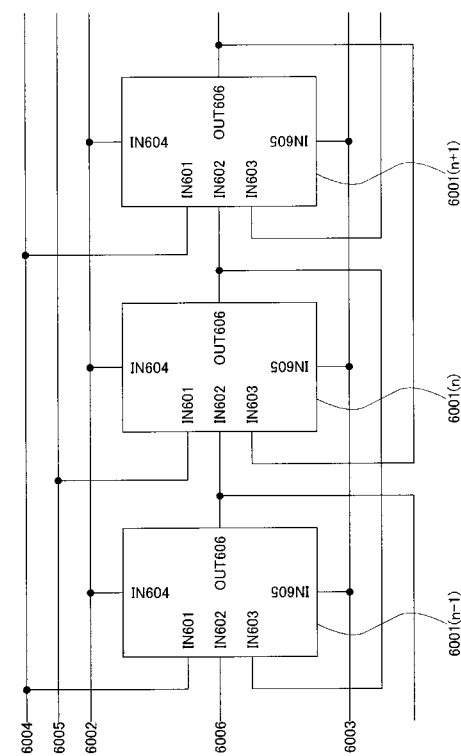
【図 58】



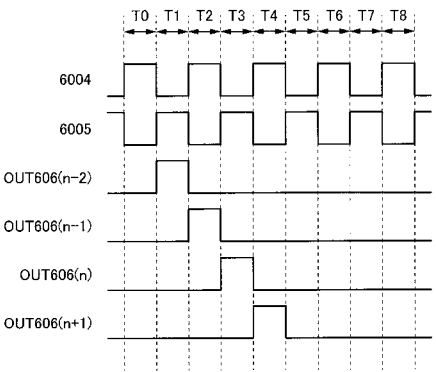
【図 59】



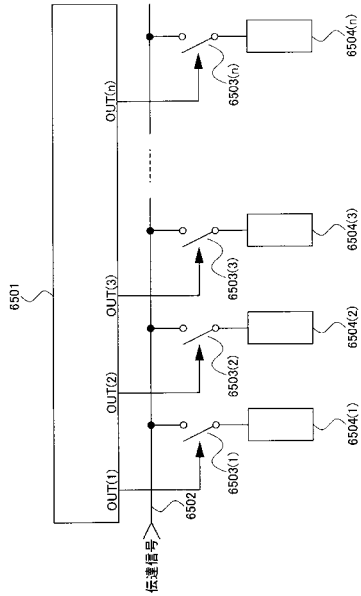
【図 60】



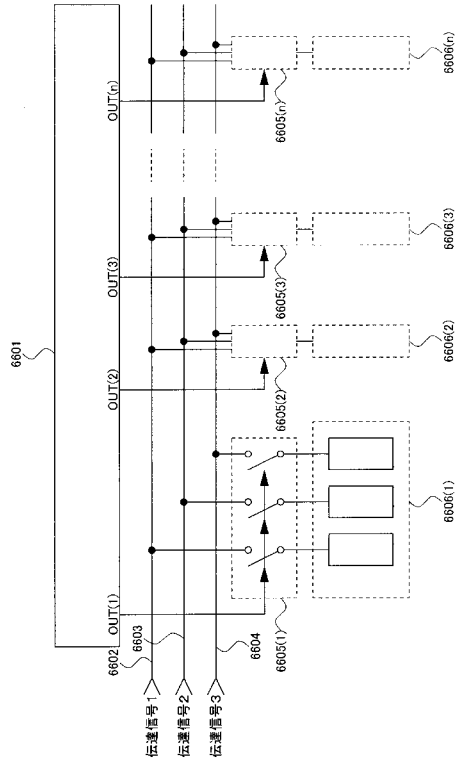
【図 61】



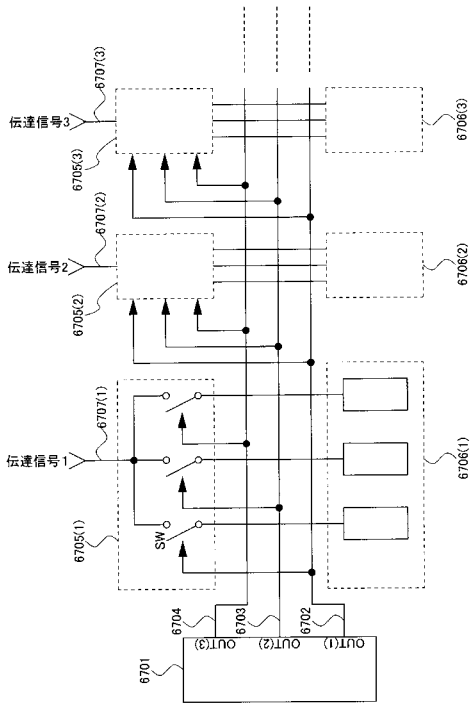
【図 6 2】



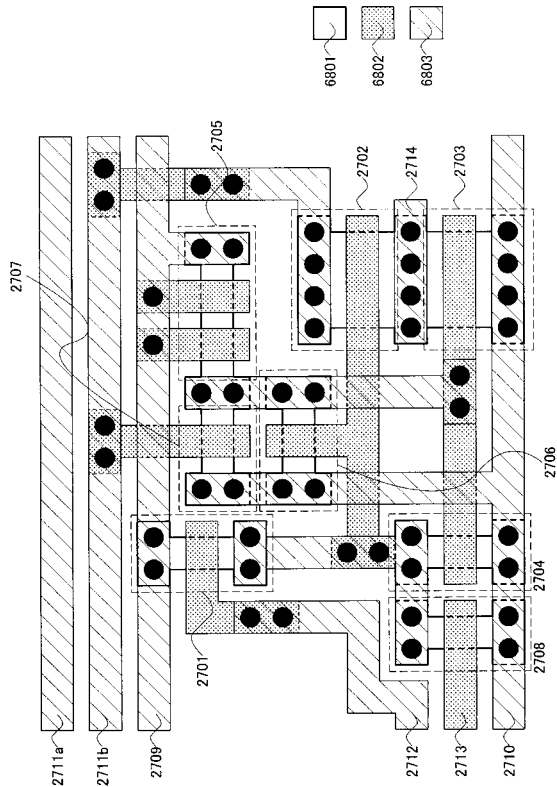
【図 6 3】



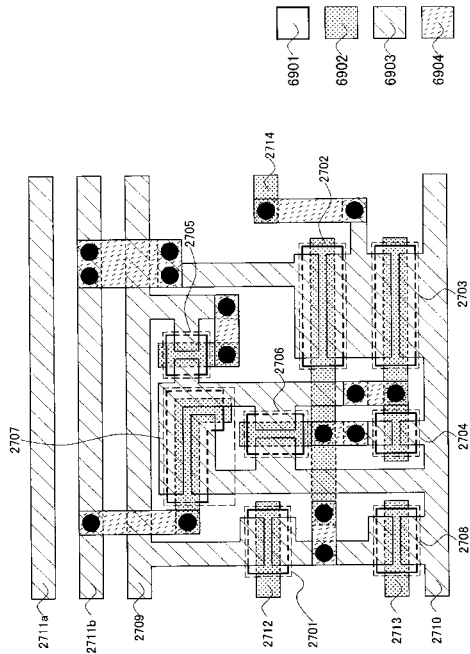
【図 6 4】



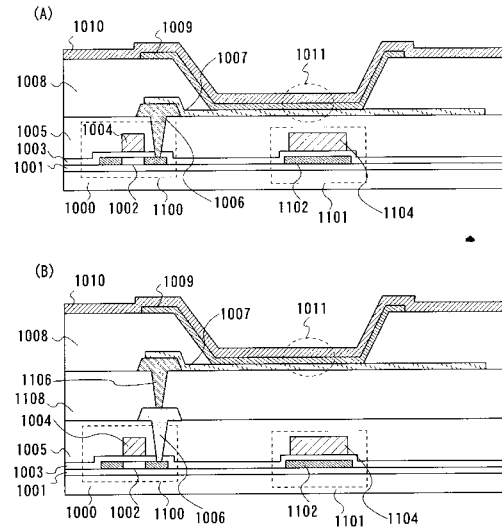
【図 6 5】



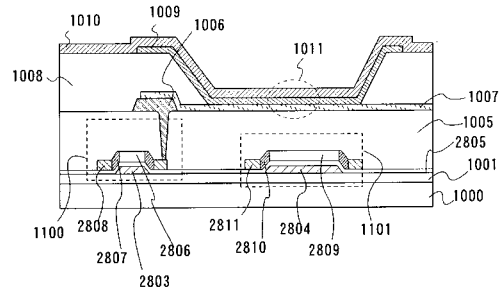
【図 6 6】



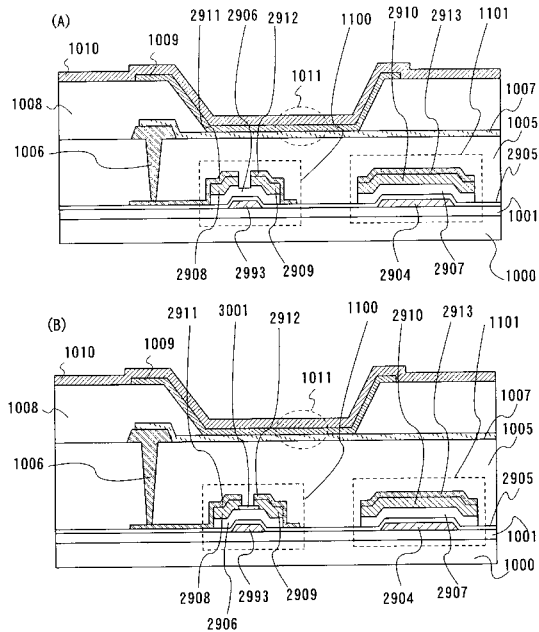
【図 6 7】



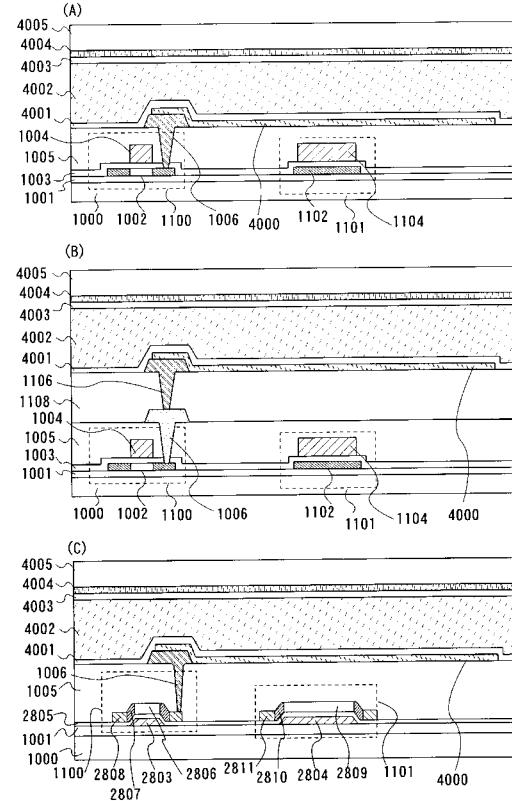
【図 6 8】



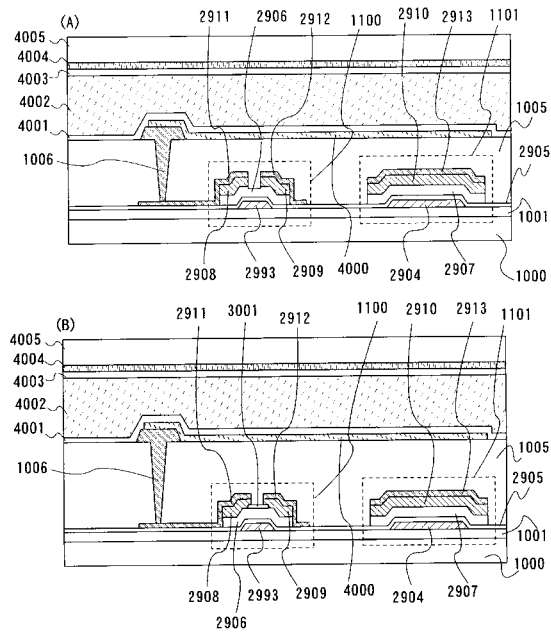
【図 6 9】



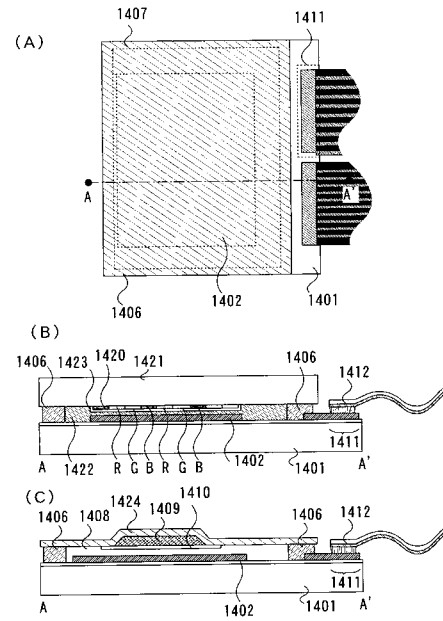
【図 7 0】



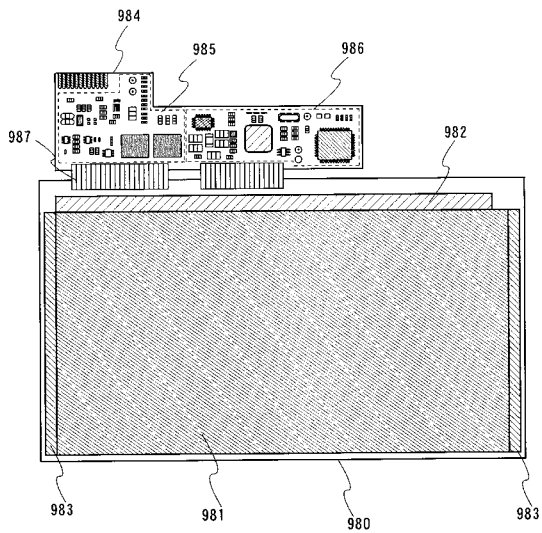
【図 7 1】



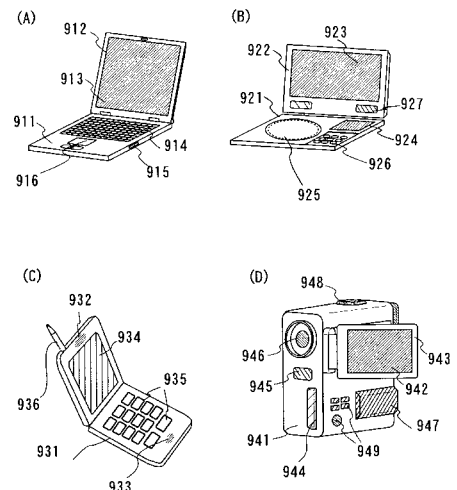
【図 7 2】



【図 7 3】

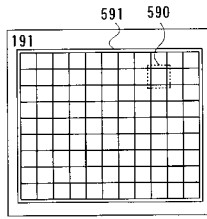


【図 7 4】

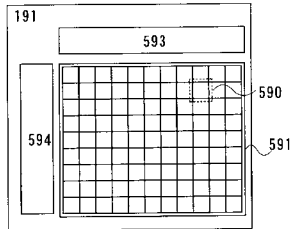


【図 75】

(A)

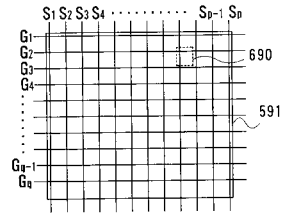


(B)

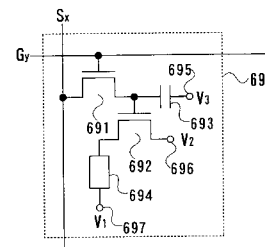


【図 76】

(A)

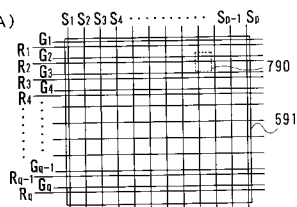


(B)

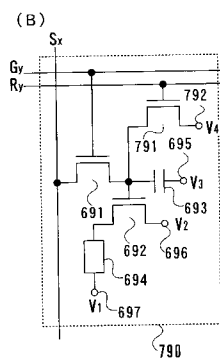


【図 77】

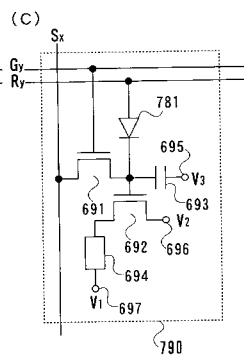
(A)



(B)

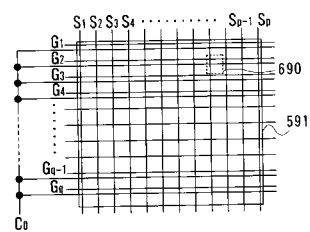


(C)

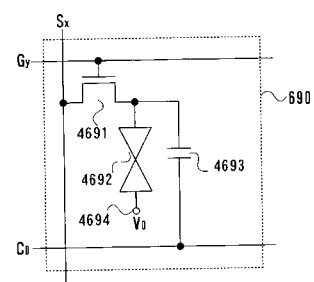


【図 78】

(A)



(B)



フロントページの続き

(51) Int.Cl.

F I

テーマコード (参考)

G 0 9 G 3/20 6 2 3 H

G 0 2 F 1/1345

G 0 2 F 1/133 5 0 5

专利名称(译)	<无法获取翻译>		
公开(公告)号	JP2008009393A5	公开(公告)日	2010-06-24
申请号	JP2007136385	申请日	2007-05-23
[标]申请(专利权)人(译)	株式会社半导体能源研究所		
申请(专利权)人(译)	半导体能源研究所有限公司		
[标]发明人	梅崎敦司		
发明人	梅崎 敦司		
IPC分类号	G09G3/36 G09G3/20 G02F1/1345 G02F1/133		
FI分类号	G09G3/36 G09G3/20.621.M G09G3/20.622.G G09G3/20.623.R G09G3/20.622.E G09G3/20.623.H G02F1/1345 G02F1/133.505		
F-TERM分类号	2H092/GA59 2H092/GA60 2H092/JA21 2H092/JA25 2H092/JA26 2H092/JB69 2H092/KA03 2H092/KA04 2H092/KA05 2H092/MA10 2H092/NA21 2H092/NA22 2H092/NA27 2H092/NA29 2H092/PA06 2H093/NA16 2H093/NC09 2H093/NC11 2H093/NC22 2H093/NC34 2H093/NC35 2H093/ND39 2H093/ND48 2H093/ND49 5C006/BF03 5C006/BF34 5C006/FA41 5C080/AA10 5C080/BB05 5C080/DD22 5C080/DD29 5C080/EE28 5C080/JJ03 5C080/JJ04 2H193/ZA04 5B074/AA01 5B074/AA02 5B074/AA03 5B074/CA01		
优先权	2006155472 2006-06-02 JP		
其他公开文献	JP5386069B2 JP2008009393A		

摘要(译)

要解决的问题：提供用于移位寄存器等的新电路。ŽSOLUTION：基本配置包括第一至第四晶体管，以及第一至第四个布线。电源电位VDD被提供给第一布线，电源电位VSS被提供给第二布线。二进制数字信号被提供给第三布线和第四布线。数字信号的H电平等于电源电位VDD，并且数字信号的L电平等于电源电位VSS。第三布线和第四布线的电位有四种组合，并且可以通过电位的任何组合来关断第一晶体管至第四晶体管。也就是说，由于没有恒定导通的晶体管，所以可以抑制晶体管特性的劣化。Ž