

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-309977

(P2007-309977A)

(43) 公開日 平成19年11月29日(2007.11.29)

(51) Int. Cl.		F I			テーマコード (参考)	
G09F	9/30	(2006.01)	G09F	9/30	338	2H092
G02F	1/1343	(2006.01)	G02F	1/1343		5C094
G02F	1/136	(2006.01)	G02F	1/136		
G02F	1/1362	(2006.01)	G02F	1/1362		

審査請求 未請求 請求項の数 3 O L (全 9 頁)

(21) 出願番号	特願2006-136294 (P2006-136294)	(71) 出願人	302020207
(22) 出願日	平成18年5月16日 (2006.5.16)		東芝松下ディスプレイテクノロジー株式会社
			東京都港区港南4-1-8
		(74) 代理人	100062764
			弁理士 樺澤 襄
		(74) 代理人	100092565
			弁理士 樺澤 聡
		(74) 代理人	100112449
			弁理士 山田 哲也
		(72) 発明者	寺坂 公孝
			東京都港区港南四丁目1番8号 東芝松下
			ディスプレイテクノロジー株式会社内
		最終頁に続く	

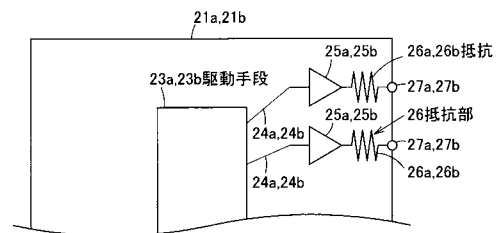
(54) 【発明の名称】 表示素子

(57) 【要約】

【課題】ドライバICと走査線および信号線との間での抵抗値差を抑制したLCDモジュールを提供する。

【解決手段】ドライバIC 23a, 23bの出力側に電氣的に接続した抵抗部26の抵抗26a, 26bの抵抗値分布を、ゲート線および信号線に電氣的に接続した配線部の接続配線の抵抗値分布を吸収補正するように設定する。各抵抗26a, 26bと各接続配線との接続により、ドライバIC 23a, 23bとゲート線および信号線との間での抵抗値差を抑制できる。

【選択図】 図1



【特許請求の範囲】**【請求項 1】**

複数の画素と、これら画素に対応する複数の素子側配線とを備えた表示素子本体と、
前記画素を駆動する駆動手段と、
前記表示素子本体に設けられ、前記駆動手段と複数の前記素子側配線とを電氣的に接続する複数の接続配線を備えた配線部と、
前記駆動手段の出力側に設けられ、前記配線部の複数の前記接続配線のそれぞれと電氣的に接続される複数の抵抗を備えた抵抗部とを具備し、
前記抵抗部は、前記配線部の前記接続配線の抵抗値分布を吸収補正するように前記抵抗の抵抗値分布が設定されている
ことを特徴とした表示素子。

10

【請求項 2】

前記抵抗部の抵抗の抵抗値分布は、前記配線部の前記接続配線の抵抗値分布に対して抵抗値の増減が対称に設定されている
ことを特徴とした請求項 1 記載の表示素子。

【請求項 3】

前記抵抗部の抵抗の抵抗値分布は、互いに異なる第 1 抵抗値分布と第 2 抵抗値分布とのいずれかに切り換え可能である
ことを特徴とした請求項 1 または 2 記載の表示素子。

【発明の詳細な説明】

20

【技術分野】**【0001】**

本発明は、駆動手段と複数の素子側配線とを電氣的に接続する複数の接続配線を備えた表示素子に関する。

【背景技術】**【0002】**

従来、例えば平面表示装置としての液晶表示装置などにおいては、表示素子としての液晶セルである LCD モジュールに複数の画素がマトリクス状に配設され、これら画素のそれぞれにスイッチング素子としての薄膜トランジスタ (TFT) が電氣的に接続され、さらに、これら薄膜トランジスタの駆動用の素子側配線としての信号線とゲート線とが格子状に複数配設されている。

30

【0003】

そして、この LCD モジュールの側部には、薄膜トランジスタを介して画素を駆動する駆動手段としてのドライバ IC が実装されたテープ基板としてのポリイミドテープなどの可撓性を有するテープキャリアパッケージ (Tape Carrier Package、TCP) を介して、各種回路が形成された基板が電氣的に接続されている。

【0004】

近年、ドライバ IC の多チャンネル化が進んできており、1 つのドライバ IC に対して多数の信号線およびゲート線が、LCD モジュール上に形成された接続配線を介して電氣的に接続されている。

40

【0005】

したがって、接続配線は、ドライバ IC から各信号線、あるいはゲート線へと放射状に引き出されることとなるため、これら接続配線の長さが異なり、結果としてこれら接続配線の抵抗値に分布が生じ、特に、TCP 端部近傍に位置する接続配線と TCP 中心付近の接続配線とでは、LCD モジュール内での引き回し距離が大きく異なり、配線抵抗差が大きくなり、抵抗傾斜が顕著となっている。

【0006】

そこで、このような接続配線の抵抗値差を抑制するために、接続配線の引き回し距離の差を抑制する構成が知られている。すなわち、この LCD モジュールは、TCP 中心付近の接続配線をジグザグ状に形成することで、引き回し距離を稼ぎ、抵抗値差を抑制するよ

50

うに構成されている（例えば、特許文献 1 参照。）。

【特許文献 1】特開 2 0 0 3 - 5 6 7 0 号公報

【発明の開示】

【発明が解決しようとする課題】

【0 0 0 7】

しかしながら、上述の LCD モジュールでは、ジグザグ状の引き回しにより抑制できる抵抗値差は充分とは言えず、また、狭額縁化が進む近年の LCD モジュールにおいては、引き回し部分を形成するスペースを確保することも容易でないため、より多出力のドライバ IC を使用すると、抵抗値差がより顕著となり、表示品位に好ましくない影響を与えるおそれがあるという問題点を有している。

10

【0 0 0 8】

本発明は、このような点に鑑みなされたもので、駆動手段と素子側配線との間での抵抗値差を抑制した表示素子を提供することを目的とする。

【課題を解決するための手段】

【0 0 0 9】

本発明は、複数の画素と、これら画素に対応する複数の素子側配線とを備えた表示素子本体と、前記画素を駆動する駆動手段と、前記表示素子本体に設けられ、前記駆動手段と複数の前記素子側配線とを電気的に接続する複数の接続配線を備えた配線部と、前記駆動手段の出力側に設けられ、前記配線部の複数の前記接続配線のそれぞれと電気的に接続される複数の抵抗を備えた抵抗部とを具備し、前記抵抗部は、前記配線部の前記接続配線の抵抗値分布を吸収補正するように前記抵抗の抵抗値分布が設定されているものである。

20

【0 0 1 0】

そして、駆動手段と素子側配線とを電気的に接続する配線部の接続配線の抵抗値分布を吸収補正するように、駆動手段の出力側に設けられた抵抗部の抵抗の抵抗値分布を設定する。

【発明の効果】

【0 0 1 1】

本発明によれば、各抵抗と各接続配線との接続により、駆動手段と素子側配線との間での抵抗値差を抑制できる。

【発明を実施するための最良の形態】

30

【0 0 1 2】

以下、本発明の第 1 の実施の形態の表示素子の構成を図 1 ないし図 4 を参照して説明する。

【0 0 1 3】

図 2 において、1 は表示素子としての液晶パネルすなわち液晶セルであるアクティブマトリクス型の LCD モジュールであり、この LCD モジュール 1 は、第 1 の基板としてのアレイ基板 3 と第 2 の基板としての対向基板 4 と、これらアレイ基板 3 および対向基板 4 の間に挟持されて保持された液晶層 5（図 3）とを有する表示素子本体としてのパネル本体 6 を備えている。そして、このパネル本体 6 の中央部には、画像表示が可能な画像表示領域である矩形状の有効表示部 7 が設けられている。この有効表示部 7 には、複数の画素 8（図 3）が縦方向および横方向のそれぞれに沿ったマトリクス状に配置されている。また、これらアレイ基板 3 および対向基板 4 それぞれの外側に位置する外表面には、互いの偏光軸が直交するように図示しない偏光板がそれぞれ配置されている。さらに、このパネル本体 6 の背面すなわちアレイ基板 3 の対向基板 4 と反対側には、図示しない照光手段としてのバックライトが配設されている。

40

【0 0 1 4】

アレイ基板 3 は、透光性を有する絶縁基板としてのガラス基板 11 を備えており、このガラス基板 11 の一主面である内表面には、素子側配線としての走査線すなわちゲート線 12 と信号線 13 とが互いに略直交するように配置され、図 3 に示すように、これらゲート線 12 および信号線 13 にて仕切られて囲まれた各領域のそれぞれに有効表示部 7 の画素 8 が位置し

50

ている。また、これら画素 8 のそれぞれには、スイッチング素子としての薄膜トランジスタ (T F T) 15 と、画素電極とのそれぞれが設けられている。これら画素電極は、同一画素 8 内の薄膜トランジスタ 15 に電氣的に接続され、この薄膜トランジスタ 15 にて制御される。

【 0 0 1 5 】

さらに、図 2 に戻って、ガラス基板 11 は、パネル本体 6 の有効表示部 7 から一側縁と一端縁とがそれぞれ突出し、この突出した一側縁と一端縁とが、それぞれ細長矩形状の実装部 18, 19 とされている。そして、これら実装部 18 および実装部 19 には、複数、例えば 2 つのフレキシブル基板としてのテープ基板である T C P (Tape Carrier Package) 21a および複数、例えば 4 つのフレキシブル基板としてのテープ基板である T C P 21b がそれぞれ電氣的および機械的に接続されている。

10

【 0 0 1 6 】

T C P 21a, 21b は、例えばポリイミドなどの可撓性および絶縁性を有する部材にて長方形形状に形成され、図 1 に示すように、駆動手段としての平面視長方形形状のドライバ I C 23a, 23b が中央部に実装されている。このドライバ I C 23a の一側部およびドライバ I C 23b の一端部には、リード線 24a およびリード線 24b がそれぞれ電氣的に接続され、これらリード線 24a, 24b の先端部には、出力バッファ 25a, 25b を介して抵抗 26a, 26b がそれぞれ電氣的に接続されている。これら抵抗 26a および抵抗 26b の先端部は、T C P 21a の一側部および T C P 21b の一端部に設けられた出力端子 27a および出力端子 27b に電氣的に接続されている。さらに、これら出力端子 27a および出力端子 27b は、例えば A C F (Anisotropic Conductive Film) 接続などにより、図 1 に示す接続配線 28a および接続配線 28b に電氣的および機械的に接続され、これら接続配線 28a および接続配線 28b を介して、ゲート線 12 および信号線 13 に電氣的に接続されている。そして、図 1 に示すように、各 T C P 21a, 21b に対応する複数の抵抗 26a, 26b により、抵抗部 26 が構成され、図 2 に示すように、各 T C P 21a, 21b に対応する複数の接続配線 28a, 28b により、配線部 28 が構成されている。

20

【 0 0 1 7 】

ここで、図 1 に示すように、各接続配線 28a は、直線状に形成され、各 T C P 21a の上下端部に位置するものが、T C P 21a の上下端部よりも上下方向に拡開されるように傾斜状となり、各 T C P 21a の上下方向の中心域に位置するものが、ゲート線 12 と略平行に、図 2 に示す左右方向に形成されて、各 T C P 21a の上下方向に対称な放射状に配設されている。

30

【 0 0 1 8 】

同様に、各接続配線 28b は、直線状に形成され、各 T C P 21b の左右側部に位置するものが、T C P 21b の左右側部よりも左右方向に拡開されるように傾斜状となり、各 T C P 21b の左右方向の中心域に位置するものが、信号線 13 と略平行に、図 2 に示す上下方向に形成されて、各 T C P 21b の左右方向に対称な放射状に配設されている。

【 0 0 1 9 】

したがって、各配線部 28 の接続配線 28a, 28b は、図 4 に示す抵抗値分布 D1 を有している。すなわち、抵抗値分布 D1 は、T C P 21a, 21b の中心域に位置する接続配線 28a, 28b の抵抗値が最も小さく、その接続配線 28a, 28b から離間されるにつれて抵抗値が大きくなる、下に凸な放物線状である略 U 字状に形成され、図 1 に示す各 T C P 21a, 21b の中心位置に対して左右に対称となっている。

40

【 0 0 2 0 】

また、T C P 21a の他側部および T C P 21b の他端部には、図示しない P C B が電氣的および物理的にそれぞれ接続され、これら P C B は、ドライバ I C 23a の他側部およびドライバ I C 23b の他端部に電氣的に接続された図示しない配線を介して、ドライバ I C 23a, 23b に電氣的に接続されている。

【 0 0 2 1 】

ドライバ I C 23a は、ゲートドライバであり、P C B を介して出力された走査信号を、ゲート線 12 を介して各薄膜トランジスタ 15 (図 3) のゲート電極に出力するものである。

50

【 0 0 2 2 】

ドライバ I C 23bは、ソースドライバであり、P C Bを介して出力された信号を、信号線13を介して各薄膜トランジスタ15(図3)のソース電極に出力するものである。

【 0 0 2 3 】

各 T C P 21a, 21bに対応する各抵抗部26は、抵抗26a, 26bの抵抗値分布D2(図4)が、各配線部28の接続配線28a, 28bの抵抗値分布D1(図4)を吸収補正するように、具体的には、抵抗値分布D1(図4)に対して抵抗値の増減が対称となるように、すなわち、図4に示す抵抗値分布D1に対して上下方向に対称となるように構成されている。言い換えると、抵抗値分布D2は、抵抗値分布D1の減少に対応して増加し、増加に対応して減少するように構成されている。このため、抵抗値分布D2は、上に凸の放物線状となっている。

10

【 0 0 2 4 】

すなわち、各 T C P 21a, 21bに対応する抵抗26a, 26bは、抵抗値が相対的に大きい接続配線28a, 28bに対応して抵抗値が相対的に小さい抵抗26a, 26bが接続され、抵抗値が相対的に小さい接続配線28a, 28bに対応して抵抗値が相対的に大きい抵抗26a, 26bが接続されている。このため、抵抗26a, 26bは、T C P 21a, 21bの中心域に位置するものの抵抗値が最も大きく、その抵抗26a, 26bから離間されるにつれて抵抗値が小さくなるように設定されている。

【 0 0 2 5 】

次に、上記第1の実施の形態の作用を説明する。

【 0 0 2 6 】

T C P 21a, 21bを実装部18, 19に実装する際には、例えば A C F を介して出力端子27a, 27bにて T C P 21a, 21bをアレイ基板3へと熱圧着することで、各 T C P 21a, 21bが電気的および機械的に接続される。

20

【 0 0 2 7 】

このとき、T C P 21a, 21b側に実装された抵抗26a, 26bが、出力端子27a, 27bを介して各接続配線28a, 28bに直列に接続されることで、抵抗26a, 26bと接続配線28a, 28bとの合成抵抗の抵抗値分布D(図4)が略一定値となる。

【 0 0 2 8 】

画像の表示に際しては、表示する画像に対応する画像信号がP C Bで生成され、このP C Bから各 T C P 21a, 21bの各ドライバ I C 23a, 23bへと画像信号が送信される。

30

【 0 0 2 9 】

次いで、この送信された画像信号に基づき、各ドライバ I C 23a, 23bが、リード線24a, 24b、出力バッファ25a, 25bおよび抵抗26a, 26bを介して、出力端子27a, 27bからパネル本体6側の接続配線28a, 28bを経由してゲート線12および信号線13へと信号が送信される。

【 0 0 3 0 】

そして、ゲート線12によりゲート電極がオンになった薄膜トランジスタ15に対して、信号線13から送信された画像信号がソース電極に供給されることで、この薄膜トランジスタ15により画素電極に画像信号が書き込まれ、この画像信号に対応して液晶層5によるバックライトからの光の透過および遮断の程度が変化することで、所定の画像が有効表示部7に表示される。

40

【 0 0 3 1 】

上述したように、上記第1の実施の形態によれば、ドライバ I C 23a, 23bの出力側に電氣的に接続された抵抗部26の抵抗26a, 26bの抵抗値分布D2を、ゲート線12および信号線13に電氣的に接続された配線部28の接続配線28a, 28bの抵抗値分布D1を吸収補正するように設定することで、各抵抗26a, 26bと各接続配線28a, 28bとの接続により、ドライバ I C 23a, 23bとゲート線12および信号線13との間での抵抗値差を抑制できる。

【 0 0 3 2 】

具体的には、抵抗値分布D2を、抵抗値分布D1に対して、抵抗値の増減が対称となるように設定することで、抵抗26a, 26bと接続配線28a, 28bとの直列接続によりこれら抵抗26a

50

、26bと接続配線28a、28bとの合成抵抗値が略一定となるようにできる。

【0033】

この結果、TCPの中心域の接続配線をジグザグ状としてTCPの端部近傍の接続配線との抵抗値差を抑制している従来の場合と比較して、接続配線28a、28bを直線状とすることができるので、製造性が向上し、かつ、実装部18、19側での配線抵抗を考慮することなく接続配線28a、28bを直線状とすることで配線部28のスペースを抑制でき、狭額縁化が可能になるとともに、ドライバIC23a、23bの多チャンネル化にも対応できる。

【0034】

次に、第2の実施の形態を図5および図6を参照して説明する。なお、上記第1の実施の形態と同様の構成および作用については、同一符号を付してその説明を省略する。

10

【0035】

この第2の実施の形態は、上記第1の実施の形態のパネル本体6の抵抗部26に代えて、抵抗31a、31bおよび抵抗31c、31dを備えた抵抗部31を設けたものである。

【0036】

ここで、抵抗31a、31bは、各出力バッファ25aと各出力端子27aとの間に配設され、ドライバIC23aの入力側に設けられた切換端子としての抵抗値切り換えピン33aへの入力によりいずれか一方が各出力バッファ25aと各出力端子27aとに選択的に接続されるように構成されている。

【0037】

同様に、抵抗31c、31dは、各出力バッファ25bと各出力端子27bとの間に配設され、ドライバIC23bの入力側に設けられた切換端子としての抵抗値切り換えピン33bへの入力によりいずれか一方が各出力バッファ25bと各出力端子27bとに選択的に接続されるように構成されている。

20

【0038】

また、抵抗部31は、抵抗31a、31cと抵抗31b、31dとの切り換えにより、図6に示す抵抗値分布が、互いに異なる第1抵抗値分布D3と第2抵抗値分布D4とに切り換え可能となっている。

【0039】

さらに、抵抗値切り換えピン33a、33bは、リード線35a、35bによりドライバIC23a、23bの入力側に電氣的に接続されており、例えば抵抗値切り換えピン33a、33bを“High”に設定することで抵抗31a、31cが選択され、抵抗値切り換えピン33a、33bを“Low”に設定することで抵抗31b、31dが選択されるように構成されている。

30

【0040】

そして、このように構成することにより、抵抗31a、31cと抵抗31b、31dとを切り換えることで、ドライバIC23a、23bの出力本数やドライバIC23a、23bを使用するパネル本体6のインチサイズなどに伴う配線部28の接続配線28a、28bの傾斜角度の変化による抵抗値分布の変化に対応でき、使い勝手を向上できる。

【0041】

また、複数の異なる機種などにおいて部品を共通化できるので、製造性をより向上できる。

40

【0042】

しかも、抵抗31a、31cと抵抗31b、31dとは、抵抗値切り換えピン33a、33bにより容易に切り換えできるので、構成を簡略化できる。

【0043】

なお、上記第2の実施の形態において、抵抗部31の抵抗は2種類としたが、3種類以上の複数の抵抗を切り換えるように構成してもよい。

【0044】

また、上記各実施の形態において、抵抗部26、31での抵抗値分布は、配線部28での抵抗値分布を吸収補正できれば、完全に対称に設定しなくてもよい。

【0045】

50

さらに、表示素子をＬＣＤモジュール１として説明したが、他の任意の表示素子にも使用できることはいうまでもない。

【図面の簡単な説明】

【００４６】

【図１】本発明の第１の実施の形態の表示素子の要部を示す説明回路図である。

【図２】同上表示素子を示す説明平面図である。

【図３】同上表示素子の一部を示す回路図である。

【図４】同上表示素子の抵抗部および配線部の抵抗値分布と、それらの合成抵抗値分布とを示すグラフである。

【図５】本発明の第２の実施の形態の表示素子の要部を示す説明回路図である。

10

【図６】同上表示素子の抵抗部の抵抗値分布を示すグラフである。

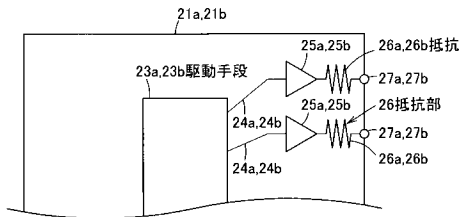
【符号の説明】

【００４７】

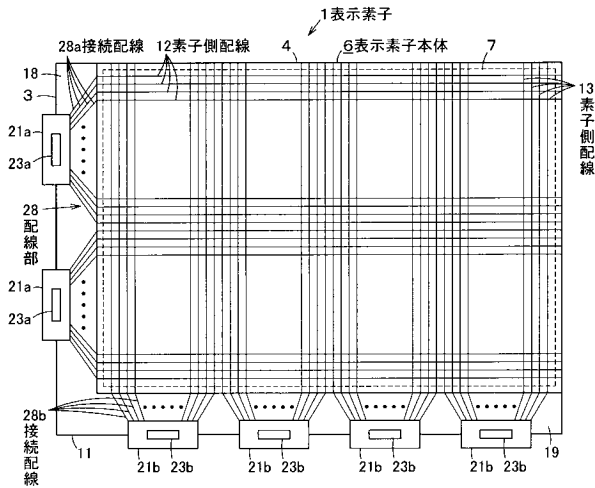
- １ 表示素子としてのＬＣＤモジュール
- ６ 表示素子本体としてのパネル本体
- ８ 画素
- １２ 素子側配線としてのゲート線
- １３ 素子側配線としての信号線
- ２３ａ，２３ｂ 駆動手段としてのドライバＩＣ
- ２６ａ，２６ｂ，３１ａ，３１ｂ，３１ｃ，３１ｄ 抵抗
- ２６，３１ 抵抗部
- ２８ａ，２８ｂ 接続配線
- ２８ 配線部
- Ｄ１ 抵抗値分布
- Ｄ２ 抵抗値分布
- Ｄ３ 第１抵抗値分布
- Ｄ４ 第２抵抗値分布

20

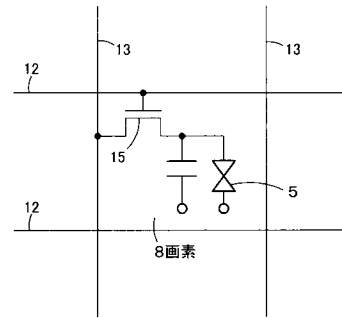
【 図 1 】



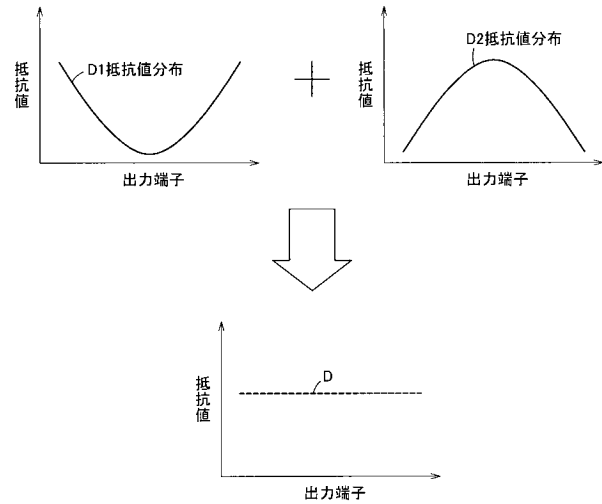
【 図 2 】



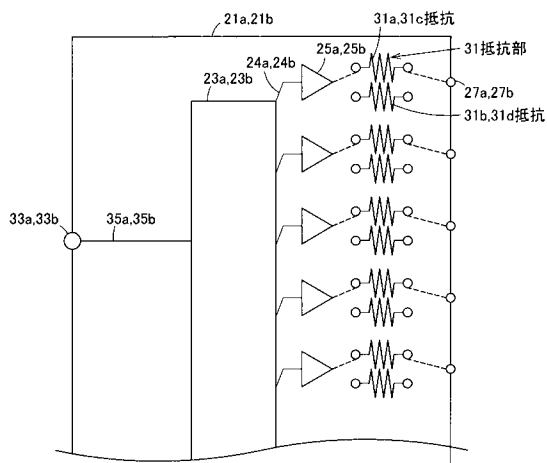
【 図 3 】



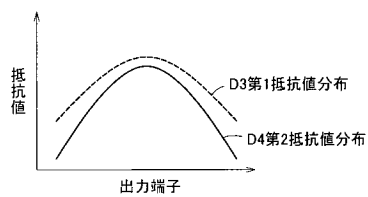
【 図 4 】



【 図 5 】



【 図 6 】



フロントページの続き

F ターム(参考) 2H092 GA40 GA41 GA44 GA46 GA59 GA60 JA24 JB21 JB22 JB23
JB31 JB32 JB33 JB34 NA28
5C094 AA03 AA15 AA55 BA03 BA43 CA19 DB04 FB18

专利名称(译)	显示元素		
公开(公告)号	JP2007309977A	公开(公告)日	2007-11-29
申请号	JP2006136294	申请日	2006-05-16
[标]申请(专利权)人(译)	东芝松下显示技术股份有限公司		
申请(专利权)人(译)	东芝松下显示技术有限公司		
[标]发明人	寺坂公孝		
发明人	寺坂 公孝		
IPC分类号	G09F9/30 G02F1/1343 G02F1/136 G02F1/1362		
FI分类号	G09F9/30.338 G02F1/1343 G02F1/136 G02F1/1362		
F-TERM分类号	2H092/GA40 2H092/GA41 2H092/GA44 2H092/GA46 2H092/GA59 2H092/GA60 2H092/JA24 2H092/JB21 2H092/JB22 2H092/JB23 2H092/JB31 2H092/JB32 2H092/JB33 2H092/JB34 2H092/NA28 5C094/AA03 5C094/AA15 5C094/AA55 5C094/BA03 5C094/BA43 5C094/CA19 5C094/DB04 5C094/FB18 2H192/AA24 2H192/FA37 2H192/FB22 2H192/FB46		
代理人(译)	山田哲也		
外部链接	Espacenet		

摘要(译)

提供一种LCD模块，其中抑制了驱动器IC与扫描线和信号线之间的电阻值的差异。 解决方案：电连接到驱动器IC 23a，23b的输出侧的电阻器部分26的电阻器26a，26b的电阻值分布被设置为使得电连接到栅极线和信号线的布线部分的连接线的电阻值分布设置为吸收和纠正。通过将电阻器26a和26b连接到连接配线，可以抑制驱动器IC 23a和23b与栅极线和信号线之间的电阻差。 点域1

