

【特許請求の範囲】

【請求項 1】

基板上にマトリクス状に配置された画素を有する表示装置の製造方法であって、
上記画素にソース電極を形成する工程と、
上記ソース電極の上に第 1 の絶縁膜と第 2 の絶縁膜とを積層する工程と、
上記第 1 の絶縁膜と第 2 の絶縁膜とにコンタクトホールを形成する工程と、
上記第 1 の絶縁膜と第 2 の絶縁膜の上に第 1 の導電膜と第 2 の導電膜とを積層し上記コンタクトホールを介して上記ソース電極と上記第 1 の導電膜とを接続する工程と、
レジスト膜の第 1 のパターンを用いて第 1 の導電膜と第 2 の導電膜をエッチングする工程と、
上記レジスト膜の一部を除去し第 2 のパターンを形成する工程と、
上記第 2 のパターンを用いて上記第 2 の導電膜をエッチングする工程とからなることを特徴とする表示装置の製造方法。

10

【請求項 2】

基板上にマトリクス状に配置された画素を有する表示装置の製造方法であって、
上記画素にソース電極を形成する工程と、
上記ソース電極の上に第 1 の絶縁膜と第 2 の絶縁膜とを積層する工程と、
上記第 2 の絶縁膜にコンタクトホールを形成する工程と、
上記第 2 の絶縁膜に形成されたコンタクトホールを用いて上記ソース電極上の第 1 の絶縁膜を除去する工程と、
上記第 1 の絶縁膜と第 2 の絶縁膜の上に第 1 の導電膜と第 2 の導電膜とを積層し上記コンタクトホールを介して上記ソース電極と上記第 1 の導電膜とを接続する工程と、
レジスト膜の第 1 のパターンを用いて第 1 の導電膜と第 2 の導電膜をエッチングする工程と、
上記レジスト膜の一部を除去し第 2 のパターンを形成する工程と、
上記第 2 のパターンを用いて上記第 2 の導電膜をエッチングする工程とからなることを特徴とする表示装置の製造方法。

20

【請求項 3】

基板上にマトリクス状に配置された画素を有する表示装置の製造方法であって、
上記画素にソース電極を形成する工程と、
上記ソース電極の上に第 1 の絶縁膜を形成する工程と、
上記第 1 の絶縁膜の上に樹脂からなる第 2 の絶縁膜を積層する工程と、
上記第 2 の絶縁膜を露光現像して、第 2 の絶縁膜に第 1 のコンタクトホールを有するパターンを形成する工程と、
上記第 1 のコンタクトホールを有するパターンを用いて上記第 2 の絶縁膜に第 2 のコンタクトホールを形成する工程と、
上記第 1 の絶縁膜と第 2 の絶縁膜の上に第 1 の導電膜と第 2 の導電膜とを積層し上記第 1 及び第 2 のコンタクトホールを介して上記ソース電極と上記第 1 の導電膜とを接続する工程と、
上記第 1 及び第 2 の導電膜上にレジスト膜を塗布する工程と、
上記レジスト膜を露光現像して第 1 のパターンを形成する工程と、
上記レジスト膜の第 1 のパターンを用いて第 1 の導電膜と第 2 の導電膜をエッチングする工程と、
上記レジスト膜の一部をアッシングにより除去し第 2 のパターンを形成する工程と、
上記第 2 のパターンを用いて上記第 2 の導電膜をエッチングする工程とからなることを特徴とする表示装置の製造方法。

30

40

【発明の詳細な説明】

【技術分野】

【0001】

50

本発明は、表示装置の製造方法に関し、特に樹脂絶縁膜の上に２層の導電膜を備える半透過反射型の液晶表示装置の製造方法に関する。

【背景技術】

【０００２】

近年、反射表示と透過表示の２つの表示方式を兼ね備えた、いわゆる半透過反射型液晶表示装置が、例えば携帯用機器の表示部として多用されている。半透過反射型の液晶表示装置は、１画素内に透過領域と反射領域とを備えている。半透過反射型の表示では、透過モードと反射モードとが混在する。透過モードでは画素に設けられた透過領域を光が通過し観察者の目に到達する。また反射モードでは、光が反射領域で反射されて観察者の目に至る。

10

【０００３】

この半透過反射型液晶表示装置は、屋外での使用の際など、周囲が明るい環境での使用において、透過モードに加えて反射モードの表示を行い、外光を表示に利用しようとするものである。

【０００４】

透過型の液晶表示装置は、外光が非常に明るい場合、例えば晴天の屋外などでの視認性が低下してしまうという問題点を有している。他方、反射型の液晶表示装置は、外光が暗い場合には視認性が極端に低下するという問題点を有している。

【０００５】

半透過反射型液晶表示装置は、これらの問題点を解決するための手段として、反射型と透過型との両方の機能を合わせ持ったものである。

20

【０００６】

半透過反射型液晶表示装置では、画素電極に選択的に映像信号を供給するためのスイッチング素子として薄膜トランジスタ（Thin Film Transistor 以下ＴＦＴと呼ぶ）を用いたアクティブマトリクス方式が広く用いられている。

【０００７】

このＴＦＴを用いたアクティブマトリクス方式の液晶表示装置は、ＴＦＴや画素電極が形成されたＴＦＴ基板とカラー表示を行うためのカラーフィルタが設けられたカラーフィルタ基板が対向配置され、これら基板間に液晶組成物が封入されて構成されている。ＴＦＴ基板上には、複数の映像信号線と複数の走査線とが交差して設けられ、これら映像信号線および走査線によって区画された複数の領域がマトリクス状に配置されている。そして、各領域にＴＦＴと画素電極とが設けられている。

30

【０００８】

液晶表示装置では、画素電極に対向するように対向電極が設けられており、画素電極と対向電極との間に電界を発生させ、この電界によって液晶分子の配向方向を変化させ、それに伴い液晶層の光に対する特性が変化することを利用し表示が行われる。

【０００９】

一般にカラーフィルタ基板に対向電極を設けた縦電界方式と、ＴＦＴ基板に対向電極を設けたＩＰＳ（In-plan Switching）方式とが知られている。

【００１０】

半透過反射型の液晶表示装置では、有機樹脂膜を絶縁膜として用いる場合がある。半透過反射型の液晶表示装置は、反射領域では透過領域に対して液晶層の厚さを半分とする必要がある。そのため、有機樹脂膜は、液晶層を薄くする目的で反射領域下の厚い層間絶縁膜として設けられる。

40

【００１１】

また、半透過反射型の液晶表示装置は、反射領域には金属膜等の光を反射する導電膜が用いられ、透過領域には透明導電膜等の光を透過する導電膜が用いられる。そのため、画素部に２層の導電膜を備えており、それぞれの導電膜をパターンニングするにあたり、工程数が増加するといった問題を生じていた。

【００１２】

50

半透過反射型の液晶表示装置の製造方法は、例えば下記「特許文献１」などにより提案されている。

【特許文献１】特開２００５－２５９３７１号公報

【発明の開示】

【発明が解決しようとする課題】

【００１３】

半透過反射型液晶表示装置では、１画素内に透過領域と反射領域が形成されており、透過領域に透明導電膜をパターンニングし、反射領域に金属膜をパターンニングする必要があることから工程数が増加するといった問題を有している。

【００１４】

本発明は、このような事情に基づいてなされたもので、その目的は、工程の増化を抑えて、半透過反射型液晶表示装置において、２層の導電膜を所定の形状にパターンニングする製造方法を提供することにある。

【課題を解決するための手段】

【００１５】

画素に透明導電膜と反射膜とを有する表示装置の製造方法であって、画素部のトランジスタに設けられたソース電極の上に第１の絶縁膜と第２の絶縁膜とを積層する工程と、第１の絶縁膜と第２の絶縁膜とにコンタクトホールを形成する工程と、

第１の絶縁膜と第２の絶縁膜の上に透明導電膜と反射膜とを積層しコンタクトホールを介してソース電極と透明導電膜と反射膜とを接続する工程と、レジスト膜の第１のパターンを用いて透明導電膜と反射膜とをエッチングする工程と、レジスト膜の一部を除去し第２のパターンを形成する工程と、第２のパターンを用いて第２の反射膜をエッチングして、透過領域から反射膜を除去する工程とからなることを特徴とする表示装置の製造方法。

【００１６】

本願発明は、半透過反射型液晶表示装置において、工程数を考慮して、塗布露光現像したレジスト膜を複数のパターンに形状を変化させることで、工程数の増加を抑えたことを特徴とする。

【発明の効果】

【００１７】

本願発明によれば、反射領域と透過領域とを備えた液晶表示装置において、工程数の増加を抑えることが可能となる。

【発明を実施するための最良の形態】

【００１８】

画素部に反射領域と透過領域とを有する半透過反射型の液晶表示装置の製造方法であって、上記画素部のトランジスタにソース電極を形成する工程と、ソース電極の上に第１の絶縁膜を形成する工程と、第１の絶縁膜の上に樹脂からなる第２の絶縁膜を積層する工程と、第２の絶縁膜を露光現像して、第２の絶縁膜に第１のコンタクトホールを有するパターンを形成する工程と、第１のコンタクトホールを有するパターンを用いて第２の絶縁膜に第２のコンタクトホールを形成する工程と、

第１の絶縁膜と第２の絶縁膜の上に第１の導電膜と第２の導電膜とを積層し第１及び第２のコンタクトホールを介してソース電極と第１の導電膜とを接続する工程と、第１及び第２の導電膜上にレジスト膜を塗布する工程と、レジスト膜を露光現像して第１のパターンを形成する工程と、レジスト膜の第１のパターンを用いて第１の導電膜と第２の導電膜をエッチングする工程と、レジスト膜の一部をアッシングにより除去し第２のパターンを形成する工程と、第２のパターンを用いて第２の導電膜をエッチングする工程により液晶表示装置を製造する。

【実施例１】

【００１９】

図１は、本発明による液晶表示装置１００を示す平面図である。液晶表示装置１００は液晶パネル１と制御回路８０とで構成される。制御回路８０からは液晶パネル１の表示に

10

20

30

40

50

必要な信号が供給される。制御回路 80 はフレキシブル基板 70 に搭載されており、配線 71、端子 75 を介して信号が液晶パネル 1 に伝達される。

【0020】

液晶パネル 1 の画素部 8 には反射領域 11 と透過領域 12 とが設けられている。なお、液晶パネル 1 は多数の画素部 8 をマトリクス状に備えているが、解り易くするため、図 1 では画素部を 1 つだけ図示している。マトリクス状に配置された画素部 8 は表示領域 9 を形成し、各画素部 8 が表示画像の画素の役割をはたし、表示領域 9 に画像を表示する。

【0021】

図 1 においては、図中 x 方向に延在し y 方向に並設されるゲート信号線（走査線とも呼ぶ）21 と、y 方向に延在し x 方向に並設されるドレイン信号線（映像信号線とも呼ぶ）22 とが設けられており、ゲート信号線 21 とドレイン信号線 22 とで囲まれる領域に画素部 8 が形成されている。

10

【0022】

画素部 8 にはスイッチング素子 10 が設けられている。ゲート信号線 21 からは制御信号が供給され、スイッチング素子 10 のオン・オフが制御される。スイッチング素子 10 がオン状態となることで、ドレイン信号線 22 を介して伝送された映像信号が反射領域 11 と透過領域 12 とに供給される。

【0023】

ゲート信号線 21 とドレイン信号線 22 とは駆動回路 5 に接続されており、駆動回路 5 から制御信号及び映像信号が出力する。なお、ゲート信号線 21、ドレイン信号線 22 及び、駆動回路 5 とは同じ TFT 基板 2 上に形成されている。

20

【0024】

次に、図 2 に画素部 8 の平面図を示す。また図 2 の A - A 線で示す断面図を図 3 に示す。図 2、図 3 では、縦電界方式の液晶パネルの画素部 8 を示している。反射領域 11（以後反射電極とも呼ぶ）と透過領域 12（以後透過電極とも呼ぶ）に対向してカラーフィルタ基板 3 に対向電極 15 が形成されている。

【0025】

カラーフィルタ基板 3 には赤（R）、緑（G）、青（B）毎にカラーフィルタ 150 が形成されており、各カラーフィルタ 150 の境界には遮光のためにブラックマトリクス 162 が形成されている

30

図 2 ではゲート信号線 21 と並列に容量線 25 が形成されており、反射領域 11 の端部はゲート信号線 21 を越えて、容量線 25 と重なっている。また、反射領域 11 の端部はゲート信号線 21 およびドレイン信号線 22 とそれぞれ平行となっている。

【0026】

反射領域 11 は透過領域 12 を取り囲むような形状をしている。反射領域 11 は一般に光を透過しないアルミ等の金属で形成されるので、反射領域 11 は透過領域 12 に対して遮光膜の機能を有することとなる。

【0027】

なお、図 2 では画素部 8 の構成をわかり易くするため、反射領域 11 を点線で示している。

40

【0028】

ゲート信号線 21 とドレイン信号線 22 の交差部近傍にスイッチング素子（以後、薄膜トランジスタ、TFTとも呼ぶ）10 が形成される。TFT 10 はゲート信号線 21 を介して供給されるゲート信号によりオン状態となり、ドレイン信号線 22 を介して供給される映像信号を透過領域 12 を形成する透過電極及び、反射領域 11 を形成する反射電極に書き込む。

【0029】

次に、図 3 は図 2 の A - A 線で示す断面図である。液晶パネル 1 は、TFT 基板 2 とカラーフィルタ基板 3 とが対向して配置されている。TFT 基板 2 とカラーフィルタ基板 3 との間には、液晶組成物 4 が保持されている。なお、TFT 基板 2 とカラーフィルタ基板

50

3との周辺部には、シール材（図示せず）が設けられており、TFT基板2とカラーフィルタ基板3とシール材とは、狭い隙間を有する容器を形成しており、液晶組成物4はTFT基板2とカラーフィルタ基板3との間に封止される。また、符号14と符号18は液晶分子の配向を制御する配向膜である。

【0030】

TFT基板2は、少なくとも一部が透明なガラス、樹脂、半導体等からなる。TFT基板2上には前述したようにゲート信号線21が形成されており、ゲート信号線21は、クロム（Cr）または、ジルコニウム（Zirconium）を主体とする層とアルミ（Al）を主体とする層の多層膜から形成される。また、上面からTFT基板側の下面に向けて線幅が広がるように側面が傾斜している。ゲート信号線21の一部はゲート電極31を形成している。ゲート電極31を覆うようにゲート絶縁膜36が形成され、ゲート絶縁膜36の上にアモルファスシリコン膜からなる半導体層34が形成される。半導体層34の上部には不純物が添加されてn+層35が形成される。n+層35はオーミックコンタクト層であり、半導体層34が電氣的に良好に接続されるように形成されている。半導体n+層35の上には、ドレイン電極32とソース電極33とが離間して形成されている。なお、ドレインとソースの呼び方は電位によって変化するが、本明細書ではドレイン信号線22と接続する方をドレインと呼ぶ。

10

【0031】

ドレイン信号線22、ドレイン電極32、ソース電極33は、モリブデン（Mo）とクロム（Cr）の合金や、モリブデン（Mo）又はタングステン（W）を主体とする2つの層で、アルミを主体とする層を挟んだ多層膜から形成されている。ソース電極33は透過領域12及び反射領域11と電氣的に接続されている。また、TFT30を覆うように無機絶縁膜43と有機絶縁膜44が形成されている。ソース電極33は無機絶縁膜43と有機絶縁膜44とに形成されたスルーホール46を介して反射領域11および透過領域12と接続されている。なお、無機絶縁膜43は窒化シリコンや酸化シリコンを用いて形成可能であり、有機絶縁膜44は有機樹脂膜を用いることができ、その表面は比較的平坦に形成することが可能なものであるが、凹凸を形成するように加工することも可能である。

20

【0032】

反射領域11は、反射電極により構成され、アルミ等の光反射率の高い金属等の導電膜を出射側表面に有し、タングステンまたはクロムを主体とする層とアルミを主体とする層の多層膜から形成される。また、透過領域12は、透明導電膜により構成されている。以下反射電極に符号11を付加し、透明電極に符号12を付加して説明する場合もある。

30

【0033】

なお、透明導電膜は、ITO（indium tin oxide）、ITZO（Indium Tin Zinc Oxide）、IZO（Indium Zinc Oxide）、ZnO（Zinc Oxide）、SnO（酸化スズ）、In₂O₃（酸化インジウム）等の透光性の導電層から構成されている。

【0034】

また、クロムを主体とする層は、クロム単体でもクロムとモリブデン（Mo）等の合金でもよく、ジルコニウムを主体とする層は、ジルコニウム単体でもジルコニウムとモリブデン等の合金でもよく、タングステンを主体とする層は、タングステン単体でもタングステンとモリブデン等の合金でもよく、アルミを主体とする層は、アルミ単体でもアルミとネオジウム（Neodymium）等の合金でもよい。

40

【0035】

有機絶縁膜44の上面にはフォトリソ等により凹凸が形成されている。そのため、有機絶縁膜44の上に形成された反射電極11も凹凸を有する。反射電極11に凹凸が備わることで、反射光が散乱される割合が増加する。

【0036】

透過電極12の上の有機絶縁膜44、無機絶縁膜43は除去され、開口が形成されている。反射電極11はこの開口の外周を囲むように形成されるが、開口の透過電極12側の側面には傾斜が形成されており、この傾斜上に反射電極11が形成され透明電極12の外

50

周近傍と電氣的に接続されている。

【0037】

容量線25には、保持容量部13が接続している。また無機絶縁膜43を挟んで対向して保持容量部13と保持容量を形成する保持容量電極26が設けられている。保持容量電極26と反射電極11とは、有機絶縁膜44に設けられたスルーホール47を介して接続される。

【0038】

なお、保持容量部13は容量線25と同様に、ゲート信号線21と同じ工程で、同じ材料にて形成することが可能である。また、保持容量電極26はドレイン信号線22と同じ工程で、同じ材料にて形成することが可能である。保持容量電極26は反射電極11以外に透明電極12と接続しても保持容量の電極としての機能を満足することができる。 10

【0039】

次に図4に図2においてB-B線の断面図を示す。透明電極12は2本のドレイン信号線22の間に設けられており、ドレイン信号線22を覆うように有機絶縁膜44が形成され、有機絶縁膜44の上には反射電極11が形成されている。反射電極11は有機絶縁膜44の側面に設けられた傾斜上にも形成され、透明電極12上まで到達し電氣的に接続される。

【0040】

図4に示すように、反射電極11はドレイン信号線22の上の狭い領域に形成されているが、画素の中央部に設けられる透明電極12に対して取り囲むように形成して遮光膜の役目を果している。 20

【0041】

反射電極11は、反射膜としての表面にはアルミを主体とした導電膜が用いられるが、透明導電膜と電氣的に接続する面には、接触部の電氣的抵抗を下げる目的で、クロムとモリブデンの合金やタングステンとモリブデンの合金等が用いられる。

【0042】

また、反射電極11は透明電極12に対して取り囲むように形成され、透明電極12を挟んで両側に設けられたスルーホール46と47とを電氣的に接続する目的にも用いられている。なお、透明電極12に対して取り囲むように反射電極11を形成し、抵抗値の低い反射電極11を用いて透明電極12の周囲から映像信号を供給することで、透明電極12を短時間で均一な電位とすることができ表示品質を向上することができる。 30

【0043】

次に、図5-A～図5-Jを用いて反射電極11と透明電極12を形成する工程について説明する。図5-Aに示した工程では、TFT基板2にトランジスタを構成するゲート電極31、ゲート絶縁膜36、半導体層34、ソース電極33、ドレイン電極32、n+層35、保護容量線25、保護容量電極26、無機保護膜43を形成している。

【0044】

図5-Bに示す工程では、窒化シリコン(SiN)や酸化シリコン(SiO₂)からなる無機保護膜43をフォトリソグラフィ工程により、パターンニングしてソース電極33上にコンタクトホール46aと、保持容量電極26の上にコンタクトホール47aを形成した。 40

【0045】

図5-Cに示す工程では、コンタクトホール46a、47bを形成したTFT基板2上に有機樹脂膜44をスピンコート法等により塗布した。

【0046】

図5-Dに示す工程ではコンタクトホール46aに重なるように、有機樹脂膜44にコンタクトホール46bを形成し、コンタクトホール47aに重なるようにコンタクトホール47bを形成している。有機樹脂膜44は感光性の有機樹脂膜を用いることができ、フォトリソマスクを用いて露光し、現像液を用いて所定のパターンとすることができる。

【0047】

前述したように、透過領域 1 2 に対して反射領域 1 1 の液晶層の厚さが半分となるように、透過領域 1 2 は有機樹脂膜 4 4 が除去され、反射領域 1 1 には有機樹脂膜 4 4 が残される。

【 0 0 4 8 】

また、反射領域 1 1 ではハーフ露光により、凹凸部 4 8 が形成されている。有機樹脂膜 4 4 にフォトリソの形状により露光量が多い部分と少ない部分（ハーフトーン露光とも呼ぶ）を設けることにより、有機樹脂膜 4 4 がネガ型の場合には露光量が少ない部分で現像液により除去され易く凹部が形成される。

【 0 0 4 9 】

図 5 - E に示す工程では、有機樹脂膜 4 4 の上に第 1 の導電膜 3 7 と第 2 の導電膜 3 8 とを連続して形成している。第 1 の導電膜 3 7 は、スパッタリング等の方法により透明導電膜で成膜され、第 2 の導電膜はスパッタリング等の方法によりアルミ等の金属からなる反射膜が成膜される。 10

【 0 0 5 0 】

次に、図 5 - F に示す工程では、第 1 の導電膜 3 7 と第 2 の導電膜 3 8 とをパターンニングするために、感光性のレジスト膜 5 0 がスピンコート法等により塗布され、フォトリソを用いて露光・現像されている。

【 0 0 5 1 】

レジスト膜 5 0 には、ハーフ露光により、膜厚が厚い部分 5 1 と膜厚が薄い部分 5 2 とが設けられている。現像液によりレジスト膜が除去された部分 5 3 で膜が除去された後に、膜厚が薄い部分 5 2 ではレジスト膜が残っているが、膜厚が厚い部分に比べてその膜厚が薄くなっている。 20

【 0 0 5 2 】

図 5 - G に示す工程では、レジスト膜が除去された部分 5 3 で第 1 の導電膜 3 7 と第 2 の導電膜 3 8 とがエッチングにより除去されている。このとき、第 1 の導電膜 3 7 を除去するエッチング方法と第 2 の導電膜 3 8 を除去するエッチング方法を異ならせてもよく、または、同じエッチング方法により第 1 の導電膜 3 7 と第 2 の導電膜 3 8 とを除去してもよい。

【 0 0 5 3 】

図 5 - H に示す工程では、アッシング等により膜厚が薄い部分 5 2 のレジスト膜が除去される。なお、アッシング等により膜厚が厚い部分 5 1 でも膜厚が減少している。 30

【 0 0 5 4 】

図 5 - I に示す工程では、膜厚が薄い部分 5 2 が除去されたレジスト膜をマスクに用いて第 2 の導電膜 3 8 がエッチングされ、第 1 の導電膜 3 7 が露出して透過領域 1 2 が形成される。

【 0 0 5 5 】

図 5 - J に示す工程では、反射領域 1 1 と透過領域 1 2 とが形成された T F T 基板 2 に配向膜 1 4 が形成される。

【 0 0 5 6 】

次に、図 6 - A ~ 図 6 - F を用いて、有機樹脂膜 4 4 を無機保護膜 4 3 にコンタクトホールを形成するマスクとして併用する工程を示す。 40

【 0 0 5 7 】

図 6 - A に示す工程では、T F T 基板 2 にトランジスタを構成するゲート電極 3 1、ゲート絶縁膜 3 6、半導体層 3 4、ソース電極 3 3、ドレイン電極 3 2、n + 層 3 5、保持容量線 2 5、保持容量電極 2 6、無機保護膜 4 3 を形成した上に、有機樹脂膜 4 4 をスピンコート法等により塗布している。図 6 - A に示す工程では、コンタクトホールを形成されていない無機保護膜 4 3 上に有機樹脂膜 4 4 が塗布されている。

【 0 0 5 8 】

図 6 - B に示す工程では、露光現像により有機樹脂膜 4 4 にコンタクトホール 4 6 と 4 7 が形成され、その後、有機樹脂膜 4 4 をマスクとして無機保護膜 4 3 がエッチングされ 50

て、ソース電極 3 3 の上にコンタクトホール 4 6 と保持容量電極 2 6 の上にコンタクトホール 4 7 とが形成される。

【 0 0 5 9 】

このとき、透過領域 1 2 に示すように、有機樹脂膜 4 4 によりマスクされていない部分は、エッチングにより無機保護膜 4 3 が除去されることになる。

【 0 0 6 0 】

図 6 - C に示す工程では、パターニングされた有機樹脂膜 4 4 の上に第 1 の導電膜 3 7 と第 2 の導電膜 3 8 とが連続して成膜される。図 5 - E で示す工程で説明したように、第 1 の導電膜 3 7 は透明導電膜で、第 2 の導電膜 3 8 は金属膜で形成することが可能である。

10

【 0 0 6 1 】

図 6 - D で示す工程では、ハーフ露光により厚さが異なるレジスト膜を第 1 の導電膜 3 7 と第 2 の導電膜 3 8 の上に形成する。図 5 - F で示す工程で説明したように、レジスト膜 5 0 には、ハーフ露光により、膜厚が厚い部分 5 1 と膜厚が薄い部分 5 2 とが設けられている。

【 0 0 6 2 】

図 6 - F で示す工程では、レジスト膜 5 0 を用いて第 1 の導電膜 3 7 と第 2 の導電膜 3 8 とをエッチングしその後、膜厚が薄いレジスト膜をアッシング等により除去した。

【 0 0 6 3 】

図 6 - G に示す工程では、アッシング等により厚さが薄い部分 5 2 を除去して、第 2 の導電膜 3 8 用のマスクを形成して、第 2 の導電膜 3 8 をエッチングにより除去し、その後配向膜 1 4 を形成している。

20

【 0 0 6 4 】

次に、図 7 - A ~ 図 7 - E を用いて、図 2 の B - B 線で示す T F T 基板 2 側の断面部分について製造工程を示す。図 7 - A で示す工程では、T F T 基板 2 にゲート絶縁膜 3 6 、ドレイン信号線 2 2 、無機保護膜 4 3 を形成した上に、有機樹脂膜 4 4 をスピンコート法等により塗布している。

【 0 0 6 5 】

図 7 - B で示す工程では、有機樹脂膜 4 4 を露光現像し、透過領域 1 2 側に凹部と、反射領域 1 1 側に凸部とを形成する。その後、有機樹脂膜 4 4 をマスクとして無機保護膜 4 3 を除去する。この工程において、有機樹脂膜 4 4 が設けられていない透過領域 1 2 にはマスクが無いいため、無機保護膜 4 3 が除去される。

30

【 0 0 6 6 】

図 7 - C で示す工程では、パターニングされた有機樹脂膜 4 4 の上に第 1 の導電膜 3 7 と第 2 の導電膜 3 8 とが成膜される。

【 0 0 6 7 】

図 7 - D で示す工程では、レジスト膜 5 5 に膜厚が厚い部分 5 1 と膜厚が薄い部分 5 2 とレジスト膜を除去する部分 5 3 とが形成される。膜厚が厚い部分 5 1 は、透過領域 1 2 の周囲に形成されるため、ドレイン線 2 2 に重なるように反射領域 1 1 とが形成されることになる。

40

【 0 0 6 8 】

図 7 - E で示す工程では、膜厚の薄い部分 5 2 がアッシング等により除去され、第 2 の導電膜 3 8 用のマスクが形成され、透明領域 1 2 の第 2 の導電膜 3 8 が除去される。その後、レジスト膜 5 0 が除去され T F T 基板 2 が形成される。

【 0 0 6 9 】

次に、図 8 - A ~ 図 8 - H を用いて外部信号入力端子の製造工程を説明する。図 8 の左側に示した符号 6 1 はゲート信号線 2 1 に電氣的に接続するゲート端子である。図 8 の右側に示した符号 6 2 はドレイン信号線 2 2 に電氣的に接続するドレイン端子である。図 8 - A に示す工程では各端子の上に保護膜 4 3 が形成されている。

【 0 0 7 0 】

50

図 8 - B に示す工程では、保護膜 4 3 が形成された各端子の上にスピコート法等によって有機樹脂膜 4 4 が形成されている。

【 0 0 7 1 】

図 8 - C に示す工程では、有機樹脂膜 4 4 が露光現像され各端子上にコンタクトホール 6 3 が形成されている。

【 0 0 7 2 】

図 8 - D に示す工程では、有機樹脂膜 4 4 をマスクに使用して、保護膜 4 3 がエッチングされて各端子上の保護膜 4 3 にコンタクトホール 6 3 が形成されている。

【 0 0 7 3 】

図 8 - E に示す工程では、有機樹脂膜 4 4 の上からスパッタ法等により、第 1 の導電膜 3 7 と、第 2 の導電膜 3 8 が連続して積層される。

10

【 0 0 7 4 】

図 8 - F に示す工程では、各端子上に第 1 の導電膜 3 7 を残すように、薄いレジスト膜 5 2 が形成される。

【 0 0 7 5 】

図 8 - G に示す工程では、第 1 の導電膜 3 7 と第 2 の導電膜 3 8 とがエッチングされ、レジスト膜 5 2 で被われた部分を除いて、第 1 の導電膜 3 7 と第 2 の導電膜 3 8 とが除去される。

【 0 0 7 6 】

図 8 - H に示す工程では、アッシング等により薄いレジスト膜 5 2 が除去され、その後、第 2 の導電膜 3 8 をエッチングして各端子上に第 1 の導電膜 3 7 が残るようにしてゲート端子 6 1 とドレイン端子 6 2 とを形成する。

20

【 0 0 7 7 】

次に、図 9 - A ~ 図 9 - F を用いて、ドレイン端子 6 2 をゲート信号線 2 1 と同じ工程で形成した場合について説明する。図 9 - A にゲート信号線 2 1 と同じ工程で形成した場合のドレイン端子 6 2 を示す。

【 0 0 7 8 】

ドレイン端子 6 2 はゲート絶縁膜 3 6 に周囲を被われており、ドレイン信号線 2 2 とはゲート絶縁膜 3 6 に形成されたスルーホール 4 9 を介して電氣的に接続されている。

【 0 0 7 9 】

30

図 9 - B に示す工程では、ドレイン端子 6 2 の上から保護膜 4 3 と有機樹脂膜 4 4 とが積層され、その後、ドレイン端子上の保護膜 4 3 と有機樹脂膜 4 4 とは除去される。

【 0 0 8 0 】

図 9 - C に示す工程では、有機樹脂膜 4 4 の上から第 1 の導電膜 3 7 と第 2 の導電膜 3 8 とが積層される。ドレイン端子 6 2 の上面はゲート絶縁膜 3 6 が除去されており、ドレイン端子 6 2 と

図 9 - C に示す工程では、有機樹脂膜 4 4 の上から第 1 の導電膜 3 7 と第 2 の導電膜 3 8 とは電氣的に接続される。

【 0 0 8 1 】

図 9 - D に示す工程では、ドレイン端子 6 2 の上に薄いレジスト膜 5 2 が形成されている。

40

【 0 0 8 2 】

図 9 - E に示す工程では、エッチングによりレジスト膜 5 0 が形成されていない部分の第 1 の導電膜 3 7 と第 2 の導電膜 3 8 とが除去されている。

【 0 0 8 3 】

図 9 - F に示す工程では、薄いレジスト膜 5 2 がアッシングにより除去され、その後、第 2 の導電膜 3 8 が除去され、第 1 の導電膜 3 7 が残されて、ドレイン端子 6 2 が形成される。

【 0 0 8 4 】

次に、図 10 - A に示すように、レジスト膜 5 0 に第 2 の導電膜 5 2 を除去する目的の

50

パターンを形成し、第2の導電膜52を除去した後に、第3の導電膜39を積層したTFT基板2の構成を示す。図10に示すTFT基板2では、反射領域11、透過領域12共に画素電極として第3の導電膜39が形成されており、反射領域11、透過領域12で画素電極の材質が均一なものとすることができる。

【0085】

また、図10-Bに示すように、第2の導電膜38の周囲を第3の導電膜39で覆うことが可能であり、第2の導電膜38が腐食しやすい材質の場合には、第3の導電膜39を腐食しにくい材質とすることで、信頼性を向上することができる。

【0086】

次に、図11-A～図11-Iを用いて、半導体層にポリシリコンを用いた液晶表示装置の製造方法について説明する。図11-Aに示した工程では、TFT基板2に第1下地膜41と第2下地膜42が形成された上に、半導体層34を形成し、その後、半導体層34に熱アニール等によりエネルギーを加えて結晶を成長させ、不純物をドーピングしたいわゆるポリシリコンを用いたトランジスタが形成されている。半導体層34の上には、ゲート電極31、ゲート絶縁膜36、ソース電極33、ドレイン電極32、層間絶縁膜45が形成されている。また、導電性を持たせた半導体層の一部を保持容量電極26とし、ゲート電極31と同層で保持容量線25を形成している。

【0087】

図11-Bに示す工程では上記ポリシリコントランジスタの構成の上に、保護膜43を形成し、有機樹脂膜44をスピンコート法等により塗布している。

【0088】

図11-Cに示す工程では、露光現像により有機樹脂膜44にコンタクトホール46と、透過領域12には液晶層の厚みのために開口が形成されている。

【0089】

図11-Dに示す工程では、有機樹脂膜44をマスクとして、無機保護膜43をエッチングしている。このとき、透過領域12に示すようにコンタクトホール46以外でも、有機樹脂膜44によりマスクされていない部分は、エッチングにより無機保護膜43が除去されることになる。

【0090】

図11-Eに示す工程では、パターンニングされた有機樹脂膜44の上に第1の導電膜37と第2の導電膜38とが連続して成膜される。第1の導電膜37は透明導電膜で、第2の導電膜38はアルミ等の金属膜で形成することが可能である。

【0091】

図11-Fで示す工程では、ハーフ露光により厚さが異なるレジスト膜を第1の導電膜37と第2の導電膜38の上に形成する。レジスト膜50は露光量の強弱により、膜厚が厚い部分51と膜厚が薄い部分52とが設けられている。

【0092】

図11-Gで示す工程では、レジスト膜50を用いて第1の導電膜37と第2の導電膜38とをエッチングしその後、膜厚が薄いレジスト膜をアッシング等により除去している。

【0093】

図11-Hに示す工程では、アッシング等により厚さが薄い部分52を除去して、第2の導電膜38用のマスクを形成して、第2の導電膜38をエッチングにより除去している。

【0094】

図11-Iに示す工程では、透過領域12から第2の導電膜38を除去した後、レジスト膜50を除去し、配向膜14を塗布してTFT基板2を形成している。

【0095】

次に、図12にIPS方式の液晶表示装置の画素部の概略平面図を示す。図12に示す画素部は、櫛歯電極19の下に面上に対向電極が形成されたもので、透過領域12には透

10

20

30

40

50

明導電膜で対向電極 5 5 が形成され、反射領域 1 1 には金属膜で反射膜 5 6 が形成されている。

【 0 0 9 6 】

図 1 3 - A ~ 図 1 3 - E を用いて、ポリシリコンを用いた I P S 方式の T F T 基板の製造方法について説明する。図 1 3 では、透過領域 1 2 に形成される透明導電膜を第 1 の導電膜 3 7 とし、反射領域 1 1 に形成せれる反射膜 5 6 を第 2 の導電膜 3 8 とする。

【 0 0 9 7 】

図 1 3 - A に示した工程では、T F T 基板 2 に層間絶縁膜 4 5 が形成され、層間絶縁膜 4 5 の上に第 1 の導電膜 3 7 と第 2 の導電膜 3 8 とが積層されている。

【 0 0 9 8 】

図 1 3 - B に示す工程では、ハーフ露光により厚さが異なるレジスト膜を第 1 の導電膜 3 7 と第 2 の導電膜 3 8 の上に形成し、エッチングによりレジスト膜 5 0 が形成されていない部分 5 3 の第 1 の導電膜 3 7 と第 2 の導電膜 3 8 を除去している。

【 0 0 9 9 】

図 1 3 - C に示す工程では、アッシング等により厚さが薄い部分 5 2 を除去して、第 2 の導電膜 3 8 用のマスクを形成して、第 2 の導電膜 3 8 をエッチングにより除去している。

【 0 1 0 0 】

図 1 3 - D に示す工程では、第 1 の導電膜 3 7 と第 2 の導電膜 3 8 とをパターニングした上に、無機保護膜 4 3 とレジスト膜 5 4 とを形成し、レジスト膜 5 4 を露光現像し、レジスト膜 5 4 をマスクとして無機保護膜 4 3 をエッチングしてコンタクトホール 4 6 を形成している。

【 0 1 0 1 】

図 1 3 - E に示す工程では、櫛歯電極 1 9 を無機保護膜 4 3 の上に成膜後、エッチングによりパターニングしている。

【 0 1 0 2 】

以上、本願発明によれば、反射領域 1 1 と透過領域 1 2 とを備えた液晶表示装置において、透明電極を形成する第 1 の導電膜 3 7 と反射電極を形成する第 2 の導電膜とを形成し、レジスト膜 5 0 に厚い膜厚の部分 5 1 と、薄い膜厚の部分 5 2 とを形成し、薄い膜厚の部分 5 2 をアッシングにより除去することで、第 2 の導電膜 3 8 をエッチングするマスクを形成することで、工程数の増加を抑えることが可能である。また、本願発明によれば、有機樹脂膜 4 4 を無機保護膜 4 3 にコンタクトホールを形成するマスクとして用いることで工程数の省略が可能となる。

【図面の簡単な説明】

【 0 1 0 3 】

【図 1】本発明の実施の形態である液晶表示装置の概略構成を示す平面図である。

【図 2】本発明の実施の形態である液晶表示装置の画素部を示す概略平面図である。

【図 3】本発明の実施の形態である液晶表示装置の画素部を示す概略断面図である。

【図 4】本発明の実施の形態である液晶表示装置の画素部及びドレイン信号線を示す概略断面図である。

【図 5 - A】本発明の実施の形態である液晶表示装置の画素部の製造工程を示す概略断面図である。

【図 5 - B】本発明の実施の形態である液晶表示装置の画素部の製造工程を示す図 5 - A に続く概略断面図である。

【図 5 - C】本発明の実施の形態である液晶表示装置の画素部の製造工程を示す図 5 - B に続く概略断面図である。

【図 5 - D】本発明の実施の形態である液晶表示装置の画素部の製造工程を示す図 5 - C に続く概略断面図である。

【図 5 - E】本発明の実施の形態である液晶表示装置の画素部の製造工程を示す図 5 - D に続く概略断面図である。

10

20

30

40

50

【図 5 - F】本発明の実施の形態である液晶表示装置の画素部の製造工程を示す図 5 - E に続く概略断面図である。

【図 5 - G】本発明の実施の形態である液晶表示装置の画素部の製造工程を示す図 5 - F に続く概略断面図である。

【図 5 - H】本発明の実施の形態である液晶表示装置の画素部の製造工程を示す図 5 - G に続く概略断面図である。

【図 5 - I】本発明の実施の形態である液晶表示装置の画素部の製造工程を示す図 5 - H に続く概略断面図である。

【図 5 - J】本発明の実施の形態である液晶表示装置の画素部の製造工程を示す図 5 - I に続く概略断面図である。

10

【図 6 - A】本発明の実施の形態である液晶表示装置の画素部の製造工程を示す概略断面図である。

【図 6 - B】本発明の実施の形態である液晶表示装置の画素部の製造工程を示す図 6 - A に続く概略断面図である。

【図 6 - C】本発明の実施の形態である液晶表示装置の画素部の製造工程を示す図 6 - B に続く概略断面図である。

【図 6 - D】本発明の実施の形態である液晶表示装置の画素部の製造工程を示す図 6 - C に続く概略断面図である。

【図 6 - E】本発明の実施の形態である液晶表示装置の画素部の製造工程を示す図 6 - D に続く概略断面図である。

20

【図 6 - F】本発明の実施の形態である液晶表示装置の画素部の製造工程を示す図 6 - E に続く概略断面図である。

【図 7 - A】本発明の実施の形態である液晶表示装置の画素部及びドレイン信号線の製造工程を示す概略断面図である。

【図 7 - B】本発明の実施の形態である液晶表示装置の画素部及びドレイン信号線の製造工程を示す 7 - A に続く概略断面図である。

【図 7 - C】本発明の実施の形態である液晶表示装置の画素部及びドレイン信号線の製造工程を示す 7 - B に続く概略断面図である。

【図 7 - D】本発明の実施の形態である液晶表示装置の画素部及びドレイン信号線の製造工程を示す 7 - C に続く概略断面図である。

30

【図 7 - E】本発明の実施の形態である液晶表示装置の画素部及びドレイン信号線の製造工程を示す 7 - D に続く概略断面図である。

【図 8 - A】本発明の実施の形態である液晶表示装置の接続端子部の製造工程を示す概略断面図である。

【図 8 - B】本発明の実施の形態である液晶表示装置の接続端子部の製造工程を示す図 8 - A に続く概略断面図である。

【図 8 - C】本発明の実施の形態である液晶表示装置の接続端子部の製造工程を示す図 8 - B に続く概略断面図である。

【図 8 - D】本発明の実施の形態である液晶表示装置の接続端子部の製造工程を示す図 8 - C に続く概略断面図である。

40

【図 8 - E】本発明の実施の形態である液晶表示装置の接続端子部の製造工程を示す図 8 - D に続く概略断面図である。

【図 8 - F】本発明の実施の形態である液晶表示装置の接続端子部の製造工程を示す図 8 - E に続く概略断面図である。

【図 8 - G】本発明の実施の形態である液晶表示装置の接続端子部の製造工程を示す図 8 - F に続く概略断面図である。

【図 8 - H】本発明の実施の形態である液晶表示装置の接続端子部の製造工程を示す図 8 - G に続く概略断面図である。

【図 9 - A】本発明の実施の形態である液晶表示装置の接続端子部の製造工程を示す概略断面図である。

50

【図 9 - B】本発明の実施の形態である液晶表示装置の接続端子部の製造工程を示す 9 - A に続く概略断面図である。

【図 9 - C】本発明の実施の形態である液晶表示装置の接続端子部の製造工程を示す 9 - B に続く概略断面図である。

【図 9 - D】本発明の実施の形態である液晶表示装置の接続端子部の製造工程を示す 9 - C に続く概略断面図である。

【図 9 - E】本発明の実施の形態である液晶表示装置の接続端子部の製造工程を示す 9 - D に続く概略断面図である。

【図 9 - F】本発明の実施の形態である液晶表示装置の接続端子部の製造工程を示す 9 - E に続く概略断面図である。

【図 10 - A】本発明の実施の形態である液晶表示装置の画素部及び接続端子部の概略構成を示す断面図である。

【図 10 - B】本発明の実施の形態である液晶表示装置の画素部及び接続端子部の概略構成を示す図 10 - A に続く断面図である。

【図 11 - A】本発明の実施の形態である液晶表示装置の画素部の製造工程を示す概略断面図である。

【図 11 - B】本発明の実施の形態である液晶表示装置の画素部の製造工程を示す 11 - A に続く概略断面図である。

【図 11 - C】本発明の実施の形態である液晶表示装置の画素部の製造工程を示す 11 - B に続く概略断面図である。

【図 11 - D】本発明の実施の形態である液晶表示装置の画素部の製造工程を示す 11 - C に続く概略断面図である。

【図 11 - E】本発明の実施の形態である液晶表示装置の画素部の製造工程を示す 11 - D に続く概略断面図である。

【図 11 - F】本発明の実施の形態である液晶表示装置の画素部の製造工程を示す 11 - E に続く概略断面図である。

【図 11 - G】本発明の実施の形態である液晶表示装置の画素部の製造工程を示す 11 - F に続く概略断面図である。

【図 11 - H】本発明の実施の形態である液晶表示装置の画素部の製造工程を示す 11 - G に続く概略断面図である。

【図 11 - I】本発明の実施の形態である液晶表示装置の画素部の製造工程を示す 11 - H に続く概略断面図である。

【図 12】本発明の実施の形態である液晶表示装置の画素部の構成を示す概略平面図である。

【図 13 - A】本発明の実施の形態である液晶表示装置の画素部の製造工程を示す概略断面図である。

【図 13 - B】本発明の実施の形態である液晶表示装置の画素部の製造工程を示す図 13 - A に続く概略断面図である。

【図 13 - C】本発明の実施の形態である液晶表示装置の画素部の製造工程を示す図 13 - B に続く概略断面図である。

【図 13 - D】本発明の実施の形態である液晶表示装置の画素部の製造工程を示す図 13 - C に続く概略断面図である。

【図 13 - E】本発明の実施の形態である液晶表示装置の画素部の製造工程を示す図 13 - D に続く概略断面図である。

【符号の説明】

【0104】

1 ... 液晶パネル、2 ... TFT 基板、3 ... CF 基板、4 ... 液晶層、5 ... 駆動回路、8 ... 画素部、9 ... 表示領域、11 ... 反射領域、12 ... 透過領域、13 ... 保持容量部、14 ... 配向膜、15 ... 対向電極、18 ... 配向膜、19 ... 櫛歯電極、21 ... ゲート配線（走査信号線）、22 ... 映像信号線、25 ... 保持容量線、26 ... 保持容量電極、31 ... ゲート電極、32

10

20

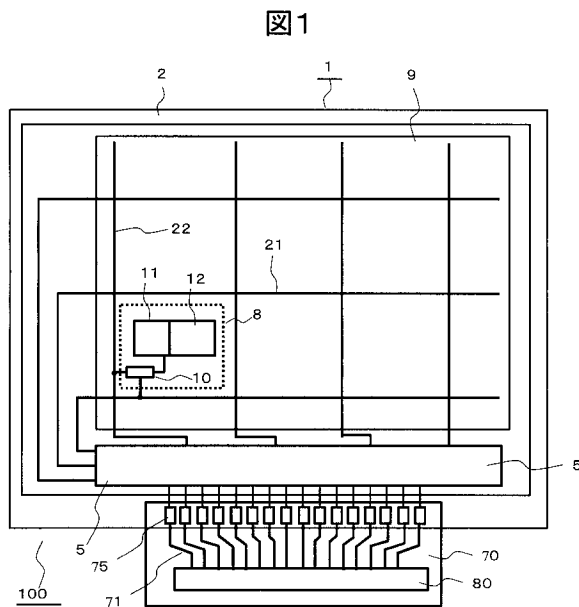
30

40

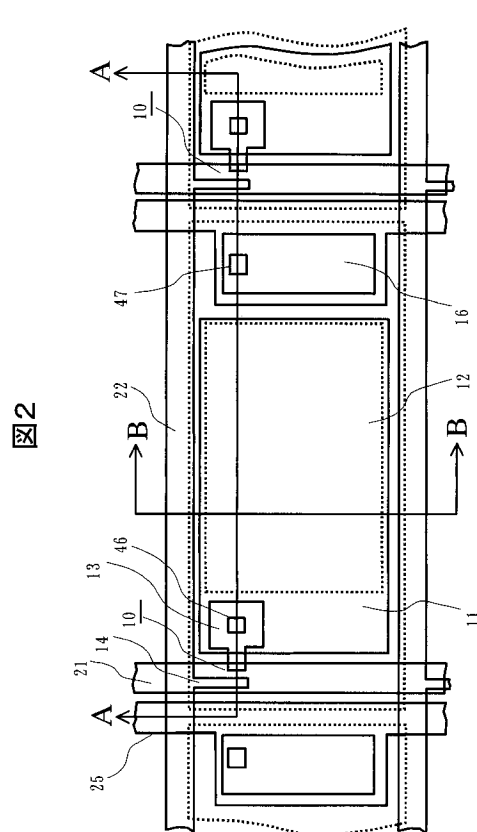
50

...ドレイン電極、33...ソース電極、34...半導体層、35...n+層、36...ゲート絶縁膜、37...第1の導電膜(透明導電膜)、38...第2の導電膜(金属膜)、39...第3の導電膜、41...第1下地膜、42...第2下地膜、43...無機保護膜、44...有機樹脂膜、45...層間絶縁膜、46...コンタクトホール、47...コンタクトホール、48...凹凸部、49...コンタクトホール、50...レジスト膜、51...レジスト膜の膜厚が厚い部分、52...レジスト膜の膜厚が薄い部分、53...レジスト膜が除去された部分、61...ゲート端子、62...ドレイン端子、63...スルーホール、150...カラーフィルタ、

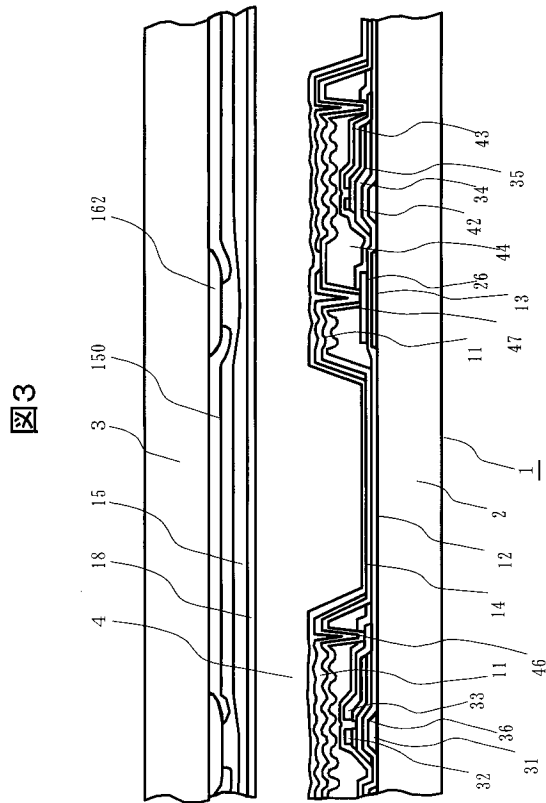
【図1】



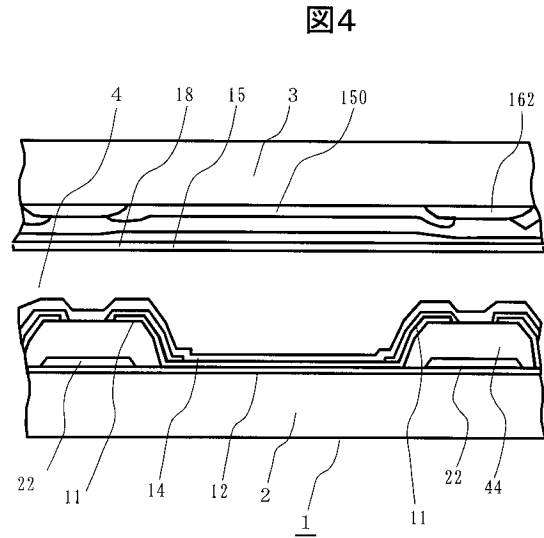
【図2】



【 図 3 】

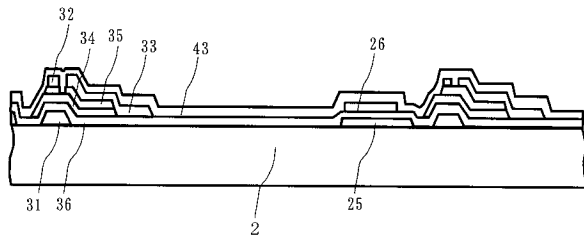


【 図 4 】



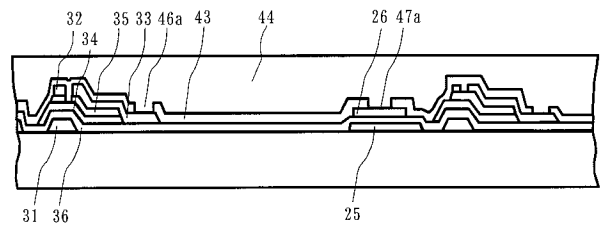
【 図 5 - A 】

図5-A



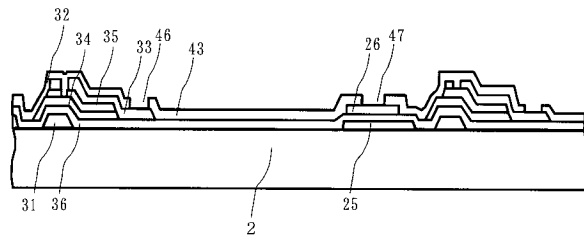
【 図 5 - C 】

図5-C



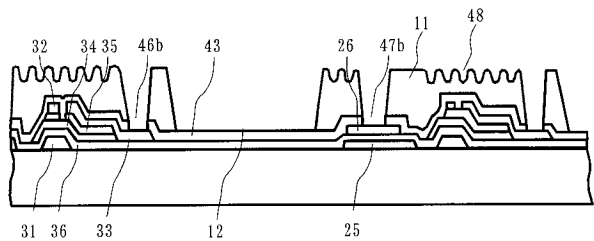
【 図 5 - B 】

図5-B

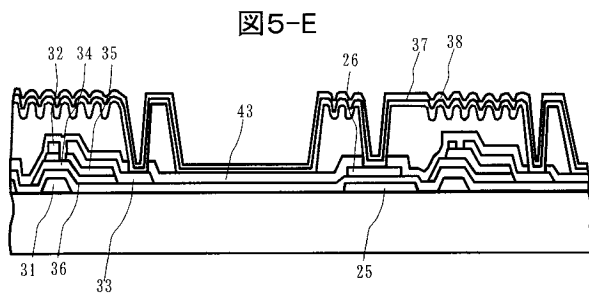


【 図 5 - D 】

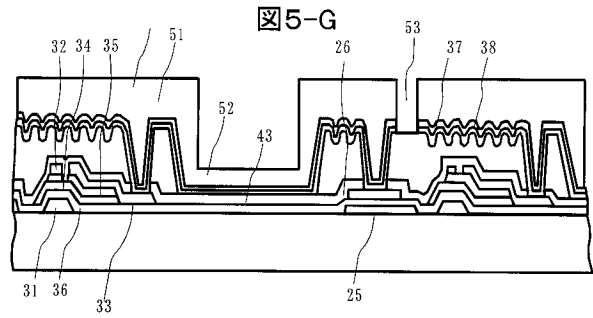
図5-D



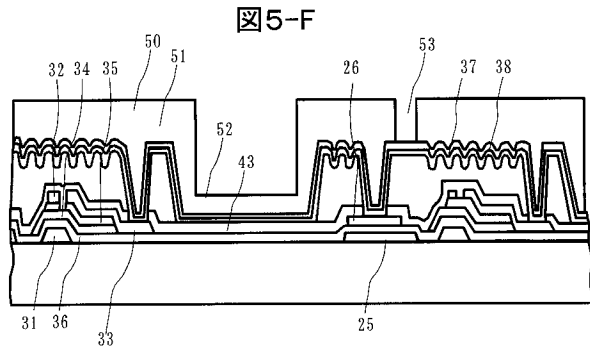
【図 5 - E】



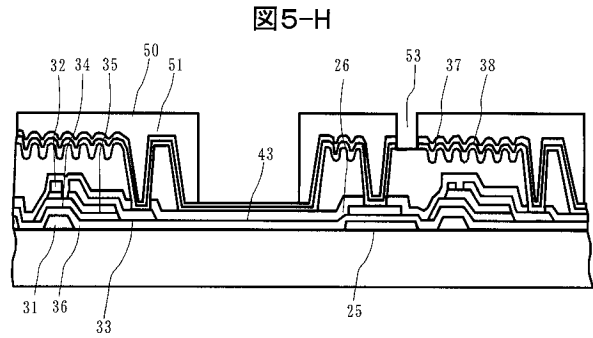
【図 5 - G】



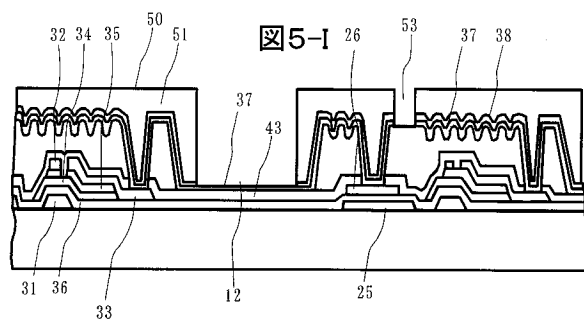
【図 5 - F】



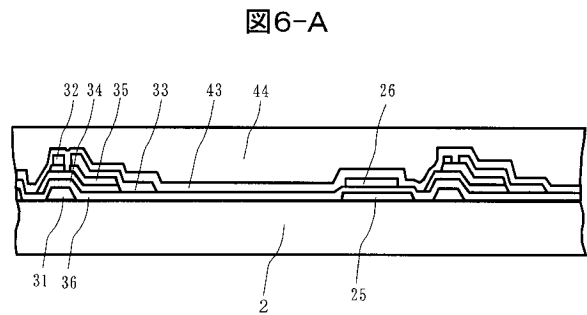
【図 5 - H】



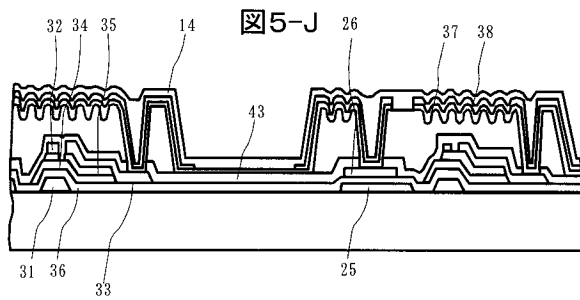
【図 5 - I】



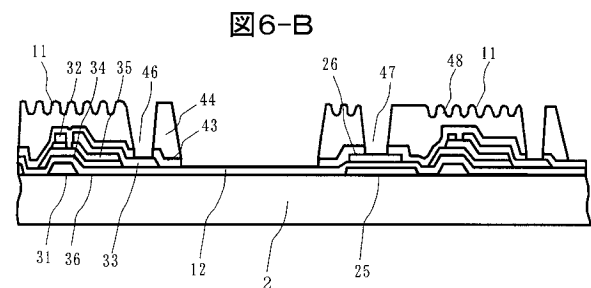
【図 6 - A】



【図 5 - J】

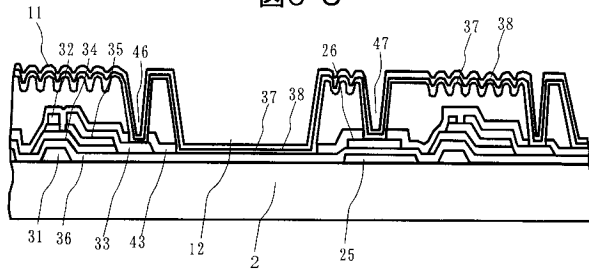


【図 6 - B】



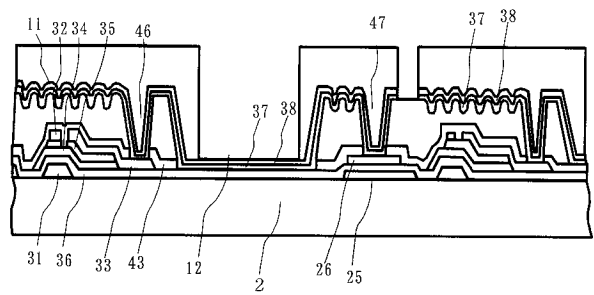
【図 6 - C】

図6-C



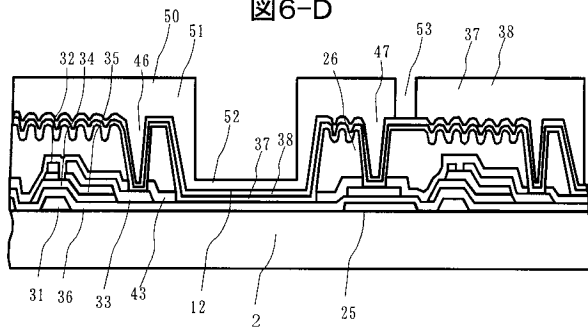
【図 6 - E】

図6-E



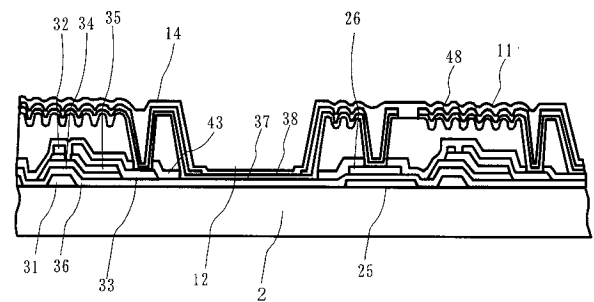
【図 6 - D】

図6-D



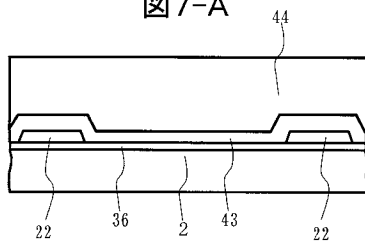
【図 6 - F】

図6-F



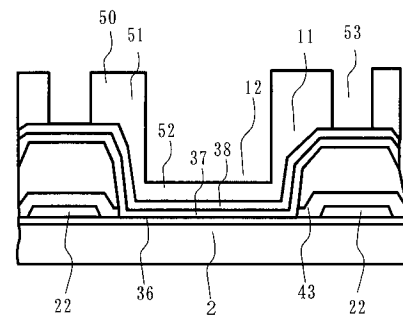
【図 7 - A】

図7-A



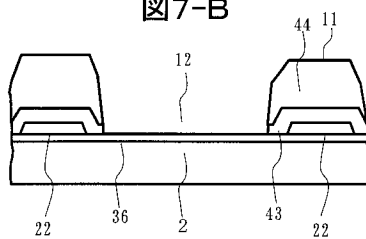
【図 7 - D】

図7-D



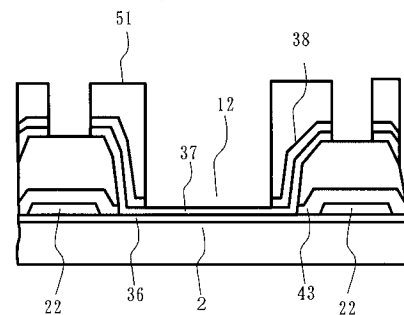
【図 7 - B】

図7-B



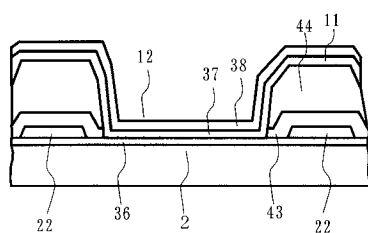
【図 7 - E】

図7-E



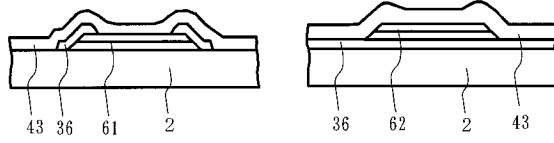
【図 7 - C】

図7-C



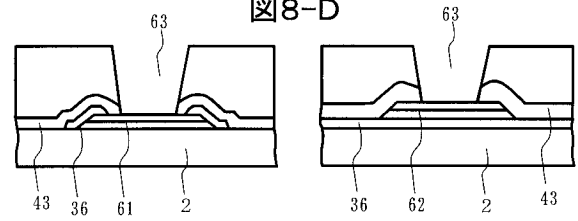
【図 8 - A】

図8-A



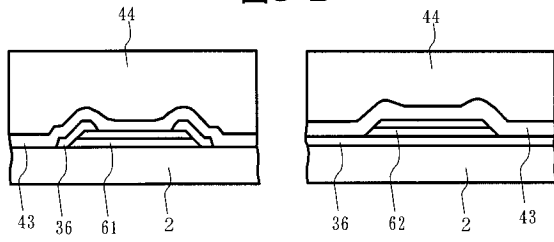
【図 8 - D】

図8-D



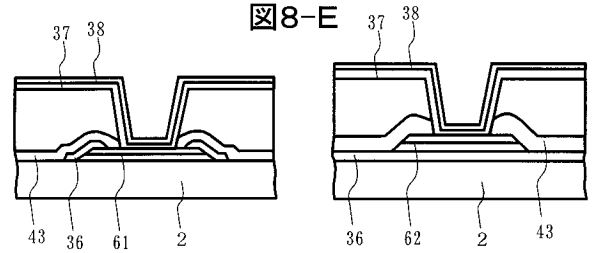
【図 8 - B】

図8-B



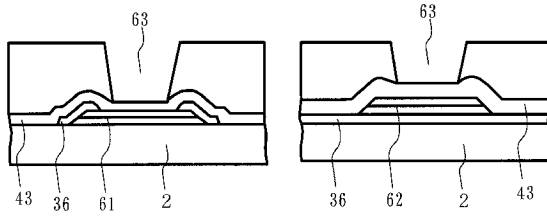
【図 8 - E】

図8-E



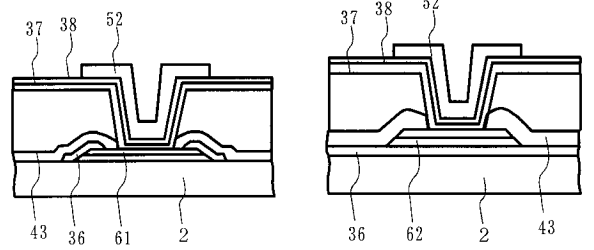
【図 8 - C】

図8-C



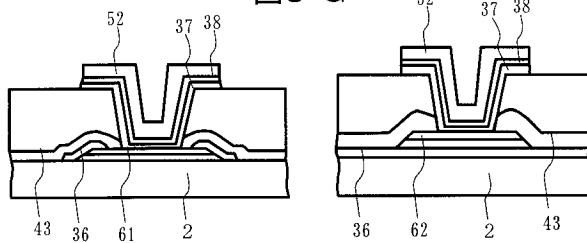
【図 8 - F】

図8-F



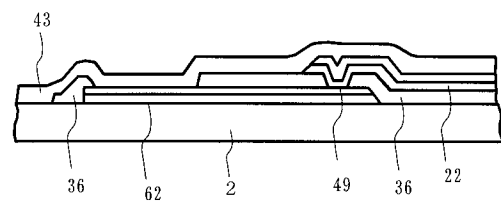
【図 8 - G】

図8-G



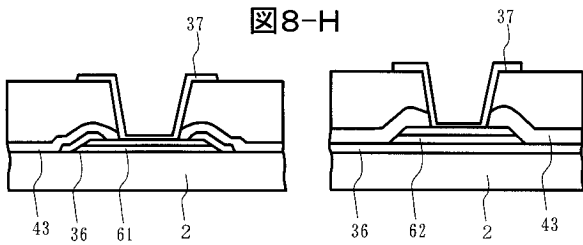
【図 9 - A】

図9-A



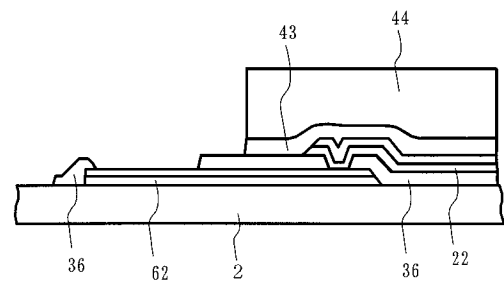
【図 8 - H】

図8-H



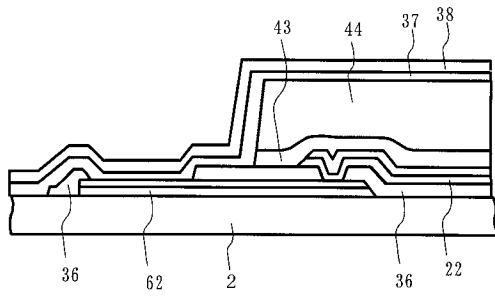
【図 9 - B】

図9-B



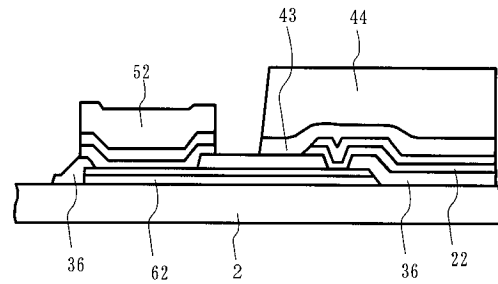
【図 9 - C】

図9-C



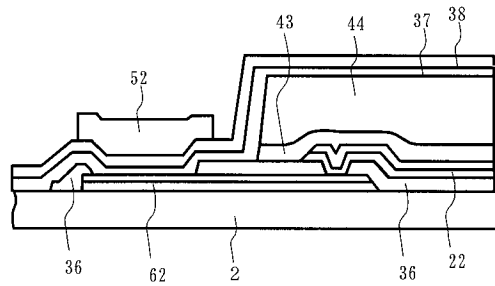
【図 9 - E】

図9-E



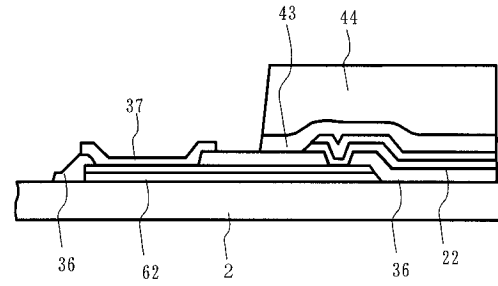
【図 9 - D】

図9-D



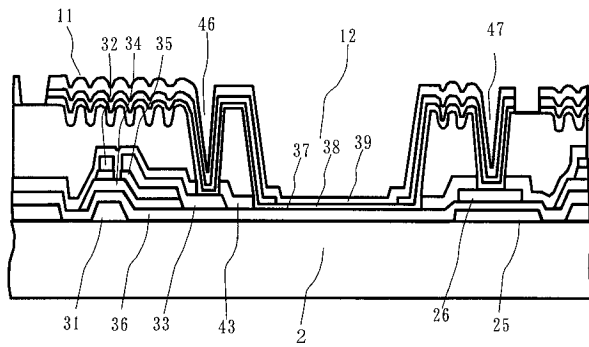
【図 9 - F】

図9-F



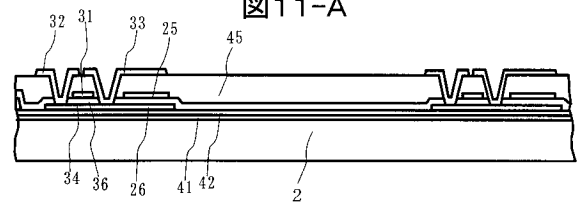
【図 10 - A】

図10-A



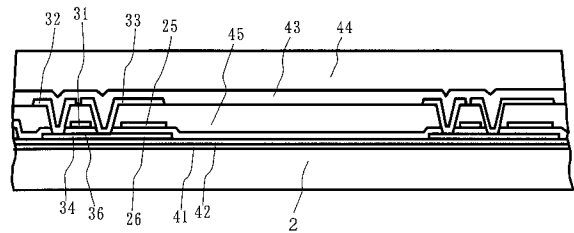
【図 11 - A】

図11-A



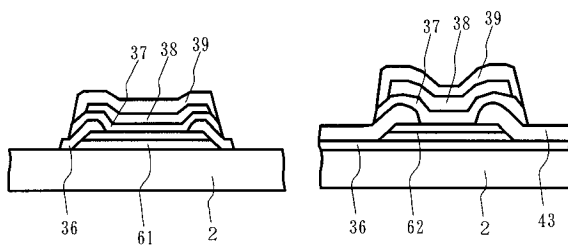
【図 11 - B】

図11-B



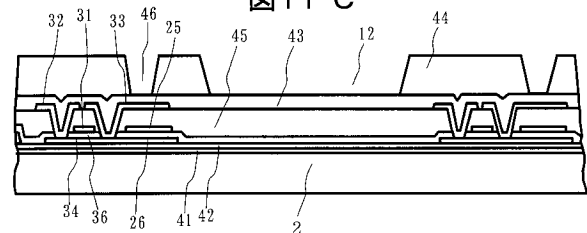
【図 10 - B】

図10-B



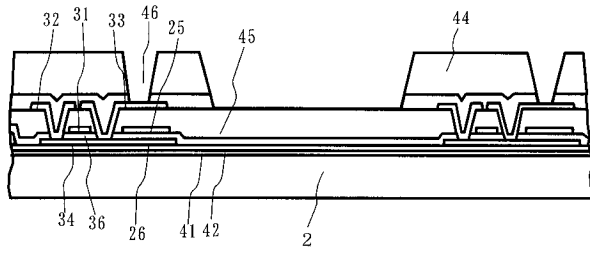
【図 11 - C】

図11-C



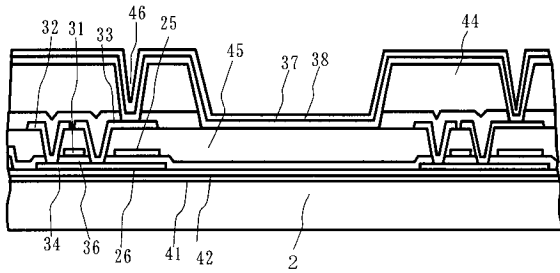
【図 11 - D】

図11-D



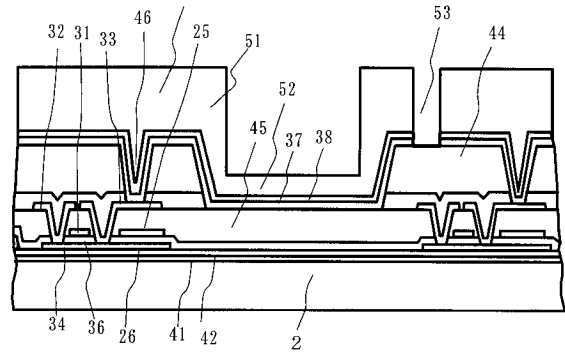
【図 11 - E】

図11-E



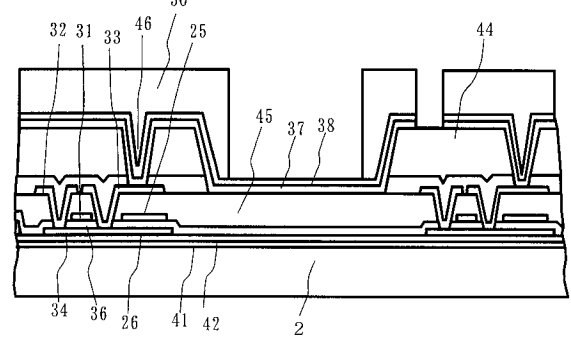
【図 11 - F】

図11-F



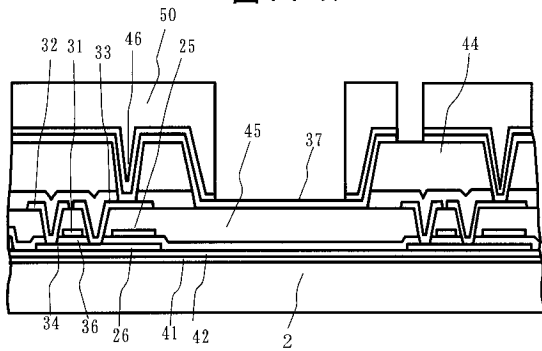
【図 11 - G】

図11-G



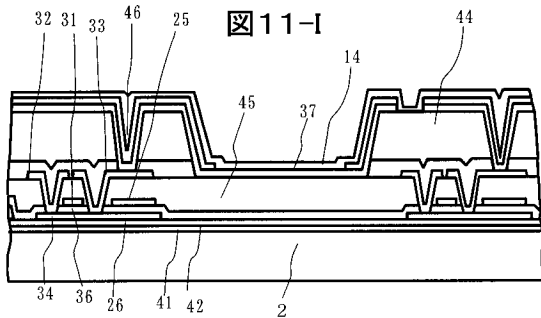
【図 11 - H】

図11-H



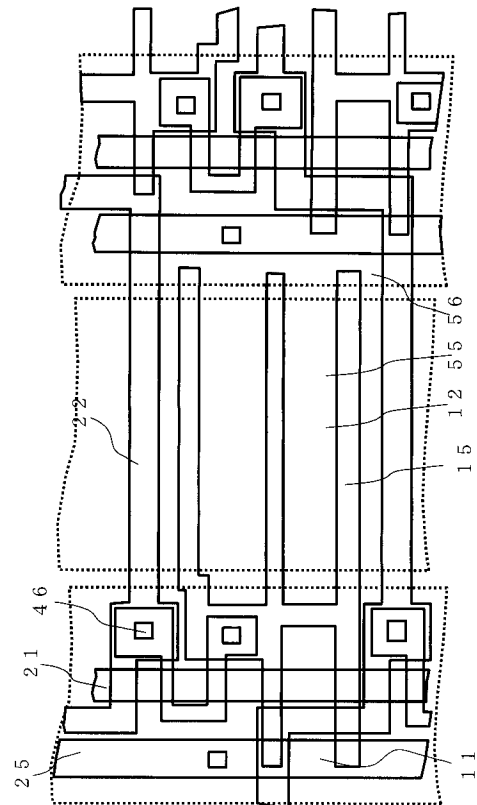
【図 11 - I】

図11-I

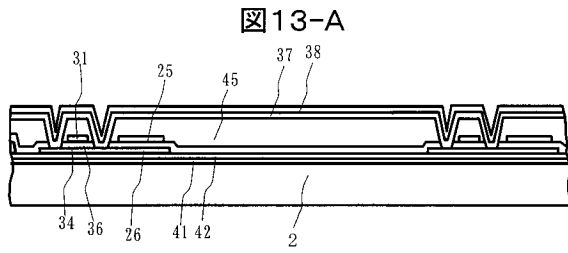


【図 12】

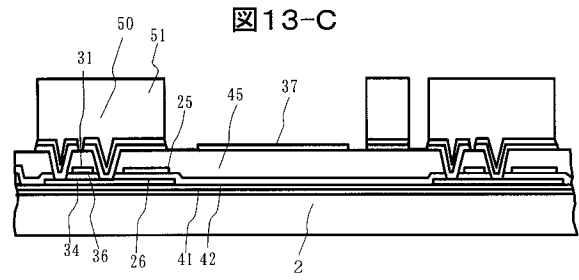
図12



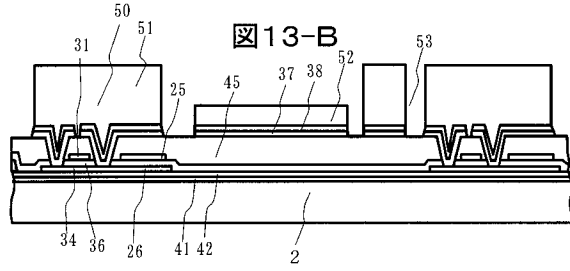
【図 13 - A】



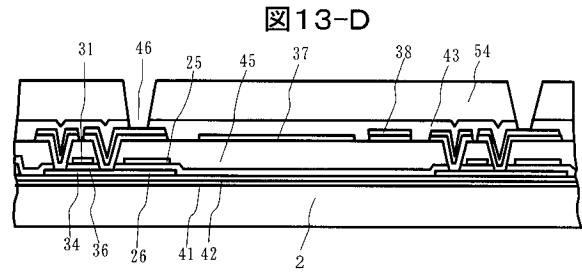
【図 13 - C】



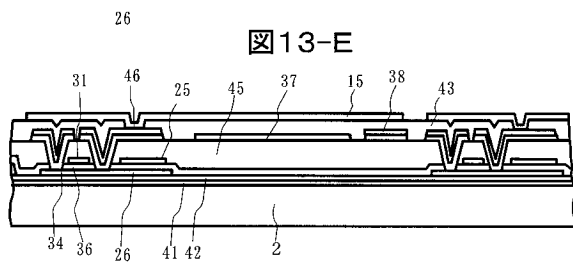
【図 13 - B】



【図 13 - D】



【図 13 - E】



フロントページの続き

F ターム(参考) 2H089 HA07 QA12 SA01 TA02 TA05 TA17
2H091 FA14Y FB06 FB08 FD24 GA02 GA07 JA03 LA12
2H092 GA13 GA15 GA16 GA17 GA29 HA04 HA05 JA24 JB05 JB06
JB07 JB56 JB57 JB68 JB69 KB24 KB25 MA04 NA27 PA12

专利名称(译)	显示装置的制造方法		
公开(公告)号	JP2007218999A	公开(公告)日	2007-08-30
申请号	JP2006036804	申请日	2006-02-14
[标]申请(专利权)人(译)	株式会社日立制作所		
申请(专利权)人(译)	日立显示器有限公司		
[标]发明人	高畠 勝 金子 寿輝 田辺 英夫		
发明人	高畠 勝 金子 寿輝 田辺 英夫		
IPC分类号	G02F1/1343 G02F1/1368 G02F1/1333 G02F1/1335		
CPC分类号	G02F1/133555 G02F1/136227		
FI分类号	G02F1/1343 G02F1/1368 G02F1/1333 G02F1/1335.520 G02F1/1333.505		
F-TERM分类号	2H089/HA07 2H089/QA12 2H089/SA01 2H089/TA02 2H089/TA05 2H089/TA17 2H091/FA14Y 2H091/FB06 2H091/FB08 2H091/FD24 2H091/GA02 2H091/GA07 2H091/JA03 2H091/LA12 2H092/GA13 2H092/GA15 2H092/GA16 2H092/GA17 2H092/GA29 2H092/HA04 2H092/HA05 2H092/JA24 2H092/JB05 2H092/JB06 2H092/JB07 2H092/JB56 2H092/JB57 2H092/JB68 2H092/JB69 2H092/KB24 2H092/KB25 2H092/MA04 2H092/NA27 2H092/PA12 2H189/AA07 2H189/HA12 2H189/KA01 2H189/LA03 2H189/LA06 2H189/LA19 2H190/HA03 2H190/HA04 2H190/HA06 2H190/HB03 2H190/HB04 2H190/HB07 2H190/HC10 2H190/HD06 2H190/KA04 2H190/LA01 2H190/LA04 2H190/LA20 2H191/FA02Y 2H191/FA15Y 2H191/FA16Y 2H191/FA34Y 2H191/FB14 2H191/FC10 2H191/FC36 2H191/FD04 2H191/FD22 2H191/FD26 2H191/GA04 2H191/GA10 2H191/GA19 2H191/GA22 2H191/HA05 2H191/HA15 2H191/JA03 2H191/LA13 2H191/LA15 2H191/NA13 2H191/NA34 2H191/NA37 2H192/AA24 2H192/BB13 2H192/BC31 2H192/BC64 2H192/BC72 2H192/BC82 2H192/CB02 2H192/CB05 2H192/CB13 2H192/CC04 2H192/DA12 2H192/DA43 2H192/EA04 2H192/EA22 2H192/EA43 2H192/FA73 2H192/FB46 2H192/HA36 2H192/HA44 2H291/FA02Y 2H291/FA15Y 2H291/FA16Y 2H291/FA34Y 2H291/FB14 2H291/FC10 2H291/FC36 2H291/FD04 2H291/FD22 2H291/FD26 2H291/GA04 2H291/GA10 2H291/GA19 2H291/GA22 2H291/HA05 2H291/HA15 2H291/JA03 2H291/LA13 2H291/LA15 2H291/NA13 2H291/NA34 2H291/NA37		
代理人(译)	小野寺杨枝		
其他公开文献	JP5011479B2		
外部链接	Espacenet		

摘要(译)

要解决的问题：通过抑制具有反射区域和透射区域的液晶显示器的制造步骤的增加来制造反射电极和透射电极。解决方案：对于具有透射区域和反射区域的像素，顺序堆叠形成反射电极的金属层和形成透射电极的透明导电膜。曝光和显影抗蚀剂膜，形成第一图案，同时蚀刻金属层和透明导电膜。然后通过灰化在抗蚀剂膜上形成第二图案，并蚀刻金属层。此外，有机树脂层用作掩模以形成接触孔。 Ĵ

图 1

