

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-108439

(P2007-108439A)

(43) 公開日 平成19年4月26日(2007.4.26)

(51) Int. Cl.	F I	テーマコード (参考)
G09G 3/36 (2006.01)	G09G 3/36	5C006
G09G 5/00 (2006.01)	G09G 5/00 555A	5C077
G09G 3/20 (2006.01)	G09G 5/00 550H	5C079
H04N 1/60 (2006.01)	G09G 3/20 632B	5C080
H04N 1/46 (2006.01)	G09G 3/20 631R	5C082
審査請求 未請求 請求項の数 13 O L (全 32 頁) 最終頁に続く		

(21) 出願番号 特願2005-299332 (P2005-299332)
 (22) 出願日 平成17年10月13日 (2005.10.13)

(71) 出願人 503121103
 株式会社ルネサステクノロジ
 東京都千代田区丸の内二丁目4番1号
 (74) 代理人 100080001
 弁理士 筒井 大和
 (72) 発明者 高田 直樹
 神奈川県川崎市麻生区王禅寺1099番地
 株式会社日立製作所システム開発研究所
 内
 (72) 発明者 工藤 泰幸
 神奈川県川崎市麻生区王禅寺1099番地
 株式会社日立製作所システム開発研究所
 内

最終頁に続く

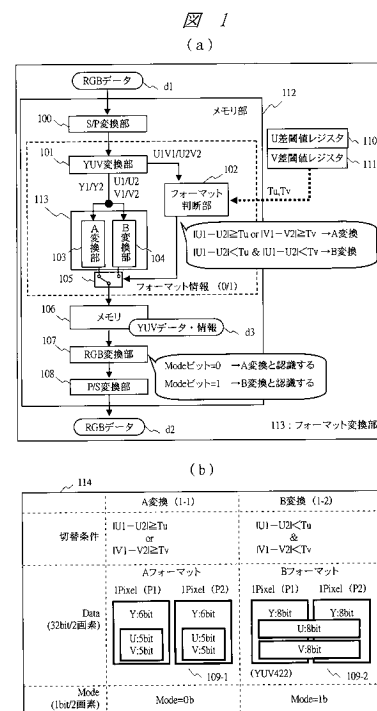
(54) 【発明の名称】 表示駆動回路

(57) 【要約】

【課題】 液晶表示装置等の表示駆動回路において、表示データをメモリに格納する際にデータ量を削減することでメモリサイズ低減による低コスト化を実現し、特定の表示画像での画質劣化も低減する。

【解決手段】 メモリ部112の入出力表示データであるRGBデータ(d1, d2)に対し、フォーマット判断部102で、水平2画素の色差(U, V)差異情報と、レジスタ設定されるU差, V差の閾値との比較をもとに、メモリ106に格納するYUVフォーマットをA又はBから選択する。フォーマット変換部113でA又はBのYUVフォーマット変換したYUVデータ・情報(d3)をメモリ106に格納する。A又はBのYUVフォーマットの選択は、色差差異情報が閾値と比べ小の場合はYUV422(B変換)とし、大の場合は各画素のY, U, Vの下位ビットを削減したもの(A変換)とする。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

外部から入力される第 1 のフォーマットの表示データを第 2 のフォーマットへ変換するデータ圧縮回路と、

前記第 2 のフォーマットの表示データを格納する記憶回路と、

前記第 2 のフォーマットの表示データを前記第 1 のフォーマットへ変換するデータ伸張回路と、

前記第 1 のフォーマットの表示データの示す複数の階調に対応する複数の電圧を生成する電圧生成回路と、

前記複数の電圧から前記第 1 のフォーマットの表示データに応じた電圧を選択する電圧選択回路とを備え、

前記第 1 のフォーマットの表示データに応じた電圧を表示パネルの表示素子へ出力する表示駆動回路であって、

前記データ圧縮回路における変換による前記第 2 のフォーマットは、データ量の異なる複数の種類が存在し、前記第 1 のフォーマットの表示データにおける隣接する複数の画素の情報に応じて、前記複数の種類の第 2 のフォーマットからいずれかを選択し、選択した第 2 のフォーマットに変換された表示データを前記記憶回路に格納することを特徴とする表示駆動回路。

【請求項 2】

外部から入力される第 1 のフォーマットの表示データを第 2 のフォーマットへ変換するデータ圧縮回路と、

前記第 2 のフォーマットの表示データを格納する記憶回路と、

前記第 2 のフォーマットの表示データを前記第 1 のフォーマットへ変換するデータ伸張回路と、

前記第 1 のフォーマットの表示データの示す複数の階調に対応する複数の電圧を生成する電圧生成回路と、

前記複数の電圧から前記第 1 のフォーマットの表示データに応じた電圧を選択する電圧選択回路とを備え、

前記第 1 のフォーマットの表示データに応じた電圧を表示パネルの表示素子へ出力する表示駆動回路であって、

前記表示データの成分と比較する為の閾値の設定値を格納するレジスタ回路を備え、

前記データ圧縮回路における変換による前記第 2 のフォーマットは、データ量の異なる複数の種類が存在し、前記第 1 のフォーマットの表示データにおける隣接する複数の画素の情報と前記レジスタ回路に設定されている閾値との比較に応じて、前記複数の種類の第 2 のフォーマットからいずれかを選択し、選択した第 2 のフォーマットに変換された表示データを前記記憶回路に格納することを特徴とする表示駆動回路。

【請求項 3】

請求項 1 または 2 に記載の表示駆動回路において、

前記第 1 のフォーマットは RGB フォーマットであり、

前記第 2 のフォーマットは YUV フォーマットであることを特徴とする表示駆動回路。

【請求項 4】

請求項 1 または 2 に記載の表示駆動回路において、

前記第 2 のフォーマットは YUV フォーマットであり、

前記データ圧縮回路は、前記表示データにおける隣接する複数の画素の色差差異情報に応じて、前記複数の種類の YUV フォーマットから、前記記憶回路に格納する表示データの YUV フォーマットを選択することを特徴とする表示駆動回路。

【請求項 5】

請求項 1 に記載の表示駆動回路において、

前記第 2 のフォーマットは YUV フォーマットであり、

前記第 1 のフォーマットの表示データをもとに、前記表示データにおける隣接する複数

の画素の色差差異情報を検出し、前記色差差異情報との大小関係を比較する為の閾値情報を用いて比較し、その結果をもとに前記複数の種類のYUVフォーマットから前記記憶回路に格納する表示データのYUVフォーマットを選択する回路を有し、

前記選択する回路で用いられる前記閾値情報は、当該表示駆動回路の内部に格納されていることを特徴とする表示駆動回路。

【請求項6】

請求項2記載の表示駆動回路において、

前記第2のフォーマットは、YUVフォーマットであり、

前記第1のフォーマットの表示データをもとに、前記表示データにおける隣接する複数の画素の色差差異情報を検出し、前記色差差異情報との大小関係を比較する為の閾値情報を用いて比較し、その結果をもとに前記複数の種類のYUVフォーマットから前記記憶回路に格納する表示データのYUVフォーマットを選択する回路を有し、

前記選択する回路で用いられる前記閾値情報は、前記レジスタ回路の設定値が入力されることを特徴とする表示駆動回路。

【請求項7】

請求項5または6に記載の表示駆動回路において、

前記閾値情報は、前記表示データにおける隣接する水平2画素のU成分の差を示す値及びV成分の差を示す値であり、

前記選択する回路は、前記表示データにおける隣接する水平2画素のU成分及びV成分の色差差異情報を検出し、検出した情報と前記閾値情報とを、前記U成分及びV成分のそれぞれについて比較し、それらの大小関係に応じて、前記記憶回路に格納する表示データのYUVフォーマットを選択することを特徴とする表示駆動回路。

【請求項8】

請求項7記載の表示駆動回路において、

前記YUVフォーマットは、フレームを構成する水平及び垂直方向の画素における隣接する複数の画素においてY、U、V成分を表すデータをそれぞれ複数ビットで持つフォーマットであり、

前記複数の種類のYUVフォーマットのうち、

第1のYUVフォーマットは、前記隣接する水平2画素の各画素のY成分及びU成分及びV成分を表す各データビットの下位複数ビットを間引きしたデータを持つフォーマットであり、

第2のYUVフォーマットは、

前記隣接する水平2画素の各画素のY成分のデータと、

前記各画素のU成分を平均化した成分のデータ及びV成分を平均化した成分のデータを持つフォーマットであり、

前記第1と第2のYUVフォーマットにおける選択では、前記U及びV成分の色差差異情報がともに前記閾値よりも小の場合は前記第2のYUVフォーマットへの変換を選択し、前記U及びV成分の色差差異情報のいずれかが前記閾値よりも大の場合は前記第1のフォーマットへの変換を選択することを特徴とする表示駆動回路。

【請求項9】

請求項1または2に記載の表示駆動回路において、

前記記憶回路に格納する前記第2のフォーマットの表示データは、前記複数の種類の第2のフォーマットのうちから選択された第2のフォーマットを識別する為の情報と共に前記記憶回路に格納され、

前記データ伸長回路は、前記記憶回路に格納されている表示データを処理する際に、前記第2のフォーマットを識別する為の情報を参照して前記表示データの第2のフォーマットを認識することを特徴とする表示駆動回路。

【請求項10】

請求項2記載の表示駆動回路において、

前記レジスタ回路における前記閾値の設定値は、当該表示駆動回路の外部から設定の変

10

20

30

40

50

更が可能であることを特徴とする表示駆動回路。

【請求項 1 1】

外部から入力された表示データに応じた電圧を表示パネルへ出力する表示駆動回路であって、

外部からの第 1 のフォーマットの表示データを第 2 のフォーマットへ変換するための第 1 の変換回路と、

前記第 1 の変換回路からの前記第 2 のフォーマットの表示データを記憶するための記憶回路と、

前記記憶回路からの前記第 2 のフォーマットの表示データを前記第 1 のフォーマットへ変換するための第 2 の変換回路と、

複数の表示データに対応する複数の電圧を生成するための電圧生成回路と、

前記複数の電圧から、前記第 2 の変換回路からの前記第 1 のフォーマットの表示データに応じた電圧を選択する電圧選択回路とを備え、

前記第 1 の変換回路は、前記第 1 または第 2 のフォーマットの表示データに応じて、複数の異なるデータ削減方法から、前記記憶回路へ格納する前記第 2 のフォーマットの表示データのデータ削減方法を選択し、選択されたデータ削減方法に従って前記第 2 のフォーマットの表示データを変換してデータ量を削減することを特徴とする表示駆動回路。

【請求項 1 2】

外部から入力された表示データに応じた電圧を表示パネルへ出力する表示駆動回路であって、

外部からの R G B フォーマットの表示データを Y U V フォーマットへ変換するための第 1 の変換回路と、

前記第 1 の変換回路からの前記 Y U V フォーマットの表示データを記憶するための記憶回路と、

前記記憶回路からの前記第 2 のフォーマットの表示データを前記 R G B フォーマットへ変換するための第 2 の変換回路と、

複数の表示データに対応する複数の電圧を生成するための電圧生成回路と、

前記複数の電圧から、前記第 2 の変換回路からの前記 R G B フォーマットの表示データに応じた電圧を選択する電圧選択回路とを備え、

前記第 1 の変換回路は、前記 Y U V フォーマットの表示データの U 成分と V 成分に応じて、複数のデータ圧縮方法から前記記憶回路へ格納する前記 Y U V フォーマットの表示データのデータ圧縮方法を選択し、選択されたデータ圧縮方法に従って前記 Y U V フォーマットの表示データを圧縮することを特徴とする表示駆動回路。

【請求項 1 3】

表示データを格納するメモリと前記メモリを制御するメモリ制御回路とを有し、前記表示データに応じた電圧によって表示パネルを駆動する表示駆動回路であって、

前記メモリ制御回路は、

入力された R G B フォーマットの表示データを、シリアル / パラレル変換して、Y U V フォーマットの表示データに変換する処理と、

前記 Y U V フォーマットの表示データにおける隣接する複数の画素における色差差異情報と、設定されている閾値情報との比較判断により、その大小関係に応じて、複数の種類のフォーマット変換方法からいずれかを選択する処理と、

前記 Y U V フォーマットの表示データを、前記複数の種類のフォーマット変換方法に従ってそれぞれ Y ' U ' V ' フォーマットにフォーマット変換する処理と、

前記それぞれの Y ' U ' V ' フォーマットに変換された表示データの出力を、前記フォーマット変換方法の選択に基づき切り替え、前記選択されたフォーマット変換方法に従って変換された Y ' U ' V ' フォーマットの表示データを、そのフォーマットを識別する情報と共に前記メモリに格納する処理と、

前記メモリに格納されている Y ' U ' V ' フォーマットの表示データを、前記フォーマットを識別する情報に基づき認識して、前記表示パネルへ出力するための R G B フォーマ

10

20

30

40

50

ットへ変換し、パラレル/シリアル変換して出力する処理とを行い、

前記複数の種類のフォーマット変換方法における変換後のフォーマットは、前記表示データにおける隣接する複数の画素のY, U, Vデータの下位ビットを削減する第1のフォーマットと、前記隣接する複数画素単位でU及び/又はVデータを平均化する第2のフォーマットとを有することを特徴とする表示駆動回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、TFT型液晶等のアクティブ・マトリクス型表示装置に関し、特に、表示装置の表示駆動回路におけるメモリに格納する表示データの圧縮やデータフォーマットの選択や変換などの処理による、低コスト化、画質劣化削減・高画質化の技術に関する。 10

【背景技術】

【0002】

TFT型液晶等のアクティブ・マトリクス型表示装置において、特に携帯電話機等のモバイル向けのLCDドライバ(駆動回路)については、静止画や待ち受け画面時にCPU(MPU)-LCDドライバの間のデータ通信を無くすることによる低消費電力化を目的に、フレームメモリを内蔵したLCDドライバが普及している。

【0003】

前記静止画や待ち受け画面等においては、LCDドライバのフレームメモリにより1フレームデータを持つ事が可能となるので、フレームメモリから同じデータを読み出すことで、CPUとLCDドライバとのデータ通信を行わないで表示する事が可能となる。 20

【0004】

しかし、前記LCDドライバにフレームメモリを持つ場合、チップサイズが大きくなりコストが増加する。一方、市場では一般にシステムの低価格化の要求が進み、LCDドライバの省チップサイズ化が求められている。その為、フレームメモリを持つ場合によるコストの増加が無い又は少ないLCDドライバが市場に求められている。

【0005】

そこで、従来技術のLCDドライバでは、表示データをRGB-YUV変換(即ちRGBフォーマットからYUVフォーマットへ変換)し、特にYUV422フォーマットで表示データをメモリ(フレームメモリ)に格納する事により、換言すれば圧縮によるメモリ格納データ量の減少により、省チップサイズ化を実現している。なおYは輝度、U, Vは色差を表す。 30

【0006】

以下では、本発明との比較のために、従来の液晶表示装置(LCD)における表示駆動の方式(システム及び方法)について簡単に説明する。従来方式では、液晶表示装置において、表示データをメモリに格納する前に、入力された表示RGBデータ24ビットを、シリアル/パラレル変換し、パラレル化された水平2画素分のRGB24ビット×2のデータをYUVデータで変換し、YUV422フォーマットに変換する。

【0007】

ここで、前記YUV422フォーマットとは、輝度(Y)情報は1画素毎に情報を削減しないで持ち、色差(U, V)情報は水平2画素において平均化するフォーマットである。このYUV422フォーマットにおいて、水平2画素の色差(U, V)情報を平均化する理由としては、人間の目には画質劣化として判断されにくい視覚特性によるものである。 40

【0008】

結果として、入力表示データは、水平2画素辺りの48ビットであるのに対し、YUV422フォーマットでは水平2画素辺り32ビットとする事が可能となり、相対的にメモリに格納するデータ量を約3割削減できる。

【0009】

また、表示データに対するYUV処理(YUVフォーマット変換処理)に関連して、特 50

開 2 0 0 3 - 1 2 3 0 6 2 号公報 (特許文献 1) 及び特開 2 0 0 5 - 0 5 5 8 2 4 号公報 (特許文献 2) が挙げられる。

【 0 0 1 0 】

特開 2 0 0 3 - 1 2 3 0 6 2 号公報 (特許文献 1) では、LCD 制御部において、複数の異なる YUV - Y' U' V' 変換処理を行うテーブルを設けており、これらの変換テーブルの中からひとつを選択し、YUV - Y' U' V' 変換処理を行う。これにより、表示画像に合った YUV - Y' U' V' 変換を行い、その後 YUV - RGB 変換処理を行っている。

【 0 0 1 1 】

また、特開 2 0 0 5 - 0 5 5 8 2 4 号公報 (特許文献 2) では、RGB データを YUV データに変換し、変換された YUV フォーマットは輝度成分と色差成分に分けて、入力データの色空間の特性を考慮して、データ圧縮処理を行う。この時、輝度 (Y) データはハフマン符号化処理により可逆圧縮を実現し (即ちデータ依存で圧縮率変化)、色差 (U , V) データは情報量を削減した後に量子化可逆圧縮を行う事で、表示データの情報量を少なくする事を実現している。

10

【特許文献 1】特開 2 0 0 3 - 1 2 3 0 6 2 号公報

【特許文献 2】特開 2 0 0 5 - 0 5 5 8 2 4 号公報

【発明の開示】

【発明が解決しようとする課題】

【 0 0 1 2 】

20

しかし、前記従来方式のメモリ格納データ圧縮の技術では、YUV 4 2 2 フォーマットでは、水平 2 画素の色差 (U , V) 情報を平均化しているので、これら情報のデータ差異が大きくなるにつれて、元のデータとの誤差が大きくなり、画質劣化が顕著となる。

【 0 0 1 3 】

上記の画質劣化が顕著に見られる表示画像の例としては、ホワイトやグレー等の背景色の上にカラー文字 / 線などを表示させた場合が挙げられる。この場合、色差 (U , V) データの誤差により、背景色とカラー文字 / 線の境界線において、色味の変化や滲みが発生する事が考えられる。

【 0 0 1 4 】

また、前記特開 2 0 0 3 - 1 2 3 0 6 2 号公報 (特許文献 1) に関しては、複数のテーブルの選択については外部から設定するものであり、表示データを基に YUV - YUV 変換を行っていない為に、あらゆる表示データに関しては対応できない。また、複数のテーブルを持つことからチップサイズが増加することになる。

30

【 0 0 1 5 】

また、前記特開 2 0 0 5 - 0 5 5 8 2 4 号公報 (特許文献 2) の場合においては、データに依存して圧縮率が変化する為に、メモリとして、圧縮率がワーストケースでのメモリサイズが必要となる。また、メモリにデータを格納する際の圧縮という観点については記載していない。

【 0 0 1 6 】

以上を踏まえ、本発明の目的は、液晶表示装置等の表示駆動回路において、表示データをメモリに格納する際に、YUV フォーマット等によりデータの圧縮 (フォーマット変換) を行ってデータ量を削減することでメモリサイズ低減による低コスト化を実現すると共に、従来技術 (従来 YUV フォーマットによるメモリ圧縮方式) で課題であった特定の表示画像での画質劣化、例えばカラー文字 / 線などにおいて見られる滲み等の画質劣化を低減して高画質化を実現できる表示駆動回路の技術を提供することである。

40

【課題を解決するための手段】

【 0 0 1 7 】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。前記目的を達成するために、本発明の表示駆動回路は、表示データを格納する為のメモリ (記憶回路) を内蔵などの形で有する表示装置用駆動装置に適用されるもの

50

であって、以下に示す技術的手段を備えることを特徴とする。

【0018】

本表示駆動回路は、入力データをもとに、メモリに格納するデータをYUVフォーマット等として圧縮する処理、換言すれば、表示データのフォーマット変換を行ってメモリ格納データ量を削減する処理を行う手段を備える。この手段は、例えばRGBフォーマットからYUVフォーマットへの変換(YUV-Y'U'V'フォーマット変換を含む)を行う、データ削減方法などのそれぞれ異なる複数の種類の変換を行う手段(フォーマット変換部113など)と、表示データ、特にその色差(U,V)情報・データに応じて、メモリに格納するフォーマットや変換の方法などを判断し前記複数の種類のうちから選択する手段(フォーマット判断部112など)とを備える。これら手段により、メモリ格納データ量を削減し、システム低コスト化と画質劣化削減の両方を実現するものである。

10

【0019】

本発明では、例えば従来のYUV422フォーマット変換では、水平2画素の色差情報の差異が大きい表示画像において、色差データを平均化することにより、元の色差データとの誤差が大きくなることに着目した。本発明では、元(変換前)の隣接する複数の画素の色差差異情報が大きい場合には、その各画素のY,U,Vデータの下位複数ビットを削減(間引き)する事で、前記誤差が小さいYUVフォーマットデータとなる。その結果、前記画質劣化を低減できる。

【0020】

本発明の表示駆動回路は、詳しくは例えば以下の構成を有する。本表示駆動回路は、外部から入力される第1のフォーマットの表示データを第2のフォーマットへ変換するデータ圧縮回路と、第2のフォーマットの表示データを格納する記憶回路と、第2のフォーマットの表示データを第1のフォーマット(またはその他の第3のフォーマット)へ変換するデータ伸張回路と、第1のフォーマットの表示データの示す複数の階調に対応する複数の電圧(階調電圧)を生成する電圧生成回路と、前記複数の電圧から第1(または第3)のフォーマットの表示データに応じた電圧を選択する電圧選択回路とを備え、表示データに応じた電圧を表示パネルの表示素子へ出力する回路である。そして、本回路は、前記データ圧縮回路における第2のフォーマットへの変換は、データ量などの異なる複数の種類が存在し、前記表示データにおける隣接する複数の画素の情報、特に一旦YUV変換されたYUVフォーマットの表示データにおける各画素の色差情報に応じて、前記複数の種類の第2のフォーマットからいずれかを選択し、選択した第2のフォーマットに変換された表示データを記憶回路に格納する。

20

30

【0021】

本表示駆動回路は、さらに、前記選択のために前記表示データの画素の成分と比較する為の閾値(比較値、参照値)の設定値(それぞれTu,Tvとする)を格納するレジスタ回路を備える。第2のフォーマットへの変換は、表示データの画素の成分とレジスタ回路に設定される閾値との比較に応じて、その大小関係により、前記複数の種類からいずれかを選択する。レジスタ回路における閾値は、当該表示駆動回路の外部から設定の変更が可能であり、例えば複数值から選択可能とする。

【0022】

本表示駆動回路では、入出力される表示データは例えばRGBフォーマットのデータである。メモリに格納する表示データは、例えばRGB-YUV変換あるいはYUV-Y'U'V'変換された、YUVフォーマット(Y'U'V'フォーマットを含む)のデータである。

40

【0023】

また本回路は、メモリに格納するデータのYUVフォーマットの選択において、YUVフォーマットのデータにおける隣接する複数の画素の情報、例えば水平2画素における色差差異情報に応じて、前記複数の種類のYUVフォーマットから選択する。また本回路は、選択されたYUVフォーマットへと変換されたデータを、選択されたフォーマット等を識別する情報(フォーマット情報)と共にメモリへ格納する。

50

【 0 0 2 4 】

また本回路では、例えば、前記第2のフォーマットであるYUVフォーマットは、隣接する水平2画素においてY, U, V成分の情報・データ{第1画素: P1(Y1, U1, V1), 第2画素: P2(Y2, U2, V2)}をそれぞれ持つ。本回路は、例えばP1のYUVデータ(Y1, U1, V1)及びP2のYUVデータ(Y2, U2, V2)をもとに、色差差異情報(|U1 - U2|, |V1 - V2|)を算出し、これらと、設定された色差差異情報に関する閾値(Tu, Tv)との比較を行い、その大小により、メモリに格納するデータのYUVフォーマットを選択する。

【 0 0 2 5 】

また、前記複数の種類のフォーマットとして、例えば、第1(A)のYUVフォーマットでは、水平2画素の各画素(P1, P2)における輝度(Y)及び色差(U, V)情報について下位複数ビットを削減(間引き)したフォーマットとする(P1: (Y1/2a, U1/2b, V1/2c)、P2: (Y2/2a, U2/2b, V2/2c)、但しa, b, cはそれぞれ1以上の整数)。また、第2(B)のYUVフォーマットでは、輝度情報については各画素(P1, P2)の情報量を削減しないでそのままとし、色差情報については各画素の色差情報を平均化したもの(P1, P2ともに: (U1 + U2)/2, (V1 + V2)/2)としたフォーマット、例えばYUV422フォーマットと同じとする。

【 0 0 2 6 】

例えば、前記第1と第2のYUVフォーマットにおける選択では、前記U, Vの色差差異情報がともに前記閾値よりも小の場合は前記第2のYUVフォーマットを選択し、前記U, Vの色差差異情報のいずれかが前記閾値よりも大の場合は前記第1のフォーマットを選択する。

【 0 0 2 7 】

また例えば、本回路は、外部から入力された表示データに応じた電圧を表示パネルへ出力する表示駆動回路であって、外部からの第1のフォーマット(RGBフォーマット等)の表示データを第2のフォーマット(YUVフォーマット等)へ変換するための第1の変換回路と、第1の変換回路からの第2のフォーマットの表示データを記憶するための記憶回路と、記憶回路からの第2のフォーマットの表示データを第1のフォーマットへ変換するための第2の変換回路と、複数の表示データに対応する複数の電圧を生成するための電圧生成回路と、複数の電圧から第2の変換回路からの第1のフォーマットの表示データに応じた電圧を選択する電圧選択回路とを備える。そして、第1の変換回路は、第1または第2のフォーマットの表示データに応じて、複数の異なるデータ削減方法から、記憶回路へ格納する第2のフォーマットの表示データのデータ削減方法を選択し、選択されたデータ削減方法に従って第2のフォーマットの表示データを変換してデータ量を削減する。

【 0 0 2 8 】

また例えば、本回路は、第1の変換回路は、YUVフォーマットの表示データのU成分とV成分に応じて、複数のデータ圧縮方法から記憶回路へ格納するYUVフォーマットの表示データのデータ圧縮方法を選択し、選択されたデータ圧縮方法に従ってYUVフォーマットの表示データを圧縮する。

【 0 0 2 9 】

また例えば、本回路は、表示データを格納するメモリを制御するメモリ制御回路を有する。メモリ制御回路は、入力された第1のフォーマット(RGBフォーマット等)の表示データをメモリに格納する際に、第1のフォーマットの表示データをシリアル/パラレル変換して一旦第2のフォーマット(YUVフォーマット等)の表示データへ変換(RGB-YUV変換)する処理と、第2のフォーマットの表示データの隣接する複数の画素における色差情報と、設定されている閾値情報との比較判断をもとに、その大小関係に応じて、複数の種類のフォーマット変換方法(YUV-Y'U'V'変換等)からいずれかを選択する処理と、第2のフォーマットの表示データを複数の種類の第3のフォーマット(Y'U'V'フォーマット等)にそれぞれ変換(YUV-Y'U'V'変換)する処理と、

10

20

30

40

50

それぞれの変換後の第3のフォーマットの表示データの出力を、前記フォーマット変換方法の選択に基づき切り替え、選択された表示データの出力を、選択されたフォーマット等を識別する情報と共にメモリに格納する処理を行う。また、メモリ制御回路は、メモリに格納されている第3のフォーマットの表示データを表示パネルへ出力する際に、前記フォーマット等を識別する情報に基づき認識して、表示パネルへ出力するための第4のフォーマット(RGBフォーマット等)へ変換(Y'U'V'-RGB変換)し、パラレル/シリアル変換して出力する処理を行う。

【0030】

前記複数の種類のフォーマット変換方法は、表示データにおけるY, U, Vデータの下位ビットを削減する1種類以上の第1(A)の方法と、U及び/又はVデータを隣接する複数の画素ごとに平均化する1種類以上の第2(B)の方法とを有する。前記フォーマット等の種類は、表示データにおける隣接する複数の画素の単位(水平2画素など)、Y, U, Vデータの各ビットの削減量、複数の画素における平均化の仕方などの組み合わせによる。

10

【発明の効果】

【0031】

本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば以下のとおりである。本発明によれば、液晶表示装置等の表示駆動回路において、表示データをメモリに格納する際にデータの圧縮(フォーマット変換)を行ってデータ量を削減することでメモリサイズ低減による低コスト化を実現すると共に、従来技術で課題であった特定の表示画像での画質劣化を低減して高画質化を実現できる。

20

【0032】

特に、YUVフォーマットによるメモリに格納するデータ量を削減する事で低コスト化を実現でき、また自然画等において従来YUVフォーマットと同等の画質であり、かつ水平2画素の色差情報の差異が大きいカラー文字/線などの表示画像において滲み等が軽減され、高画質化を実現可能となる。

【発明を実施するための最良の形態】

【0033】

以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において、同一部には原則として同一符号を付し、その繰り返しの説明は省略する。図1～図9は、本実施の形態を説明するためのものである。

30

【0034】

以下の実施の形態においては、本発明の表示駆動回路(表示装置用駆動装置)による表示装置の一例として、ノーマリ・ブラック方式で画像を表示する液晶表示装置を例として説明するが、その画素構造を変更することにより、ノーマリ・ホワイト方式で画像を表示する液晶表示装置にも適用可能であることは言うまでもない。

【0035】

(実施の形態1)

本実施の形態1では、表示駆動回路においてメモリに格納する表示データをYUVフォーマットに変換してフレームデータ量を圧縮する。これによりメモリサイズを削減し低コスト化を実現すると共に、メモリに格納されるYUVフォーマット表示データは、表示データの色差(U, V)情報に基づき、従来のYUV422フォーマットと、水平2画素(P1, P2)の各画素のY, U, Vデータの下位ビットを削減(間引き)したYUVフォーマットとから、入力表示データに対しデータ誤差量が少なくなるYUVフォーマットを選択してフォーマット変換する。これにより、画質劣化が少ないメモリ格納データの圧縮を実現する。なお、表示データにおいて隣接する任意の水平2画素を、P1, P2と表している。

40

【0036】

まず、図1(a), (b)を用いて、本実施の形態1の表示駆動回路における、メモリ制御方法(メモリ格納データ処理方法)に関して説明する。図1(a)は、メモリとその

50

メモリ周辺の回路構成を含むメモリ部（メモリ処理部）１１２のブロック構成を示している。図１（ｂ）は、メモリ格納データ処理におけるフォーマット変換内容や選択条件等のフォーマット変換形式１１４について示す。

【００３７】

以下にメモリ部１１２の内部構成について説明する。本表示駆動回路におけるメモリ部１１２において、入力される表示データは２４ビット（＝８ビット×３）のＲＧＢデータ（ｄ１）であり、出力される表示データは２４ビット（＝８ビット×３）のＲＧＢデータ（ｄ２）である。メモリ１０６に格納されるデータは、フォーマット変換部１１３でＹＵＶフォーマット変換されたＹＵＶデータ及びフォーマット情報（ｄ３）である。

【００３８】

メモリ部１１２は、Ｓ／Ｐ変換部１００、ＹＵＶ変換部（ＲＧＢ－ＹＵＶ変換部）１０１、フォーマット判断部（メモリ格納データフォーマット判断部）１０２、フォーマット変換部（メモリ格納データフォーマット変換部）１１３、スイッチ部（２セレクトスイッチ）１０５、メモリ（表示データ格納メモリ）１０６、ＲＧＢ変換部（ＹＵＶ－ＲＧＢ変換部）１０７、Ｐ／Ｓ変換部１０８の各部（ブロック）を有する。フォーマット変換部１１３は、Ａ（第１）変換部（ＹＵＶデータのＡフォーマット変換部）１０３とＢ（第２）変換部（ＹＵＶデータのＢフォーマット変換部）１０４を有する。特に破線で示す１０１，１０２，１１３，１０５から成る部分は、メモリ格納データ圧縮部などと言い換えてもよい。また、フォーマット変換部１１３等は、データ量を減らす圧縮回路に相当する。ＲＧＢ変換部１０７は、前記圧縮回路に対応した、データ量を戻す伸長回路に相当する。

【００３９】

Ｓ／Ｐ変換部１００は、表示入力されたＲＧＢデータ（ｄ１）をシリアル－パラレル変換する回路である。ＹＵＶ変換部１０１は、Ｓ／Ｐ変換部１００でパラレル化された表示データをＲＧＢ－ＹＵＶ変換する回路である。ＹＵＶ変換部１０１は、ＲＧＢフォーマットからＹＵＶフォーマットへ変換された表示データを、後段のフォーマット判断部１０２及びフォーマット変換部１１３へ出力する。表示データにおける水平２画素（Ｐ１，Ｐ２）のＹＵＶ情報（Ｙ１，Ｕ１，Ｖ１），（Ｙ２，Ｕ２，Ｖ２）が、必要に応じて出力される。

【００４０】

フォーマット判断部１０２は、前記パラレル化及びＹＵＶ変換された水平２画素（Ｐ１，Ｐ２）のＹＵＶ情報における第一画素（Ｐ１）ＹＵＶデータ（Ｙ１，Ｕ１，Ｖ１）及び第二画素（Ｐ２）ＹＵＶデータ（Ｙ２，Ｕ２，Ｖ２）を元に、色差（Ｕ，Ｖ）情報の差異（ $|U_1 - U_2|$ ， $|V_1 - V_2|$ ）を算出し、設定された、色差情報の差異に関する閾値（Ｕ差閾値： T_u ，Ｖ差閾値： T_v ）との比較を行い、メモリ１０６に格納する表示データのＹＵＶフォーマット、換言すればＹＵＶ－Ｙ'Ｕ'Ｖ'変換の種類を選択・決定する。フォーマット判断部１０２でのデータフォーマット判断結果を元に、スイッチ部１０５を切り替え制御する。

【００４１】

フォーマット判断部１０２に対しては、外部のＵ差閾値レジスタ１１０及びＶ差閾値レジスタ１１１から、Ｕ差閾値 T_u 及びＶ差閾値 T_v が設定される。

【００４２】

フォーマット変換部１１３では、入力ＹＵＶデータをもとに、ＹＵＶフォーマット変換として、Ａ変換部１０３及びＢ変換部１０４でそれぞれ異なるＹＵＶ－Ｙ'Ｕ'Ｖ'変換（Ａ変換及びＢ変換）が行われ、変換後のＹ'Ｕ'Ｖ'データが出力される。Ａ変換部１０３は、入力データである前記Ｐ１のＹＵＶデータ（Ｙ１，Ｕ１，Ｖ１）及びＰ２のＹＵＶデータ（Ｙ２，Ｕ２，Ｖ２）を、Ａフォーマット（前記下位ビットを間引きしたフォーマット）１０９－１に変換する。同様に、Ｂ変換部１０４は、同入力データをＢフォーマット（前記従来のＹＵＶ４２２フォーマット）１０９－２に変換する。

【００４３】

スイッチ部１０５は、フォーマット判断部１０２におけるデータフォーマット判断結果

10

20

30

40

50

による切り替え制御に従い、フォーマット変換部 113 からの YUV データについて、A フォーマット 109 - 1 と B フォーマット 109 - 2 のうちどちらかを選択するように、入出力を切り替える。

【0044】

メモリ 106 は、スイッチ部 105 からの、前記選択された A または B の YUV フォーマットの表示データとその YUV フォーマット情報 (YUV データ・情報 d3) を格納する。ここで、YUV フォーマット情報は、選択フォーマット及びその内容を識別するための何らかの形式の情報であり、識別情報、Mode ビット等を含む。

【0045】

RGB 変換部 107 は、メモリ 106 から出力される YUV フォーマットデータ及び YUV フォーマット情報 (識別情報、Mode ビット) を元に、メモリ 106 に格納されている対象表示データの YUV フォーマットを認識し、YUV - RGB 変換を行うための回路である。RGB 変換部 107 は、Mode ビット = 0 の場合は A 変換 (A フォーマット 109 - 1) と認識し、Mode ビット = 1 の場合は B 変換 (B フォーマット 109 - 2) と認識する。P/S 変換部 108 は、前記平行化されている RGB 変換部 107 からの RGB データを平行 - シリアル変換して出力する回路である。

10

【0046】

なお、一旦 RGB - YUV 変換した表示データに対し、その内容に応じて、YUV フォーマット変換として YUV - Y'U'V' 変換を施す処理形態であるが、これら 2 段階の処理を 1 つのブロックにまとめた形態等も可能である。

20

【0047】

図 1 (b) のフォーマット変換形式 114 の表において、A 変換、B 変換のそれぞれについて、まず、切替条件は、フォーマット判断部 102 での判断及びスイッチ部 105 での切り替えの条件に相当する。Data は、フォーマット変換部 113 での YUV フォーマット変換後の YUV データフォーマットを示し、特に、表示データが水平 2 画素辺りで 32 ビットの場合である。Mode は、YUV フォーマット情報における Mode ビット値を示し、特に、水平 2 画素辺りで 1 ビットの場合である。

【0048】

なお、各実施の形態において、A 変換等の各変換に付属する括弧内の記号「X - Y」は、変換及び対応フォーマットの種別を示しており、その意味は、実施の形態 X における第 Y の変換及びフォーマットを表している。

30

【0049】

実施の形態 1 における第 1 のフォーマットである A フォーマット (1 - 1) 109 - 1 は、輝度情報 (Y) は (P1, P2) の各画素の下位 2 ビットを削減 (間引き) したもの (6 ビット) であり、色差情報 (U, V) は各画素の下位 3 ビットを削減 (間引き) したもの (5 ビット) である (Y1[7:2]&Y2[7:2], U1[7:3]&U2[7:3], V1[7:3]&V2[7:3])。この結果、A フォーマット 109 - 1 では、水平 2 画素データで 32 ビット有し、A フォーマット情報の 1 ビット (Mode ビット = 0) と合わせて、水平 2 画素辺り 33 ビットが、メモリ 106 に格納されることになる。その為、入力表示データ 48 ビット / 2 画素と比較して、約 3 割のデータ量削減を可能とする。

40

【0050】

また、第 2 のフォーマットである B フォーマット (1 - 2) 109 - 2 は、輝度情報は (P1, P2) の各画素の情報量を削減しないでメモリ 106 に格納し (Y1: 8 ビット, Y2: 8 ビット)、色差情報は水平 2 画素の色差情報を平均化したものであり ((U1 + U2) / 2: 8 ビット, (V1 + V2) / 2: 8 ビット)、一般的な YUV 422 フォーマットと同じフォーマットとなる。B フォーマット 109 - 2 は、A フォーマット 109 - 1 と同様に、水平 2 画素で 32 ビットの状態であり、B フォーマット情報の 1 ビット (Mode ビット = 1) と合わせて、水平 2 画素辺り 33 ビットが、メモリ 106 に格納されることになる。その為、A 変換と同様に、入力表示データ 48 ビット / 2 画素と比較して、約 3 割のデータ量削減を可能とする。

50

【 0 0 5 1 】

ここで、前記課題において述べた様に、メモリ 1 0 6 に格納される Y U V フォーマットのデータは、元の Y U V データとの誤差を小さくする為に、色差差異情報と閾値との比較に基づきフォーマット選択される。即ち、元の水平 2 画素の色差 (U , V) 情報の差が、ある閾値 (T u , T v) 以下の場合には、上記 B フォーマット 1 0 9 - 2 として、また、ある閾値 (T u , T v) 以上の場合には、上記 A フォーマット 1 0 9 - 1 とするように、選択される。切替条件は、式で表せば、 $|U_1 - U_2| < T_u$ 又は (or) $|V_1 - V_2| < T_v$ の場合は A 変換であり、 $|U_1 - U_2| < T_u$ かつ (&) $|V_1 - V_2| < T_v$ の場合は B 変換である。

【 0 0 5 2 】

10

前記色差 (U , V) 差異情報の閾値 (T u , T v) の設定値は、U 差閾値レジスタ 1 1 0 の設定と、V 差閾値レジスタ 1 1 1 の設定によって変更可能である。

【 0 0 5 3 】

次に、図 2 には、U 差閾値レジスタ 1 1 0 と V 差閾値レジスタ 1 1 1 のレジスタ表 (2 0 0 , 2 0 1) を示している。本例では、U 差 $|U_1 - U_2|$ 及び V 差 $|V_1 - V_2|$ の閾値 (T u , T v) を、4 , 8 , 1 6 , 3 2 の 4 つのモードから設定可能としている。それぞれの閾値に対応するレジスタ値は、2 ビットにおける、0 0 , 0 1 , 1 0 , 1 1 である。

【 0 0 5 4 】

本レジスタ表における設定閾値に関して以下に説明する。まず、U , V データの範囲は 8 ビットによる - 1 2 8 ~ + 1 2 8 であり、差異データ範囲は 0 ~ 2 5 5 となる。

20

【 0 0 5 5 】

前記 A フォーマット 1 0 9 - 1 の場合、U , V データの下位 3 ビットを削減するので、圧縮復元による U , V データ誤差が最大で 7 となると考えられる。また Y データ誤差に関しては、下位 2 ビットを削減するので、最大で 3 となると考えられる。一方、B フォーマット 1 0 9 - 2 (Y U V 4 2 2 フォーマット) の U , V データ誤差は、水平 2 画素の平均化とされる為、U , V データ誤差は最大で 1 2 8 となると考えられる。Y データ誤差に関しては 0 である。

【 0 0 5 6 】

つまり、A フォーマット 1 0 9 - 1 の選択では、U , V データ誤差は 8 以下に抑えられるが、人間の視覚特性として誤差が見えやすい Y データの誤差は最大で 3 となるのに対し、B フォーマット 1 0 9 - 2 の選択では、U , V データの誤差は、設定された閾値が大きいほど誤差が大きくなるが (例えば閾値が 8 ならば U , V の最大データ誤差は 4 となり、閾値が 1 6 ならば U , V の最大データ誤差は 8 となる) 、Y データ誤差は無い。

30

【 0 0 5 7 】

これらの事から、設定閾値は、B フォーマット 1 0 9 - 2 を選択した場合における U , V データ誤差が、A フォーマット 1 0 9 - 1 の U , V データ誤差を越えない値であり、かつ A フォーマット選択条件を厳しくするように閾値は大きい値とするのが適切であると考えられる。よってこの場合には閾値は 1 6 程度が最適だと考えられる。

【 0 0 5 8 】

しかしながら、データ圧縮時・データ伸張時における Y U V データフォーマットの圧縮・伸張方法により、U , V データ誤差の最大値は変化するので、最適な閾値は 1 6 に限られるものではない。また、ユーザとして従来の Y U V 4 2 2 フォーマット処理での処理を増やしたい場合には、閾値を大きく 3 2 と設定すればよい。

40

【 0 0 5 9 】

この様に、Y U V フォーマットの選択の自由度を大きくする為に、閾値設定は上記の値 1 6 の前後で複数設定できるようにしておく事が好ましい。

【 0 0 6 0 】

また、本例では、U 差閾値レジスタ 1 1 0 、V 差閾値レジスタ 1 1 1 とともに 4 つのモードで変更可能としたが、勿論このモード数は増減も可能である。また、レジスタ設定を行わず、閾値を固定として使用することも可能である。この場合、レジスタ設定は必要ない

50

。

【 0 0 6 1 】

また、本実施の形態では R G B 入出力を 1 画素単位で処理する事を想定している為、S / P 変換部 1 0 0 と P / S 変換部 1 0 8 を構成しているが、メモリ部 1 1 2 に入出力データを 2 画素単位で処理する場合には、これら変換部を削除しても、本発明の効果は同様に得られる。

【 0 0 6 2 】

次に、図 3 (a) , (b) において、二種類の表示画像を例に用いて、本実施の形態の表示駆動回路での処理の効果を具体的に示す。図 3 (a) に示す第 1 の例では、表示画像を Q V G A 解像度、R G B 2 4 ビットとした場合に、ホワイトデータ (R = 255 , G = 255 , B = 255) と、マゼンタデータ (R = 255 , G = 0 , B = 255) とによる縦ストライプとした場合を例に挙げる。次に、図 3 (b) に示す第 2 の例では、表示画像を同様に Q V G A 解像度、R G B 2 4 ビットとした場合に、表示画像がホワイトデータ (R = 255 , G = 255 , B = 255) と、グレーデータ (R = 127 , G = 127 , B = 127) とによる縦ストライプとした場合を例に挙げる。以下データの括弧内は (R , G , B) または (Y , U , V) の階調レベル値を示す。なお、上記縦ストライプは、水平方向で隣接する画素ごとに色が変わるものである。

【 0 0 6 3 】

まず、図 3 (a) に示す第 1 の例に関して説明する。データ圧縮 (フォーマット変換) されない本来の表示データは、表示画像 (ホワイト (白) とマゼンタ (M) のストライプ原画像) 3 0 1 である。

【 0 0 6 4 】

メモリ部 1 1 2 で表示画像 3 0 1 に対しデータ圧縮 (フォーマット変換) を行った場合、まず図 1 で説明した通り、入力された 2 4 ビットの R G B データ (d 1) は、まず、S / P 変換部 1 0 0 でパラレル変換され、その後 Y U V 変換部 1 0 2 で Y U V データに変換される。この時、ホワイトデータの Y U V 情報 (Y 1 , U 1 , V 1) は、(255 , 0 , 0) であり、マゼンタデータの Y U V 情報 (Y 2 , U 2 , V 2) は、(105 , 84 , 106) となる。

。

【 0 0 6 5 】

ここで、従来方式の変換では、色差情報が平均化される為、輝度情報に関しては、Y 1 = 255 , Y 2 = 105 がメモリ 1 0 6 に格納されるが、色差情報は、 $U = (0 + 84) / 2 = 42$, $V = (0 + 106) / 2 = 53$ としてメモリ 1 0 6 に格納される。その結果、メモリ 1 0 6 から読み出された Y U V データが R G B 変換された場合、ホワイトデータの Y U V データ (Y 1 , U 1 , V 1) は、(255 , 42 , 53) とされる為、Y U V - R G B 変換計算によって変換された R G B データは、計算上では、(R = 329 , G = 202 , B = 329) となる。ここで、R データ及び B データはオーバーフロー処理が行われるので、(R = 255 , G = 202 , B = 255) となる。同様に、マゼンタデータの Y U V データ (Y 1 , U 1 , V 1) は、(105 , 42 , 53) とされる為、Y U V - R G B 変換計算によって変換された R G B データは (179 , 52 , 179) となる。

【 0 0 6 6 】

以上の事から、従来方式の変換によるデータ圧縮後の表示画像 3 0 2 は、ホワイトデータに関しては、G データが 5 3 階調ずれており、またマゼンタデータに関しては、R データが 7 6 階調、G データが 5 2 階調、B データが 7 6 階調ずれている。その結果、ホワイトとマゼンタのストライプの表示データは、データ誤差により色バランスが崩れた、画質劣化が大きい事が分かる。

【 0 0 6 7 】

一方、本実施の形態における変換では以下である。表示画像 3 0 1 に対し、色差情報の差異により Y U V フォーマットを選択するので、 $| U 1 - U 2 | = 84$, $| V 1 - V 2 | = 106$ となる事から、選択される Y U V フォーマットは前記 A フォーマット 1 0 9 - 1 となる。

【 0 0 6 8 】

10

20

30

40

50

Aフォーマット109-1では、輝度情報に関しては下位2ビットが削減されるので、 $Y1 = 255/4 = 63$, $Y2 = 105/4 = 26$ ($Y1$, $Y2$ ともに6ビット)とされてメモリ106に格納される。色差情報に関しては下位3ビットが削減されるので、 $U1 = 0/8 = 0$, $V1 = 0/8 = 0$, $U2 = 84/8 = 10$, $V2 = 106/8 = 13$ ($U1$, $V1$, $U2$, $V2$ ともに5ビット)とされてメモリ106に格納される。この時、Modeビット=1が、Aフォーマットデータとともに、メモリ106に格納される。

【0069】

前記下位2ビット削減すなわち2ビット右シフトでは、元データを4で割った値の小数点を切捨てた値となり、同様に3ビット右シフトでは、元データを8で割った値の小数点を切捨てた値となる。これは、論理回路を変更することで小数点を四捨五入する構成も可能であるし、小数点を切り上げとする構成も可能である。 10

【0070】

次に、メモリ106からYUVデータとModeビットを読み出し、Modeビット=1であることから格納されているYUVフォーマットがAフォーマット109-1であることを認識する。Aフォーマット109-1と認識されたYUVデータは次のように伸張される。まずホワイトデータのYUVデータに関しては、($Y1 \times 4 = 252$, $U1 \times 8 = 0$, $V1 \times 8 = 0$)となり、またマゼンタデータのYUVデータに関しては、($Y2 \times 4 = 104$, $U1 \times 8 = 80$, $V2 \times 8 = 104$)となる。

【0071】

最後に、RGB変換部107によって変換されたRGBデータは、ホワイトデータは($R = 252$, $G = 252$, $B = 252$)となり、マゼンタデータは($R = 249$, $G = 2$, $B = 245$)となる。 20

【0072】

以上のことから、本実施の形態によるデータ圧縮後の表示画像303は、元のホワイトデータに関しては、Rデータ、Gデータ、Bデータが3階調ずつずれ、またマゼンタデータに関しては、Rデータが6階調、Gデータが2階調、Bデータが10階調ずつずれる。この結果より、本実施の形態での変換においては、データ誤差による画質劣化が従来方式での変換と比べて少ない事がわかる。

【0073】

次に、図3(b)に示す第2の例に関して同様に説明する。まず、データ圧縮されない本来の表示データは、本来の表示画像(ホワイト(白)とグレーのストライプ原画像)304である。 30

【0074】

メモリ部112で表示画像304に対しデータ圧縮を行った場合、従来方式の変換においては図3(a)に示す第1の例と同様に処理されるので、データ圧縮後の表示画像305は、ホワイトデータが($R = 255$, $G = 255$, $B = 255$)となり、グレーデータは($R = 127$, $G = 127$, $B = 127$)となる。以上のことから、第2の例においては、従来方式の変換において、画質劣化が無い映像を表示可能となる。

【0075】

一方で、本実施の形態の変換においては、色差情報の差異よりYUVフォーマットを選択するので、 $|U1 - U2| = 0$, $|V1 - V2| = 0$ となることから、選択されるYUVフォーマットは前記Bフォーマット109-2となる。 40

【0076】

Bフォーマット109-2では、YUV422フォーマット、つまり従来方式と同様のフォーマットでメモリ106に格納される。よって、従来方式と同様に、本実施の形態での変換におけるデータ圧縮後の表示画像306は、ホワイトデータが($R = 255$, $G = 255$, $B = 255$)となり、グレーデータは($R = 127$, $G = 127$, $B = 127$)となる。以上のことから、第2の例で、本実施の形態での変換において、従来方式の変換と同様に、画質劣化が無い映像を表示可能となる。

【0077】

また、第2の例と同様な結果となる表示画像の例として、水平カラーグラデーションのテストパターン画像や、夕焼け等のカラーグラデーションを含む写真画像などがある。これらの表示画像の場合、色差差異情報が小さいことから、従来方式の変換においても画質劣化が少ないとされるが、本実施の形態においても従来と同等の画質が得られる。

【0078】

次に、図4により、前述したメモリ部112を搭載した、本実施の形態における液晶表示装置の構成の一例を説明する。図4はその液晶表示装置を含む表示システムの構成を示す。本表示システムは、本実施の形態における液晶表示装置400と、液晶表示装置400全体を制御するデータ制御部であるMPU（マイクロプロセッサユニット）411とを有する。液晶表示装置400には、各駆動回路には、MPU411が接続されている。MPU411は、液晶パネル401に画像を表示させるための各種処理や制御を行う。

【0079】

液晶表示装置400は、液晶パネル401、信号線駆動回路402、走査線駆動回路403、電源回路404から構成される。信号線駆動回路402は、メモリ部112を含む表示駆動回路であり、液晶パネル401のデータ線（信号線）に、表示データに対応した階調電圧を出力する。走査線駆動回路403は、液晶パネル401の走査線に、走査信号を印加する。電源回路404は、信号線駆動回路402と走査線駆動回路403に対し動作電源を供給する。

【0080】

信号線駆動回路402は、システムインタフェース（シリアルインタフェース）406、制御レジスタ部405、メモリ部112、階調電圧生成回路409、DAC（デジタル・アナログ・コンバータ）回路（デコード回路ともいう）410を含んで構成される。信号線駆動回路402等の各駆動回路は、ドライバIC等とも言い換えられる。

【0081】

図4中で、太い実線矢印は、表示データのバスラインである。メモリ部112に入出力されるのは、RGBフォーマットの表示データである。また、制御レジスタ部405には、レジスタアドレスまたはレジスタデータが入出力される。また、電源回路404からは、信号線駆動回路402及び走査線駆動回路403へ電源電圧が入力される。また階調電圧生成回路409からDAC回路410へ階調電圧が入力される。また、細かい実線矢印は、走査線駆動回路403からの走査線、またはDAC回路410からのデータ線である。

【0082】

システムインタフェース406は、MPU411との間で表示データ及び制御用データのやり取りを行う。制御レジスタ部405は、システムインタフェース406より出力されたレジスタアドレスデータ、インデックスレジスタデータを受ける。制御レジスタ部405は、前記U差閾値レジスタ110及びV差閾値レジスタ111を含む。

【0083】

メモリ部112は、メモリ制御部407と、それに接続される表示データ格納メモリ（RAM）408とを有する。本表示データ格納メモリ408は、図1のメモリ106と対応しており、フレームメモリ、即ち主に液晶パネル401への表示フレームデータ格納用のメモリとして使用される。

【0084】

メモリ制御部407は、表示データ格納メモリ408を制御する回路であり、システムインタフェース406より出力された表示データ（RGBフォーマット）を受ける。メモリ制御部407は、表示データ格納メモリ408に対しデータを読み書きすることにより前記図1（a）に示すようなメモリ106への表示データの格納を含む各処理を行い、表示データ（RGBフォーマット）をDAC回路410へ出力する。また、メモリ制御部407は、制御レジスタ部405からレジスタ値が入力される。表示データ格納メモリ408は、メモリ制御部407から書き込みにより出力される表示データを格納し、また、格納している表示データを、メモリ制御部407からの読み出しにより出力する。なお図1では一連の処理工程（100～108）を略順次に実行する形態を示しているが、図4の

ように表示データを処理工程に応じて表示データ格納メモリ408に対し随時格納して処理するようにしてもよい。

【0085】

階調電圧生成回路409は、RGB夫々8ビットに対応した、256階調の電圧レベルを生成し、その階調電圧をDAC回路410へ出力する。DAC回路410は、表示データに順じて階調電圧生成回路409からの階調電圧を選択して液晶パネル401の信号線へ出力する為の回路である。

【0086】

システムインタフェース406は、MPU411が出力する表示データ及びインストラクションを受け、制御レジスタ部405へ出力する動作を行う。動作の詳細は、例えば68系16bitのバスインタフェースに準拠しており、チップ選択を示すCS(Chip Select)信号、制御レジスタ部405のレジスタアドレスを指定するのかレジスタデータを指定するのかを選択するRS(Register Select)信号、処理動作の起動を指示するE(Enable)信号、データの書き込み又は読み出しを選択するWR(Write Read)信号、制御レジスタ405のアドレス又はデータの設定値であるDATA信号で構成される。

【0087】

ここで、インストラクションとは、信号線駆動回路402、走査線駆動回路403、電源回路404の内部動作を決定するための情報でもあり、フレーム周波数、駆動ライン数、駆動電圧、階調電圧生成回路409におけるガンマ調整等の各種パラメータを含む。また、本実施の形態の特徴の1つである、U差閾値レジスタ110、V差閾値レジスタ111に関する情報も含む。そして、制御レジスタ部405は、前記インストラクションのデータを格納し、これを各駆動回路のブロックへ出力する。

【0088】

なお、図1(a)のメモリ部112内の各処理は、専用回路として実装してもよいし、プログラムで処理する形に実装してもよい。

【0089】

以上より、制御レジスタ405の各レジスタの設定値は、外部から独立に容易に変更可能となり、YUV格納フォーマットの色差(U, V)情報の差異の閾値(Tu, Tv)を変更可能とする。

【0090】

また、本実施の形態の構成では、信号線駆動回路402にフレームメモリとなる表示データ格納メモリ408を内蔵しているため、液晶パネル401への表示データが静止画である場合などには、メモリ部112とDAC回路410の間でデータ処理すれば済み、MPU411からデータ処理する必要はない。

【0091】

(実施の形態2)

次に、本発明の実施の形態2を、図5～図7並びに前記図2, 図4を用いて説明する。図5は、実施の形態2の表示駆動回路におけるメモリ部112-2のブロック構成を実施の形態1と同様に示している。図6(a), (b)は、実施の形態2における二種類のメモリ格納データ処理におけるフォーマット変換内容や選択条件等について実施の形態1と同様に示す。図7(a), (b)は、2つの表示画像の例における効果を実施の形態1と同様に示す。

【0092】

実施例の形態2は、実施の形態1と同様に、水平2画素(P1, P2)の色差情報を元にメモリ106に格納するデータフォーマットを選択するメモリ圧縮方式(メモリ106に格納する表示データのデータ量を削減する方法及びその回路構成)である。そして本方式において、表示データの判断に従い選択されるデータフォーマットとして前記YUV422フォーマットを有し、選択するデータフォーマットをYUV422フォーマットとしない場合には、輝度情報の削減量を少なくする事で画質劣化を低減する。これは、後述する、A変換ではなくB変換またはC変換を選択することにより輝度情報の削減量を少なく

10

20

30

40

50

することに対応している。

【0093】

実施の形態2の表示駆動回路における具体的な実現手段は以下である。実施の形態2では、メモリ106に格納されるYUVフォーマットデータを、表示データの水平2画素の色差差異情報をもとに、YUVフォーマット(A~Dフォーマット)を選択する。その際の選択条件は、U、Vデータ差異が共に閾値(T_u , T_v)以上となる第1の選択条件と、Uデータ差異のみが閾値(T_u)以上となる第2の選択条件と、Vデータ差異のみが閾値(T_v)以上となる第3の選択条件と、U、Vデータ差異が共に閾値(T_u , T_v)よりも小さくなる第4の選択条件とで分けしている。

【0094】

第1の選択条件時は、色差情報(U, V)、輝度情報(Y)の下位ビットを削減する。第2の選択条件時は、水平2画素のVデータの差異が小さいことを利用し、Vデータを水平2画素で平均化し、メモリ106へ格納するVデータ量を削減することで、輝度情報の削減量を減らす。第3の選択条件時は、水平2画素のUデータの差異が小さいことを利用し、Uデータを水平2画素で平均化し、メモリ106へ格納するUデータ量を削減することで、輝度情報の削減量を減らす。第4の選択条件時は、YUV422フォーマットによってメモリ106に格納する。

【0095】

以上の構成とする事で、実施の形態1の場合には前記第1の選択条件と同様に処理されていた前記第2と第3の選択条件が、実施の形態2では、U、V情報の誤差量を増やさず輝度情報の削減量を減らす選択条件となり、その結果実現可能となる。

【0096】

次に、図5を用いて実施の形態2における表示駆動回路におけるメモリ制御及び処理方法に関して説明する。

【0097】

メモリ部112-2は、実施の形態1の構成と比較して、入力RGBデータ(d_1)をパラレル化及びYUV変換した水平2画素分のYUVデータを格納するYUVフォーマットの選択を、A変換~D変換からの4選択とする事と、これに関連してメモリ106に格納するYUVフォーマットデータの圧縮・伸張におけるYUVフォーマット情報が2ビットとなる事とが異なる。

【0098】

フォーマット変換部113-2は、A~Dフォーマットに対応する各変換を行うA変換部501~D変換部504を有する。フォーマット判断部500における判断時の条件は、図6に示す通りである。なお、実施の形態2におけるAフォーマットは実施の形態1におけるAフォーマットに相当し、実施の形態2におけるDフォーマットは実施の形態1におけるBフォーマットに相当する。実施の形態2におけるBフォーマット及びCフォーマットは、実施の形態2で追加したものである。

【0099】

以下に実施の形態2でのメモリ部112-2の内部構成について説明する。メモリ部112-2では、S/P変換部100とYUV変換部101とメモリ106とP/S変換部108に関しては実施の形態1と同様の構成である。また、メモリ部112-2に閾値(T_u , T_v)を入力するU差閾値レジスタ110とV差閾値レジスタ111に関しても同様である。

【0100】

その他の内部ブロックとして、メモリ格納データフォーマット判断部500は、RGB入力データをS/P変換部100でパラレル化し、YUV変換部101でYUVデータとした水平2画素分の色差(U, V)情報に基づき、前記第1~第4の選択条件からA~D変換のうちいずれかを選択し、YUVフォーマット情報2ビットを出力する。

【0101】

A変換部501は、前記RGB入力データをパラレル化及びYUVデータとした水平2

10

20

30

40

50

画素分のYUVデータを、メモリ106に格納する第1のYUVフォーマット(Aフォーマット)に変換する。同様に、B変換部502は、入力YUVデータを第2のYUVフォーマット(Bフォーマット)に変換し、C変換部503は、入力YUVデータを第3のYUVフォーマット(Cフォーマット)に変換し、D変換部504は、入力YUVデータを第4のYUVフォーマット(Dフォーマット)に変換する。

【0102】

スイッチ部505は、フォーマット判断部500から出力されたYUVフォーマット情報を基に、A変換部501～D変換部504から出力された第1～第4のYUVフォーマットからいずれかを選択して出力する。

【0103】

RGB変換部506は、メモリ106から出力されるYUVフォーマットデータと2ビットのYUVフォーマット情報とに基づき、YUV-RGB変換を行う。

【0104】

次に内部動作について説明する。実施の形態1と同様に、入力RGBデータは、S/P変換部100において水平2画素分のデータに平行化され、YUV変換部101において、RGB-YUV変換される。

【0105】

このYUV変換部101から出力された水平2画素分のYUVデータの第1画素(P1)のYUVデータ(Y1, U1, V1)と第2画素(P2)のYUVデータ(Y2, U2, V2)の内、P1の色差情報(U1, V1)とP2の色差情報(U2, V2)が、フォーマット判断部500に入力される。フォーマット判断部500では、前記水平2画素分の色差差異情報を基にModeビットを選択・出力する。

【0106】

ここで、フォーマット判断部500から出力されるModeビットに関して、U, Vデータ差異が共に閾値(Tu, Tv)以上となる前記第1の選択条件の場合には、Modeビットを2'b00とし、Uデータ差異のみが閾値(Tu)以上となる前記第2の選択条件の場合には、Modeビットを2'b01とし、Vデータ差異のみが閾値(Tv)以上となる前記第3の選択条件の場合には、Modeビットを2'b10とし、U, Vデータ差異が共に閾値(Tu, Tv)よりも小さくなる前記第4の選択条件の場合には、Modeビットを2'b11とする。上記Modeビット値に関しては、必要に応じて変更しても問題はない。

【0107】

また、前記YUV変換部101から出力された水平2画素分のYUVデータのP1のYUVデータ(Y1, U1, V1)とP2のYUVデータ(Y2, U2, V2)は、前記A変換部501～D変換部504にも入力される。

【0108】

フォーマット変換部113-2のA変換部501～D変換部504において変換されるYUVフォーマットに関して説明する。実施の形態2における各選択条件でのYUVフォーマット変換の形式(方式)は、図6(a)に示す第1のフォーマット変換形式507と図6(b)に示す第2のフォーマット変換形式508とに分けられる。本例では、これら2種類のフォーマット変換形式のうちどちらか一方を用いて処理を行う事とする。すなわち本表示駆動回路は、第1または第2のいずれかのフォーマット変換形式を実装した形態とする。他の形態としては、レジスタ設定などによりこれらフォーマット変換形式を選択可能な形態(両方のフォーマット変換形式を実装した形態)としても構わない。また、レジスタ設定はなく外部入力されるピン設定によりフォーマット変換形式を選択する形態としても構わない。

【0109】

まず、図6(a)の第1のフォーマット変換方式507を用いる場合について説明する。前記第1の選択条件、換言すると水平2画素の色差差異情報(|U1-U2|, |V1-V2|)が共に対応する閾値(Tu, Tv)以上となる条件でのフォーマット変換(Aフ

10

20

30

40

50

フォーマット) 507-1では、実施の形態1におけるBフォーマット109-2と同様に、輝度情報を各画素の下位2ビットを削減し、色差情報は各画素の下位3ビットを削減する($Y1[7:2] \& Y2[7:2]$ 、 $U1[7:3] \& U2[7:3]$ 、 $V1[7:3] \& V2[7:3]$)。

【0110】

次に前記第2の選択条件、換言すると水平2画素のUデータ差異情報($|U1 - U2|$)のみが閾値(T_u)以上となる条件の場合のフォーマット変換(Bフォーマット)507-2では、Vデータの差異($|V1 - V2|$)が小さいことから、Vデータは水平2画素を平均化したデータ($(V1 + V2)/2$)を更に下位2ビット削減して6ビットとして格納する。Uデータの差異は大きい為、水平2画素の各画素において、下位3ビットを削減してメモリに格納する($U1[7:3] \& U2[7:3]$)。輝度(Y)データは、水平2画素の各画素において情報量を削減する事なく格納する($Y1[7:0] \& Y2[7:0]$)。

10

【0111】

次に前記第3の選択条件、換言すると水平2画素のVデータ差異情報($|V1 - V2|$)のみが閾値(T_v)以上となる条件の場合のフォーマット変換(Cフォーマット)507-3では、Uデータの差異($|U1 - U2|$)が小さいことから、Uデータは水平2画素を平均化したデータ($(U1 + U2)/2$)を更に下位2ビット削減して6ビットとして格納する。Vデータの差異は大きい為、水平2画素の各画素において、下位3ビットを削減してメモリに格納する($V1[7:3] \& V2[7:3]$)。輝度(Y)データは、水平2画素の各画素において情報量を削減する事なく格納する($Y1[7:0] \& Y2[7:0]$)。

20

【0112】

最後に前記第4の選択条件、換言すると水平2画素の色差差異情報($|U1 - U2|$ 、 $|V1 - V2|$)が共に対応する閾値(T_u 、 T_v)より小さくなる条件でのフォーマット変換(Dフォーマット)507-4は、実施の形態1におけるYUV422フォーマットと同様に、輝度情報を各画素は情報量を削減する事無く格納し($Y1[7:0] \& Y2[7:0]$)、色差情報は水平2画素の平均化した値 $\{(U1 + U2)/2, (V1 + V2)/2\}$ となる。

【0113】

次に、図6(b)の第2のフォーマット変換形式508を用いる場合の各フォーマット変換について説明する。まず前記第1の選択条件のフォーマット変換(Aフォーマット)508-1と、第4の選択条件のフォーマット変換(Dフォーマット)508-4に関しては、前記第1のフォーマット変換形式507の場合(507-1, 507-4)と同様である。

30

【0114】

次に前記第2の選択条件の場合のフォーマット変換(Bフォーマット)508-2では、Vデータの差異($|V1 - V2|$)が小さいことから、Vデータは水平2画素を平均化したデータ($(V1 + V2)/2$)を更に下位2ビット削減して6ビットとして格納する。ここで、第1のフォーマット変換形式507との相違点として、輝度(Y)データは、水平2画素の各画素において1ビット削減して格納し($Y1[7:1] \& Y2[7:1]$)、その分Uデータはデータ格納量を増やす事が可能となり、Uデータは下位2ビットを削減してメモリ106に格納する($U1[7:2] \& U2[7:2]$)。

40

【0115】

また、前記第3の選択条件の場合のフォーマット変換(Cフォーマット)508-3においても、前記第2の選択条件におけるフォーマット変換508-2と同じ考え方により、Uデータは水平2画素を平均化したデータ($(U1 + U2)/2$)を更に下位2ビット削減して6ビットとして格納し、輝度(Y)データは水平2画素の各画素において1ビット削減して格納し($Y1[7:1] \& Y2[7:1]$)、その分Vデータは下位2ビットを削減してメモリ106に格納する($V1[7:2] \& V2[7:2]$)。

【0116】

上記A変換部501～D変換部504において、上記2種類のフォーマット変換形式の

50

どちらかによって変換されたYUVフォーマットデータを、前記フォーマット判断部500から出力されたModeビットに基づき選択し、YUVフォーマット情報であるModeビットと一緒にメモリ106に格納する(d3)。

【0117】

この結果、実施の形態2における各選択条件でのYUVフォーマットデータは、水平2画素で32ビットであり、Modeビット2ビットと合わせて、水平2画素辺り34ビットがメモリ106に格納される。その為、入力表示データ48ビット/2画素と比較して、約3割のデータ量削減を可能とする。

【0118】

次に、メモリ106から出力されたYUVフォーマットデータとModeビットは、RGB変換部506において、Modeビットに基づきYUV-RGB変換を行い、水平2画素分のRGBデータを出力し、P/S変換部108においてシリアル化して1画素毎のRGBデータを出力する(d2)。

【0119】

以上のデータ処理手順により、入力RGBデータはYUV422フォーマットと同程度のメモリ圧縮率(約3割のデータ量を削減)を実現し、かつデータに基づいたYUVフォーマットを選択する事で、従来のYUV422フォーマットのみでメモリ圧縮を行う場合に比べ、入出力データ誤差量を格段に減少できる。

【0120】

次に図7(a)，(b)を用いて、実施の形態2におけるメモリ圧縮方式による画質劣化低減の効果について説明する。図7(a)に示す第1の例では、表示画像を、QVGA解像度、RGB24ビットとした場合に、シアン(C)データ(R=0，G=199，B=199)と、グリーン(緑)データ(R=0，G=252，B=0)の縦ストライプの表示画像600とした場合を例に挙げる。

【0121】

次に、図7(b)に示す第2の例では、表示画像を、QVGA解像度、RGB24ビットとした場合に、イエロー(黄)データ(R=153，G=153，B=0)と、グリーン(緑)データ(R=0，G=252，B=0)の縦ストライプの表示画像605とした場合を例に挙げる。

【0122】

図7(a)に示す第1の例及び図7(b)に示す第2の例では、判断に適用する閾値を、U差、V差ともに16とした場合と、U差、V差ともに4とした場合とにおいて、YUVフォーマットの違いによる画質劣化の相違についても比較して示している。

【0123】

まず、図7(a)に示す第1の例に関して説明する。データ圧縮されない本来の表示データである表示画像600に対し、従来方式のYUV422フォーマットによるデータ圧縮を行った場合、実施の形態1で説明したデータフローに従い、表示画像601が出力される。表示画像601に示すように、シアンデータは、(R=0，G=220，B=94)となり、グリーンデータは、(R=3，G=228，B=102)となる。

【0124】

よって、従来方式によるデータ圧縮後の表示画像601は、シアンデータは、Gデータが21階調、Bデータが105階調ずれており、またグリーンデータに関しては、Rデータが3階調、Gデータが24階調、Bデータが102階調ずれている。その結果、シアンとグリーンのストライプの表示画像はデータ誤差により色バランスが崩れて画質劣化が大きい事が分かる。

【0125】

一方、実施の形態2での第1及び第2のフォーマット変換形式(507，508)のそれぞれにより処理を行った場合、まず、水平2画素のYUVデータが導き出され、1画素目は(Y1，U1，V1)=(139，33，-99)となり、2画素目は(Y2，U2，V2)=(147，-83，-105)となる。

10

20

30

40

50

【 0 1 2 6 】

ここで、色差 (U , V) データ差異が $|U_1 - U_2| = 116$, $|V_1 - V_2| = 6$ となることから、U 差、V 差の閾値をともに 16 に設定した場合には、選択条件は、前記第 2 の選択条件となり、即ち B 変換による B フォーマットが選択される。メモリ圧縮後の表示画像は、第 1 フォーマット変換形式 5 0 7 の表示画像 6 0 2 は、シアンデータ (R = 0 , G = 199 , B = 195) となり、グリーンデータは (R = 6 , G = 245 , B = 5) となり、第 2 のフォーマット変換形式 5 0 8 の表示画像 6 0 3 は、シアンデータ (R = 0 , G = 198 , B = 194) となり、グリーンデータは (R = 5 , G = 244 , B = 4) となる。

【 0 1 2 7 】

以上より、第 1 のフォーマット変換形式 5 0 7 の場合には、シアンデータは B データが 4 階調のずれとなり、グリーンデータは R データが 6 階調、G データが 7 階調、B データが 5 階調のずれとなる。また、第 2 のフォーマット変換形式 5 0 8 の場合には、シアンデータは G データが 1 階調、B データが 5 階調のずれとなり、グリーンデータは R データが 5 階調、G データが 8 階調、B データが 4 階調のずれとなる。よって、閾値を 16 とした場合において、いずれのフォーマット変換形式の場合にも、データ誤差が小さい事が分かる。

【 0 1 2 8 】

一方、U 差、V 差の閾値をともに 4 とした場合には、選択条件は、前記第 1 の選択条件となり、即ち A 変換による A フォーマットが選択される。よって、メモリ圧縮後の表示画像は、第 1 と第 2 のフォーマット変換形式 (5 0 7 , 5 0 8) で共に、表示画像 6 0 4 となる。表示画像 6 0 4 で、シアンデータは (R = 0 , G = 193 , B = 192) となり、グリーンデータは (R = 0 , G = 245 , B = 2) となる。

【 0 1 2 9 】

以上より、第 1 及び第 2 のフォーマット変換形式 (5 0 7 , 5 0 8) では共に、シアンデータは G データが 6 階調、B データが 7 階調のずれとなり、グリーンデータは G データが 7 階調、B データが 2 階調のずれとなる。よって、閾値が 4 の場合においても、従来方式の変換と比べてデータ誤差が小さい事が分かる。

【 0 1 3 0 】

次に、図 7 (b) に示す第 2 の例に関して説明する。データ圧縮されない本来の表示データである表示画像 6 0 5 に対し、従来方式の Y U V 4 2 2 フォーマットによるデータ圧縮を行った場合の表示画像 6 0 6 は、第 1 の例と同様に、原画像からデータ誤差量が多く画質劣化が大きい事が分かる。

【 0 1 3 1 】

一方、実施の形態 2 での第 1 及び第 2 のフォーマット変換形式 (5 0 7 , 5 0 8) のそれぞれで処理を行った場合、第 1 の例と同様なデータ計算による色差データ差異結果から、U 差 = 7 , V 差 = 105 である事が分かるので、U 差、V 差の閾値を共に 16 にした場合には、選択条件は、前記第 3 の選択条件 (C 変換による C フォーマット) となる。

【 0 1 3 2 】

その結果、第 1 のフォーマット変換形式 5 0 7 においては、表示画像 6 0 7 となり、第 2 のフォーマット変換形式 5 0 8 の場合においては表示画像 6 0 8 となり、第 1 の例と同様に、閾値を 16 とした場合において、第 1 及び第 2 のフォーマット変換形式のいずれの場合にも、データ誤差が小さい事が分かる。

【 0 1 3 3 】

また、U 差、V 差の閾値を共に 4 とした場合には、選択条件は、前記第 1 の選択条件 (A 変換による A フォーマット) となる。その結果、第 1 と第 2 のフォーマット変換形式は共に表示画像 6 0 9 となるので、閾値を 4 とした場合においても第 1 の例と同様に従来方式の変換と比べて原画像とのデータ誤差は小さい。

【 0 1 3 4 】

また、実施の形態 2 の表示駆動回路を含む液晶表示装置及び表示システムの構成は、図 4 と同様である。

【 0 1 3 5 】

以上のように、実施の形態 2 においては、実施の形態 1 と同様に、従来の Y U V 4 2 2 フォーマットによるメモリ圧縮方式と同程度の圧縮率の実現可能であり、また従来方式に比べ原画像とのデータ誤差は格段に小さい。

【 0 1 3 6 】

(実施の形態 3)

次に、本発明の実施の形態 3 を、図 8 並びに前記図 2 , 図 4 を用いて説明する。図 8 (a) は、実施の形態 3 の表示駆動回路におけるメモリ部 1 1 2 - 3 のブロック構成を実施の形態 1 と同様に示している。図 8 (b) は、実施の形態 3 におけるメモリ格納データ処理におけるフォーマット変換内容や選択条件等について実施の形態 1 と同様に示す。

10

【 0 1 3 7 】

実施の形態 1 及び 2 においては選択する Y U V フォーマットデータを水平 2 画素分としていたのに対し、本実施の形態 3 では、選択する Y U V フォーマットデータを、隣接する水平 4 画素 (P 1 ~ P 4 とする) 分として削減するデータ量を増やすことで、圧縮率を更に高めた Y U V フォーマット切り替えデータ圧縮方式とする。

【 0 1 3 8 】

まず、図 8 を用いて本実施の形態 3 における表示駆動回路におけるメモリ制御及び処理方法に関して説明する。図 8 において内部構成を説明する。メモリ部 1 1 2 - 3 では、水平 4 画素の色差 (U , V) 情報をもとにメモリ 1 0 6 に格納する Y U V データフォーマットを選択するメモリ圧縮方式の処理を行う。本方式において、選択する Y U V データフォーマットは、隣接画素の色差 (U , V) データ差異が小さい場合には、4 画素分の色差 (U , V) データを平均化した Y U V フォーマットとする。一般的に本フォーマットは、Y U V 4 1 1 フォーマットと呼ばれている。以下では Y U V 4 1 1 フォーマットと称する。また、上記 Y U V 4 1 1 フォーマットの場合に色差 (U , V) データの平均化によるデータ誤差が大きい場合には、色差データの平均化を、上記 4 画素の中で、色差データ差異が最も大きい隣接画素で左右 2 領域に分けて色差を平均化する事で、データ誤差量を小さくする Y U V データフォーマットとする。

20

【 0 1 3 9 】

具体的な実現手段を以下で説明する。なお、入力されるデータが 2 4 ビット R G B データの場合で説明する。まず、メモリ 1 0 6 に格納される Y U V フォーマットデータを、表示データの隣接水平 4 画素 { P 1 (Y 1 , U 1 , V 1) ~ P 4 (Y 4 , U 4 , V 4) } の色差差異情報 (| U 1 - U 2 | , | U 2 - U 3 | , | U 3 - U 4 | , | V 1 - V 2 | , | V 2 - V 3 | , | V 3 - V 4 |) をもとに Y U V フォーマットを選択するものとする。

30

【 0 1 4 0 】

上記選択の際の選択条件は、下記第 1 ~ 第 4 の選択条件で区分けする。第 1 の選択条件は、隣接 U データ差異の内、| U 1 - U 2 | が最大 U データ差異 (U 差 max) となり、また隣接 V データ差異の内、| V 1 - V 2 | が最大 V データ差異 (V 差 max) となり、かつ | U 1 - U 2 | , | V 1 - V 2 | 共に閾値 (T u , T v) 以上であることである。第 2 の選択条件は、隣接 U データ差異の内、| U 2 - U 3 | が最大 U データ差異となり、また隣接 V データ差異の内、| V 2 - V 3 | が最大 V データ差異となり、かつ | U 2 - U 3 | , | V 2 - V 3 | 共に閾値 (T u , T v) 以上であることである。

40

第 3 の選択条件は、隣接 U データ差異の内、| U 3 - U 4 | が最大 U データ差異となり、また隣接 V データ差異の内、| V 3 - V 4 | が最大 V データ差異となり、かつ | U 3 - U 4 | , | V 3 - V 4 | 共に閾値 (T u , T v) 以上であることである。第 4 の選択条件は、上記 4 画素の隣接 U 差 (| U 1 - U 2 | , | U 2 - U 3 | , | U 3 - U 4 |) 、隣接 V 差 (| V 1 - V 2 | , | V 2 - V 3 | , | V 3 - V 4 |) のすべてが、閾値 (T u , T v) 以下となることである。

【 0 1 4 1 】

第 1 ~ 第 3 の選択条件時は、輝度データは上記 4 画素夫々の下位 1 ビットを削減し、色差 (U , V) データは色差差異情報が最も大きい箇所、つまり、第 1 の選択条件 : P 1 -

50

P 2 間、第 2 の選択条件：P 2 - P 3 間、第 3 の選択条件：P 3 - P 4 間に対し、左画素領域と右画素領域に分けて、各領域で色差（U，V）を平均化したフォーマットとする。第 4 の選択条件時は、前記 Y U V 4 1 1 フォーマットによりメモリ 1 0 6 に格納する。

【 0 1 4 2 】

以上の構成とする事で、実施の形態 1 及び 2 と比較して Y U V 情報量が削減され、入力データに対して約 5 0 % データ圧縮率を実現し、かつ実施の形態 1 及び 2 と同様に、色差情報により選択フォーマットを変更する事により、画質劣化を軽減する事が可能となる。

【 0 1 4 3 】

メモリ部 1 1 2 - 3 において、入力データに対する S / P 変換部 7 0 0 は、入力データ 1 画素単位に対し、4 画素が並列処理を行う為の平行化を行う。また、出力画素に対する P / S 変換部 7 1 1 に関しても同様に、4 画素データに対して 1 画素データ単位のシリアル化を行う。また、前記平行化された水平 4 画素分の Y U V データは、フォーマット変換部 1 1 3 - 3 における A 変換部 7 0 2 ~ D 変換部 7 0 5 において処理される。フォーマット変換部 1 1 3 - 3 では、図 8（b）に示す実施の形態 3 でのフォーマット変換形式 7 0 6 で Y U V 変換を行う。

10

【 0 1 4 4 】

また、メモリ 1 0 6 に格納する Y U V データフォーマットを入力されたフォーマット判断部 7 0 1 に関しては、前記第 1 ~ 第 4 の選択条件について判断・選択する。フォーマット判断部 7 0 1 から出力される Mode ビットに関して、前記第 1 の選択条件の場合には、Mode ビットを 2 ' b 0 0 とし、前記第 2 の選択条件の場合には、Mode ビットを 2 ' b 0 1 とし、前記第 3 の選択条件の場合には、Mode ビットを 2 ' b 1 0 とし、前記第 4 の選択条件の場合には、Mode ビットを 2 ' b 1 0 とする。

20

【 0 1 4 5 】

図 8（b）において、A フォーマット 7 0 7 は、輝度情報を各画素の下位 1 ビットを削減し、色差（U，V）情報は、P 1 の下位 3 ビットを削減し、P 2 ~ P 4 を平均化し、下位 2 ビットを削減するフォーマット（5 0 ビット / 4 画素）である。B フォーマット 7 0 8 は、輝度情報を各画素の下位 1 ビットを削減し、色差（U，V）情報は、P 1 ~ P 2 を平均化し下位 3 ビットを削減し、P 3 ~ P 4 を平均化し下位 3 ビットを削減したフォーマット（4 8 ビット / 4 画素）である。C フォーマット 7 0 9 は、輝度情報を各画素の下位 1 ビットを削減し、色差（U，V）情報は、P 1 ~ P 3 を平均化し下位 2 ビットを削減し、P 4 の下位 3 ビットを削減したフォーマット（5 0 ビット / 4 画素）である。D フォーマット 7 1 0 は、輝度情報を各画素は情報量を削減する事無く格納し、色差情報は水平 4 画素の平均化した値となる。

30

【 0 1 4 6 】

その他の Y U V 変換部 1 0 1、スイッチ部（4 T O 1 セレクタスイッチ）5 0 5、メモリ 1 0 6、R G B 変換部 5 0 6 に関しては、基本的に実施の形態 1 及び 2 において説明している機能と同一である。

【 0 1 4 7 】

実施の形態 3 におけるレジスタ設定は図 2 に示したものと同様である。また、実施の形態 3 における液晶表示装置及び表示システム構成は、図 4 と同様である。また、本実施の形態 3 における Y U V フォーマット化される画素としては水平 4 画素に関して述べたが、この画素数を他の画素数とした形態であっても問題ない。

40

【 0 1 4 8 】

以上説明した本実施の形態 3 におけるメモリ部 1 1 2 - 3 の構成とした場合、メモリ 1 0 6 に格納されるデータ量は入力データに対して、約 5 0 % のデータ量とする事が可能であり、かつ入力データの圧縮・伸張における Y U V データ誤差による画質劣化が少なくなる Y U V フォーマットを選択する事で低コスト化と高画質化の両立が可能となる。

【 0 1 4 9 】

（実施の形態 4）

次に、本発明の実施の形態 4 を、図 9 並びに前記図 2，図 4 を用いて説明する。図 9（

50

a) は、実施の形態 4 の表示駆動回路におけるメモリ部 112 - 4 のブロック構成を実施の形態 1 と同様に示している。図 9 (b) は、実施の形態 4 におけるメモリ格納データ処理におけるフォーマット変換内容や選択条件等について実施の形態 1 と同様に示す。

【0150】

実施の形態 1 及び 2 においては選択する YUV フォーマットデータを水平 2 画素分としていたのに対し、実施の形態 4 では、選択する YUV フォーマットデータを水平 2 画素 (P1, P2)、垂直 2 画素 (P3, P4) の合計 4 画素分 (ブロック) として削減するデータ量を増やす。これにより、圧縮率を更に高めた YUV フォーマット切り替えデータ圧縮方式とする。さらに水平 2 画素・垂直 2 画素としてブロック型 YUV フォーマットとする事で、垂直方向の画質劣化を考慮して画質劣化を低減する。

10

【0151】

まず、図 9 を用いて本実施の形態 4 における表示駆動回路におけるメモリ制御及び処理方法に関して説明する。図 9 (a) において内部構成を説明する。実施の形態 4 におけるメモリ部 112 - 4 では、水平 2 画素及び垂直 2 画素の色差 (U, V) 情報をもとにメモリ 106 に格納する YUV データフォーマットを選択するメモリ圧縮方式の処理を行う。本方式において、選択する YUV データフォーマットは、隣接画素の色差 (U, V) データ差異が小さい場合には、上記 4 画素分の色差 (U, V) データを平均化した YUV フォーマットとする。一般的に本フォーマットは、YUV 420 フォーマットと呼ばれている。以下では YUV 420 フォーマットと称する。また、上記 YUV 420 フォーマットの場合に色差 (U, V) データの平均化によるデータ誤差が大きい場合には、色差データの平均化を、上記 4 画素の中で、色差データ差異が最も大きい隣接画素で左右 2 領域に分けて色差を平均化する事で、データ誤差量を小さくする YUV データフォーマットとする。

20

【0152】

具体的な実現手段を以下で説明する。なお、入力されるデータが 24 ビット RGB データの場合で説明する。まず、メモリ 106 に格納される YUV フォーマットデータを、表示データの隣接 4 画素 (P1 (Y1, U1, V1) ~ P4 (Y4, U4, V4)) のブロックの色差差異情報 ($|U1 - U2|$, $|U2 - U3|$, $|U3 - U4|$, $|V1 - V2|$, $|V2 - V3|$, $|V3 - V4|$) をもとに YUV フォーマットを選択するものとする。

【0153】

上記選択の際の選択条件は、下記第 1 ~ 第 3 の選択条件で分けする。第 1 の選択条件は、隣接 U データ差異の内、 $|U1 - U2|$ もしくは $|U3 - U4|$ が最大 U データ差異となり、また隣接 V データ差異の内、 $|V1 - V2|$ もしくは $|V3 - V4|$ が最大 V データ差異となり、かつ $|U1 - U2|$ もしくは $|U3 - U4|$, $|V1 - V2|$ もしくは $|V3 - V4|$ が閾値以上であることである。

30

【0154】

第 2 の選択条件は、隣接 U データ差異の内、 $|U1 - U3|$ もしくは $|U2 - U4|$ が最大 U データ差異となり、また隣接 V データ差異の内、 $|V1 - U3|$ もしくは $|V2 - V4|$ が最大 V データ差異となり、かつ $|U1 - U3|$ もしくは $|U2 - U4|$, $|V1 - V3|$ もしくは $|V2 - V4|$ が閾値以上であることである。

【0155】

第 3 の選択条件は、上記 4 画素の隣接 U 差 ($|U1 - U2|$, $|U1 - U3|$, $|U2 - U4|$, $|U3 - U4|$)、隣接 V 差 ($|V1 - V2|$, $|V1 - V3|$, $|V2 - V4|$, $|V3 - V4|$) のすべてが、閾値よりも小さくなることである。

40

【0156】

第 1 の選択条件時は、輝度データは上記 4 画素夫々の下位 1 ビットを削減し、色差 (U, V) データは色差差異情報が最も大きい箇所、つまり、P1 - P2 間もしくは P3 - P4 間に対し、左画素領域と右画素領域に分けて、各領域で色差 (U, V) を平均化したフォーマットとする。第 2 の選択条件時は、輝度データは上記 4 画素夫々の下位 1 ビットを削減し、色差 (U, V) データは色差差異情報が最も大きい箇所、つまり、P1 - P3 間もしくは P2 - P4 間) に対し、上領域と下領域に分けて、各領域で色差 (U, V) を平均

50

化したフォーマットとする。第3の選択条件時は、上記YUV420フォーマットによりメモリ106に格納する。

【0157】

以上の構成とする事で、実施の形態1及び2と比較してYUV情報量が削減され、入力データに対して約50%データ圧縮率を実現し、かつ実施の形態1及び2と同様に、色差情報により選択フォーマットを変更する事により、画質劣化を軽減する事が可能となる。

【0158】

メモリ部112-4の構成において、入力データに対するS/P変換部800は、入力データ1画素単位に対し、4画素が並列処理を行う為の平行化を行う。また、出力画素に対するP/S変換部810に関しても同様に、4画素データに対して1画素データ単位のシリアル化を行う。この時、入力データは垂直2ライン分データを連続で入力する為、メモリ部112-4に入力されるデータの前処理ではラインメモリが必要とされる。また、前記平行化された4画素分のYUVデータは、フォーマット変換部113-4のA変換部802~C変換部804において処理される。

10

【0159】

また、メモリ106に格納するYUVデータフォーマットを入力されたフォーマット判断部801に関しては、上記第1~第3の条件について判断・選択する。また、フォーマット判断部801から出力されるModeビットに関して、前記第1の選択条件の場合には、Modeビットを2'b00とし、前記第2の選択条件の場合には、Modeビットを2'b01とし、前記第3の選択条件の場合には、Modeビットを2'b10とする。

20

【0160】

図9(b)で、Aフォーマット806は、輝度情報を各画素の下位1ビットを削減し、色差(U,V)情報は、P1とP3を平均化し下位3ビットを削減し、P2とP4を平均化し下位3ビットを削減するフォーマットである。Bフォーマット807は、輝度情報を各画素の下位1ビットを削減し、色差(U,V)情報は、P1とP2を平均化し下位3ビットを削減し、P3とP4を平均化し下位3ビットを削減するフォーマットである。Dフォーマット808は、輝度情報を各画素は情報量を削減する事無く格納し、色差情報は4画素の平均化した値となる。

【0161】

その他のYUV変換部101、メモリ106、スイッチ部(3TO1スイッチ)809、RGB変換部506に関しては、基本的に実施の形態1及び2において説明している機能と同一である。

30

【0162】

実施の形態4におけるレジスタ設定は図2に示したものと同様である。また、実施の形態4における液晶表示装置及び表示システム構成は、図4と同様である。また、本実施の形態4におけるYUVフォーマット化される画素としては水平2画素及び垂直2画素の4画素のブロックに関して述べたが、この画素数を他の画素数とした形態であっても問題ない。

【0163】

以上説明した本実施の形態4におけるメモリ部112-4の構成とした場合、メモリ106に格納されるデータ量は入力データに対して、約50%のデータ量とする事が可能であり、かつ入力データの圧縮・伸張におけるYUVデータ誤差による画質劣化が少なくなるYUVフォーマットを選択する事で低コスト化と高画質化の両立が可能となる。

40

【0164】

前述した各実施の形態では、液晶表示装置400を前提に説明を行ったが、これに限られず、印加する電圧によって表示輝度を制御する他の表示デバイス、例えば有機ELディスプレイ等にも適用可能である。また、各実施の形態では、説明を簡単にするため、液晶の駆動等で必要な極性反転駆動に関する概念を省いたが、コモン反転、列毎反転、ドット反転、コモン反転駆動といった各種方式へも容易に適用可能である。また、表示データの

50

ビット数をRGB夫々8ビットとなる形式としたが、これに限られない。さらに、各実施の形態では、YUVフォーマットの調整に関するU、V差閾値情報をレジスタ(110, 111)に記憶させることを前提に説明したが、これに限られず、例えば端子設定(上記レジスタ無し)としてもよい。また、メモリ部112の構成は、ドライバ即ち信号線駆動回路402の内部に構成する事を前提にしているが、これに限られず、メモリ106を外部接続とした形態も可能である。例えばMPU411の内部に前記メモリ部112相当を構成しても構わない。また、MPU411と信号線駆動回路402の間のブリッジチップを構成した場合において、前記ブリッジチップ内部に、上記メモリ相当を構成しても構わない。また、メモリに格納するデータのフォーマットをYUVフォーマットとしたが、他のフォーマットでも適用可能である。

10

【0165】

以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることは言うまでもない。

【産業上の利用可能性】

【0166】

本発明は、デジタル信号処理して表示を行うデジタル表示装置及びシステムに利用可能である。

【図面の簡単な説明】

【0167】

【図1】(a)は、本発明の実施の形態1の表示駆動回路におけるメモリ制御及び処理方法に関するブロック構成図であり、(b)は、同回路におけるYUVフォーマット変換について示す説明図である。

20

【図2】本発明の各実施の形態における、U差閾値レジスタ表及びV差閾値レジスタ表を示す図である。

【図3】(a)、(b)は、本発明の実施の形態1における、YUVフォーマットメモリ圧縮の表示画像の例における効果を示す説明図であり、(a)はホワイトとマゼンタのストライプの表示画像の画質劣化低減効果を示し、(b)はホワイトとグレーのストライプの表示画像の画質劣化低減効果を示す。

【図4】本発明の一実施の形態における液晶表示装置及び表示システムの構成図である。

30

【図5】本発明の実施の形態2の表示駆動回路におけるメモリ制御及び処理方法に関するブロック構成図である。

【図6】(a)、(b)は、本発明の実施の形態2の表示駆動回路における2種類のYUV変換である第1及び第2のフォーマット変換形式を示す説明図である。

【図7】(a)、(b)は、本発明の実施の形態2における、YUVフォーマットメモリ圧縮の表示画像の例における効果を示す説明図であり、(a)はシアンとグリーンのストライプの表示画像の画質劣化低減効果を示し、(b)はイエローとグリーンのストライプの表示画像の画質劣化低減効果を示す。

【図8】(a)は、本発明の実施の形態3の表示駆動回路におけるメモリ制御及び処理方法に関するブロック構成図であり、(b)は、同回路におけるYUVフォーマット変換を示す説明図である。

40

【図9】(a)は、本発明の実施の形態4の表示駆動回路におけるメモリ制御及び処理方法に関するブロック構成図であり、(b)は、同回路におけるYUVフォーマット変換を示す説明図である。

【符号の説明】

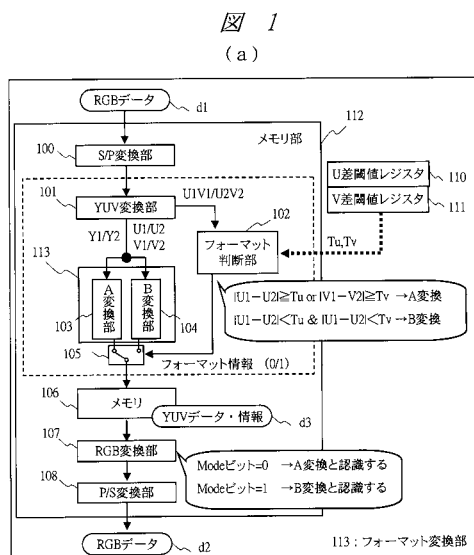
【0168】

100...S/P変換部、101...YUV変換部(RGB-YUV変換部)、102...メモリ格納データフォーマット判断部(フォーマット判断部)、103...A変換部(YUVデータのAフォーマット変換部)、104...B変換部(YUVデータのBフォーマット変換部)、105...スイッチ部(2セレクタスイッチ)、106...メモリ(表示データ格納

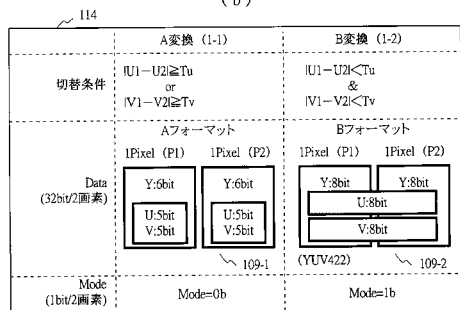
50

メモリ)、107...RGB変換部(YUV-RGB変換部)、108...P/S変換部、109-1...Aフォーマット、109-2...Bフォーマット、110...U差閾値レジスタ、111...V差閾値レジスタ、112, 112-2, 112-3, 112-4...メモリ部(メモリ処理部)、113, 113-2, 113-3, 113-4...メモリ格納データフォーマット変換部(フォーマット変換部)、114...フォーマット変換形式、200...U差閾値レジスタ表、201...V差閾値レジスタ表、301...ホワイトとマゼンタのストライプ原画像、302...従来変換による表示画像、303...A変換による表示画像、304...ホワイトとグレーのストライプ原画像、305...従来変換による表示画像、306...B変換による表示画像、400...液晶表示装置、401...液晶パネル、402...信号線駆動回路、403...走査線駆動回路、404...電源回路、405...制御レジスタ部、406...システムインタフェース(シリアルインタフェース)、407...メモリ制御部、408...表示データ格納メモリ(RAM)、409...階調電圧生成回路、410...DAC回路(デコード回路)、411...MPU、500...フォーマット判断部、501...A変換部、502...B変換部、503...C変換部、504...D変換部、505...4セレクトスイッチ、506...RGB変換部(YUV-RGB変換部)、507...第1のフォーマット変換形式、507-1...Aフォーマット、507-2...Bフォーマット、507-3...Cフォーマット、507-4...Dフォーマット、508...第2のフォーマット変換形式、508-1...Aフォーマット、508-2...Bフォーマット、508-3...Cフォーマット、508-4...Dフォーマット、600...シアンとグリーンのストライプ原画像、601...従来変換による表示画像、602...第1のフォーマット変換形式による表示画像(閾値=16の場合)、603...第2のフォーマット変換形式による表示画像(閾値=16の場合)、604...第1及び第2のフォーマット変換形式による表示画像(閾値=4の場合)、605...イエローとグリーンのストライプ原画像、606...従来変換による表示画像、607...第1のフォーマット変換形式による表示画像(閾値=16の場合)、608...第2のフォーマット変換形式による表示画像(閾値=16の場合)、609...第1及び第2のフォーマット変換形式による表示画像(閾値=4の場合)、700...S/P変換部、701...フォーマット判断部、702...A変換部、703...B変換部、704...C変換部、705...D変換部、706...フォーマット変換形式、707...Aフォーマット、708...Bフォーマット、709...Cフォーマット、710...Dフォーマット、711...P/S変換部、800...S/P変換部、801...フォーマット判断部、802...A変換部、803...B変換部、804...C変換部、805...フォーマット変換形式、806...Aフォーマット、807...Bフォーマット、808...Cフォーマット、809...3TO1セレクトスイッチ、810...P/S変換部。

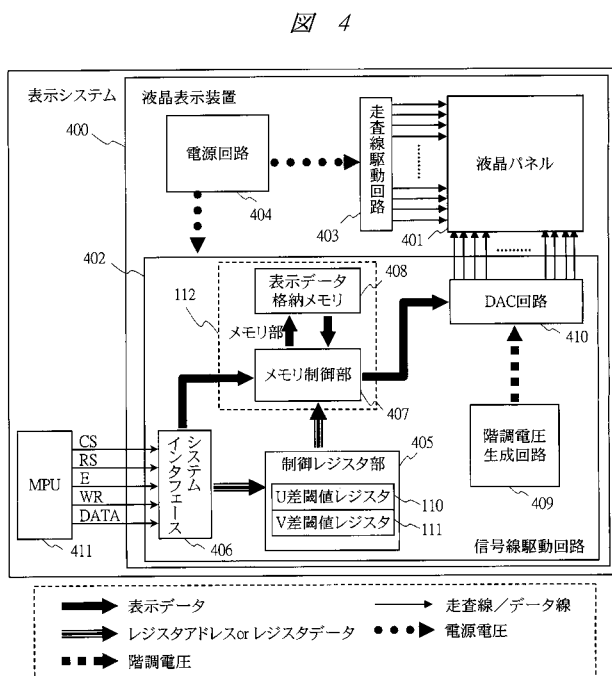
【 図 1 】



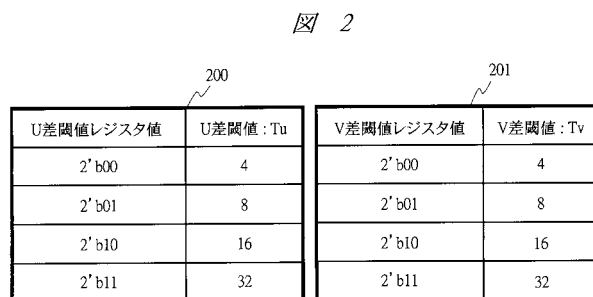
(b)



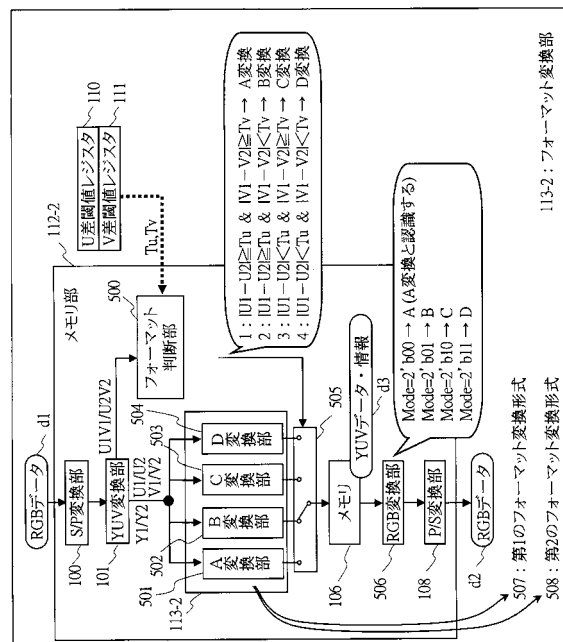
【圖 4】



【 図 2 】

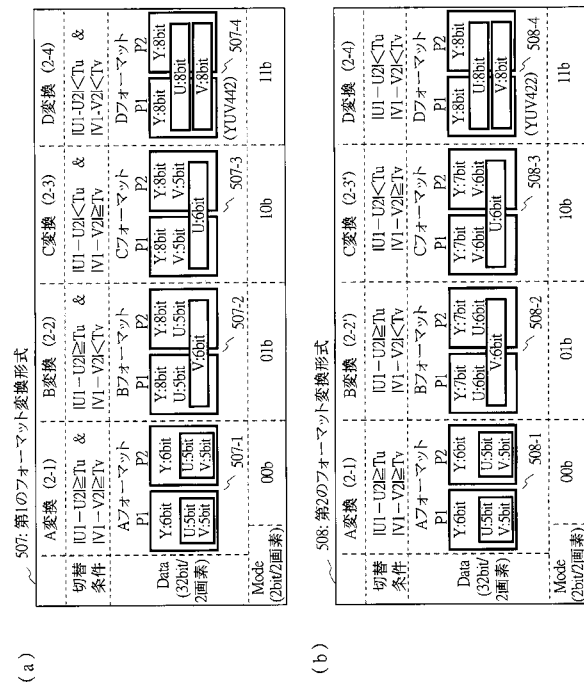


【 図 5 】



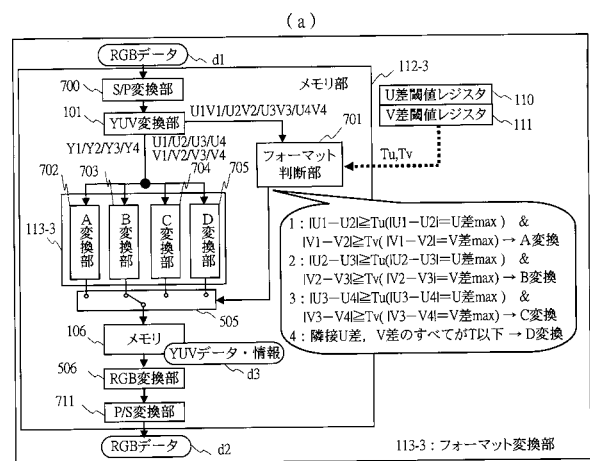
【図6】

図6



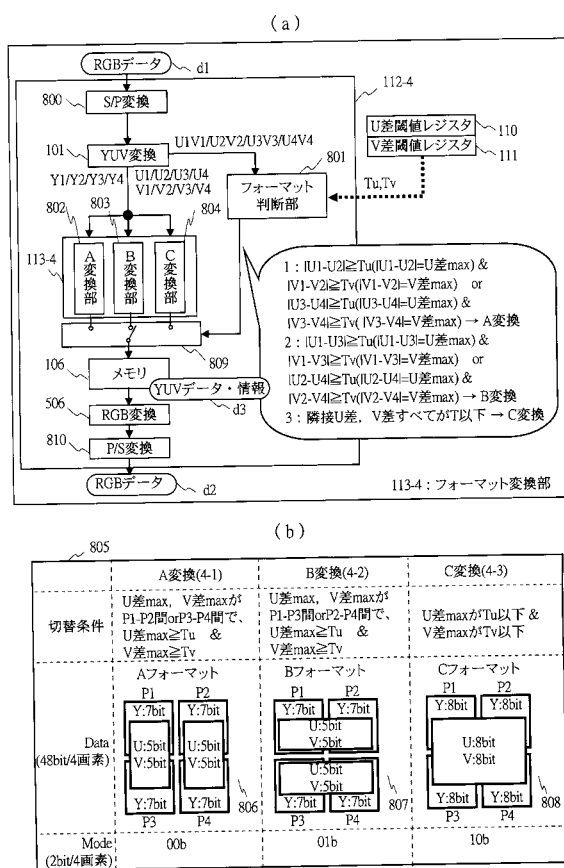
【図8】

図8



【図9】

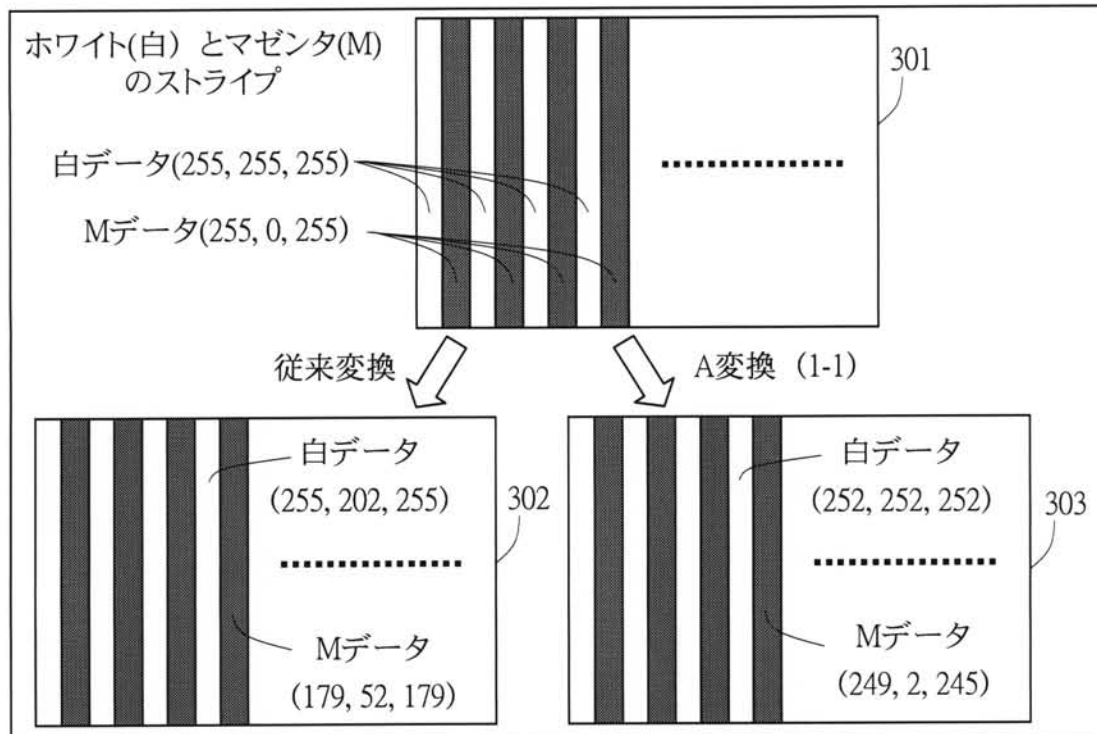
図9



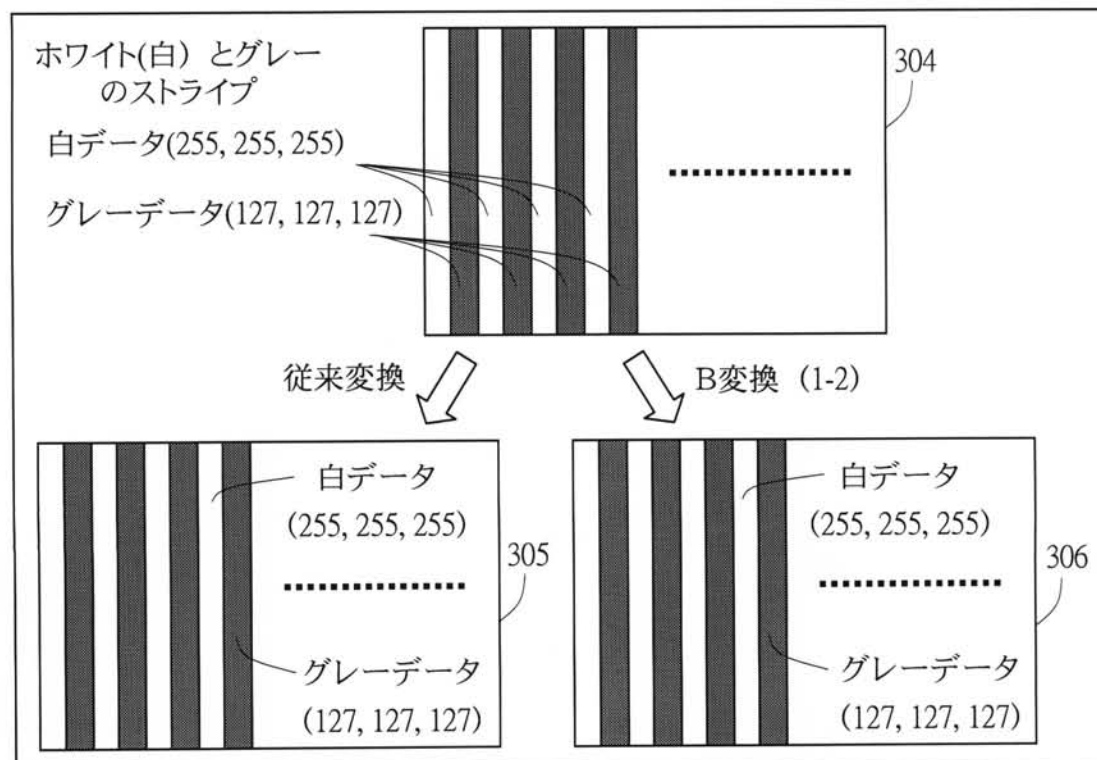
【図 3】

図 3

(a)



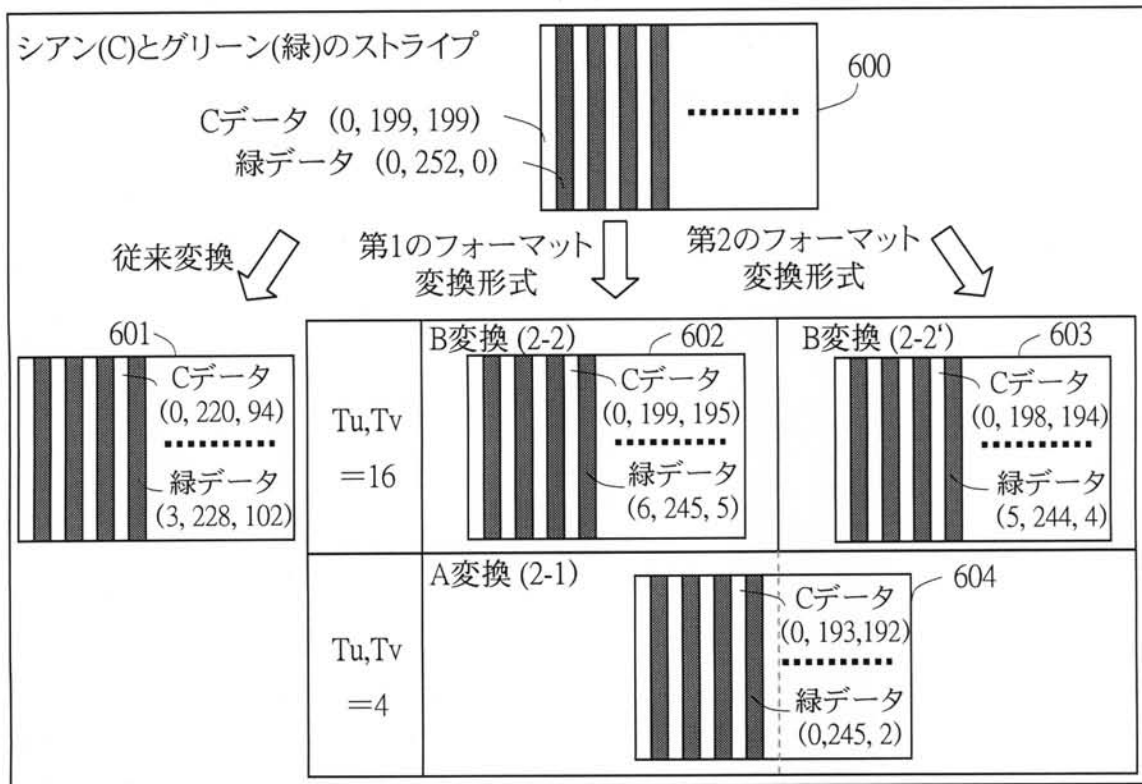
(b)



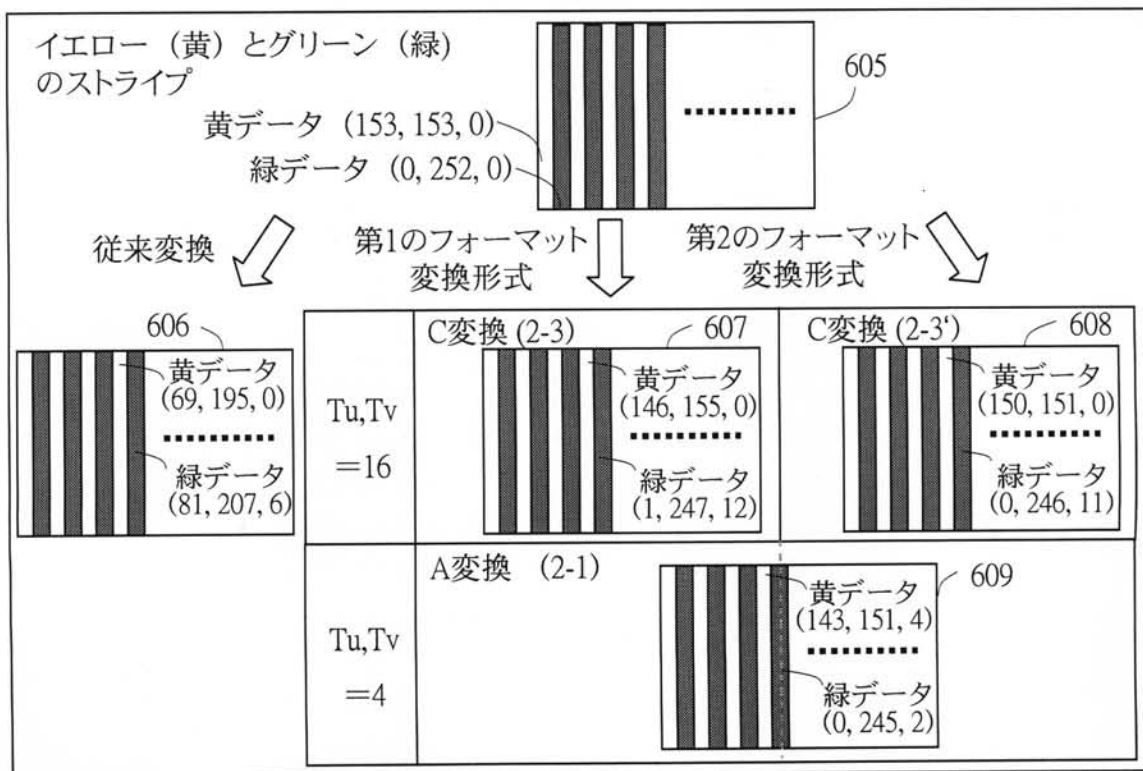
【図 7】

図 7

(a)



(b)



フロントページの続き

(51) Int.Cl.	F I	テーマコード (参考)
	G 0 9 G 3/20	6 4 2 J
	G 0 9 G 3/20	6 5 0 M
	G 0 9 G 3/20	6 3 1 B
	G 0 9 G 3/20	6 2 3 J
	G 0 9 G 5/00	5 5 0 M
	H 0 4 N 1/40	D
	H 0 4 N 1/46	Z

(72)発明者 坂巻 五郎

東京都千代田区丸の内二丁目4番1号 株式会社ルネサステクノロジ内

Fターム(参考) 5C006 AA22 AF01 AF25 AF26 AF45 AF46 AF51 AF52 AF53 AF61
 AF69 AF85 BB16 BC16 BF14 BF24 EB04 FA44 FA47 FA56
 5C077 LL17 MP01 MP08 PP32 PP34 PP37 PQ08 PQ22 SS06 TT10
 5C079 HB01 HB04 HB11 LA26 LA31 LB01 MA01 MA17 NA10 PA05
 5C080 AA10 BB05 CC03 DD03 DD22 DD26 DD27 DD28 EE30 FF11
 JJ02 JJ05
 5C082 AA01 AA02 AA03 BA02 BA12 BA27 BA34 BA35 BB15 BB44
 BD02 CA12 DA53 MM04 MM07

专利名称(译)	表示驱动回路		
公开(公告)号	JP2007108439A	公开(公告)日	2007-04-26
申请号	JP2005299332	申请日	2005-10-13
[标]申请(专利权)人(译)	株式会社瑞萨科技		
申请(专利权)人(译)	瑞萨科技公司		
[标]发明人	高田直樹 工藤泰幸 坂巻五郎		
发明人	高田 直樹 工藤 泰幸 坂巻 五郎		
IPC分类号	G09G3/36 G09G5/00 G09G3/20 H04N1/60 H04N1/46		
CPC分类号	G09G3/2003 G09G2340/02 G09G2340/06		
FI分类号	G09G3/36 G09G5/00.555.A G09G5/00.550.H G09G3/20.632.B G09G3/20.631.R G09G3/20.642.J G09G3/20.650.M G09G3/20.631.B G09G3/20.623.J G09G5/00.550.M H04N1/40.D H04N1/46.Z H04N1/56 H04N1/60 H04N1/60.020 H04N1/60.110 H04N1/60.160 H04N1/60.970		
F-TERM分类号	5C006/AA22 5C006/AF01 5C006/AF25 5C006/AF26 5C006/AF45 5C006/AF46 5C006/AF51 5C006/AF52 5C006/AF53 5C006/AF61 5C006/AF69 5C006/AF85 5C006/BB16 5C006/BC16 5C006/BF14 5C006/BF24 5C006/EB04 5C006/FA44 5C006/FA47 5C006/FA56 5C077/LL17 5C077/MP01 5C077/MP08 5C077/PP32 5C077/PP34 5C077/PP37 5C077/PQ08 5C077/PQ22 5C077/SS06 5C077/TT10 5C079/HB01 5C079/HB04 5C079/HB11 5C079/LA26 5C079/LA31 5C079/LB01 5C079/MA01 5C079/MA17 5C079/NA10 5C079/PA05 5C080/AA10 5C080/BB05 5C080/CC03 5C080/DD03 5C080/DD22 5C080/DD26 5C080/DD27 5C080/DD28 5C080/EE30 5C080/FF11 5C080/JJ02 5C080/JJ05 5C082/AA01 5C082/AA02 5C082/AA03 5C082/BA02 5C082/BA12 5C082/BA27 5C082/BA34 5C082/BA35 5C082/BB15 5C082/BB44 5C082/BD02 5C082/CA12 5C082/DA53 5C082/MM04 5C082/MM07 5C182/AA02 5C182/AA03 5C182/AB08 5C182/AC02 5C182/AC03 5C182/CA12 5C182/CA36 5C182/DA05 5C182/DA06 5C182/DA12 5C182/DA13 5C182/DA14 5C182/DA41 5C182/DA53 5C182/DA66		
代理人(译)	筒井大和		
外部链接	Espacenet		

摘要(译)

要解决的问题：通过减少将显示数据存储到液晶显示装置等的显示驱动电路中的存储器中的数据量来减小尺寸来降低成本。解决方案：要存储到存储器106中的YUV格式基于格式确定部分102中关于作为输入的RGB数据（d1，d2）的水平两个元素的色差（U，V）之间的差异的信息的比较，从A或B中选择A或B。在格式转换部分113中经过YU或A格式转换的YUV数据和格式信息（d3）被存储到存储器106中。选择YUV422（B转换）并输出显示数据。如果关于色差之间的差异的信息小于阈值并且通过切断每个元素的Y，U，V的较低等级比特获得的转换（A转换），则作为A或B的YUV格式转换如果信息更大，则选举产生。Z

