

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2006-322959

(P2006-322959A)

(43) 公開日 平成18年11月30日(2006.11.30)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/36 (2006.01)	G09G 3/36	2H092
G09G 3/20 (2006.01)	G09G 3/20 621M	2H093
G02F 1/1345 (2006.01)	G09G 3/20 623X	5C006
G02F 1/133 (2006.01)	G09G 3/20 642A	5C080
	G02F 1/1345	
審査請求 未請求 請求項の数 5 O L (全 16 頁) 最終頁に続く		

(21) 出願番号 特願2005-143473 (P2005-143473)
 (22) 出願日 平成17年5月17日 (2005.5.17)

(71) 出願人 000002185
 ソニー株式会社
 東京都品川区北品川6丁目7番35号
 (74) 代理人 100086298
 弁理士 船橋 國則
 (72) 発明者 櫻井 洋介
 東京都品川区北品川6丁目7番35号 ソ
 ニー株式会社内
 Fターム(参考) 2H092 GA60 GA64 JA24 JB22 JB31
 NA01 NA25
 2H093 NA16 NC09 NC11 NC34 NC35
 ND54
 5C006 AF43 BB16 BB27 BC13 BC16
 BC20 BC23 BF24 FA22 FA26
 FA37
 最終頁に続く

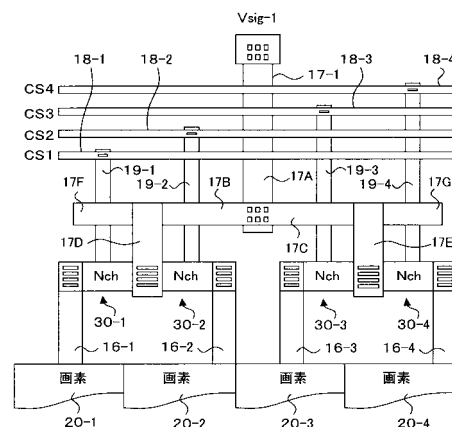
(54) 【発明の名称】 表示装置及び電子機器

(57) 【要約】 (修正有)

【課題】 信号線選択駆動法を採用したアクティブマトリクス型液晶表示装置で、レイアウトの対称性を確保しようとした場合に、スイッチ制御線につながる接続配線とビデオ線とのカップリング容量の影響で画面上に発生する縦スジ状のノイズを防止する。

【解決手段】 水平方向に4画素を1つの単位として、隣り合う2本ずつの信号線16-1, 16-2及び16-3, 16-4の間にそれぞれビデオ線17-1の出力端を配置するとともに、それらの間にNchトランジスタ30-1~30-4を2つずつ横並びに配置して接続し、かつ各々のスイッチ制御線18-1~18-4につながる全ての接続配線19-1~19-4がビデオ線17-1の分岐配線部17B, 17Cにオーバーラップするように、分岐配線部17B, 17Cの両端にダミー配線部17F, 17Gを延在させた配線パターンでレイアウトする。

【選択図】 図4



【特許請求の範囲】

【請求項 1】

電気光学素子を含む画素が基板上に行列状に 2 次元配置され、当該行列状の配列に対して列ごとに信号線が配線された画素アレイ部と、

前記信号線の本数が n 本のとき、これら n 本の信号線の各々に対して N 本 (N は 2 以上の整数) を単位として、隣り合う 2 本ずつの信号線間に出力端が位置するように配線された n / N 本のビデオ線と、

前記 n / N 本のビデオ線の各出力端と前記 2 本ずつの信号線との間に接続されたスイッチ手段と、

前記スイッチ手段のオンオフ状態を切り替えるために水平方向に沿って配線された複数本のスイッチ制御線とを備える表示装置であって、 10

前記スイッチ制御線の各々は、それぞれに対応する前記スイッチ手段と接続配線を介して接続され、かつ全ての接続配線が前記ビデオ線にオーバーラップする状態又はオーバーラップしない状態で形成されている

ことを特徴とする表示装置。

【請求項 2】

前記ビデオ線の各々は、前記複数本のスイッチ制御線を横断する主配線部と、当該主配線部の終端から水平方向の一方と他方に分岐した分岐配線部とを有し、

前記スイッチ制御線の各々は、それぞれに対応する前記スイッチ手段と接続配線を介して接続され、かつ全ての接続配線が前記ビデオ線の分岐配線部にオーバーラップする状態で形成されている 20

ことを特徴とする請求項 1 記載の表示装置。

【請求項 3】

垂直方向において、前記複数本のスイッチ制御線の片側又は両側にシールド配線を形成してなる

ことを特徴とする請求項 1 記載の表示装置。

【請求項 4】

前記複数本のスイッチ制御線と前記スイッチ手段との間に、一の接続配線とオーバーラップする状態で前記ビデオ線の分岐配線部を形成するとともに、当該分岐配線部の一部を水平方向に延在させてダミー配線部とし、当該ダミー配線部に他の接続配線をオーバーラップさせてなる 30

ことを特徴とする請求項 2 記載の表示装置。

【請求項 5】

電気光学素子を含む画素が基板上に行列状に 2 次元配置され、当該行列状の配列に対して列ごとに信号線が配線された画素アレイ部と、

前記信号線の本数が n 本のとき、これら n 本の信号線の各々に対して N 本 (N は 2 以上の整数) を単位として、隣り合う 2 本ずつの信号線間に出力端が位置するように配線された n / N 本のビデオ線と、

前記 n / N 本のビデオ線の各出力端と前記 2 本ずつの信号線との間に接続されたスイッチ手段と、 40

前記スイッチ手段のオンオフ状態を切り替えるために水平方向に沿って配線された複数本のスイッチ制御線とを備える表示装置を具備する電子機器であって、

前記スイッチ制御線の各々は、それぞれに対応する前記スイッチ手段と接続配線を介して接続され、かつ全ての接続配線が前記ビデオ線にオーバーラップする状態又はオーバーラップしない状態で形成されている

ことを特徴とする電子機器。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、電気光学素子を含む画素を行列状に 2 次元配置してなる表示装置とこれを備 50

えた携帯端末等の電子機器に関する。

【背景技術】

【0002】

電気光学素子を含む画素を行列状に2次元配置してなる表示装置、例えば画素の電気光学素子として液晶セルを用いた液晶表示装置では、液晶セルに対して電圧を印加することによってコントラストを得ている。液晶セルに対する電圧の印加は、アクティブマトリクス型液晶表示装置においては、画素の領域に容量（画素容量）及びスイッチ素子（画素スイッチ）を設け、画素容量に画素スイッチを介して電荷を充電することによって行われる。また、画素容量に対する電荷の充電は、画素アレイ部の各画素を行単位で選択する一方、外部からビデオ線を通して入力される映像信号を、画素アレイ部の画素列ごとに配線された信号線を介して選択行の各画素に書き込むことによって行われる。 10

【0003】

一般に、外部から入力される映像信号を画素に書き込む方法としては、画素アレイ部の n 本の信号線に対して n 本のビデオ線を1対1の対応関係をもって配線し、外部のドライバICから入力される n 系統の映像信号をそのまま、 n 本のビデオ線を介して対応する n 本の信号線に供給する方法が知られている。ただし、この書き込み方法では、近年の表示装置の高解像度化、高精細化の傾向に伴って信号線の本数 n が増大すると、当該信号線と同数の多数のビデオ線を配線し、これら多数のビデオ線を通して複数系統の映像信号を並列的に入力するのが難しくなる。

【0004】

20

そこで、水平方向の画素数 n に応じて n 本の信号線を配線したうえで、ビデオ線を n 本よりも少ない本数 N （ $N < n$ ）だけ表示パネル上に配線し、外部から映像信号を N 相に展開して入力する一方、 N 本のビデオ線と画素アレイ部の n 本の信号線との間にスイッチ回路を N 個単位で配置し、これら N 個単位のスイッチ回路を同じスイッチ制御信号を用いて同時に駆動することで、選択行の各画素に対して N 個の画素を単位として、 N 相展開された映像信号を同時に書き込む方法（以下、「相展開駆動法」と記す）が採られている（例えば、特許文献1参照）。この相展開駆動法によれば、表示パネル上に配線するビデオ線の本数を大幅に減らすことができる。

【0005】

上記相展開駆動法を採用したアクティブマトリクス型液晶表示装置においては、ビデオ線を通して映像信号が入力され、スイッチ回路を駆動するスイッチ制御信号がアクティブになると、そのアクティブ期間においてスイッチ回路がオン状態となってビデオ線を信号線と接続することで、ビデオ線の電位（映像信号に応じて決まる電位）が信号線を通して画素に書き込まれる。そして、信号線がビデオ線と同電位になった後に、スイッチ制御信号のアクティブ期間が終了し、スイッチ回路がオフ状態となることで、信号線及び画素に映像信号に応じた電位が保持される。 30

【0006】

【特許文献1】特開平11-65536号公報

【発明の開示】

【発明が解決しようとする課題】

40

【0007】

しかしながら、上記相展開駆動法を採用した場合は、上記 N 相展開された映像信号の書き込みを、予め規格で定められた水平走査期間内に複数回に分けて行う必要があるため、画像表示の高精細化に伴って水平方向の画素数（信号線の本数）が増えると、それにつれて、1つの画素に対する映像信号の書き込み時間（以下、「1画素あたりの書き込み時間」とも記す）が短くなってしまう。

【0008】

具体例として、 $N = 4$ 、即ち4相の相展開駆動法を採用する場合を考えると、水平方向の画素数（信号線の本数） n が $n = 100$ の条件では、4相に展開された映像信号の書き込みを1行あたり25回ずつ繰り返す必要がある。このため、1画素あたりの書き込み時 50

間は1 H (Hは水平走査期間)の25分の1に相当する時間となる。また、水平方向の画素数nが $n = 200$ の条件では、4相に展開された映像信号の書き込みを1行あたり50回ずつ繰り返す必要がある。このため、1画素あたりの書き込み時間は1 Hの50分の1に相当する時間、つまり $n = 100$ のときの半分の時間となる。

【0009】

そこで出願人は、相展開駆動法の発展的な技術として、水平方向の画素数(信号線の本数)をn、映像信号の相展開数をN相としたときに、1本のビデオ線に対してN個の画素(N本の信号線)が1つの組(単位)となるように合計 n/N 本のビデオ線を配線し、これら n/N 本のビデオ線から、それぞれN相に展開された映像信号をスイッチで時分割に振り分けて各信号線に供給することにより、1画素あたりの書き込み時間を1 HのN分の1に相当する時間だけ確保できる技術を既に提案している。この技術では、1本のビデオ線に対応してN個のスイッチを設ける一方、スイッチと信号線を1対1の対応関係で設け、 n/N 本のビデオ線からそれぞれ時系列で供給される映像信号の供給先となる信号線をスイッチで順に選択して駆動する方法(以下、「信号線選択駆動法」と記す)を採用している。

【0010】

図10は信号線選択駆動法が適用される単位領域内の配線パターンのレイアウトを示す平面図である。図においては、水平方向に4つの画素50-1~50-4と4本の信号線15-1~15-4が、それぞれ1つの組(単位)として設けられている。また、信号線選択駆動用のスイッチとして、4つのNchトランジスタ52-1~52-4が、水平方向2画素分相当の領域に2つずつ横並びの形で配置されている。

【0011】

一方、ビデオ線53は、N相(図例では4相を想定)に展開された映像信号Vsig-1を画素に供給するためのもので、各組ごとに1本ずつ配線されるものとなっている。ビデオ線53は、垂直方向に沿って配線された主配線部53Aと、当該主配線部53Aの端部から水平方向の一方と他方に分岐した分岐配線部53B, 53Cと、当該分岐配線部53B, 53Cから引き出された引き出し配線部53D, 53Eとによって構成されている。

【0012】

4本のスイッチ制御線54-1~54-4は、各組共通のスイッチ制御線であって、上記4本の信号線51-1~51-4を選択的に駆動するにあたって、上記4つのNchトランジスタ52-1~52-4のオンオフ状態を個別に制御するためのものである。スイッチ制御線54-1は、接続配線55-1を介してNchトランジスタ52-1のゲート電極に接続され、スイッチ制御線54-2は、接続配線55-2を介してNchトランジスタ52-2のゲート電極に接続されている。また、スイッチ制御線54-3は、接続配線55-3を介してNchトランジスタ52-3のゲート電極に接続され、スイッチ制御線54-4は、接続配線55-4を介してNchトランジスタ52-4のゲート電極に接続されている。

【0013】

かかる構成においては、1 H期間内において、図11に示すように、スイッチ制御線54-1~54-4に供給されるスイッチ制御信号CS1~CS4を時分割形式で時系列にアクティブ状態とし、それぞれのアクティブ期間でNchトランジスタ30-1~30-4を順にオン状態として4本の信号線51-1~51-4を選択的に駆動することにより、Nchトランジスタ52-1のオン期間(スイッチ制御信号CS1のアクティブ期間)に第1相目の映像信号V1を、Nchトランジスタ52-2のオン期間(スイッチ制御信号CS2のアクティブ期間)に第2相目の映像信号V2を、Nchトランジスタ52-3のオン期間(スイッチ制御信号CS3のアクティブ期間)に第3相目の映像信号V3を、Nchトランジスタ52-4のオン期間(スイッチ制御信号CS4のアクティブ期間)に第4相目の映像信号V4を、それぞれに対応する信号線51-1~51-4を介して画素50-1~50-4に書き込む。

【0014】

上記信号線選択駆動法を採用したアクティブマトリクス型液晶表示装置では、水平方向の画素数 n に関係なく、1 H 期間ごとに N 回（図 10 及び図 11 の例では 4 回）ずつ映像信号の書き込みを行うため、水平方向の画素数が増えても、1 画素あたりの書き込み時間が短くなることはない。具体例として、 $N = 4$ 、即ち 4 相の相展開駆動法を採用した場合は、 $n = 100$ の条件で 1 画素あたりの書き込み時間が 1 H の 4 分の 1 に相当する時間となり、 $n = 200$ の条件でも 1 画素あたりの書き込み時間が 1 H の 4 分の 1 に相当する時間となる。したがって、水平方向の画素数が増えても、1 画素あたりの書き込み時間を十分に長く確保することが可能となる。

【0015】

10

ところで、上記図 10 においては、1 本のビデオ線 53 に対応する 4 個の NMOS トランジスタ（スイッチ）52-1 ~ 52-4 を、それぞれソース電極を共通化して 2 個ずつ横並びに配置することでレイアウトの対称性を確保し、4 本の信号線 51-1 ~ 51-4 の寄生容量に差が生じないようにしている。そうしたレイアウトを採用した場合は、ビデオ線 53 の各出力端（引き出し配線部 53D, 53E の引き出し端部）の両側にそれぞれ Nch トランジスタ 52-1 ~ 52-4 のゲート電極が配置されることになる。

【0016】

したがって、4 本のスイッチ制御線 54-1 ~ 54-4 をそれぞれに対応する 4 個の Nch トランジスタ 52-1 ~ 52-4 のゲート電極に接続するにあたって、それらの間に 4 本の接続配線 55-1 ~ 55-4 を形成すると、内側 2 本の接続配線 55-2, 55-3 は途中でビデオ線 53（分岐配線部 53B, 53C）とオーバーラップし、外側 2 本の接続配線 55-1, 55-4 はビデオ線 53 とオーバーラップしないものとなる。

20

【0017】

そうした場合、内側 2 本の接続配線 55-2, 55-3 とビデオ線 53 とのオーバーラップ部分にカップリング容量が生じ、このカップリング容量の影響で、図 11 に示すように、内側 2 つの画素 50-2, 50-3 の電極電位（ V_2 , V_3 ）だけが Nch トランジスタ 52-2, 52-3 のオフ時にシフトしてしまう。この結果、表示画面に縦スジ状のノイズが発生するなどの画質劣化を招く。

【課題を解決するための手段】

【0018】

30

本発明に係る表示装置は、電気光学素子を含む画素が基板上に行列状に 2 次元配置され、当該行列状の配列に対して列ごとに信号線が配線された画素アレイ部と、信号線の本数が n 本のとき、これら n 本の信号線の各々に対して N 本（ N は 2 以上の整数）を単位として、隣り合う 2 本ずつの信号線間に出力端が位置するように配線された n/N 本のビデオ線と、これら n/N 本のビデオ線の各出力端と上記 2 本ずつの信号線との間に接続されたスイッチ手段と、当該スイッチ手段のオンオフ状態を切り替えるために水平方向に沿って配線された複数本のスイッチ制御線とを備える表示装置であって、スイッチ制御線の各々は、それぞれに対応するスイッチ手段と接続配線を介して接続され、かつ全ての接続配線がビデオ線にオーバーラップする状態又はオーバーラップしない状態で形成されたものである。

40

【0019】

本発明に係る表示装置においては、2 本の信号線に対応する 2 つのスイッチ手段を 2 画素分の領域内に配置するにあたり、ビデオ線の出力端を、隣り合う 2 本ずつの信号線の間配置するとともに、当該出力端と 2 本ずつの信号線の間スイッチ手段を接続することにより、2 つのスイッチ手段が横並びのかたちで配置される。これにより、レイアウトの対称性が確保されるとともに、各々の信号線の寄生容量が均一化される。さらに、複数本のスイッチ制御線をそれぞれに対応するスイッチ手段に接続している全ての接続配線がビデオ線にオーバーラップする状態又はオーバーラップしない状態でレイアウトされているため、各々の接続配線とビデオ線とのカップリング容量も均一化される。

【発明の効果】

50

【 0 0 2 0 】

本発明の表示装置によれば、1画素あたりの書き込み時間を長く確保できる信号線選択駆動法を採用するにあたって、各々の信号線の寄生容量を均一化できるとともに、各々の接続配線とビデオ線とのカップリング容量も均一化できる。したがって、高品質な画像表示を実現することが可能となる。

【 発明を実施するための最良の形態 】

【 0 0 2 1 】

以下、本発明の具体的な実施の形態について図面を参照しつつ詳細に説明する。

【 0 0 2 2 】

図1は本発明の一実施形態に係る表示装置の構成の概略を示すブロック図である。ここでは、一例として、画素の電気光学素子として液晶セルを用いたアクティブマトリクス型液晶表示装置を例に挙げて説明するものとする。図1から明らかなように、本実施形態に係るアクティブマトリクス型液晶表示装置は、画素アレイ部11、垂直駆動回路12及びスイッチ群13が同一の基板（以下、表示パネルと記す）14上に設けられた構成となっている。

10

【 0 0 2 3 】

画素アレイ部11は、電気光学素子である液晶セルを含む画素20が、透明絶縁基板、例えば第1のガラス基板（図示せず）上に行列状に2次元配置され、この画素20のm行n列の配列に対して行ごとに走査線15-1～15-mが配線され、列ごとに信号線16-1～16-nが配線された構成となっている。第1のガラス基板は、第2のガラス基板（図示せず）と所定の間隙を持って対向配置され、当該第2のガラス基板との間に液晶材料が封止されることによって上記表示パネル14を構成している。

20

【 0 0 2 4 】

図2は、画素（画素回路）20の回路構成の一例を示す回路図である。図2から明らかなように、画素20は、画素トランジスタ、例えばTFT（Thin Film Transistor; 薄膜トランジスタ）21と、このTFT21のドレイン電極に画素電極が接続された液晶セル22と、TFT21のドレイン電極に一方の電極が接続された保持容量23とを有する構成となっている。ここで、液晶セル22は、画素電極とこれに対向して形成される対向電極との間で発生する液晶容量C1cを意味する。

【 0 0 2 5 】

TFT21は、ゲート電極が走査線15（15-1～15-m）に接続され、ソース電極が信号線16（16-1～16-n）に接続されている。また、例えば、液晶セル22の対向電極及び保持容量23の他方の電極がコモン線24に対して各画素共通に接続されている。そして、液晶セル22の対向電極には、コモン線24を介してコモン電圧（対向電極電圧）Vcomが各画素共通に与えられる。

30

【 0 0 2 6 】

垂直駆動回路12は、画素アレイ部11の例えば左側に配置されている。なお、ここでは、画素アレイ部11の左側に垂直駆動回路12を配置する構成を例に挙げて示したが、画素アレイ部11の右側に、あるいは画素アレイ部11の左右両側に垂直駆動回路12を配置する構成を採ることも可能である。垂直駆動回路12は、シフトレジスタやバッファ回路等によって構成され、垂直スタートパルスVSTが与えられることで、垂直クロックパルスVCK（一般的には、互いに逆相の垂直クロックパルスVCK, VCKX）に同期して垂直走査パルスφV1～φVmを順に出力し、画素アレイ部11の走査線15-1～15-mに与えることによって画素20を行単位で順次選択する。

40

【 0 0 2 7 】

スイッチ群13は、画素アレイ部11の水平方向の画素数n、即ち信号線16-1～16-nの各々に対応したn個のスイッチSW1～SWnから構成されている。n個のスイッチSW1～SWnは、画素アレイ部11の水平方向の画素数nの例えば4画素ずつ、即ち信号線16-1～16-nの4本ずつを1つの組（単位）として各一端が共通に接続されるとともに、各他端が信号線16-1～16-nの各一端に接続されている。このスイ

50

ッチ群 13 に対しては、複数本 (J 本) のビデオ線 17 が表示パネル 14 上に配線されている。

【0028】

ここで、ビデオ線 17 は、信号線 16 - 1 ~ 16 - n の各々に対して N 本 (N は 2 以上の整数、本例では 4 本) を単位としたとき、 n / N 本配線されるものである。例えば、信号線 16 の本数 (水平方向の画素数) $n = 100$ 、1 単位あたりの信号線 16 の本数 $N = 4$ の条件では、合計 25 本のビデオ線 17 が配線されることになる。これらのビデオ線 17 - 1 ~ 17 - J には、表示パネル 14 の外部から、それぞれ N 相に展開された映像信号 $Vsig - 1 \sim Vsig - J$ が個別に入力される。

【0029】

スイッチ群 13 において、1 組目のスイッチ SW1 ~ SW4 の共通接続された一端が 1 本目のビデオ線 17 - 1 に、2 組目のスイッチ SW5 ~ SW8 の共通接続された一端が 2 本目のビデオ線 17 - 2 に、... ..、最終組目のスイッチ SWn - 3 ~ SWn の共通接続された一端が J 本目のビデオ線 17 - J にそれぞれ接続されている。これら 4 個単位の各組のスイッチ SW1 ~ SW4, SW5 ~ SW8,, SWn - 3 ~ SWn は、表示パネル 14 の外部からスイッチ制御線 18 - 1 ~ 18 - 4 を介して入力されるスイッチ制御信号 CS1 ~ CS4 によってオン / オフ状態が制御される。

【0030】

スイッチ群 13 のスイッチ SW1 ~ SWn としては、例えば Nch トランジスタ、又は Pch トランジスタ、あるいは Nch トランジスタ Qn と Pch トランジスタ Qp とを並列接続してなるトランスファスイッチ (アナログスイッチ) を用いることが可能である。

【0031】

[第1実施形態]

図 3 は本発明の第 1 実施形態に係るアクティブマトリクス型液晶表示装置において、例えば 1 組目のスイッチについて、各スイッチ SW1 ~ SW4 に Nch トランジスタを用いた場合のスイッチ回路の回路構成を示す回路図であり、図 4 は当該スイッチ回路の回路構成に対応する配線パターンのレイアウトを示す平面図である。なお、ここでは 1 組目のスイッチ SW1 ~ SW4 によるスイッチ回路の回路構成とこれに対応する配線パターンのレイアウトのみを例示しているが、他の組のスイッチによるスイッチ回路の回路構成とそれぞれに対応する配線パターンのレイアウトも全て同様のものとなっている。

【0032】

図においては、水平方向に 4 つの画素 20 - 1 ~ 20 - 4 と 4 本の信号線 16 - 1 ~ 16 - 4 が、それぞれ 1 つの組 (単位) として設けられている。また、信号線選択駆動用のスイッチとして、4 つの Nch トランジスタ 30 - 1 ~ 30 - 4 が、水平方向 2 画素分相当の領域に 2 つずつ横並びの形で配置されている。このうち、水平方向で隣接する 2 つ (一対) の Nch トランジスタ 30 - 1, 30 - 2 は、互いのソース電極を共通化したかたちで横並びに配置されている。そして、一方の Nch トランジスタ 30 - 1 のドレイン電極は信号線 16 - 1 を介して画素 20 - 1 のトランジスタ (TF T) に接続され、他方の Nch トランジスタ 30 - 2 のドレイン電極は信号線 16 - 2 を介して画素 20 - 2 のトランジスタに接続されている。これと同様に、水平方向で隣接する他の 2 つ (一対) の Nch トランジスタ 30 - 3, 30 - 4 も、互いのソース電極を共通化したかたちで横並びに配置されている。そして、一方の Nch トランジスタ 30 - 3 のドレイン電極は信号線 16 - 3 を介して画素 20 - 3 のトランジスタに接続され、他方の Nch トランジスタ 30 - 4 のドレイン電極は信号線 16 - 4 を介して画素 20 - 4 のトランジスタに接続されている。

【0033】

一方、4 本のスイッチ制御線 18 - 1 ~ 18 - 4 は、n 個のスイッチ SW1 ~ SWn のオンオフ状態を n / N 個ずつ切り替えるために水平方向に沿って配線されている。また、垂直方向においては、上記 n 個のスイッチ SW1 ~ SWn に含まれる 4 つの Nch トランジスタ 30 - 1 ~ 30 - 4 を間に挟んで、画素 20 - 1 ~ 20 - 4 と反対側 (図の上側)

10

20

30

40

50

に4本のスイッチ制御線18-1~18-4が配置されている。各々のスイッチ制御線18-1~18-4は、上述した画素アレイ部11の水平方向の一端から他端にわたって走査線15と平行な配線パターンで形成されている。ちなみに、各スイッチSW1~SW4として、例えばNchトランジスタQnとPchトランジスタQpとを並列接続してなるトランスファスイッチ(アナログスイッチ)を用いた場合は、1つのスイッチを制御するスイッチ制御信号として、互いに逆相のスイッチ制御信号が必要になる。このため、1つのスイッチにつき2本のスイッチ制御線を配線することになる。

【0034】

Nchトランジスタ30-1のゲート電極は、垂直方向に沿って配線された接続配線19-1を介してスイッチ制御線18-1に接続され、Nchトランジスタ30-2のゲート電極は、同じく垂直方向に沿って配線された接続配線19-2を介してスイッチ制御線18-2に接続されている。より具体的に記述すると、接続配線19-1の一端はスイッチ制御線18-1に接続され、同他端はNchトランジスタ30-1のゲート電極に接続されている。また、接続配線19-2の一端はスイッチ制御線18-2に接続され、同他端はNchトランジスタ30-2のゲート電極に接続されている。

10

【0035】

これと同様に、Nchトランジスタ30-3のゲート電極は、垂直方向に沿って配線された接続配線19-3を介してスイッチ制御線18-3に接続され、Nchトランジスタ30-4のゲート電極は、同じく垂直方向に沿って配線された接続配線19-4を介してスイッチ制御線18-4に接続されている。より具体的に記述すると、接続配線19-3の一端はスイッチ制御線18-3に接続され、同他端はNchトランジスタ30-3のゲート電極に接続されている。また、接続配線19-4の一端はスイッチ制御線18-4に接続され、同他端はNchトランジスタ30-4のゲート電極に接続されている。

20

【0036】

ビデオ線17-1は、液晶パネル14の外部からN相に展開されたビデオ信号Vsig-1を入力するドライバIC等との接続部より引き出された主配線部17Aと、当該主配線部17Aの終端から分岐した分岐配線部17B, 17Cと、当該分岐配線部17B, 17Cから引き出された引き出し配線部17D, 17Eとを有する配線パターンとなっている。主配線部17Aは、接続配線19-2と接続配線19-3との間で、上述した4本のスイッチ制御線18-1~18-4を横断するように信号線16-1~16-4と平行に形成されている。

30

【0037】

分岐配線部17B, 17Cは、垂直方向で画素20に最も近い位置に配線されたスイッチ制御線18-1と隣り合う位置に、当該スイッチ制御線18-1及び走査線15と平行に一直線状に配線されている。また、分岐配線部17B, 17Cは、4本のスイッチ制御線18-1~18-4を垂直方向に横断した後の主配線部17Aの終端部を起点(分岐点)として、水平方向の一方(図の左方向)と他方(図の右方向)に分岐した状態で形成されている。

【0038】

引き出し配線部17Dは、上記主配線部17Aの端部から水平方向の一方に分岐した分岐配線部17Bの途中から、2つ(一对)のNchトランジスタ30-1, 30-2に共通のソース電極に向かって垂直方向(画素に近づく方向)に引き出されている。また、引き出し配線部17Eは、上記主配線部17Aの端部から水平方向の他方に分岐した分岐配線部17Cの途中から、他の2つ(一对)のNchトランジスタ30-3, 30-4に共通のソース電極に向かって垂直方向に引き出されている。そして、引き出し配線部17Dの引き出し端(ビデオ線17-1の一方の出力端)は、水平方向で隣り合う2本の信号線16-1, 16-2の間で、Nchトランジスタ30-1, 30-2に共通のソース電極に接続され、引き出し配線部17Eの引き出し端(ビデオ線17-1の他方の出力端)は、水平方向で隣り合う2本の信号線16-3, 16-4の間で、Nchトランジスタ30-3, 30-4に共通のソース電極に接続されている。

40

50

【0039】

以上の配線パターンにより、ビデオ線17-1は、上記2つのNc hトランジスタ30-1, 30-2に共通のソース電極に対し、主配線部17A、分岐配線部17B及び引き出し配線部17Dを介して接続されている。また、ビデオ線17-1は、上記他の2つのNc hトランジスタ30-3, 30-4に共通のソース電極に対し、主配線部17A、分岐配線部17C及び引き出し配線部17Eを介して接続されている。また、2つのNc hトランジスタ30-1, 30-2は、2本の信号線16-1, 16-2とビデオ線17-1の一方の出力端との間に接続する状態で設けられ、他の2つのNc hトランジスタ30-3, 30-4は、2本の信号線16-3, 16-4とビデオ線17-1の他方の出力端との間に接続する状態で設けられている。

10

【0040】

また、4つの画素20-1~20-4を1つの組とした単位領域において、分岐配線部17Bは、水平方向で引き出し配線部17Dの引き出し位置よりも外側(図4の左側)に延在したダミー配線部17Fを有し、分岐配線部17Cは、水平方向で引き出し配線部17Eの引き出し位置よりも外側(図4の右側)に延在したダミー配線部17Gを有している。ここで記述する「外側」とは、上記単位領域において主配線部17Aの位置を水平方向の中心位置と規定したときの、同方向での位置関係を特定する用語である。ダミー配線部17F(分岐配線部17B)の終端は接続配線19-1よりも外側に配置され、ダミー配線部17G(分岐配線部17C)の終端は接続配線19-4よりも外側に配置されている。

20

【0041】

これにより、上述した4本の接続配線19-1~19-4のうち、ビデオ線17-1の主配線部17Aに相対的に近い内側2本の接続配線19-2, 19-3は、主配線部17Aの端部から分岐した分岐配線部17B, 17Cにオーバーラップする状態(平面的に重なり合う状態)で配線され、ビデオ線17の主配線部17Aに相対的に遠い外側2本の接続配線19-1, 19-4は、主配線部17Aの端部から分岐した分岐配線部17B, 17Cのダミー配線部17F, 17Gにオーバーラップする状態で配線されている。すなわち、接続配線19-1は分岐配線部17Bのダミー配線部17Fにオーバーラップし、接続配線19-2は分岐配線部17Bにオーバーラップし、接続配線19-3は分岐配線部17Cにオーバーラップし、接続配線19-4は分岐配線部17Cのダミー配線部17G

30

【0042】

上記構成からなるアクティブマトリクス型液晶表示装置において、水平方向に沿って配線された複数行分(m行分)の走査線15(15-1~15-m)を1フレーム期間内に垂直駆動回路14で線順次に選択するとともに、その選択行に属するn個の画素20に1H期間(1水平走査期間)内に映像信号を書き込むことにより、画素アレイ部11で1つ(1フレーム)の画像を表示する。その際、各々のビデオ線17-1~17-Jに対しては、画素単位に分割された1行分(n画素分)の映像信号を、水平方向の一方から他方に向かって4つずつを1つの組として、各組ごとに時分割で4相に展開した信号を供給する。

40

【0043】

これにより、ビデオ線17-1に対しては4相展開された映像信号Vsig-1が供給され、ビデオ線17-2に対しては4相展開された映像信号Vsig-2が供給され、...、ビデオ線17-Jに対しては4相展開された映像信号Vsig-Jが供給される。また、4相展開された映像信号Vsig-1、Vsig-2、...、Vsig-Jは、それぞれに対応する4つの画素20、...に分配供給される。

【0044】

その際、例えば、第1相目の信号電位をV1、第2相目の信号電位をV2、第3相目の信号電位をV3、第4相目の信号電位をV4として4相に展開された映像信号Vsig-1を、1本のビデオ線17-1を用いて4つの画素20-1~20-4に分配供給する場

50

合は、任意の 1 行の走査線 15 を 1 H 期間 (1 水平走査期間) にわたって選択するとともに、この選択行に属する 4 つの画素 20 - 1 ~ 20 - 4 に対応する 4 本の信号線 16 - 1 - 16 - 4 を「信号線選択駆動法」にしたがって選択的に駆動することにより、上述のように 4 相展開された映像信号 *Vsig* - 1 (*V*1 , *V*2 , *V*3 , *V*4) を 4 つの画素 20 - 1 ~ 20 - 4 に順に書き込む。

【 0045 】

即ち、1 H 期間内において、図 5 に示すように、スイッチ制御線 18 - 1 ~ 18 - 4 に供給されるスイッチ制御信号 *CS* 1 ~ *CS* 4 を時分割形式で時系列にアクティブ状態とし、それぞれのアクティブ期間で *Nch* トランジスタ 30 - 1 ~ 30 - 4 を順にオン状態として 4 本の信号線 16 - 1 ~ 16 - 4 を選択的に駆動することにより、*Nch* トランジスタ 30 - 1 のオン期間 (スイッチ制御信号 *CS* 1 のアクティブ期間) に第 1 相目の映像信号 *V* 1 を、*Nch* トランジスタ 30 - 2 のオン期間 (スイッチ制御信号 *CS* 2 のアクティブ期間) に第 2 相目の映像信号 *V* 2 を、*Nch* トランジスタ 30 - 3 のオン期間 (スイッチ制御信号 *CS* 3 のアクティブ期間) に第 3 相目の映像信号 *V* 3 を、*Nch* トランジスタ 30 - 4 のオン期間 (スイッチ制御信号 *CS* 4 のアクティブ期間) に第 4 相目の映像信号 *V* 4 を、それぞれに対応する信号線 16 - 1 ~ 16 - 4 を介して画素 20 - 1 ~ 20 - 4 に書き込む。

【 0046 】

また、選択行に属する他の画素 20 , ... についても、それぞれに対応するビデオ線 17 - 2 ~ 17 - *J* を用いて上記同様の書き込み動作を行うことにより、1 H 期間に 4 回 (*N* 回) の書き込み動作で 1 行分 (*n* 個) の画素 20 に映像信号を書き込むことができる。したがって、水平方向に並ぶ画素の数 (*n*) や信号線 16 の本数にかかわらず、1 画素あたり、1 H 期間の 4 分の 1 相当の時間をもって映像信号を書き込むことができる。これにより、高画質化への対応として水平方向の画素数 *n* が増えた場合でも、各々の画素に十分な電位を書き込むことができる。したがって、コントラストの低下や縦スジ状のノイズなどの画質低下を招くことなく、高画質化に対応することが可能となる。また、各々の単位領域では、ビデオ線 17 の主配線部 17 A を中心として、信号線 16 (16 - 1 ~ 16 - 4) やスイッチ 30 (30 - 1 ~ 30 - 4) のレイアウトの対称性が確保されているため、各々の信号線 16 の寄生容量を均一化することができる。

【 0047 】

さらに、上記図 4 に示したように、ビデオ線 17 - 1 の主配線部 17 A から分岐した分岐配線部 17 B , 17 C にダミー配線部 17 F , 17 G を設け、このダミー配線部 17 F , 17 G に外側 2 本の接続配線 19 - 1 , 19 - 4 を交差させることにより、4 つの *Nch* トランジスタ 30 - 1 ~ 30 - 4 の各ゲート電極に接続する 4 本 (全て) の接続配線 19 - 1 ~ 19 - 4 を分岐配線 17 B , 17 C にオーバーラップさせた配線パターンを採用している。このため、水平方向の 4 画素 20 - 1 ~ 20 - 4 を 1 つの組とした単位領域において、内側 2 本の接続配線 19 - 2 , 19 - 3 とビデオ線 17 - 1 (分岐配線部 17 B , 17 C) とのオーバーラップ量と、外側 2 本の接続配線 19 - 1 , 19 - 4 とビデオ線 17 - 1 とのオーバーラップ量の差が解消される。

【 0048 】

これにより、ビデオ線 17 - 1 に対して、4 本の接続配線 19 - 1 ~ 19 - 4 のオーバーラップ量がそれぞれ等しくなる。このため、内側 2 本の接続配線 19 - 2 , 19 - 3 とビデオ線 17 - 1 (分岐配線部 17 B , 17 C) とのオーバーラップ部分、及び外側 2 本の接続配線 19 - 1 , 19 - 4 とビデオ線 17 - 1 とのオーバーラップ部分に、それぞれ均一にカップリング容量が生じる。このようにビデオ線 17 - 1 と各接続配線 19 - 1 ~ 19 - 4 とのカップリング容量が均一化されると、上記図 5 に示すように、当該カップリング容量の影響で単位領域内の 4 つの画素 20 - 1 ~ 20 - 4 の電極電位 (*V*1 , *V*2 , *V*3 , *V*4) がスイッチオフ時に均一にシフトするようになる。したがって、カップリング容量の差に起因した縦スジ状のノイズの発生を有効に防止することができる。

【 0049 】

〔第2実施形態〕

図6は本発明の第2実施形態に係るアクティブマトリクス型液晶表示装置におけるスイッチ回路の回路構成に対応する配線パターンのレイアウトを示す平面図である。図示した配線パターンのレイアウトでは、垂直方向において4本のスイッチ制御線18-1~18-4とビデオ線17-1の分岐配線部17B, 17Cとの間に、例えばグランド(GND)電位又は他の固定電位に電位が固定されたシールド配線25が形成されている。シールド配線25は、各々のスイッチ制御線18-1~18-4と同様に、画素アレイ部11の水平方向の一端から他端にわたって走査線15と平行な配線パターンで形成されている。

【0050】

このようにシールド配線25を形成することにより、画素寄りの最端部のスイッチ制御線18-1とビデオ線17-1の分岐配線部17B, 17Cとのフリンジによるカップリング容量が、それらの間に介在するシールド配線25の電氣的なシールド作用によって低減する。このため、単位領域内において、4本のスイッチ制御線18-1~18-4とビデオ線17-1の分岐配線部17B, 17Cとのカップリング容量のバランスを均一な状態に維持することができる。

10

【0051】

さらに、シールド配線25を備えた他の構成として、例えば図7に示すように、垂直方向で4本のスイッチ制御線18-1~18-4を挟むように、その両側(上下)にシールド線25-1, 25-2を形成してシールド効果を高めることも可能である。

【0052】

20

〔第3実施形態〕

図8は本発明の第3実施形態に係るアクティブマトリクス型液晶表示装置におけるスイッチ回路の回路構成に対応する配線パターンのレイアウトを示す平面図である。この第3実施形態では、ビデオ線17-1の主配線部17Aが複数本のスイッチ制御線18-1~18-4を横断することなく、それらのスイッチ制御線18-1~18-4の手前で主配線部17Aの終端部から水平方向の一方と他方に分岐配線部17B, 17Cが分岐している。そして、一方の分岐配線部17Bの端部からは、複数本のスイッチ制御線18-1~18-4を横断するようにサブ配線部17Dが垂直方向に引き出され、他方の分岐配線部17Cの端部からは、複数本のスイッチ制御線18-1~18-4を横断するようにサブ配線部17Eが垂直方向に引き出されている。サブ配線部17Dの引き出し端は、接続配線19-1と接続配線19-2との間を通して、2つのNchトランジスタ30-1, 30-2に共通のソース電極に接続され、サブ配線部17Eの引き出し端は、接続配線19-3と接続配線19-4との間を通して、2つのNchトランジスタ30-3, 30-4に共通のソース電極に接続されている。

30

【0053】

以上の配線パターンにより、ビデオ線17-1は、上記2つのNchトランジスタ30-1, 30-2に共通のソース電極に対し、主配線部17A、分岐配線部17B及び引き出し配線部17Dを介して接続されている。また、ビデオ線17-1は、上記他の2つのNchトランジスタ30-3, 30-4に共通のソース電極に対し、主配線部17A、分岐配線部17C及び引き出し配線部17Eを介して接続されている。また、2つのNchトランジスタ30-1, 30-2は、2本の信号線16-1, 16-2とビデオ線17-1の一方の出力端との間に接続する状態で設けられ、他の2つのNchトランジスタ30-3, 30-4は、2本の信号線16-3, 16-4とビデオ線17-1の他方の出力端との間に接続する状態で設けられている。

40

【0054】

また、4つの画素20-1~20-4を1つの組とした単位領域において、分岐配線部17Bから引き出された引き出し配線部17Dは、2本の接続配線19-1, 19-2の間を通して配線され、分岐配線部17Cから引き出された引き出し配線部17Eは、2本の接続配線19-3, 19-4の間を通して配線されている。つまり、上述した4本の接続配線19-1~19-4は、いずれもビデオ線17-1の引き出し配線部17D, 17

50

Eにオーバーラップしない状態（平面的に重なり合わない状態）で配線されている。

【0055】

これにより、水平方向の4画素20-1~20-4を1つの組とした単位領域において、内側2本の接続配線19-2, 19-3とビデオ線17-1とのオーバーラップ量と、外側2本の接続配線19-1, 19-4とビデオ線17-1とのオーバーラップ量の差が解消される。そのため、ビデオ線17-1と各接続配線19-1~19-4とのカップリング容量による電極電位のシフトを均一に抑制して、カップリング容量差に起因した縦スジ状のノイズの発生を有効に防止することができる。

【0056】

さらに、図9に示すように、垂直方向で4本のスイッチ制御線18-1~18-4を挟むように、その両側（上下）にシールド線25-1, 25-2を形成してシールド効果を高めることも可能である。

【0057】

ちなみに、前述した第1, 第2実施形態の配線レイアウトでは、4本のスイッチ制御線18-1~18-4を横断する状態でビデオ線17-1の主配線部17Aを垂直方向に引き出して配線しているため、4本のスイッチ制御線18-1~18-4に対するビデオ線17-1の横断回数は1回となっているのに対し、第3実施形態の配線レイアウトでは、4本のスイッチ制御線18-1~18-4を横断する状態でビデオ線17-1の引き出し配線17D, 17Eを垂直方向に引き出して配線しているため、4本のスイッチ制御線18-1~18-4に対するビデオ線17-1の横断回数は2回となっている。したがって、ビデオ線の配線負荷を軽減するうえでは、第1, 第2実施形態の配線レイアウトを採用した方が望ましい。

【0058】

また、上記各実施形態では、画素の電気光学素子として液晶セルを用いた液晶表示装置に適用した場合を例に挙げて説明したが、本発明はこの適用例に限られるものではなく、画素の電気光学素子として有機EL(electro luminescence)素子を用いた有機EL表示装置など、電気光学素子を含む画素が行列状に2次元配置されてなる表示装置全般に適用可能である。

【0059】

また本発明は、上記構成からなる表示装置（液晶表示装置、有機EL表示装置等）を備える電子機器、例えば、テレビ、コンピュータ用モニタ、車載モニタ、携帯電話、携帯端末、モニタ付きカメラ（ビデオカメラ、デジタルカメラ等）、タッチパネル、POS(Point Of Sales)端末などの電子機器に適用することにより、高品位な画像表示を実現する各種の電子機器を提供することが可能となる。

【図面の簡単な説明】

【0060】

【図1】本発明の一実施形態に係るアクティブマトリクス型液晶表示装置の構成の概略を示すブロック図である。

【図2】画素（画素回路）の回路構成の一例を示す回路図である。

【図3】本発明の第1実施形態に係るアクティブマトリクス型液晶表示装置におけるスイッチ回路の回路構成を示す回路図である。

【図4】図3のスイッチ回路の回路構成に対応する配線パターンのレイアウトを示す平面図である。

【図5】本発明の第1実施形態に係るアクティブマトリクス型液晶表示装置におけるスイッチ制御信号と画素電位の関係を示す図である。

【図6】本発明の第2実施形態に係るアクティブマトリクス型液晶表示装置におけるスイッチ回路の回路構成に対応する配線パターンのレイアウトを示す平面図である（その1）。

【図7】本発明の第2実施形態に係るアクティブマトリクス型液晶表示装置におけるスイッチ回路の回路構成に対応する配線パターンのレイアウトを示す平面図である（その2）

10

20

30

40

50

。

【図 8】本発明の第 3 実施形態に係るアクティブマトリクス型液晶表示装置におけるスイッチ回路の回路構成に対応する配線パターンレイアウトを示す平面図である（その 1）

。

【図 9】本発明の第 3 実施形態に係るアクティブマトリクス型液晶表示装置におけるスイッチ回路の回路構成に対応する配線パターンレイアウトを示す平面図である（その 2）

。

【図 10】本発明の課題を説明するために配線パターンレイアウトを示す平面図である

。

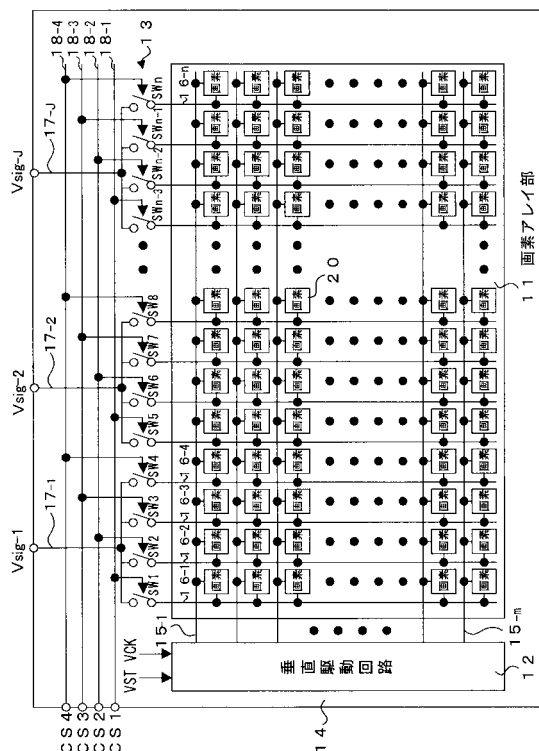
【図 11】本発明の課題を説明するためにスイッチ制御信号と画素電位の関係を示す図である。 10

【符号の説明】

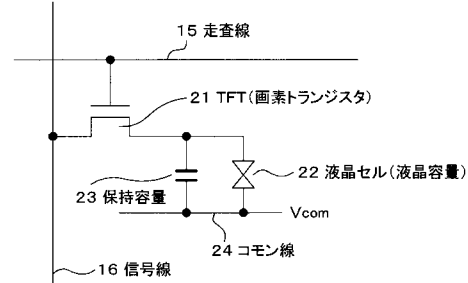
【0061】

11 ... 画素アレイ部、12 ... 垂直駆動回路、13 ... スイッチ群、14 ... 表示パネル、15, 15-1 ~ 15-m ... 走査線、16, 16-1 ~ 16-n ... 信号線、17-1 ~ 17-J ... ビデオ線、17A ... 主配線部、17B, 17C ... 分岐配線部、17D, 17E ... 引き出し配線部、17F, 17G ... ダミー配線部、18-1 ~ 18-4 ... スイッチ制御線、20, 20-1 ~ 20-4 ... 画素、21 ... TFT (画素トランジスタ)、22 ... 液晶セル (液晶容量)、23 ... 保持容量、25 ... シールド配線、30-1 ~ 30-4 ... Nch トランジスタ (スイッチ手段)、19-1 ~ 19-4 ... 接続配線 20

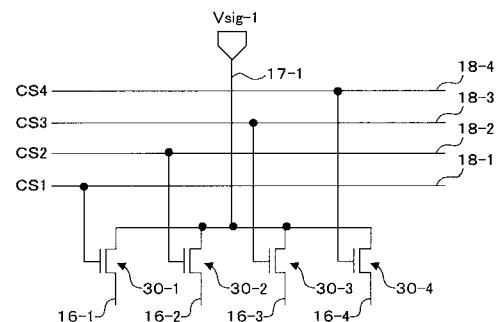
【図 1】



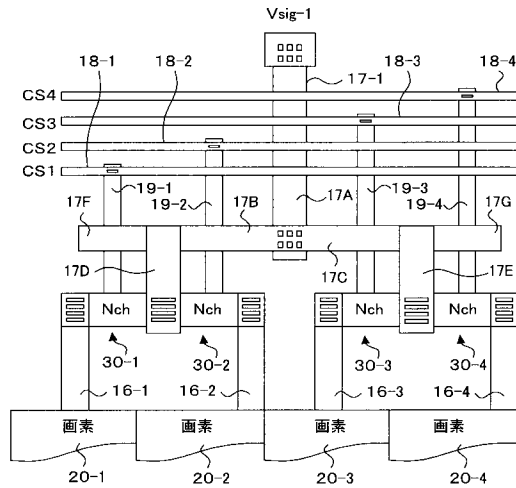
【図 2】



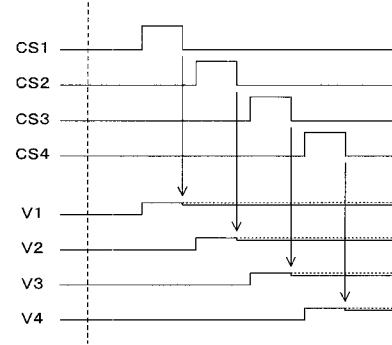
【図 3】



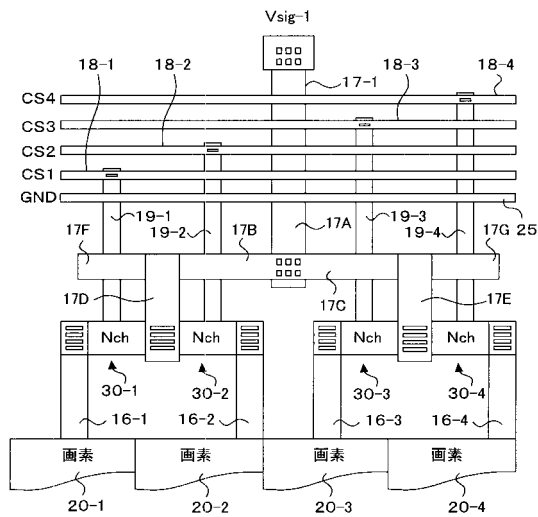
【図 4】



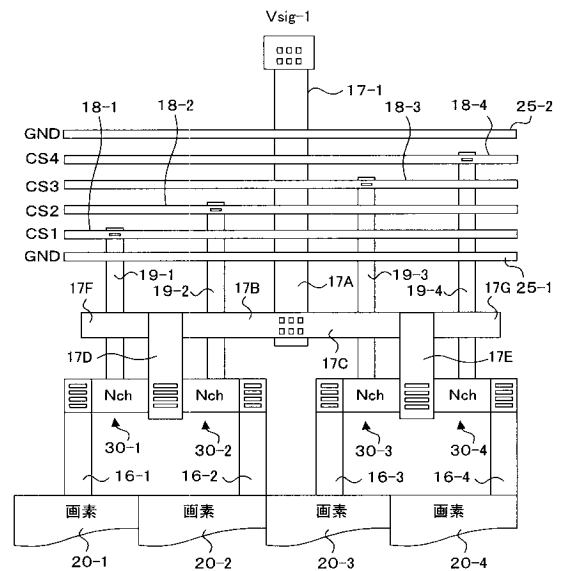
【図 5】



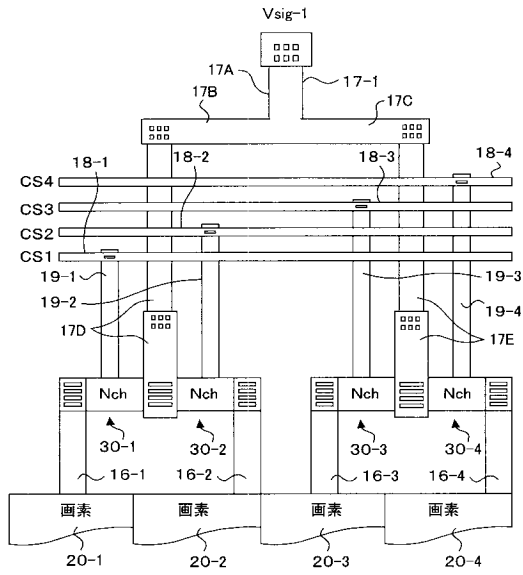
【図 6】



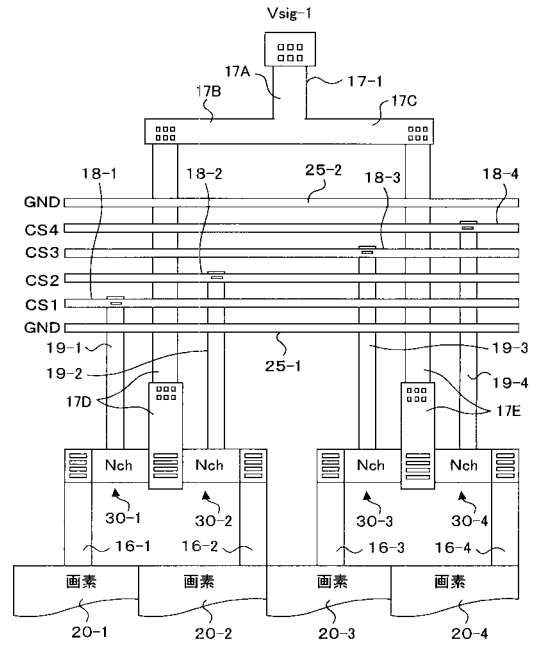
【図 7】



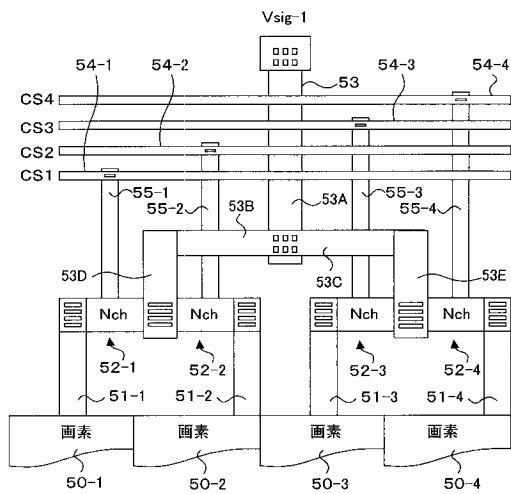
【 図 8 】



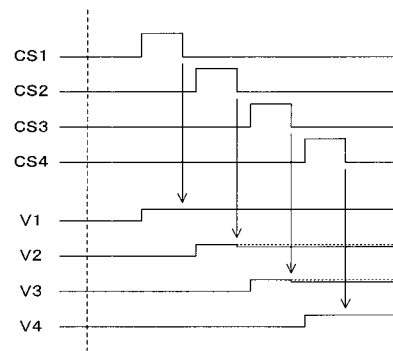
【 図 9 】



【 図 1 0 】



【 図 1 1 】



フロントページの続き

(51) Int.Cl.

F I

テーマコード(参考)

G 0 2 F 1/133 5 5 0

F ターム(参考) 5C080 AA10 BB06 DD05 FF11 JJ03 JJ04 JJ06

专利名称(译)	表示装置及び电子机器		
公开(公告)号	JP2006322959A	公开(公告)日	2006-11-30
申请号	JP2005143473	申请日	2005-05-17
[标]申请(专利权)人(译)	索尼公司		
申请(专利权)人(译)	索尼公司		
[标]发明人	櫻井洋介		
发明人	櫻井 洋介		
IPC分类号	G09G3/36 G09G3/20 G02F1/1345 G02F1/133		
FI分类号	G09G3/36 G09G3/20.621.M G09G3/20.623.X G09G3/20.642.A G02F1/1345 G02F1/133.550		
F-TERM分类号	2H092/GA60 2H092/GA64 2H092/JA24 2H092/JB22 2H092/JB31 2H092/NA01 2H092/NA25 2H093/NA16 2H093/NC09 2H093/NC11 2H093/NC34 2H093/NC35 2H093/ND54 5C006/AF43 5C006/BB16 5C006/BB27 5C006/BC13 5C006/BC16 5C006/BC20 5C006/BC23 5C006/BF24 5C006/FA22 5C006/FA26 5C006/FA37 5C080/AA10 5C080/BB06 5C080/DD05 5C080/FF11 5C080/JJ03 5C080/JJ04 5C080/JJ06 2H193/ZA04		
代理人(译)	船桥 国则		
外部链接	Espacenet		

摘要(译)

解决的问题：为了在采用信号线选择驱动方法的有源矩阵型液晶显示装置中显示屏幕，当要确保布局对称性时，由于连接到开关控制线的连接线和视频线之间的耦合电容。防止出现上面的垂直条纹噪声。解决方案：视频线17-1的输出端子设置在每两个相邻的信号线16-1、16-2和16-3、16-4之间，水平方向上以4个像素为单位。并且在它们之间并排连接两个Nch晶体管30-1至30-4，并将它们连接至所有开关控制线18-1至18-4。-1至19-4被布置有布线图案，其中在分支布线部分17B和17C的两端延伸虚拟布线部分17F和17G，使得它们与视频线17-1的分支布线部分17B和17C重叠。要做。[选择图]图4

