

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2006-258922

(P2006-258922A)

(43) 公開日 平成18年9月28日(2006.9.28)

(51) Int. Cl.		F I		テーマコード (参考)	
G02F	1/1345	(2006.01)	G02F	1/1345	2H092
G02F	1/1368	(2006.01)	G02F	1/1368	5G435
G09F	9/00	(2006.01)	G09F	9/00	348A

審査請求 未請求 請求項の数 13 O L (全 14 頁)

(21) 出願番号 特願2005-73155 (P2005-73155)
 (22) 出願日 平成17年3月15日 (2005.3.15)

(71) 出願人 000001443
 カシオ計算機株式会社
 東京都渋谷区本町1丁目6番2号
 (74) 代理人 100090033
 弁理士 荒船 博司
 (74) 代理人 100093045
 弁理士 荒船 良男
 (72) 発明者 藤沢 淳一
 東京都八王子市石川町2951番地5 カ
 シオ計算機株式会社八王子技術センター内
 (72) 発明者 松村 光芳
 東京都八王子市石川町2951番地5 カ
 シオ計算機株式会社八王子技術センター内

最終頁に続く

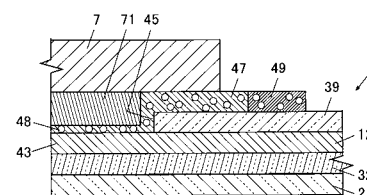
(54) 【発明の名称】 回路基板、回路基板への半導体装置の実装方法及び液晶表示装置

(57) 【要約】

【課題】回路基板に異方導電性接着材を用いて他の半導体装置等を熱圧着するときに、回路基板の配線パターンに生じる腐食や断線を抑制することができる回路基板及び回路基板への半導体装置の取付方法を提供する。

【解決手段】導電膜12と、導電膜12を被覆する絶縁膜39とが基板2に積層された回路基板1である。絶縁膜39の内部応力が圧縮応力とされ、半導体装置7が絶縁膜39との間に異方導電性接着材46を挟んで絶縁膜39上に搭載されている。異方導電性接着材46を用いて半導体装置7を回路基板1上へ熱圧着するときに、異方導電性接着材46の未硬化部分における導電膜12の腐食を減らし、導電膜12に形成された配線の断線を減らすことができる。

【選択図】図5



【特許請求の範囲】**【請求項 1】**

導電膜と絶縁膜とが基板に積層された回路基板において、
前記絶縁膜は、前記基板に形成された膜のうち最上層が絶縁膜となるように形成され、
少なくとも前記最上層の絶縁膜はその内部応力が圧縮応力とされ、
前記導電膜に通じる穴が少なくとも前記最上層の絶縁膜に形成され、
少なくとも前記穴内に前記導電膜に接続された異方導電性接着材が設けられ、
半導体装置が、前記最上層の絶縁膜および前記導電膜との間に前記異方導電性接着材を挟んで前記基板上に搭載されたことを特徴とする回路基板。

【請求項 2】

10

前記絶縁膜は複数層形成され、
前記導電膜は前記複数層の絶縁膜のうち少なくとも 1 層を介して互いに絶縁されて複数層形成されたことを特徴とする請求項 1 に記載の回路基板。

【請求項 3】

前記導電膜は 2 層形成され、
前記絶縁膜は、前記 2 層の導電膜のうち下層に形成された導電膜を覆って、前記半導体装置が実装される領域全面に亘って、2 層形成されたことを特徴とする請求項 2 に記載の回路基板。

【請求項 4】

基板に導電膜と絶縁膜とを積層してなる回路基板への半導体装置の実装方法において、
前記絶縁膜を、前記基板に形成された膜のうち最上層が絶縁膜となるように形成し、
少なくとも前記最上層の絶縁膜をその内部応力が圧縮応力となるように成膜し、
前記導電膜に通じる穴を少なくとも前記最上層の絶縁膜に形成し、
少なくとも前記穴内に前記導電膜に接続された異方導電性接着材を設け、
半導体装置を、前記最上層の絶縁膜および前記導電膜との間に前記異方導電性接着材を挟んで前記基板上に搭載することを特徴とする回路基板への半導体装置の実装方法。

20

【請求項 5】

前記半導体装置を、前記基板上に熱圧着して搭載することを特徴とする請求項 4 に記載の回路基板への半導体装置の実装方法。

【請求項 6】

30

前記絶縁膜を複数層形成し、
前記導電膜を、前記複数層の絶縁膜のうち少なくとも 1 層を介して互いに絶縁されるように複数層積層することを特徴とする請求項 4 または 5 に記載の回路基板への半導体装置の実装方法。

【請求項 7】

前記導電膜を 2 層形成し、
前記絶縁膜を、前記 2 層の導電膜のうち下層に形成された導電膜を覆って、前記半導体装置が実装される領域全面に亘って、2 層形成することを特徴とする請求項 6 に記載の回路基板の実装方法。

【請求項 8】

40

前記絶縁膜は窒化珪素からなることを特徴とする請求項 4 ~ 7 のいずれかに記載の回路基板への半導体装置の実装方法。

【請求項 9】

基板上にゲート端子を有するゲートライン、前記ゲートライン上および前記基板上に設けられたゲート絶縁膜、ドレイン端子を有し前記ゲート絶縁膜上に設けられたドレインライン、前記ドレインライン上および前記ゲート絶縁膜上に設けられた少なくとも 1 層の保護膜を有するトランジスタアレイ回路基板を備える液晶表示装置において、

少なくとも前記最上層の保護膜は、その内部応力が圧縮応力とされ、

前記ゲート端子および前記ドレイン端子の少なくとも一方の上部の前記保護膜に穴を設け、少なくとも前記穴内に異方導電性接着材を前記ゲート端子または前記ドレイン

50

端子上に設け、半導体装置の各電極を前記異方導電性接着材を介して前記ゲート端子または前記ドレイン端子に接続したことを特徴とする液晶表示装置。

【請求項 10】

前記ゲート絶縁膜および前記保護膜は前記基板の全面に設けられ、前記ゲート端子に対応する領域の前記ゲート絶縁膜および前記保護膜には全て穴が設けられていることを特徴とする請求項 9 に記載の液晶表示装置。

【請求項 11】

前記ゲート端子および前記ドレイン端子は、前記基板の一辺側に設けられ、前記ゲート端子および前記ドレイン端子はすべて前記半導体装置の電極に前記異方導電性接着材を介して接続されていることを特徴とする請求項 10 に記載の液晶表示装置。

10

【請求項 12】

前記半導体装置は、前記ゲート端子または前記ドレイン端子に接続される全ての電極を有する 1 つの半導体装置であることを特徴とする請求項 11 に記載の液晶表示装置。

【請求項 13】

前記ゲート絶縁膜および前記保護膜はともにそれらの内部応力が圧縮応力とされたことを特徴とする請求項 9 に記載の液晶表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、トランジスタアレイ回路基板等の回路基板、回路基板への半導体装置の実装方法及びトランジスタアレイ回路基板を備える液晶表示装置に関する。

20

【背景技術】

【0002】

液晶ディスプレイパネルは、薄膜トランジスタや電極等がマトリクス状に形成されたトランジスタアレイ回路基板と、対向基板と、2枚の基板を貼り合わせるシール材と、2枚の基板の間に注入される液晶等とから構成されている。また、トランジスタアレイ回路基板には、薄膜トランジスタを駆動する半導体装置（ドライバ装置）が取り付けられる。

【0003】

トランジスタアレイ回路基板のような回路基板の製造方法としては、例えば特許文献 1 に記載のものがあり、具体的には、基板上に導電膜を成膜し、フォトリソグラフィ法、エッチング法によりパターンを形成し、パターンを覆うように絶縁膜を成膜することを繰り返すことで行う。

30

【0004】

トランジスタアレイ回路基板のような回路基板への LSI チップ等の半導体装置の取り付けには、異方導電性接着材が用いられる。異方導電性接着材は熱硬化性樹脂からなるバインダ樹脂と、バインダ樹脂中に適度に分散した導電性粒子とからなる。回路基板の端子と半導体装置の電極との間に異方導電性接着材を挟み、熱と圧力を加えてバインダ樹脂を押し広げると、対向電極間に少なくとも 1 個以上の導電性粒子が挟み込まれ、回路基板の端子と半導体装置の電極との間を導通させることができる。一方、導電性粒子はバインダ樹脂中に適度に分散しており、バインダ樹脂は絶縁体であるため、面方向には絶縁性を示すことになる。以上のように、異方導電性接着材を用いて熱圧着することで回路基板と半導体装置とを接合させると同時に、回路基板の端子と半導体装置の電極との間を導通させることができる。

40

【特許文献 1】特開平 9 - 80456 号公報

【発明の開示】

【発明が解決しようとする課題】

【0005】

ところで、異方導電性接着材を用いて回路基板へ半導体装置を取り付ける場合には、異方導電性接着材形成時の寸法公差、異方導電性接着材の貼り合わせ公差、半導体装置の貼り合わせ公差を考慮して、回路基板上の半導体装置の取付領域よりも広い範囲に異方導電

50

性接着材を配置する。そして半導体装置を異方導電性接着材の上から回路基板上に熱圧着する場合には、半導体装置側を加熱し異方導電性接着材に熱伝導させる。

【0006】

このとき、半導体装置から離れた場所には熱が伝わらず、バインダ樹脂が未硬化のまま残る。この未硬化部分においては、イオン性不純物や水分が侵入しやすく、これらの水分等がさらに絶縁膜に侵入すると、これらは配線部分に溜まり、配線を形成する金属に対して酸化剤として作用するため、金属の表面がイオン化して失われる腐食の原因となりやすく、この腐食はさらに進んで断線に至る恐れがあった。また、熱圧着するための熱や圧力がかかる部分と、熱や圧力がかからない外周部分との境界では絶縁膜に歪みが生じ、水分等が侵入しやすいため、境界部分の絶縁膜の下部の配線パターンは特に腐食が生じやすかった。 10

【0007】

本発明の課題は、回路基板に異方導電性接着材を用いて他の半導体装置等を熱圧着した場合に、回路基板の配線パターンに生じる腐食を抑制し、さらに腐食が進んで発生する断線を抑制することができる回路基板及び回路基板への半導体装置の実装方法を提供することである。

【課題を解決するための手段】

【0008】

以上の課題を解決するため、請求項1に記載の発明は、導電膜と絶縁膜とが基板に積層された回路基板において、前記絶縁膜は、前記基板に形成された膜のうち最上層が絶縁膜となるように形成され、少なくとも前記最上層の絶縁膜はその内部応力が圧縮応力とされ、前記導電膜に通じる穴が少なくとも前記最上層の絶縁膜に形成され、少なくとも前記穴内に前記導電膜に接続された異方導電性接着材が設けられ、半導体装置が、前記最上層の絶縁膜および前記導電膜との間に前記異方導電性接着材を挟んで前記基板上に搭載されたことを特徴とする回路基板である。 20

【0009】

請求項1に記載の発明によれば、少なくとも最上層の絶縁膜の内部応力が圧縮応力であることにより、異方導電性接着材を用いて半導体装置を回路基板上へ熱圧着した場合に、異方導電性接着材の未硬化領域の下部における導電膜の腐食を減らし、導電膜によって形成された配線の断線を減らすことができる。また、導電膜に通じる穴が少なくとも最上層の絶縁膜に形成され、少なくともこの穴に異方性導電膜が設けられ、半導体装置の電極がこの異方導電性接着材を介して導電膜に接続されてこの穴に設けられているので、半導体装置を回路基板へ熱圧着することにより、半導体装置の電極と導電膜とを導通させることができる。 30

【0010】

請求項4に記載の発明は、基板に導電膜と絶縁膜とを積層してなる回路基板への半導体装置の実装方法において、前記絶縁膜を、前記基板に形成された膜のうち最上層が絶縁膜となるように形成し、少なくとも前記最上層の絶縁膜をその内部応力が圧縮応力となるように成膜し、前記導電膜に通じる穴を少なくとも前記最上層の絶縁膜に形成し、少なくとも前記穴内に前記導電膜に接続された異方導電性接着材を設け、半導体装置を、前記最上層の絶縁膜および前記導電膜との間に前記異方導電性接着材を挟んで前記基板上に搭載することを特徴とする回路基板への半導体装置の実装方法である。 40

【0011】

請求項4に記載の発明によれば、少なくとも最上層の絶縁膜を内部応力が圧縮応力となるように成膜し、前記最上層の絶縁膜との間に異方導電性接着材を挟んで半導体装置を絶縁膜上に熱圧着することで回路基板に半導体装置を取り付けることができる。このとき、絶縁膜の内部応力が圧縮応力であるため、異方導電性接着材の未硬化領域の下部における導電膜の腐食を減らし、導電膜によって形成された配線の断線を減らすことができる。また、導電膜に通じる穴を少なくとも最上層の絶縁膜に形成し、少なくともこの穴に異方性導電膜を設け、半導体装置の電極をこの異方導電性接着材を介して導電膜に接続してこの 50

穴に設け、半導体装置を回路基板に熱圧着することで、半導体装置の電極と導電膜とを導通させることができる。

【0012】

請求項9に記載の発明は、基板上にゲート端子を有するゲートライン、前記ゲートライン上および前記基板上に設けられたゲート絶縁膜、ドレイン端子を有し前記ゲート絶縁膜上に設けられたドレインライン、前記ドレインライン上および前記ゲート絶縁膜上に設けられた少なくとも1層の保護膜を有するトランジスタアレイ回路基板を備える液晶表示装置において、少なくとも前記最上層の保護膜は、その内部応力が圧縮応力とされ、前記ゲート端子上および前記ドレイン端子上の少なくとも一方の上部の前記保護膜に穴を設け、少なくとも前記穴内に異方導電性接着材を前記ゲート端子上または前記ドレイン端子上に設け、半導体装置の各電極を前記異方導電性接着材を介して前記ゲート端子または前記ドレイン端子に接続したことを特徴とする。

10

【0013】

請求項9に記載の発明によれば、基板上に下からゲートライン、ゲート絶縁膜、ドレインライン、保護膜の順に形成し、少なくとも最上層の保護膜の内部応力が圧縮応力であることにより、異方導電性接着材を用いて半導体装置をトランジスタアレイ回路基板上へ熱圧着した場合に、異方導電性接着材の未硬化領域の下部における導電膜の腐食を減らし、導電膜によって形成された配線の断線を減らすことができる。また、導電膜に通じる穴が少なくとも最上層の保護膜に形成され、少なくともこの穴内に異方導電性接着材がゲート端子上またはドレイン端子上に設けられ、半導体装置の電極が、この異方導電性接着材を介して導電膜に接続されてこの穴に設けられているので、半導体装置をトランジスタアレイ回路基板へ熱圧着することにより、半導体装置の電極と導電膜とを導通させることができる。

20

【発明の効果】

【0014】

本発明によれば、絶縁膜の内部応力を圧縮応力とすることで、異方導電性接着材の未硬化領域の下部における導電膜の腐食を減らし、導電膜によって形成された配線の断線を減らすことができる。

【発明を実施するための最良の形態】

【0015】

以下に、本発明を実施するための最良の形態について図面を用いて説明する。但し、以下に述べる実施形態には、本発明を実施するために技術的に好ましい種々の限定が付されているが、発明の範囲を以下の実施形態及び図示例に限定するものではない。

30

【0016】

図1は、本発明を適用した液晶ディスプレイパネル10の平面図である。液晶ディスプレイパネル10は、トランジスタアレイ回路基板1と、対向基板11と、2枚の基板を貼り合わせる矩形枠状のシール（図示せず）と、半導体装置7等から構成されている。

【0017】

図2は、トランジスタアレイ回路基板1の表示領域の一部を示した平面図であり、図3は、図2の切断線III-IIIに沿った面の矢視断面図である。トランジスタアレイ回路基板1の対向基板11と重ね合わされる部分には、図2に示すように、絶縁性透明基板2上に行方向に延在した複数のゲートライン（走査線）3と、列方向に延在した複数のドレインライン（信号線）4とが形成されている。これらゲートライン3とこれらドレインライン4とは引き回し配線12（図1参照）を介して、半導体装置7と接続されている。

40

【0018】

ゲートライン3とドレインライン4は互いに絶縁され、ゲートライン3とドレインライン4が平面視して互いに直交している。また、複数の薄膜トランジスタ5が絶縁性透明基板2上にマトリクス状に配列されており、各薄膜トランジスタ5がゲートライン3とドレインライン4との各交差部においてゲートライン3とドレインライン4に接続されている。ゲートライン3とドレインライン4によって囲まれた各囲繞領域には、薄膜トランジスタ

50

タ 5 に接続された画素電極 6 が配置され、複数の画素電極 6 が絶縁性透明基板 2 上にマトリクス状に配列されて表示領域が形成されている。

【 0 0 1 9 】

何れの薄膜トランジスタ 5 も図 3 に示すように構成されている。図 3 に示すように、薄膜トランジスタ 5 は、ゲートライン 3 に接続されたゲート 3 1 と、ゲート絶縁膜 3 2 を挟んでゲート 3 1 に対向配置した半導体膜 3 3 と、半導体膜 3 3 の中央部上に形成されたチャネル保護膜 3 4 と、平面視してチャネル保護膜 3 4 の両側に配置されるとともに互いに離間するよう半導体膜 3 3 上に形成された不純物半導体膜 3 5、3 6 と、一方の不純物半導体膜 3 5 上に形成されたソース 3 7 と、他方の不純物半導体膜 3 6 上に形成されたドレイン 3 8 と、から構成されている。

10

【 0 0 2 0 】

ゲート 3 1 は、低抵抗率な金属材料、合金等のような導電性材料からなり、より望ましくはクロム、クロム合金、アルミ、アルミ合金等のように遮光性を有すると良い。

【 0 0 2 1 】

ゲート絶縁膜 3 2 は、酸化珪素、窒化珪素等の絶縁体を絶縁性透明基板 2 上にべた一面に成膜したものである。

【 0 0 2 2 】

半導体膜 3 3 は、アモルファスシリコン又はポリシリコンからなるものである。

【 0 0 2 3 】

不純物半導体膜 3 5 及び不純物半導体膜 3 6 は、シリコン等の半導体に不純物（例えば、Ga）をドーブしたものである。

20

【 0 0 2 4 】

チャネル保護膜 3 4 は、酸化珪素、窒化珪素等の絶縁体から形成されたものであり、不純物半導体膜 3 5 及び不純物半導体膜 3 6 のパターニングの際にエッチャントから半導体膜 3 3 を保護するものである。

【 0 0 2 5 】

ソース 3 7 及びドレイン 3 8 は、低抵抗率な金属材料、合金等のような導電性材料からなり、より望ましくはクロム、クロム合金、アルミ、アルミ合金等のように遮光性を有すると良い。

【 0 0 2 6 】

薄膜トランジスタ 5 は保護絶縁膜 3 9 によって被覆されている。保護絶縁膜 3 9 は、酸化珪素、窒化珪素等の絶縁体をべた一面に成膜したものであり、複数の薄膜トランジスタ 5 をまとめて被覆している。

30

【 0 0 2 7 】

図 2 に示すように、行方向に一系列に配列された複数の薄膜トランジスタ 5 のゲート 3 1 は、共通のゲートライン 3 と一体形成されている。何れのゲート 3 1 及び何れのゲートライン 3 も、絶縁性透明基板 2 上にべた一面に成膜された導電性膜（以下、この導電性膜をゲート膜と称する。）をパターニングすることによって形成されたものである。

【 0 0 2 8 】

図 2 及び図 3 に示すように、列方向に一系列に配列された複数の薄膜トランジスタ 5 のドレイン 3 8 は、共通のドレインライン 4 と一体形成されている。何れのドレイン 3 8、何れのソース 3 7 及び何れのドレインライン 4 も、不純物半導体膜 3 5、3 6 を被覆するようにべた一面に成膜された導電性膜（以下、この導電性膜をドレイン膜と称する。）をパターニングすることによって形成されたものである。

40

【 0 0 2 9 】

図 2 及び図 3 に示すように、ゲート絶縁膜 3 2 上には、複数の画素電極 6 がマトリクス状に配列されている。これら画素電極 6 は、ゲート絶縁膜 3 2 上にべた一面に成膜された透明導電性膜をパターニングすることによって形成されたものである。画素電極 6 は光透過性を有し、酸化インジウム若しくは酸化スズ又はこれらのうちの少なくとも一つを含む混合物（例えば、ITO、亜鉛ドーブ酸化インジウム、CTO）からなる。これら画素電

50

極 6 も保護絶縁膜 39 によってまとめて被覆されている。

【0030】

保護絶縁膜 39 は、酸化珪素、窒化珪素等の絶縁体をべた一面に成膜したものであり、複数の薄膜トランジスタ 5 をまとめて被覆している。保護絶縁膜 39 はその内部応力が圧縮応力となるように形成される。

【0031】

図 2 に示すように、隣り合うゲートライン 3 の間にはキャパシタライン 41 が行方向に延在し、ゲートライン 3 とキャパシタライン 41 が交互に配列されている。これらキャパシタライン 41 は、ゲート膜のパターニングによってゲート 31 及びゲートライン 3 と同時にパターニングされたものである。また、キャパシタライン 41 は行方向に一列に配列された複数の画素電極 6 と重なるように幅広に設けられており、キャパシタライン 41 の幅広となった部分と画素電極 6 がゲート絶縁膜 32 を挟んで対向することでキャパシタが形成されている。キャパシタライン 41 は表示領域を囲繞するように形成された短絡用配線（図示せず）に接地されている。

10

【0032】

保護絶縁膜 39 上には、矩形枠状のシール（図示せず）が表示領域を囲繞するように形成されている。このシールは、トランジスタアレイ回路基板 1 と対向基板 11 を対向させた場合においてトランジスタアレイ回路基板 1 と対向基板 11 との間に注入される液晶を封止するものであり、トランジスタアレイ回路基板 1 と対向基板 11 との間に液晶が封止されることで液晶ディスプレイパネル 10 の画素領域が構成される。なお、対向基板 11

20

【0033】

半導体装置 7 には薄膜トランジスタ 5 を駆動するドライバ装置が内蔵されており、下部にゲート端子 42 またはドレイン端子 43 と接続される電極 71 を有している。半導体装置 7 はトランジスタアレイ回路基板 1 のドライバ取付領域に異方導電性接着材 46 を介して熱圧着される。

【0034】

図 4 はトランジスタアレイ回路基板 1 のドライバ取付領域を示す平面図であり、図 5 は図 4 の切断線 V - V に沿った面の矢視断面図であり、図 6 は図 4 の切断線 VI - VI に沿った面の矢視断面図である。ドライバ取付領域には、複数のゲート端子 42、複数のドレイン端子 43 が配列されている。

30

【0035】

各ゲート端子 42 は複数のゲートライン 3 のいずれかと引き回し配線 12 によって 1 対 1 に接続されている。また、各ドレイン端子 43 は複数のドレインライン 4 のいずれかと引き回し配線 12 によって 1 対 1 に接続されている。複数の引き回し配線 12 のうちゲート端子 42 と複数のゲートライン 3 を接続するもの、及び複数のゲート端子 42 は、ゲート膜をパターニングすることによって形成される。また、複数の引き回し配線 12 のうち、複数のドレイン端子 43 と複数のドレインライン 4 とを接続するもの、及びドレイン端子 43 は、ドレイン膜をパターニングすることによって形成される。

40

【0036】

図 6 に示すように、ゲート端子 42 を覆うゲート絶縁膜 32 及び保護絶縁膜 39 には、ゲート端子 42 を露出させるようにコンタクトホール 44 が形成されている。また、ドレイン端子 43 を覆う保護絶縁膜 39 には、ドレイン端子 43 を露出させるようにコンタクトホール 45 が形成されている。コンタクトホール 44、45 には異方導電性接着材 46 を挟んで半導体装置 7 の電極 71 が挿入される。

【0037】

異方導電性接着材 46 はドライバ取付領域を覆うように設けられる。異方導電性接着材 46 は、熱硬化性樹脂からなるバインダ樹脂 47 と、バインダ樹脂 47 中に適度に分散した導電性粒子 48 とからなる。ゲート端子 42 またはドレイン端子 43 と半導体装置 7 の

50

電極との間には、図 5 に示すように、少なくとも 1 つの導電性粒子 4 8 が挟まれる。半導体装置 7 の電極は、図 5、図 6 に示すように、そのすぐ下方のゲート端子 4 2 またはドレイン端子 4 3 との間に導電性粒子 4 8 を挟み、この導電性粒子 4 8 を介して導通する。一方、バインダ樹脂 4 7 は絶縁体であるため、電極と他のゲート端子 4 2 またはドレイン端子 4 3 とはバインダ樹脂 4 7 によって絶縁される。

【 0 0 3 8 】

次に、トランジスタアレイ回路基板 1 の製造方法について説明する。

まず、気相成長法（スパッタリング法、CVD 法、PVD 法等）によって絶縁性透明基板 2 にゲート膜をべた一面に成膜し、フォトリソグラフィ法及びエッチング法によってゲート膜をパターニングする。これにより、複数のゲートライン 3、複数の薄膜トランジスタ 5 のゲート 3 1、複数のキャパシタライン 4 1、複数の引き回し配線 1 2、ゲート端子 4 2 及び短絡用配線を同時に形成する。

10

【 0 0 3 9 】

次に、気相成長法によって絶縁性透明基板 2 上にゲート絶縁膜 3 2 をべた一面に成膜し、ゲート絶縁膜 3 2 により複数のゲートライン 3、複数の薄膜トランジスタ 5 のゲート 3 1、複数のキャパシタライン 4 1、複数の引き回し配線 1 2 及び短絡用配線を被覆する。

【 0 0 4 0 】

次に、気相成長法によってゲート絶縁膜 3 2 上にべた一面の半導体膜を成膜し、フォトリソグラフィ法及びエッチング法によってその半導体膜をパターニングする。これにより、複数の薄膜トランジスタ 5 の半導体膜 3 3 を形成する。

20

【 0 0 4 1 】

次に、気相成長法、フォトリソグラフィ法、エッチング法を順に繰り返し行うことによって、複数の薄膜トランジスタ 5 のチャンネル保護膜 3 4、不純物半導体膜 3 5、3 6、画素電極 6 を順次形成する。

【 0 0 4 2 】

次に、気相成長法によってゲート絶縁膜 3 2 上にドレイン膜をべた一面に成膜する。その後フォトリソグラフィ法及びエッチング法によってドレイン膜をパターニングする。これにより、複数のドレインライン 4、複数の薄膜トランジスタ 5 のドレイン 3 8 及びソース 3 7、複数の引き回し配線 1 2、ドレイン端子 4 3 並びに短絡用配線を同時に形成する。

30

【 0 0 4 3 】

次に、気相成長法によりゲート絶縁膜 3 2 上に保護絶縁膜 3 9 をべた一面に成膜し、複数のドレインライン 4、複数の薄膜トランジスタ 5 のドレイン 3 8 及びソース 3 7、複数の引き回し配線 1 2 並びに短絡用配線を、内部応力が圧縮応力となる保護絶縁膜 3 9 により被覆する。

【 0 0 4 4 】

ここで、内部応力が圧縮応力となる保護絶縁膜 3 9 は、例えば窒化珪素膜を形成する場合には、シラン、アンモニアを反応ガスとし、窒素をキャリアガスとし、成膜時の温度を 250、圧力を 125 Pa 以下とする条件のプラズマ CVD 法により成膜することができ。なお、内部応力が圧縮応力となる保護絶縁膜 3 9 は窒化珪素膜に限らず、酸化珪素膜でもよい。また、保護絶縁膜 3 9 の成膜法は CVD 法に限らず、PVD 法、その他の気相堆積法により成膜してもよい。

40

【 0 0 4 5 】

製造したトランジスタアレイ回路基板 1 に配向膜を形成し、トランジスタアレイ回路基板 1 と対向基板 1 1 を対向させ、トランジスタアレイ回路基板 1 と対向基板 1 1 との間に液晶を挟んで、液晶をシールにより封止する。

【 0 0 4 6 】

次に、ゲート絶縁膜 3 2 及び保護絶縁膜 3 9 のうち半導体装置 7 の電極 7 1 が配設される位置に、各引き回し配線 1 2 が露出するようにコンタクトホール 4 4、4 5 を形成する。次いで、ドライバ取付領域を異方導電性接着材 4 6 で覆い、異方導電性接着材 4 6 の上

50

に半導体装置 7 を電極 7 1 がコンタクトホール 4 4、4 5 に挿入されるように配置する。

【0047】

次に、半導体装置 7 を押圧しながら加熱し、半導体装置 7 からの熱伝導によってバインダ樹脂 4 7 を熱硬化させる。これにより、半導体装置 7 がトランジスタアレイ回路基板へ固定されるとともに、各引き回し配線 1 2 に接続されたゲート端子 4 2 およびドレイン端子 4 3 と半導体装置 7 の各電極とが導電性粒子 4 8 を介して接続され、液晶ディスプレイパネル 1 0 が完成する。

【0048】

このとき異方導電性接着材の半導体装置 7 から離れた部分では、図 5 に示すように、バインダ樹脂 4 7 が熱硬化するのに十分な熱量が伝導しないため、バインダ樹脂 4 7 が未硬化のままとなる未硬化領域 4 9 が残る。従来のトランジスタアレイ回路基板では、未硬化領域に対応する保護絶縁膜の下部の引き回し配線に腐食や断線が生じていた。この原因としては、従来の保護絶縁膜は内部応力が引張応力となっていたことが挙げられる。バインダ樹脂の未硬化領域には、熱硬化した領域と比べてイオン性の不純物や水分が侵入しやすく、これらの水分等は未硬化領域に対応する保護絶縁膜上に到達する。ここで、保護絶縁膜の内部応力が引張応力の場合、膜密度が低いため、これらの水分等は保護絶縁膜に侵入しやすく、これらの侵入した水分等が保護絶縁膜の下部に形成された引き回し配線付近にたまって腐食の原因となり、さらに腐食が進んで断線に至っていたと考えられる。また、保護絶縁膜における半導体装置の取付領域に対応する部分には熱と圧力がかかり、熱や圧力を受けない外周部との間で歪みが生じ、保護絶縁膜がダメージを受けるため、未硬化領域と熱硬化した領域との境界付近では水分等が特に侵入しやすく、腐食しやすかったものと考えられる。

【0049】

本発明では、保護絶縁膜 3 9 の内部応力を圧縮応力としたことで、以下の実施例に示すように、引き回し配線 1 2 の腐食、断線を減らすことができる。これは、保護絶縁膜の内部応力が圧縮応力となるように成膜して、膜密度を高くすることで、保護絶縁膜の未硬化領域において、イオン性不純物や水分の侵入を防いだためと考えられる。

【0050】

なお、以上の実施の形態においては、トランジスタアレイ回路基板について記載したが、本発明はこれに限らず、他の回路基板についても適用することができる。

【0051】

以下、本発明を実施例により詳述するが、本発明はこれらの実施例に限定されない。

【実施例 1】

【0052】

< 液晶ディスプレイパネルの作成 >

1. 透明基板上に気相成長法により導電膜を成膜し、フォトリソグラフィー法、エッチング法により導電膜をパターニングし、ゲートライン、複数の薄膜トランジスタのゲート、複数のキャパシタライン、複数の引き回し配線、ゲート端子等を形成した。

2. 基板全面に、1. で形成したパターンを覆うように気相堆積法によりゲート絶縁膜を成膜した。

3. ゲート絶縁膜上に、気相成長法、フォトリソグラフィー法、エッチング法を順に行うことによって、複数の薄膜トランジスタのチャネル保護膜、不純物半導体膜、画素電極等を順次形成した。

4. 3. のチャネル保護膜、不純物半導体膜、画素電極等の上に、気相成長法により導電膜を成膜し、フォトリソグラフィー法により導電膜をパターニングし、複数のドレインライン、複数の薄膜トランジスタのドレイン及びソース、複数の引き回し配線、ドレイン端子等を形成した。

【0053】

5. 基板全面に、4. で形成したパターンを覆うように保護絶縁膜を成膜した。保護絶縁膜はプラズマ CVD 法により膜厚が 2000 となるように形成した。プラズマ CVD 法

10

20

30

40

50

による成膜条件は以下のとおりである。

【0054】

反応ガスとして、シラン (SiH_4)、アンモニア (NH_3) を、キャリアガスとして窒素 (N_2) を用いた。ガス流量は、標準状態 (0°C 、 101325Pa) において、 SiH_4 を $170\text{cm}^3/\text{min}$ (sccm)、 NH_3 を $170\text{cm}^3/\text{min}$ (sccm)、 N_2 を $2500\text{cm}^3/\text{min}$ (sccm) とした。成膜時の温度を 250°C 、圧力を 125Pa とした。

【0055】

6.5. のトランジスタアレイ回路基板に、別途形成された対向基板を間にシール材を挟んで貼り合わせ、2枚の基板の間に液晶を封入した。

10

7.6. のトランジスタアレイ回路基板のドライバ取付領域に、ゲート端子42が露出するようにゲート絶縁膜及び保護絶縁膜にコンタクトホールを形成するとともに、ドレイン端子が露出するように保護絶縁膜にコンタクトホールを形成した。

8.7. のドライバ取付領域に、異方導電性接着材の寸法公差、貼り合わせ公差を考慮して、該領域よりも僅かに大きい異方導電性接着材を貼付した。

9.8. の異方導電性接着材上に半導体装置を載置し、半導体装置の電極が、7. のコンタクトホール上に配置されるように位置合わせした。

10.9. の半導体装置の上面側から比較的低温の熱を加えて異方導電性接着材を熔融し、異方導電性接着材に含まれる導電性粒子を介して半導体装置の電極がゲート端子またはドレイン端子と導通するように半導体装置を押圧し、さらに半導体装置に比較的高温（ただし半導体装置に適した温度）の熱を加えて異方導電性接着材を熱硬化させることで、半導体装置のトランジスタアレイ回路基板への熱圧着を完了した。

20

【実施例2】

【0056】

プラズマCVD法による保護絶縁膜の成膜において、圧力条件を 110Pa に変えた点以外は実施例1と同様にして液晶ディスプレイパネルを作成した。

【0057】

< 比較例1 >

プラズマCVD法による保護絶縁膜の成膜において、圧力条件を 170Pa に変えた点以外は実施例1と同様にして液晶ディスプレイパネルを作成した。

30

【0058】

< 内部応力評価 >

実施例1、実施例2及び比較例1のトランジスタアレイ回路基板の保護絶縁膜の内部応力を評価したところ、実施例1では -39MPa 、実施例2では -129MPa 、比較例1では 270MPa であった。なお、正は引張応力、負は圧縮応力である。

【0059】

< 半導体装置の液晶ディスプレイパネルへの取り付け >

実施例1、実施例2及び比較例1の液晶ディスプレイパネルに、半導体装置を取り付けた。まず、基板の半導体装置が固定される位置にエポキシ系の異方導電性接着材を配置した。その上から半導体装置を電極がコンタクトホールの位置に配置されるように載置し、半導体装置を上から加熱・押圧することにより、異方導電性接着材のバインダ樹脂を熱硬化させ、半導体装置をトランジスタアレイ回路基板に固定した。

40

【0060】

< 性能測定 >

半導体装置を取り付けた各液晶ディスプレイパネルを、温度 80°C 、湿度 90% の環境におき、15時間毎に1ラインあたりの腐食発生数、1パネルあたりの断線数を計測した。なお、評価に使用した液晶ディスプレイパネルの配線数は1パネルあたり384本である。

【0061】

< 結果 >

50

図 7 は実施例 1、2 及び比較例 1 の液晶ディスプレイパネルの 1 ラインあたりの腐食発生数と試験時間との関係を示したグラフである。実施例 1 の液晶ディスプレイパネルでは、60 時間後から平均で 0.003 個 / ラインの腐食が検出された。その後徐々に増加し、195 時間後には平均で 0.1 個 / ラインの腐食が検出された。

【0062】

実施例 2 の液晶ディスプレイパネルでは、75 時間後から平均で 0.0012 個 / ラインの腐食が検出された。その後徐々に増加し、195 時間後には平均で 0.0025 個 / ラインの腐食が検出された。

【0063】

比較例 1 の液晶ディスプレイパネルでは、45 時間後から平均で 0.003 個 / ラインの腐食が検出された。その後徐々に増加し、150 時間後には平均で 1 個 / ラインの腐食が検出された。

10

【0064】

図 8 は実施例 1、2 及び比較例 1 の液晶ディスプレイパネルの 1 パネルあたりの断線数と試験時間との関係を示したグラフである。実施例 1 の液晶ディスプレイパネルでは、30 時間後に平均で 0.0018 本 / パネルの断線が、60 時間後に平均で 0.0024 本 / パネルの断線が検出された。その後徐々に増加し、150 時間後には平均で 0.005 本 / パネルの断線が、195 時間後には平均で 0.007 本 / パネルの断線が検出された。

実施例 2 のパネルでは、断線は検出されなかった。

20

【0065】

比較例 1 の液晶ディスプレイパネルでは、75 時間後に平均で 0.0034 本 / パネルの断線が検出された。その後徐々に増加し、150 時間後には平均で 0.007 本 / パネルの断線が検出された。

【0066】

このように、保護絶縁膜の内部応力を -39 MPa の圧縮応力とすることで、腐食を減らし、断線を減らすことができる。また、保護絶縁膜の内部応力を -129 MPa の圧縮応力とすることで、腐食をさらに減らし、断線をさらに減らすことができる。

【0067】

尚、上記実施例では、保護絶縁膜を内部応力が圧縮応力となるように成膜したが、保護絶縁膜とともに、窒化珪素膜からなる何れの絶縁膜も、内部応力が圧縮応力となるように成膜してもよい。

30

【図面の簡単な説明】

【0068】

【図 1】液晶ディスプレイパネル 10 を示した平面図である。

【図 2】トランジスタアレイ回路基板 1 の画素領域の一部を示した平面図である。

【図 3】図 2 の切断線 III-III に沿った面の矢視断面図である。

【図 4】トランジスタアレイ回路基板 1 のドライバ取付領域を示す平面図である。

【図 5】図 4 の切断線 V-V に沿った面の矢視断面図である。

【図 6】図 4 の切断線 VI-VI に沿った面の矢視断面図である。

40

【図 7】実施例 1、2 及び比較例 1 の液晶ディスプレイパネルの 1 ラインあたりの腐食発生数と試験時間との関係を示したグラフである。

【図 8】実施例 1、2 及び比較例 1 の液晶ディスプレイパネルの 1 パネルあたりの断線数と試験時間との関係を示したグラフである。

【符号の説明】

【0069】

1 トランジスタアレイ回路基板（回路基板）

12 引き回し線

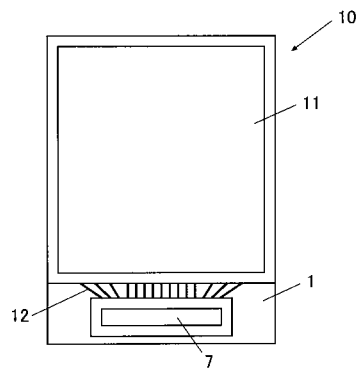
2 絶縁性透明基板（基板）

39 保護絶縁膜（絶縁膜）

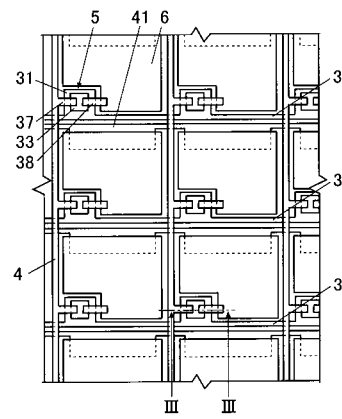
50

- 4 2 ゲート端子
- 4 3 ドレイン端子
- 4 6 異方導電性接着材
- 7 半導体装置
- 7 1 電極

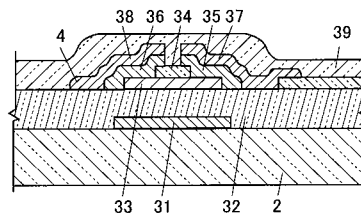
【図 1】



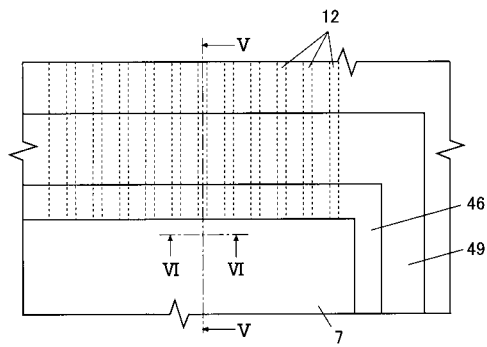
【図 2】



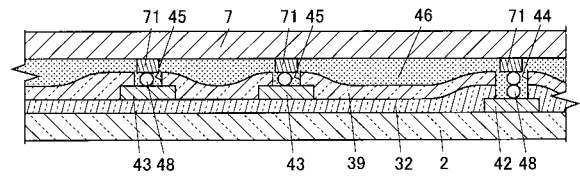
【図 3】



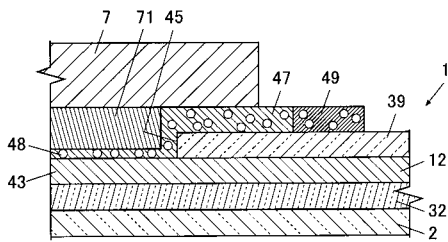
【図 4】



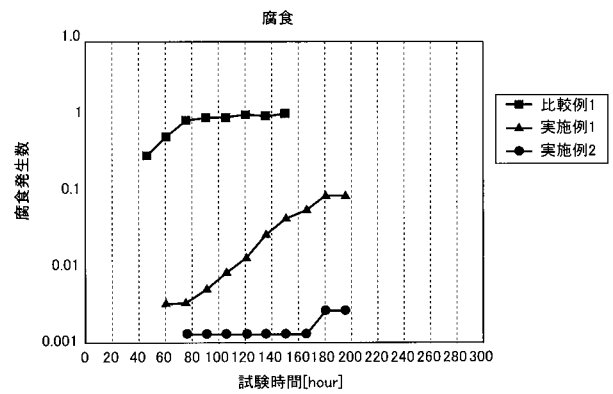
【図 6】



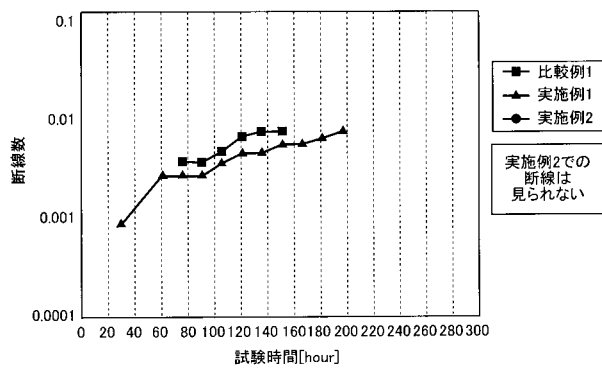
【図 5】



【図 7】



【図 8】



フロントページの続き

F ターム(参考) 2H092 GA40 GA42 GA43 GA48 GA50 GA51 GA55 GA59 HA28 JA24
JA28 JA34 JA37 JA41 JA46 KA04 MA05 MA07 MA13 MA18
MA32 NA11 NA17 NA18 NA29
5G435 AA13 AA14 BB12 EE32 EE37 EE42 KK05 KK09

专利名称(译)	电路板，在电路板上安装半导体器件的方法和液晶显示器件		
公开(公告)号	JP2006258922A	公开(公告)日	2006-09-28
申请号	JP2005073155	申请日	2005-03-15
[标]申请(专利权)人(译)	卡西欧计算机株式会社		
申请(专利权)人(译)	卡西欧计算机有限公司		
[标]发明人	藤沢 淳一 松村 光芳		
发明人	藤沢 淳一 松村 光芳		
IPC分类号	G02F1/1345 G02F1/1368 G09F9/00		
CPC分类号	G02F1/13452 G02F2001/13456 H01L24/29 H01L24/31 H01L24/81 H01L24/83 H01L2224/0554 H01L2224/05568 H01L2224/05573 H01L2224/16225 H01L2224/16237 H01L2224/2919 H01L2224/81801 H01L2224/83192 H01L2224/838 H01L2924/00014 H01L2924/01006 H01L2924/01013 H01L2924/01023 H01L2924/01024 H01L2924/0103 H01L2924/01033 H01L2924/01049 H01L2924/0105 H01L2924/01082 H01L2924/0665 H01L2924/0781 H01L2924/07811 H01L2924/19041 H01L2924/3025 H01L2924/00 H01L2924/3512 H01L2224/05599 H01L2224/0555 H01L2224/0556 A22C25/06 A22C25/14 A22C25/16 B26D7/0625 B26D2001/0013		
FI分类号	G02F1/1345 G02F1/1368 G09F9/00.348.A		
F-TERM分类号	2H092/GA40 2H092/GA42 2H092/GA43 2H092/GA48 2H092/GA50 2H092/GA51 2H092/GA55 2H092/GA59 2H092/HA28 2H092/JA24 2H092/JA28 2H092/JA34 2H092/JA37 2H092/JA41 2H092/JA46 2H092/KA04 2H092/MA05 2H092/MA07 2H092/MA13 2H092/MA18 2H092/MA32 2H092/NA11 2H092/NA17 2H092/NA18 2H092/NA29 5G435/AA13 5G435/AA14 5G435/BB12 5G435/EE32 5G435/EE37 5G435/EE42 5G435/KK05 5G435/KK09 2H192/AA24 2H192/CB05 2H192/CB71 2H192/DA12 2H192/EA22 2H192/EA43 2H192/EA74 2H192/FA73 2H192/FA76 2H192/FB22 2H192/FB34 2H192/FB72 2H192/GA06 2H192/GA41 2H192/HA14		
其他公开文献	JP4576558B2		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种电路板，当使用电路板上的各向异性导电粘合剂材料热压压另一半导体器件等时，该电路板能够抑制在电路板的布线图案中发生的腐蚀和断开，提供了一种用于安装半导体器件的方法。解决方案：电路板1具有导电膜12和覆盖层叠在基板2上的导电膜12的绝缘膜39。将绝缘膜39的内部应力设定为压缩应力，并且将半导体器件7安装在绝缘膜39上，其中各向异性导电粘合剂46介于半导体器件7和绝缘膜39之间。当使用各向异性导电粘合剂材料46将半导体器件7热压缩到电路板1上以形成导电膜12时，减少各向异性导电粘合剂材料46的未固化部分中的导电膜12的腐蚀。可以减少有线线路的断开。点域5

