

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2005-505800

(P2005-505800A)

(43) 公表日 平成17年2月24日(2005.2.24)

(51) Int.Cl.⁷

F I

テーマコード (参考)

G09F 9/30
G02F 1/1343
G02F 1/1345
G02F 1/1368
H01L 21/336

G09F 9/30 338
G02F 1/1343
G02F 1/1345
G02F 1/1368
H01L 29/78 612Z

2H092
5C094
5F110

審査請求 未請求 予備審査請求 未請求 (全 34 頁) 最終頁に続く

(21) 出願番号 特願2003-537031 (P2003-537031)
(86) (22) 出願日 平成14年10月9日 (2002.10.9)
(85) 翻訳文提出日 平成16年4月16日 (2004.4.16)
(86) 国際出願番号 PCT/IB2002/004138
(87) 国際公開番号 W02003/034379
(87) 国際公開日 平成15年4月24日 (2003.4.24)
(31) 優先権主張番号 0125019.0
(32) 優先日 平成13年10月18日 (2001.10.18)
(33) 優先権主張国 英国 (GB)
(81) 指定国 EP (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, SK, TR), CN, JP, KR

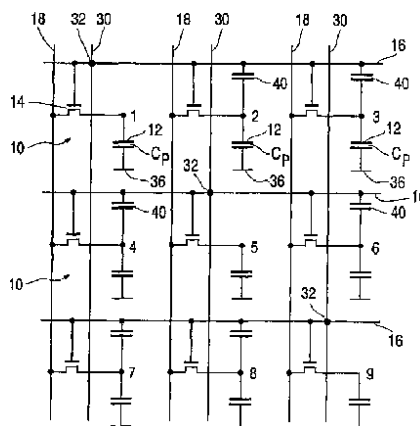
(71) 出願人 590000248
コーニンクレッカ フィリップス エレクトロニクス エヌ ヴィ
Koninklijke Philips Electronics N. V.
オランダ国 5621 ペーアー アイン
ドーフエン フルーネヴァウツウェッハ
1
Groenewoudseweg 1, 5
621 BA Eindhoven, The Netherlands
(74) 代理人 100075812
弁理士 吉武 賢次
(74) 代理人 100088889
弁理士 橘谷 英俊

最終頁に続く

(54) 【発明の名称】 アクティブマトリクス表示装置

(57) 【要約】

アクティブマトリクス表示装置は、画素、例えば、液晶画素のアレイと、行方向及び列方向にそれぞれ延び、画素に接続された第1及び第2のアドレス導体の組(16、18)と、第2のアドレス導体の組(18)と同じ方向に延びる接続導体の組(30)と、を含み、各接続導体は、画素の場所で第1の導体の組(16)の中の対応した導体に接続され、接続導体を介してアドレス信号が第1の組に供給される。接続導体と第1のアドレス導体の組との間の接続の場所における画素以外の画素は、画素電極と接続導体の間に存在し、画素のアドレス指定後に画素の表示出力に異常を生じさせ得る寄生容量の効果を補償するため、画素電極と関連した第1のアドレス導体の組との間に容量が設けられる。



【特許請求の範囲】

【請求項 1】

画素のアレイを有するアクティブマトリクス表示装置であって、
前記画素の各々は画素電極及び関連したスイッチング装置を含み、
前記画素は、前記画素に接続された交差する第 1 のアドレス導体の組と第 2 のアドレス導体の組の間のそれぞれの交点に置かれ、
前記第 1 のアドレス導体の組及び前記第 2 のアドレス導体の組によって選択信号及びデータ信号がそれぞれ前記画素に供給され、
当該装置は接続導体の組を含み、
前記接続導体によって選択信号が前記第 1 のアドレス導体の組に供給され、
前記接続導体の各々は、前記第 2 の組の中のアドレス導体のそれぞれの隣接したペアの間で、そのペアの方向に延在し、それぞれの画素の場所で前記第 1 の組の中のそれぞれのアドレス導体に電氣的に接続され、
寄生容量が各画素内で前記画素電極と接続導体の間に存在し、
前記接続導体と前記第 1 の組の中の前記アドレス導体との間の接続の場所にある画素以外の画素は、各々、当該画素の画素電極と前記第 1 の組の中の当該画素に関連したアドレス導体との間に補助容量が設けられる、
アクティブマトリクス表示装置。

【請求項 2】

前記補助容量の値は、前記画素電極と接続導体との間の前記寄生容量の値にほぼ一致する、請求項 1 に記載のアクティブマトリクス表示装置。

【請求項 3】

前記補助容量は、前記画素電極の一部に重なる前記第 1 の組の中の前記アドレス導体的一部分によって与えられる、請求項 1 または 2 に記載のアクティブマトリクス表示装置。

【請求項 4】

前記アドレス導体の一部分は所定の面積を有する突起部を含む、請求項 3 に記載のアクティブマトリクス表示装置。

【請求項 5】

前記接続導体は前記画素電極の下に延在する、請求項 1 から 4 のいずれか一項に記載のアクティブマトリクス表示装置。

【請求項 6】

前記画素は液晶画素を含む、請求項 1 から 5 のいずれか一項に記載のアクティブマトリクス表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、アクティブマトリクス表示装置に係わり、特に、画素のアレイを有し、前記画素の各々は画素電極及び関連したスイッチング装置を含み、前記画素は、前記画素に接続された交差する第 1 のアドレス導体の組と第 2 のアドレス導体の組の間のそれぞれの交点に置かれ、前記第 1 のアドレス導体の組及び前記第 2 のアドレス導体の組によって選択信号及びデータ信号がそれぞれ前記画素に供給される、アクティブマトリクス表示装置であって、接続導体の組を含み、前記接続導体によって選択信号が前記第 1 のアドレス導体の組に供給され、前記接続導体の各々は、前記第 2 の組の中のアドレス導体のそれぞれの隣接したペアの間で、そのペアの方向に延在し、それぞれの画素の場所で前記第 1 の組の中のそれぞれのアドレス導体に電氣的に接続される、アクティブマトリクス表示装置に関する。

【背景技術】

【0002】

例えば、携帯電話機、カメラビューファインダ、電子パーソナルオーガナイザなどのような携帯型アプリケーションで使用するために適しているこの種のアクティブマトリクス液

晶表示装置（ＡＭＬＣＤ）は、欧州特許出願第０１２００４６６．９号（ＰＨＮＬ０１００７４）に記載されている。

【０００３】

接続導体の組を設けることによって、行アドレス導体に印加される選択（走査）信号及び列アドレス導体に印加される表示データ信号を含む、画素を駆動するアドレス指定信号は、従来のＡＭＬＣＤなどのように二つの互いに直交した側に供給するのではなく、支持体の共通側、または、支持体の向かい合った平行な側の何れかに供給することが可能になる。従来のＡＭＬＣＤの場合、選択信号を搬送する行アドレス導体の組と、データ信号を搬送する列アドレス導体の組は、各々、画素電極のアレイのエリアを越えて、それらを支える矩形状の支持体上で、支持体の対応した周辺領域まで延在し、この周辺領域は、アドレス導体の組と電氣的に接触させる目的のため、支持体の二つの隣接したエッジ部分を含む。例えば、行及び列駆動回路ＩＣは、支持体のこれらの周辺境界領域に直接取り付けられ、それらの出力端子が拡張されたアドレス導体に接続されるか、または、代替的に、箔に取り付けられ、それらの出力が箔上のトラックを介してアドレス導体に接続される。そうするのではなく、接続導体の組は、ＩＣを、支持体の一方側のみに沿った共通周辺境界領域に設けること、または、支持体の向かい合った平行な側に沿った対応した周辺境界領域に設けることを可能にさせ、或いは、そのような部分で箔接続を行うことを可能にさせる。

10

【０００４】

上記の出願に記載されているように、この特徴は、例えば、所定のサイズの支持体に対する実効表示面積を一方向で増加させるために使用可能であり、表示装置が小形の携帯型製品で使用されるときに有利である。類似した種類の接続スキームは、Greeneらによる刊行物“Manufacturing of Large Wide-View Angle Seamless Tiled AMLCDs for Business and Consumer Applications”、IDMC 2000、ページ191-194に記載されている。この場合の利点は、個別の表示パネルのタイリングの簡易化が、アドレス導体をただ一つのエッジから駆動できるようにすることによって促進されることである。

20

【０００５】

しかし、このような表示装置の動作特性は、接続導体の存在による悪影響を受けることが分かった。特に、表示装置は、画素の不均一性問題及び画像保持問題に悩まされる。

30

【発明の開示】

【発明が解決しようとする課題】

【０００６】

本発明の目的は、冒頭の段落で説明した種類の改良型表示装置を提供することである。

【０００７】

本発明の更なる目的は、上記の問題が少なくともある程度は緩和された表示装置を提供することである。

【課題を解決するための手段】

【０００８】

本発明によれば、冒頭の段落で説明した種類のアクティブマトリクス表示装置であって、各画素内で寄生容量が画素電極と接続導体の間に存在し、接続導体と第１の組の中のアドレス導体との間の接続の場所にある画素以外の画素は、各々、当該画素の画素電極と第１の組の中の当該画素に関連したアドレス導体との間に補助容量が設けられる、アクティブマトリクス表示装置が提供される。

40

【０００９】

補助容量は、望ましくない表示アーティファクトを著しく低減することにより表示品質を改良する。本発明は、ある種の寄生容量効果が、上記の問題の原因である接続導体の存在によって導入されることを認識することから生じる。寄生容量の本質は、接続導体と第１の組のうちの関連したアドレス導体との間の接続場所にあり、その点で接続導体に接続さ

50

れたアドレス導体に結合されている画素が、アレイ内の他の場所にある画素に様々な影響を与えることである。その結果として、接続点の場所における画素に対するいわゆるキックバック効果は、他の画素に対するキックバック効果とは相違し、類似した所与の印加データ信号電圧に対して、それらの表示出力は他の画素からの表示出力とは異なるであろう。更に、これらの画素は、LC材料に経年変化の影響と画像保持問題を生じる間接的なrms直流電圧による影響を受ける可能性がある。適当に選択された値の容量を他の画素に加えることによって、全ての画素に対するキックバック効果を同じようにすることが可能であり、これにより、画素の均一性が改良される。補助容量の値は、画素電極と接続導体との間の寄生容量にほぼ一致する。

【0010】

10

典型的に、AMLCDのようなアクティブマトリクス表示装置の場合に、画素は、それらの画素電極と選択信号を搬送する関連したアドレス導体との間に存在する寄生容量を必ず保有し、その容量の値はその構造の正確な性質に応じて変化し得る。付加された容量は、この特有の寄生容量に対し付加的である。このような寄生容量は、アドレス導体の一部と平行に、または、おそらくアドレス導体の一部と僅かに重なり合って延在する画素電極のエッジから生じ、画素電極のエッジは誘電材料によってアドレス導体の一部から隔離されている。付加された容量は、寄生容量を増加させるため、接続点の場所における画素以外の画素において上記の寄与部分を変えることによって設けられる。これは、画素電極及びアドレス導体部分を重ねる場合に、例えば、介在する誘電材料を局部的に薄くすることによって実現される。しかし、好ましくは、電極とアドレス導体との間の重なり合うエリアを設けるか、または、増大させることによって実現するのが好都合であり、そのためには、電極の一部がかなりの程度までアドレス導体の上に延在するように設計するか、または、その逆になるように設計する。或いは、付加された容量は、画素電極とアドレス導体の間に接続された別個のキャパシタ構造の形で設けてもよい。

20

【0011】

接続導体は、画素電極の下にラインとして延在してもよく、誘電材料の介在層によって画素電極から分離することができる。或いは、これらのラインは、画素電極の側面に隣接して延在するように、例えば、第2の組のアドレス導体と平行に延在するように配置してもよい。これは、これらの導体と画素電極との間の容量を減少させることであり、画素に付加されるべき容量の値を非常に小さくすることになるので、重要な因子である。これは、ITOのような透明導電性材料を含む画素電極を具備した透過型表示装置の場合にも効果的である。なぜならば、そのようにしなければ、ラインは、画素電極の下に配置されるとき、同様に透明材料から作ることが必要になるからである。しかし、これらのラインを画素電極の側面に隣接させて配置することは、画素アパーチャを減少させる可能性がある。

30

【0012】

本発明は、特にアクティブマトリクス液晶表示装置に適用可能であるが、電気泳動表示装置(electrophoretic)及びエレクトロクロミック(electrochromic)表示装置のように、画素として他の電気光学材料を使用する様々な種類のアクティブマトリクス表示装置に適用した場合にも有利である。

【0013】

40

以下、本発明によるアクティブマトリクス表示装置の実施形態、特に、液晶表示装置の実施形態を、一例として添付図面を参照して説明する。

【0014】

尚、図面は、ただ概略的に表されたものに過ぎず、正しい縮尺で描かれていないことに注意すべきである。同じ参照番号は、全ての図面を通じて、同じ部品または類似した部品を示すために使用される。

【発明を実施するための最良の形態】

【0015】

図1を参照すると、従来の形態のアクティブマトリクス液晶表示装置の一部が示され、アクティブマトリクス液晶表示装置は個別のアドレス指定可能な画素10のマトリクスアレイ

50

11を含み、各画素は、離散的な画素電極12と、薄膜トランジスタ(TFT)14の形をした関連したスイッチング装置と、を含み、薄膜トランジスタ14は、アモルファスシリコン(a-Si)またはポリシリコンタイプである。このような装置の一般的な構造及び動作は、例えば、米国特許明細書US 5,130,829に記載され、この文献を参照することが推奨され、これらに関するこの文献の開示内容はここに援用される。簡単に説明すると、画素電極14は、行及び列に編成され、第1及び第2の相互に直交したアドレス導体の組、即ち、行方向の選択用のアドレス導体16、及び、列方向のデータ用のアドレス導体18は、画素電極12の間に延在し、各画素電極12は、行アドレス導体及び列アドレス導体のそれぞれのペアの交点に隣接した場所に置かれている。画素電極、アドレス導体の組、及び、TFTは、全て支持体20、例えば、ガラスプレート上に搭載される。第2の支持体、例えば、同じくガラスプレート(図示せず)は、支持体20の上に平行に配置され、共通電極を搭載する。二つの支持体は互いに離間し、液晶材料が支持体間に設けられ、液晶材料は、支持体間のアレイの周囲の周りに延在するシールによって収容される。各画素電極は、上に重なる共通電極の部分、及び、それらの間の液晶材料と共に、それぞれの表示素子を画成する。 10

【0016】

画素を駆動するため、行駆動回路26及び列駆動回路28は、それぞれ、行アドレス導体の組及び列アドレス導体の組の一端に接続される。行駆動回路26は、選択(走査)信号を行アドレス導体16の各々に供給し、TFT14の各行を順々にターンオンし、列駆動回路28は、例えば、入力ビデオ信号をサンプリングすることによって獲得されたデータ(ビデオ)電圧信号を、行選択と同期して、列アドレス導体18の各々に供給する。駆動回路26及び28は、通常、ICの形で設けられ、ICは、図1に示されるように、アレイの二つの隣接した側面と支持体の対応したエッジとの間で、支持体20の領域に取り付けられ、或いは、ICは、箔によるCOF(チップオンフォイル)またはテープによるTCP(テープキャリアパッケージ)技術を使用するとき、箔またはテープに搭載され、次に、支持体の二つの隣接した側面に沿った周辺領域でアドレス導体の組と相互連結される。それどころか、ポリシリコンAMLCDの場合、駆動回路は、TFT及びアドレス導体などを含むアクティブマトリクス回路と同じプロセスを使用して同時に、支持体20の周辺領域に実際に製作され、支持体上で完全に集積化される。 20

【0017】

当然ながら、二つの隣接した側面に沿った支持体の周辺部を、ICの実装、または、テープ若しくは箔との相互連結の準備のための専用にする必要性は制限され得る。なぜならば、支持体20の高さ及び幅の両方における全体的なサイズは、収容されるアレイよりも遙かに大きくする必要があるのである。この点に関して有利な別の配置が提案されている。図2は、この別の配置の原理を使用する画素アレイの一部を示す図である。アレイは、同様に、画素電極12と、関連したTFT14と、を具備し、TFT14は行アドレス導体16の組及び列アドレス導体18の組に接続される。しかし、この配置の場合、行アドレス導体16は、画素アレイの反対側のエッジの直ぐ隣で終端し、列アドレス導体18に対して平行に延びる補助列導体ラインの形をした接続導体30の組が設けられ、接続導体の各々は、アレイの一方側から、画素電極12のそれぞれの列に沿って、反対側へ延びる。各導体30は、接続点32で、行アドレス導体16のうちの対応した別々の一つに接続され、この接続点32はそれぞれの画素の場所に対応した位置にある。導体30の長手方向のこの接続点の位置は、導体と、導体に関連したアドレス導体16との間の交差に対応し、導体毎に異なる。 40

【0018】

接続導体30は、データ信号が列アドレス導体18へ供給された側、または、その反対側のアレイの一方側から、行選択信号を行アドレス導体16へ供給することが可能であり、例えば、図3の表示装置の略平面図に示されるように、この場合の行駆動回路IC26及び列駆動回路IC28は、画素アレイ11の反対側の支持体20のそれぞれのエッジ部分に搭載され、列アドレス導体18の端及びライン30の端は、それぞれ、列駆動回路IC 50

及び行駆動回路 IC に接続される。その結果として、行アドレス導体 16 の組の端に隣接した側に沿った支持体 20 の周辺エッジ領域を、行駆動回路 IC またはそこへの相互連結のために専用にする必要がない。これは、所定の表示サイズに対する支持体の面積を縮小可能であり、例えば、単一の処理された、初期的には大面積のガラスシートから得られる表示装置用のアクティブプレートの個数が増加することを意味する。また、最低限の余分なエリアが反対側に存在する表示装置の対称的な性質は、殆どのアプリケーションにおいて、特に、携帯電話機などで使用されるような小面積表示装置の場合に、有利である。

【0019】

この種の表示装置の例、及び、このような配置を使用して得られる更なる利点は、欧州特許出願第 01200466 . 9 号に記載され、この文献を参照することが推奨され、この文献の内容はここに援用される。行アドレス導体及び列アドレス導体は、アレイの同じ側面から接触させられ、接続導体は、画素電極の隣接した列間の空間内の列アドレス導体に隣接して延在してもよく、上記の R . G . G r e e n e らによる文献に記載された配置の通りである。

10

【0020】

図 2 の例では、各導体 30 は、画素電極 12 のそれぞれの列の下側で、ほぼ中央に延在する。表示装置が電極 12 のために反射性金属を使用する反射型ディスプレイである場合、ラインは、アルミニウムのような金属から、可能であれば列アドレス導体 18 のため使用されたものと同じ堆積金属層から形成される。電極 12 が ITO のような透明導電性材料を含む透過型ディスプレイの場合、ライン 30 は、好ましくは、同様に透明導電性材料から形成される。

20

【0021】

次に、図 2 の表示装置と類似した装置により構成され、しかし、変更が加えられている本発明による表示装置の一実施形態は、図 4 を参照して説明され、同図には、表示装置内の典型的な画素 10 のグループ（1 から 9 のラベルが付けられている）の等価電気回路が示されている。各画素内の画素電極 12、及び、36 で示されている、上に重なる共通電極の部分は、容量 C_p を有する液晶表示素子を形成し、選択信号及びデータ信号が、それぞれ、画素が関連付けられている行アドレス導体 16 及び列アドレス導体 18 へ供給されるときに、この容量 C_p には、希望の表示出力を得るため、TFT 14 を介して電荷が供給される。この表示装置の場合、アレイ内の各画素 10 は、接続導体 30 とその対応した行アドレス導体 16 との間の接続点 32 の場所にある画素、即ち、図 4 に示されたグループ内の番号 1、5 及び 9 が付けられた画素を除いて、画素電極 12 とその画素電極に関連した行アドレス導体 16 との間に結合された所定の値の補助容量 40 が設けられる。

30

【0022】

これらの補助容量 40 は、図 2 に示された種類の表示装置の使用時に、少なくとも、望ましくない表示アーティファクトの問題、特に、画素表示の不均一性を著しく軽減する。これらのアーティファクトの原因は、現在、接続点の場所にある画素と、その他の画素との寄生容量効果の差であると考えられ、この差のために、表示素子のアドレス指定に続いて、異なる表示素子電圧が設定される。補助容量 40 の目的は、これらの他の画素に加わる影響が接続点の場所にある画素に加わる影響と同じになるように、これらの差を補償することであり、これにより、同様の印加データ信号値に対して生成される表示素子電圧の差が最小限に抑えられる。容量 40 の値は、このために適切に選択される。この点に関するそれらの効果は、図 4 に類似しているが、このタイプの表示装置に現れる付加的な寄生容量が示されている図 5 を参照して説明される。

40

【0023】

接続導体 30 の存在は、各画素 10 に寄生容量を、特に、画素電極 12 と下にある導体 30 の部分との間に容量 C_1 を導入する。（更に、さほど重要ではないが、図示されない寄生容量が、導体 30 と列アドレス導体 16 との間でそれらの交点に形成される。）典型的に、AMLCD 画素には、その画素電極と画素電極に関連した行アドレス導体 16 との間に寄生容量が存在し、その寄生容量は、とりわけ、TFT ゲート/ソース容量に起因し、

50

また、画素電極が、表示素子のアパーチャを拡大するために、屢々、行アドレス導体に近接して配置され、反射型 AMLCD の場合、行アドレス導体のエッジで行アドレス導体の上に配置されるという事実に起因する。この寄生容量は、画素構造に依存した固定値であり、図 5 には C_2 として示されている。 C_p として図示されている LC 画素自体の容量には、一般的に AMLCD に設けられるような任意の関連した蓄積キャパシタの容量が含まれ、この蓄積キャパシタは、通常は、LC 表示素子と並列に、画素電極 12 と、画素に関連した行アドレス導体の次の行アドレス導体、または、行アドレス導体と平行に延在する別個の専用導体の何れかとの間に存在する。

【0024】

最初に、図 2 の装置のように補助容量 40 が存在せず、接続点 32 に対応した画素の場所、即ち、その列内の接続点が現れる行アドレス導体 16 に接続された図 5 の画素 1、5 及び 9 における容量 C_1 の効果が、通常の寄生容量 C_2 と並列に現れるために、重要である場合を検討する。他の全ての画素では、その容量は蓄積容量と並列に現れる。行アドレス導体に印加された選択信号波形が、(画素を選択するため TFT がターンオンされるとき) 選択電圧レベル V_{on} から、(TFT がホールドオフされる) より低いホールドレベル V_{off} まで降下するとき、立ち下がる行方向の変化により生じるキックバックエラー電圧は、画素容量 C_p から C_2 に結合されるが、画素 1、5 及び 9 の場合には、このキックバックエラー電圧は、 C_2 と C_1 の両方に結合される。なぜならば、行アドレス導体 16 上の変化は、関連した接続導体 30 にも存在するからである。後者の画素の場合、キックバック電圧 V_{kb} は、次式、

$$V_{kb} = [V_{on} - V_{off}] \times (C_1 + C_2) / (C_2 + C_p) \quad (1)$$

によって与えられる。

【0025】

他の全ての画素に対して、キックバック電圧は、次式、

$$V_{kb} = [V_{on} - V_{off}] \times C_2 / (C_2 + C_p + C_1) \quad (2)$$

によって与えられる。

【0026】

かくして、接続点の場所における画素 1、5 及び 9、並びに、その他の画素に対するキックバックは、他の全ての画素に対するキックバックと相違する。a-Si タイプの TFT を使用する表示装置の典型的な電圧レベル及び容量値に関して、この差は、例えば、小型表示装置の場合に約 1.5 V である。このキックバックの差は、接続点の場所における画素の動作によって、所定のデータ信号に対して他の画素とは異なる輝度レベルを生成し、画素の出力に異常を生じさせるだけではなく、キックバック電圧は、全ての画素に rms 直流電圧として現れ、経年変化及び画像保持問題を同様に引き起こす可能性がある。

【0027】

接続点 32 の場所以外の画素 12 における容量 40 の効果は、このようなキックバックレベルの差を取り除くか、または、最小限に抑えることである。容量 40 は、補償用容量として機能し、これらの画素におけるキックバックの効果を、接続点の場所における画素に加わるキックバックの効果に近付けるか、または、好ましくは、実質的に同一とさせる。補助容量の値を寄生容量 C_1 の値とほぼ同じになるように選択するならば、式 (1) 及び (2) を考慮することにより、補助容量を含む画素におけるキックバック電圧は、接続点における画素のキックバック電圧に近付けられ、容量の値を適切に選択するならば、アレイ内の全ての画素に対するキックバック電圧を実質的に同じにすることができる。その結果として、画素及び接続点、例えば、図 4 の画素 1、5 及び 9 で従来見られた表示出力の異常性は、少なくとも著しく低下させられる。

【0028】

補償用容量 40 は、様々な方法で画素に取り入れることができる。好ましいアプローチは図 6 に説明され、同図には、このような容量を具備したアレイの典型的な画素の略平面図が示されている。

【0029】

本例の構造体における電極 1 2 は、直ぐ隣にある行アドレス導体 1 6 及び列アドレス導体 1 8 に僅かに重なるように配置され、介在誘電性層（図示せず）が設けられている。接続導体 3 0 は、導電性材料のストリップを含み、導電性材料のストリップは、行アドレス導体 1 6 及び列内の画素電極 1 2 の下で交差し、列導体と平行に、次の画素の列と関連した列導体に隣接して、電極 1 2 の一方側へ向かって並べられる。導体 3 0、及び、同様に、他の画素列に関連した対応した導体 3 0 は、層の適切なフォトリソグラフによるパターンニングによって導電性材料の堆積層から形成され、この堆積層は、本例の場合には、列アドレス導体を作成するために使用された層と同じ層である。各導体 3 0 は、アレイの向かい合う側の間に延在する連続ストリップとして形成される。接続点 3 2 の各々において、ビアが、行アドレス導体を形成する層の堆積及びパターンニングの前に、行アドレス導体 1 6 を下にある導体 3 0 から分離する誘電性層に形成され、行アドレス導体は、形成されたとき、ビアを介して電氣的に相互連結される。

10

【 0 0 3 0 】

容量 4 0 は、行導体 1 6 と画素電極 1 2 との間の重なり合いの程度を意図的に増加させることによって形成される。図示されるように、これは、電極 1 2 の更に下へ延びる一体的な拡張部 4 5 を備えた行導体 1 6 を形成することによって都合良く実現される。拡張部 4 5 と、直接的に上に重なる電極 1 2 の部分は、それらの間の誘電性層と一体となって容量を構成し、その容量の値は、寸法、したがって、突起部 4 5 の面積を製造プロセス中に適切に調整することによって簡単に変えられる。

【 0 0 3 1 】

20

電極 1 2 が I T O のような透明導電性材料を含む透過型表示装置の場合、導体 3 0 は、好ましくは、同じ材料から形成される。電極が不透明な反射性金属から形成される反射型表示装置の場合、導体 3 0 は、アルミニウムのような不透明な金属から形成される。

【 0 0 3 2 】

上記の例では、導体 3 0 は、画素電極 1 2 の列の下へ延びるように図示されているが、そのようにする必要はない。導体は、画素電極 1 2 の列の一方側に、列アドレス導体 1 8 と平行して並べてもよい。この代替的な配置は、上記の寄生容量 C_1 がかなり低減される点で有利である。しかし、透過型表示装置の場合に、実効的な画素サイズ、したがって、アパーチャも縮小されるという欠点がある。

【 0 0 3 3 】

30

上記の例では、ほぼ矩形状の画素アレイが使用されているが、アレイは異なる形状でもよく、例えば、半円形でもよいことが想定される。アレイの同じ側に沿って、または、反対側に沿って、行駆動回路及び列駆動回路、または、それらのための接続領域を設けることができるならば、利用されるアレイ形状の選択及び実装の自由度を高くすることができる。

【 0 0 3 4 】

一部の表示装置では、画素アレイ内の列の数は、行の数よりも多く、必ずしも全ての画素列に接続導体 3 0 が関連付けられない場合がある。この場合、接続導体に関連付けられていない画素列は、各々に、列の全体の長さに沿ってアレイの一方側から他方側へ延び、しかし、行導体に接続されない類似した導体ラインを設けることができる。この付加的なラインは、定電位源に接続すること、例えば、接地させることが可能である。これにより、これらの列内の画素を、接続導体を有する列内の画素と類似した容量的状況に確実に置くことができる。

40

【 0 0 3 5 】

本開示を読むことによって、その他の変形例及び変更例が当業者にとって明らかになるであろう。このような変形例及び変更例は、アクティブマトリクス表示装置並びにそれらの構成部品の設計、製造、及び、使用において既に知られている他の特徴を包含し、それらは、上記の特徴に代えて、或いは、上記の特徴に加えて使用される。

【 図面の簡単な説明 】

【 0 0 3 6 】

50

【図 1】従来の AMLCD コンフィギュレーションにおける典型的な隣接画素のグループの配置を概略的に示す図である。

【図 2】別の AMLCD コンフィギュレーションにおける典型的な隣接画素のグループの配置を概略的に示す図である。

【図 3】図 2 に示されたタイプの AMLCD における実現可能な駆動回路の配置を概略的に示す図である。

【図 4】本発明による AMLCD の一実施形態における画素のグループに対する等価電気回路を示す図である。

【図 5】図 4 の装置における画素のグループに対する寄生容量を含む等価電気回路を示す図である。

10

【図 6】図 4 の装置の実施形態における典型的な画素の略平面図であり、部品のレイアウトを示している。

【符号の説明】

【 0 0 3 7 】

1 0 画素

1 1 マトリクスアレイ

1 2 画素電極

1 4 画素電極

1 6、1 8 アドレス導体

2 0 支持体

2 6 行駆動回路

2 8 列駆動回路

3 0 導体

3 2 接続点

20

【国際公開パンフレット】

(12) INTERNATIONAL APPLICATION PUBLISHED UNDER THE PATENT COOPERATION TREATY (PCT)

(19) World Intellectual Property Organization
International Bureau(43) International Publication Date
24 April 2003 (24.04.2003)

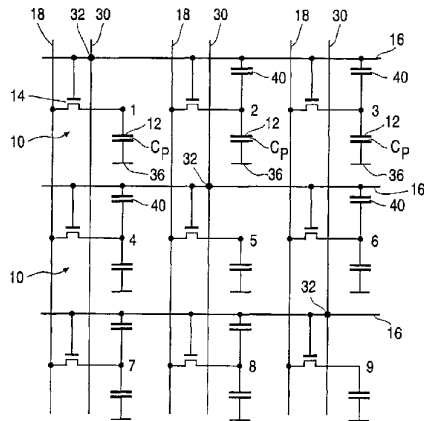
PCT

(10) International Publication Number
WO 03/034379 A2

- (51) International Patent Classification: G09G Martin, J.; Prof. Holstlaan 6, NL-5656 AA Eindhoven (NL).
- (21) International Application Number: PCT/NL02/04138
- (22) International Filing Date: 9 October 2002 (09.10.2002) (74) Agent: WILLIAMSON, Paul, L.; Internationaal Octrooibureau B.V., Prof. Holstlaan 6, NL-5656 AA Eindhoven (NL).
- (25) Filing Language: English
- (26) Publication Language: English
- (30) Priority Data: 0125019.0 18 October 2001 (18.10.2001) GB (81) Designated States (national): CN, JP, KR.
- (71) Applicant: KONINKLIJKE PHILIPS ELECTRONICS N.V. [NL/NL]; Groenewoudseweg 1, NL-5621 BA Eindhoven (NL). (84) Designated States (regional): European patent (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, IE, IT, LI, MC, NL, PT, SE, SK, TR).
- Published: — without international search report and to be republished upon receipt of that report

- (72) Inventors: HECTOR, Jason, R.; Prof. Holstlaan 6, NL-5656 AA Eindhoven (NL). HUGHES, John, R.; Prof. Holstlaan 6, NL-5656 AA Eindhoven (NL). EDWARDS, —
- For two-letter codes and other abbreviations, refer to the "Guidance Notes on Codes and Abbreviations" appearing at the beginning of each regular issue of the PCT Gazette.

(54) Title: ACTIVE MATRIX DISPLAY DEVICE



(57) Abstract: An active matrix display device comprises an array of picture elements, e.g. liquid crystal picture elements, first and second sets of address conductors (16, 18) extending in row and column directions respectively and connected with the picture elements, and a set of connection conductors (30) extending in the same direction as the second set of address conductors (18), each of which is connected to a respective one of the first set of conductors (16) at the location of a picture element, and via which address signals are supplied to that first set. Picture elements other than those at the locations of the connections between the connection conductors and first set of address conductors are provided with a capacitance between their picture element electrode and their associated address conductor of the first set in order to compensate for the effects of a parasitic capacitance present between the picture element electrodes and the connection conductors which can lead to anomalies in the display outputs of the picture elements following their addressing.

WO 03/034379 A2

WO 03/034379

PCT/IB02/04138

DESCRIPTION

ACTIVE MATRIX DISPLAY DEVICE

5

The present invention relates to active matrix display devices and more particularly to an active matrix display device having an array of picture elements which each comprise a picture element electrode and an associated switching device and which are located at the intersections between crossing first and second sets of address conductors connected to the picture elements and via which selection and data signals respectively are supplied to the picture elements, and which includes a set of connection conductors through which selection signals are provided to the first set of address conductors, and each of which connection conductors extends in the direction of, and between, a respective adjacent pair of address conductors of the second set and is electrically connected to a respective address conductor of the first set at the location of a respective picture element.

An active matrix liquid crystal display device (AMLCD) of this kind, and suitable for use in, for example, portable applications such as mobile telephones, camera viewfinders, electronic personal organisers and the like, is described in European Patent Application No. 01200466.9 (PHNL 010074).

The provision of the set of connection conductors enables addressing signals for driving the picture elements, comprising selection (scanning) signals applied to the row address conductors and display data signals applied to the column address conductors, to be supplied at either a common side of the support or at opposing, parallel, sides of the support rather than at two mutually perpendicular sides as in conventional AMLCDs and the like. In a conventional AMLCD a set of row address conductors, carrying the selection signals, and a set of column address conductors, carrying the data signals, each extend over a rectangular support beyond the area of the array of picture elements electrodes to respective peripheral regions of the support on which

WO 03/034379

PCT/IB02/04138

2

they are carried, and comprising two adjacent, edge parts of the support, for the purpose of enabling electrical contact to be made with the sets of address conductors. For example, row and column drive circuit ICs may be directly mounted on these peripheral border regions of the support with their output terminals connected to the extended address conductors or, alternatively, may be mounted on foil with their output terminals connected to the address conductors via tracks on the foil. The set of connection conductors allows the ICs to be provided instead either at a common peripheral border region along just the side of the support or at respective peripheral border regions along opposing, parallel, sides of the support, or alternatively for foil connections to be made at such parts.

As described in the aforementioned application, this feature can be used, for example, to enable the effective display area for a given size of support to be increased in one dimension, which is of benefit when the display device is used in small portable products. A similar kind of connection scheme is described in the paper by R. Greene et al entitled "Manufacturing of Large Wide-View Angle Seamless Tiled AMLCDs for Business and Consumer Applications", IDMC 2000, pages 191-194. The benefit in this case is that facilitate tiling of individual display panels is facilitated by allowing the address conductors to be driven from just one edge.

It has been found, however, that the operational characteristics of such display devices can be affected adversely by the presence of the connection conductors. In particular, it has been found that the display device can suffer picture element non-uniformity and image retention problems.

It is an object of the present invention to provide an improved display device of the kind described in the opening paragraph.

It is a further objection of the present invention to provide a display device in which the aforementioned problems are alleviated at least to some extent.

According to the present invention, there is provided an active matrix display device of the kind described in the opening paragraph wherein in each

WO 03/034379

PCT/IB02/04138

3

picture element a parasitic capacitance exists between the picture element electrode and a connection conductor, and wherein picture elements other than those at the locations of the connections between the connection conductors and the address conductors of the first set are each provided with
5 a supplementary capacitance between their picture element electrodes and their associated address conductors of the first set.

The supplementary capacitances lead to improved display quality with unwanted display artefacts being reduced significantly. The invention stems from a recognition that certain parasitic capacitance effects are introduced by
10 the presence of the connection conductors which are responsible for the aforementioned problems. The nature of the parasitic capacitances means that those picture elements which are situated at the locations of the connections between the connection conductors and their associated address conductors of the first set, and which are coupled to the address conductors
15 connected at those points to the connection conductors, experience different consequences to picture elements elsewhere in the array. As a result then so-called kickback effects for picture elements at the connection point locations are unlike those for other picture elements and for a similar given applied data signal voltage, therefore, their display outputs will be different to display
20 outputs from the other picture elements. Moreover, these picture elements can be affected by a consequential rms DC voltage producing ageing effects in the LC material and an image retention problem. By adding a capacitance of suitably selected value to the other picture elements then the kickback effects for all picture elements can be made similar, thereby improving picture element
25 uniformity. The value of the supplementary capacitance may be approximately equal to the parasitic capacitance between the picture element electrode and a connection conductor.

Typically in active matrix display devices such as AMLCDs, the picture elements inevitably have a parasitic capacitance present between their picture
30 element electrode and their associated address conductor carrying the selection signals, the value of which capacitance can vary according to the exact nature of its structure. The added capacitance will be additional to this

WO 03/034379

PCT/IB02/04138

4

particular parasitic capacitance. Such a parasitic capacitance can result from an edge of the picture element electrode extending alongside, or perhaps slightly overlapping, a portion of the address conductor and separated therefrom by dielectric material. The added capacitance may be provided by altering these contributory parts in picture elements other than those at the locations of the connection points in order to increase the parasitic capacitance. This could, for example, be achieved by locally thinning intervening dielectric material in the case of overlying picture element electrodes and address conductor portions. Preferably, however, it is achieved conveniently by providing or increasing an area of overlap between the electrode and the address conductor, either by designing a part of the electrode to extend over the address conductor to a greater extent or vice versa. Alternatively, the added capacitance may be provided in the form of a separate capacitor structure connected between the picture element electrode and the address conductor.

The connection conductors may extend as lines beneath the picture element electrodes, and be separated therefrom by an intervening layer of dielectric material. Alternatively, these lines may be arranged to extend laterally adjacent the picture element electrodes, for example alongside the address conductors of the second set. This would reduce the capacitance between these conductors and the picture element electrodes which is an important factor as the value of the capacitance added to picture elements needed would then be much smaller. This can be beneficial also in the case of the display device being a transmissive type with the picture element electrodes comprising a transparent conductive material, such as ITO, as otherwise the lines would similarly need to be of transparent material when placed underneath the picture element electrodes. However, positioning these lines laterally adjacent the picture element electrodes could result in a decrease in picture element aperture.

Although applicable particularly to active matrix liquid crystal displays devices, the invention may advantageously be applied also to different kinds of

WO 03/034379

PCT/IB02/04138

5

active matrix display devices using other electro-optic materials for the picture elements, such as electrophoretic, and electrochromic display devices.

Embodiments of active matrix display devices in accordance with the invention, and in particular liquid crystal display devices, will now be described, by way of example, with reference to the accompanying drawings, in which:-

Figure 1 illustrates schematically the arrangement of a typical group of adjacent picture elements in a conventional AMLCD configuration;

Figure 2 illustrates schematically the arrangement of a typical group of picture elements in an alternative AMLCD configuration;

Figure 3 shows schematically a possible arrangement of drive circuits in the type of AMLCD shown in Figure 2;

Figure 4 shows the equivalent electrical circuit for a group of picture elements in an embodiment of AMLCD according to the present invention;

Figure 5 shows the equivalent electrical circuit including certain parasitic capacitances for a group of picture elements in the device of Figure 4;

Figure 6 is a schematic plan view of a typical picture element in the device embodiment of Figure 4 illustrating the layout of components.

It should be understood that the Figures are merely schematic and are not drawn to scale. The same reference numbers are used throughout the Figures to denote the same or similar parts.

Referring to Figure 1, there is shown part of a conventional form of active matrix liquid crystal display device having a matrix array 11 of individually addressable picture elements 10, each comprising a discrete picture element electrode 12 and an associated switching device in the form of a thin film transistor, TFT, 14, which may be of amorphous silicon (a-Si) or polysilicon type. The general construction and operation of such a device is described, for example, in US-A-5130829 to which reference is invited and whose disclosure in these respects is incorporated herein. Briefly, the picture element electrodes 14 are organised in rows and columns and first and second, mutually-perpendicular, sets of address conductors, namely row, selection,

WO 03/034379

PCT/IB02/04138

6

address conductors 16 and column, data, address conductors 18, extend between the picture element electrodes 12 with each electrode being located adjacent the intersection of a respective pair of row and column address conductors. The picture element electrodes, sets of address conductors and
5 TFTs are all carried on a support 20, for example a glass plate. A second support, for example again a glass plate, (not shown) is arranged overlying, and parallel to, the support 20 and carries a common electrode. The two supports are spaced from one another and liquid crystal material is disposed between the supports, the liquid crystal material being contained by a seal
10 extending around the periphery of the array between the supports. Each picture element electrode together with an overlying portion of the common electrode and the liquid crystal material therebetween defines a respective display element.

To drive the picture elements, row and column drive circuits 26 and 28
15 are connected to the sets of row and column address conductors 16 and 18 respectively at their one ends. The row drive circuit 26 provides selection (scanning) signals to each of the row address conductors 16 in sequence to turn on each row of TFTs 14 in turn, and the column drive circuit 28 provides data (video) voltage signals, obtained for example by sampling an input video
20 signal, to each of the column address conductors 18 in synchronism with row selection. The drive circuits 26 and 28 normally are provided in the form of ICs which may be mounted on regions of the support 20 between two, adjacent, sides of the array and respective edges of the support, as depicted in Figure 1, or alternatively mounted on foil or tape when using COF (Chip on Foil) or TCP
25 (Tape Carrier Package) techniques with the foil or tape then being interconnected with the sets of address conductors at peripheral regions along two adjacent sides of the support. In the case of a polysilicon AMLCD, the drive circuits may instead be actually fabricated on the peripheral region of the support 20 using the same processes, and, at the same time, as the active
30 matrix circuitry comprising the TFTs and address conductors, etc, so as to be fully integrated on the support.

WO 03/034379

PCT/IB02/04138

7

As will be appreciated, the need to dedicate peripheral portions of the support along two adjacent sides for the mounting of ICs or provision for interconnections with tapes or foils can be limiting as the overall size of the support 20 both in height and width needs to be significantly larger than the array to accommodate such. An alternative arrangement has been proposed which offers advantages in this respect. Figure 2 shows part of a picture element array using the principles of this alternative arrangement. The array similarly has picture element electrodes 12 and associated TFTs 14 connected to sets of row and column address conductors 16 and 18. In this arrangement, however, the row address conductors 16 terminate immediately adjacent opposed edges of the picture element array and a set of connection conductors 30, in the form of supplementary column conductor lines extending parallel to the column address conductors 18, are provided, each of which extends from one side of the array to the opposite side along a respective column of picture element electrodes 12. Each conductor 30 is connected to a respective and different one of the row address conductors 16 at a connection point 32 which is situated at a position corresponding to the location of a respective picture element. The position of this connection point along the length of the conductor 30 corresponds to the cross-over between the conductor and its associated address conductor 16 and differs for each conductor.

The connection conductors 30 enable the row selection signals to be applied to the row address conductors 16 from a side of the array corresponding to, or opposite to, the side at which the data signals are applied to the column address conductors 18, for example as shown in the schematic, plan, view of the display device in Figure 3 with row and column drive circuit ICs 26 and 28 in this case being carried at respective edge parts of the support 20 on opposing sides of the picture element array 11 and the ends of the column address conductors 18 and the lines 30 being connected respectively to the column and row drive circuits ICs. As a consequence, there is no need to devote a peripheral edge region of the support 20 along a side adjacent the ends of the set of row address conductors 16 for the row drive

WO 03/034379

PCT/IB02/04138

8

circuit IC or interconnections thereto. This means that a reduction in the area of the support for a given display size is possible, resulting in a greater number of active plates for display devices being obtained from, for example, a single processed, initially large area, glass sheet. Also, the symmetrical nature of the display device, with minimal excess area at opposing sides, is beneficial in many applications, particularly for small area display devices as used in mobile phones and the like.

Examples of display devices of this kind and further advantages obtained by using such an arrangement, are described in European Patent Application No 0 1200 466.9 to which reference is invited and whose contents are incorporated herein. The row and column address conductors may be contacted from the same side of the array and the connection conductors may extend adjacent the column address conductors in the space between adjacent columns of picture element electrodes, as in the arrangement in the aforementioned paper by R.G. Greene et al.

In the Figure 2 example, the conductors 30 each extend beneath, and approximately centrally of, a respective column of picture element electrodes 12. In the case of the display device being a reflective display using a reflective metal for the electrodes 12, the lines may be formed from a metal, such as aluminium, and possibly from the same deposited metal layer as used for the column address conductors 18. In the case of a transmissive display in which the electrodes 12 comprise a transparent conductive material such as ITO, the lines 30 are preferably similarly formed of transparent conductive material.

An embodiment of display device according to the invention, and comprising a device similar to that of Figure 2 but with modifications, will now be described with reference to Figure 4 which shows the equivalent electrical circuit of a typical group of picture elements 10 (labelled 1 to 9) in the display device. The picture element electrode 12 in each picture element and the overlying portion of the common electrode, here shown at 36, form a liquid crystal display element having a capacitance C_p to which charge is supplied to provide a desired display output via the TFT 14 upon selection and data

WO 03/034379

PCT/IB02/04138

9

signals being applied to the respective row and column address conductors 16 and 18 with which the picture element is associated. In this display device, each picture element 10 in the array other than those situated at the locations of the connection points 32 between the connection conductors 30 and their
5 respective row address conductors 16, i.e the picture elements numbered 1, 5 and 9 in the group shown in Figure 4, is provided with a supplementary capacitance 40 of predetermined value which is coupled between the picture element's electrode 12 and the row address conductor 16 associated with the picture element.

10 These additional capacitances 40 serve at least to reduce significantly problems with unwanted display artefacts, and especially picture element display non-uniformities, in the use of display devices of the kind shown in Figure 2. These artefacts are now understood to be due to differences in parasitic capacitance effects in those picture elements at the connection point
15 locations and the other picture elements which differences lead to different display element voltages being established following their addressing. The purpose of the additional capacitances 40 is to compensate for these differences such that the effects experienced by these other picture elements become similar to those experienced by the picture elements at the connection
20 point locations, thereby ensuring that any differences in the display element voltages produced for similar applied data signal values are minimised. The value of the capacitance 40 is selected appropriately to this end. Their effect in this respect will now be described with reference to Figure 5 which is similar to Figure 4 but shows additionally certain parasitic capacitances present in this
25 type of display device.

The presence of the connection conductors 30 introduces parasitic capacitance at each picture element 10, most notably a capacitance C_1 between the picture element electrode 12 and the underlying portion of the conductor 30. (A further, less important, parasitic capacitance, not shown, is
30 formed between a conductor 30 and a row address conductor 16 at their cross-over). There typically exists in an AMLCD picture element a parasitic capacitance between its picture element electrode and the picture element's

WO 03/034379

PCT/IB02/04138

10

associated row address conductor 16, due to, inter alia, TFT gate/source capacitance and also the fact that the picture element electrode often is arranged close to, and in the case of a reflective AMLCD, overlying the row address conductor at its edge in order to increase the display element's aperture. This parasitic capacitance, which is a fixed value dependent on the picture element structure, is shown at C_2 in Figure 5. The capacitance of the LC picture element itself, shown at C_p , here includes the capacitance of any associated storage capacitor as commonly provided in AMLCDs, usually in parallel with the LC display element and between the picture element electrode 12 and either a row address conductor next to that associated with the picture element or a separate, dedicated, conductor extending parallel to the row address conductor.

Considering firstly the case in which the supplementary capacitances 40 are not present, as in the device of Figure 2, then the effect of the capacitance C_1 at picture element locations corresponding to the connection points 32, i.e. at picture elements 1, 5 and 9 in Figure 5 connected to the row address conductor 16 in which the connection point in that column occurs, is important as it appears in parallel with the usual parasitic capacitance C_2 . In all other picture elements it appears in parallel with the storage capacitance. The kickback error voltages resulting from the falling row transition when the selection signal waveform applied to a row address conductor drops from a selection voltage level V_{on} (at which the TFTs are turned on to select the picture elements) to a lower, hold, level V_{off} (at which the TFTs are held off) are coupled onto the picture element capacitances C_p through C_2 but in the case of the picture elements 1, 5 and 9 this kickback error voltage is coupled through both C_2 and C_1 because the transitions on a row address conductor 16 are present also on the associated connection conductor 30. For these latter picture elements, the kickback voltage, V_{kb} is given by the formula:-

$$V_{kb} = [V_{on} - V_{off}] \times (C_1 + C_2) / (C_2 + C_p) \quad (1)$$

For all other picture elements, the kickback voltage is given by the formula:-

$$V_{kb} = [V_{on} - V_{off}] \times C_2 / (C_2 + C_p + C_1) \quad (2)$$

Thus, the kickback for picture elements 1, 5 and 9 and other picture elements at the locations of the connection points is different to that for all other picture elements. With typical drive voltage levels and capacitance values for a display device using a-Si type TFTs, this difference may, for example, be around 1.5V for a small display device. Besides this kickback difference causing anomalies in the outputs of picture elements by virtue of the operation of the picture elements at the connection point locations producing different brightness levels from other picture elements for a given data signal value, the kickback voltage can also appear as an rms DC voltage on all the picture elements which can cause ageing and image retention problem as well.

The effect of the capacitances 40 in the picture elements 12 other for those at the connection point 32 locations is to remove or minimise such differences in kickback levels. The capacitances 40 serve as compensating capacitances which bring the effects of kickback in these picture elements closer, and preferably substantially equal, to the kickback effects experienced by the picture elements at the connection point locations. With the value of the added capacitance being selected to be approximately the same as that of the parasitic capacitance C_1 , then it will be appreciated from consideration of formulae (1) and (2) that kickback voltage in the picture elements containing them will be brought closer to the kickback voltage in the picture elements at the connection points and with the value of the capacitances suitably chosen, the kickback voltage for all picture elements in the array can be made substantially the same. Consequently, the display output anomalies previously found with picture elements and the connection points, e.g picture elements 1, 5 and 9 in Figure 4, are at least significantly reduced.

The compensating capacitances 40 may be introduced into the picture elements in various ways. A preferred approach is illustrated in Figure 6 which shows schematically in plan the structure of a typical picture element in the array having such a capacitance.

5 The electrode 12 in this example structure is arranged so as to overlap slightly the immediately adjacent row and column address conductors 16 and 18 with an intervening dielectric layer (not shown) being provided. The connection conductor 30 comprises a strip of conductive material crossing beneath the row address conductors 16 and the picture element electrodes 12
10 in a column and arranged here towards one side of the electrodes 12 parallel with the column conductors and adjacent the column conductor associated with the next column of picture elements. The conductor 30, and likewise the corresponding conductors 30 associated with the other picture element columns, are formed from a deposited layer of conductive material by
15 appropriate photolithographic patterning of that layer and, in this case, the same layer as used to create the column address conductors. Each conductor 30 is formed as a continuous strip extending between opposite sides of the array. At each of the connection points 32, a via is formed in the dielectric layer separating the row address conductor 16 from the underlying conductor
20 30 prior to the deposition and patterning of the layer forming the row address conductors such that, when formed, they electrically interconnect through the via.

The capacitance 40 is formed by increasing deliberately the extent of overlap between the row conductor 16 and the picture element electrode 12.
25 As shown, this is achieved conveniently by forming the row conductor 16 with an integral extension 45 that projects further beneath the electrode 12. The extension 45 and the immediately overlying portion of the electrode 12 together with the dielectric layer between them constitute a capacitance whose value is easily varied by appropriately adjusting the dimensions, and hence
30 area, of the projection 45 in the fabrication process.

In a transmissive type of display device in which the electrodes 12 comprise transparent conducting material, such as ITO, the conductors 30 are

preferably formed of the same material. In a reflective type of display device in which the electrodes are formed of an opaque, reflective, metal, then the conductors 30 may be formed of an opaque metal, such as aluminium.

Although the conductors 30 are shown as extending beneath the column of picture element electrodes 12 in the above example, this need not be the case. The conductors may be arranged at one side of the column of picture element electrodes 12 and alongside a column address conductor 18. This alternative arrangement has the advantage that the aforementioned parasitic capacitance C_1 is considerably reduced. However, there is a disadvantage in that the effective picture element size, and hence aperture, is also reduced, in the case of a transmissive display device.

A generally rectangular picture element array is used in the above described example, but it is envisaged that the array may be of a different shape, for example semi-circular. The ability to provide row and column drive circuits, or connection regions therefor, along the same side or opposing sides of the array, allows greater freedom in the choice and implementation of array shapes utilised.

In certain display devices, it may be that the number of columns in the picture element array is greater than the number of rows and so not all the picture element columns have an associated connection conductor 30. In this case, the picture element columns not having an associated connection conductor can each be provided with a similar conductor line which extends along the length of the entire column from one side of the array to the other but which is not connected to a row conductor. The extra lines can be connected to a fixed potential source, e.g. ground. This will ensure that the picture elements in these columns experience a similar capacitive environment to picture elements in columns having a connection conductor.

From reading the present disclosure, other modifications will be apparent to persons skilled in the art. Such modifications may involve other features which are already known in the design, manufacture and use of active matrix displays and component parts therefor and which may be used instead of or in addition to features already described herein.

WO 03/034379

PCT/IB02/04138

14

CLAIMS

1. An active matrix display device having an array of picture elements which each comprise a picture element electrode and an associated
5 switching device and which are located at respective intersections between crossing first and second sets of address conductors connected to the picture elements and via which selection and data signals respectively are supplied to the picture elements, the device including a set of connection conductors through which selection signals are provided to the first set of address
10 conductors and each of which extends in the direction of, and between, a respective adjacent pair of address conductors of the second set and is electrically connected to a respective address conductor of the first set at the location of a respective picture element, and in which a parasitic capacitance exists in each picture element between the picture element electrode and a
15 connection conductor, wherein picture elements other than those at the locations of the connections between the connection conductors and the address conductors of the first set are each provided with a supplementary capacitance between their picture element electrodes and their associated address conductors of the first set.
- 20 2. An active matrix display device according to Claim 1, wherein the value of the supplementary capacitance is approximately equal to the value of the parasitic capacitance between the picture element electrode and a connection conductor.
- 25 3. An active matrix display device according to Claim 1 or Claim 2, wherein the supplementary capacitance is provided by a part of the address conductor of the first set overlapping a portion of the picture element electrode.
- 30 4. An active matrix display according to Claim 3, wherein said part of the address conductor comprises a projection having a predetermined area.

WO 03/034379

PCT/IB02/04138

15

5. An active matrix display device according to any one of Claims 1 to 4, wherein the connection conductors extend beneath the picture element electrodes.

5 6. An active matrix display device according to any one of the preceding claims, wherein the picture elements comprise liquid crystal picture elements.

WO 03/034379

PCT/IB02/04138

1/4

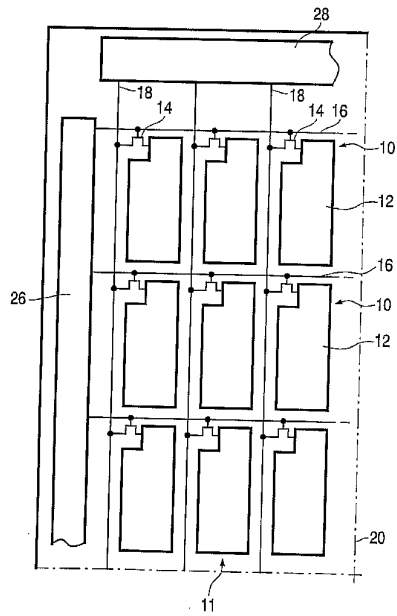


FIG.1

WO 03/034379

PCT/IB02/04138

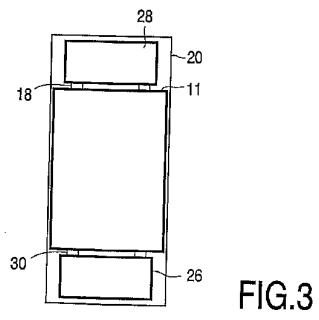
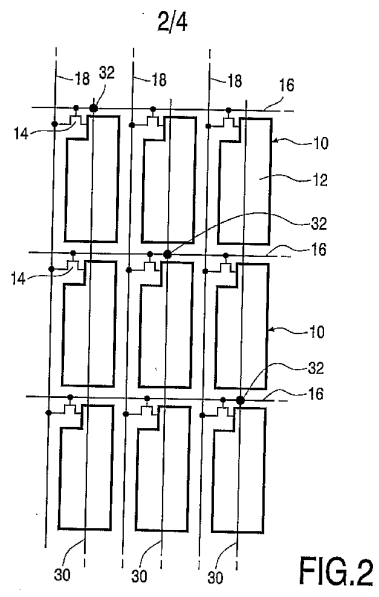


FIG.5

WO 03/034379

PCT/IB02/04138

4/4

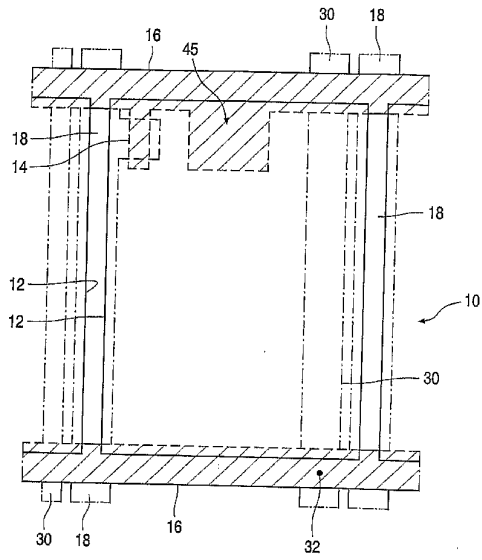


FIG. 6

【国際公開パンフレット（コレクトバージョン）】

(12) INTERNATIONAL APPLICATION PUBLISHED UNDER THE PATENT COOPERATION TREATY (PCT)

(19) World Intellectual Property Organization
International Bureau(43) International Publication Date
24 April 2003 (24.04.2003)

PCT

(10) International Publication Number
WO 03/034379 A3(51) International Patent Classification: G09G 3/36,
G02F 1/1362(74) Agent: WILLIAMSON, Paul, L.; International Oc-
troidbureau B.V., Prof. Holstlaan 6, NL-5656 AA
Eindhoven (NL).

(21) International Application Number: PCT/IB02/04138

(81) Designated States (national): CN, JP, KR.

(22) International Filing Date: 9 October 2002 (09.10.2002)

(25) Filing Language: English

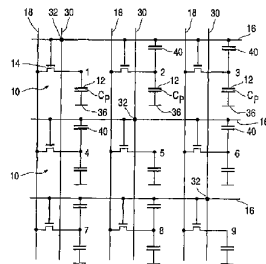
(84) Designated States (regional): European patent (AT, BE,
BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, IE, IT,
LU, MC, NL, PT, SE, SK, TR).

(26) Publication Language: English

(30) Priority Data: 0125019.0 18 October 2001 (18.10.2001) GB

Published:
with international search report
before the expiration of the time limit for amending the
claims and to be republished in the event of receipt of
amendments(71) Applicant: KONINKLIJKE PHILIPS ELECTRON-
ICS N.V. [NL/NL]; Oudevorsenweg 1, NL-5621 BA
Eindhoven (NL).(88) Date of publication of the international search report:
27 November 2003(72) Inventors: HECTOR, Jason, R.; Prof. Holstlaan 6,
NL-5656 AA Eindhoven (NL). HUGHES, John, R.; Prof.
Holstlaan 6, NL-5656 AA Eindhoven (NL). EDWARDS,
Martin, J.; Prof. Holstlaan 6, NL-5656 AA Eindhoven
(NL).For two-letter codes and other abbreviations, refer to the "Guid-
ance Notes on Codes and Abbreviations" appearing at the begin-
ning of each regular issue of the PCT Gazette.

(54) Title: ACTIVE MATRIX DISPLAY DEVICE



(57) Abstract: An active matrix display device comprises an array of picture elements, e.g. liquid crystal picture elements, first and second sets of address conductors (16, 18) extending in row and column directions respectively and connected with the picture elements, and a set of connection conductors (30) extending in the same direction as the second set of address conductors (18), each of which is connected to a respective one of the first set of conductors (16) at the location of a picture element, and via which address signals are supplied to that first set. Picture elements other than those at the locations of the connections between the connection conductors and first set of address conductors are provided with a capacitance between their picture element electrode and their associated address conductor of the first set in order to compensate for the effects of a parasitic capacitance present between the picture element electrodes and the connection conductors which can lead to anomalies in the display outputs of the picture elements following their addressing.

WO 03/034379 A3

【国際調査報告】

INTERNATIONAL SEARCH REPORT		PCT/JP 02/04138												
A. CLASSIFICATION OF SUBJECT MATTER IPC 7 609G3/36 502F1/1362														
According to International Patent Classification (IPC) or to both national classification and IPC														
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) IPC 7 609G 602F														
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched														
Electronic data base consulted during the international search (name of data base and, where practical, search terms used)														
EPO-Internal, WPI Data, PAJ														
C. DOCUMENTS CONSIDERED TO BE RELEVANT <table border="1"> <thead> <tr> <th>Category *</th> <th>Citation of document, with indication, where appropriate, of the relevant passages</th> <th>Relevant to claim No.</th> </tr> </thead> <tbody> <tr> <td>A</td> <td>US 6 259 493 B1 (HANAZAWA YASUYUKI ET AL) 10 July 2001 (2001-07-10) abstract claims 6-8; figure 4 column 1, line 52 -column 2, line 50 column 4, line 47 -column 5, line 39 ---</td> <td>1-6</td> </tr> <tr> <td>A</td> <td>US 5 852 488 A (TAKEMURA YASUHIKO) 22 December 1998 (1998-12-22) abstract column 1, line 40 - line 67 column 2, line 37 -column 3, line 8 column 8, line 14 - line 35; figures 1A-10 ---</td> <td>1-6</td> </tr> <tr> <td>A</td> <td>FR 2 662 290 A (FRANCE TELECOM) 22 November 1991 (1991-11-22) the whole document --- -/-</td> <td>1-6</td> </tr> </tbody> </table>			Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.	A	US 6 259 493 B1 (HANAZAWA YASUYUKI ET AL) 10 July 2001 (2001-07-10) abstract claims 6-8; figure 4 column 1, line 52 -column 2, line 50 column 4, line 47 -column 5, line 39 ---	1-6	A	US 5 852 488 A (TAKEMURA YASUHIKO) 22 December 1998 (1998-12-22) abstract column 1, line 40 - line 67 column 2, line 37 -column 3, line 8 column 8, line 14 - line 35; figures 1A-10 ---	1-6	A	FR 2 662 290 A (FRANCE TELECOM) 22 November 1991 (1991-11-22) the whole document --- -/-	1-6
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.												
A	US 6 259 493 B1 (HANAZAWA YASUYUKI ET AL) 10 July 2001 (2001-07-10) abstract claims 6-8; figure 4 column 1, line 52 -column 2, line 50 column 4, line 47 -column 5, line 39 ---	1-6												
A	US 5 852 488 A (TAKEMURA YASUHIKO) 22 December 1998 (1998-12-22) abstract column 1, line 40 - line 67 column 2, line 37 -column 3, line 8 column 8, line 14 - line 35; figures 1A-10 ---	1-6												
A	FR 2 662 290 A (FRANCE TELECOM) 22 November 1991 (1991-11-22) the whole document --- -/-	1-6												
☒ Further documents are listed in the continuation of box C. ☒ Patent family members are listed in annex.														
* Special categories of cited documents: *A* document defining the general state of the art which is not considered to be of particular relevance. *E* earlier document but published on or after the international filing date *L* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) *O* document referring to an oral disclosure, use, exhibition or other means *P* document published prior to the international filing date but later than the priority date claimed *T* later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention. *X* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone ** document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art. *S* document member of the same patent family														
Date of the actual completion of the international search		Date of making of the international search report												
22 September 2003		01/10/2003												
Name and mailing address of the ISA European Patent Office, P.B. 5518 Patentaan 2 NL - 2280 HV Rijswijk Tel: (+31-70) 340-2040, Tx: 31 651 epo nl, Fax: (+31-70) 340-3016		Authorized officer Wolff, L												

Form PCT/ISA/210 (second sheet) (July 1992)

INTERNATIONAL SEARCH REPORT

PCT/JP 02/04138

C/(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
P, A	US 6 429 907 B1 (CHUNG JAE-YOUNG ET AL) 6 August 2002 (2002-08-06) the whole document	1-6
A	US 2001/019322 A1 (ASHIZAWA KEIICHIROU ET AL) 6 September 2001 (2001-09-06) abstract paragraph '0122! - paragraph '0143!; figures 9,10	1-6

Form PCT/ISA/210 (continuation of second sheet) (July 1992)

INTERNATIONAL SEARCH REPORT
 on patent family members

PCT/JP 02/04138

Patent document cited in search report		Publication date		Patent family member(s)		Publication date
US 6259493	B1	10-07-2001	JP KR	11352513 A 2000005852 A		24-12-1999 25-01-2000
US 5852488	A	22-12-1998	JP JP US US	2814161 B2 5307194 A 6337731 B1 5757444 A		22-10-1998 19-11-1993 08-01-2002 26-05-1998
FR 2662290	A	22-11-1991	FR CA DE DE EP JP US US	2662290 A1 2042427 A1 69112123 D1 69112123 T2 0457670 A1 6347821 A 5394258 A 5238861 A		22-11-1991 16-11-1991 21-09-1995 04-04-1996 21-11-1991 22-12-1994 28-02-1995 24-08-1993
US 6429907	B1	06-08-2002	KR	2000056613 A		15-09-2000
US 2001019322	A1	06-09-2001	JP	2001249319 A		14-09-2001

フロントページの続き

(51)Int.Cl. ⁷	F I	テーマコード(参考)
H 0 1 L 29/786	H 0 1 L 29/78 6 1 2 C	

(74)代理人 100082991
弁理士 佐藤 泰和

(74)代理人 100096921
弁理士 吉元 弘

(74)代理人 100103263
弁理士 川崎 康

(72)発明者 ジェyson、アール・ヘクター
オランダ国 5 6 5 6、アーアー、アインドーフェン、プロフ・ホルストラーン、6

(72)発明者 ジョン、アール・ヒューズ
オランダ国 5 6 5 6、アーアー、アインドーフェン、プロフ・ホルストラーン、6

(72)発明者 マーティン、ジェイ・エドワーズ
オランダ国 5 6 5 6、アーアー、アインドーフェン、プロフ・ホルストラーン、6

F ターム(参考) 2H092 GA59 JA24 JB23 JB32 JB64 NA23 PA06
5C094 AA03 AA15 BA03 BA43 CA19 DA09 DA20 EA04 FB12
5F110 AA30 BB02 DD02 GG02 GG13 GG15 NN71 NN72 NN73

专利名称(译)	有源矩阵显示装置		
公开(公告)号	JP2005505800A	公开(公告)日	2005-02-24
申请号	JP2003537031	申请日	2002-10-09
[标]申请(专利权)人(译)	皇家飞利浦电子股份有限公司		
申请(专利权)人(译)	皇家飞利浦电子股份有限公司的Vie		
[标]发明人	ジェイソンアールヘクター ジョンアールヒューズ マーティンジェイエドワーズ		
发明人	ジェイソン、アール.ヘクター ジョン、アール.ヒューズ マーティン、ジェイ.エドワーズ		
IPC分类号	G02F1/1343 G02F1/1345 G02F1/1362 G02F1/1368 G09F9/30 G09G3/20 G09G3/36 H01L21/336 H01L29/786		
CPC分类号	G09G3/3648 G02F1/136213 G02F2001/13456 G09G3/20 G09G2300/08 G09G2320/0219 G09G2320/0233		
FI分类号	G09F9/30.338 G02F1/1343 G02F1/1345 G02F1/1368 H01L29/78.612.Z H01L29/78.612.C		
F-TERM分类号	2H092/GA59 2H092/JA24 2H092/JB23 2H092/JB32 2H092/JB64 2H092/NA23 2H092/PA06 5C094/AA03 5C094/AA15 5C094/BA03 5C094/BA43 5C094/CA19 5C094/DA09 5C094/DA20 5C094/EA04 5C094/FB12 5F110/AA30 5F110/BB02 5F110/DD02 5F110/GG02 5F110/GG13 5F110/GG15 5F110/NN71 5F110/NN72 5F110/NN73		
代理人(译)	耀希达凯贤治 弘吉 川崎靖		
优先权	2001025019 2001-10-18 GB		
外部链接	Espacenet		

摘要(译)

有源矩阵显示器包括像素，例如液晶像素阵列，以及沿行和列方向延伸并连接到像素的一组第一和第二地址导体（16,18），以及第二组连接导体（30），其沿与该组地址导体（18）相同的方向延伸，每个连接导体连接到像素位置处的第一组导体（16）中的相应导体地址信号通过连接导线提供给第一组。在连接导体和第一组地址导体之间的连接位置处的像素以外的像素位于像素电极和连接导体之间，并且在寻址像素之后可能导致像素的显示输出中的异常在像素电极和相关的第二组地址导体之间提供电容，以补偿寄生电容的影响。

