

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-309326

(P2005-309326A)

(43) 公開日 平成17年11月4日(2005.11.4)

(51) Int.Cl.⁷

G09G 3/36

G02F 1/133

G09G 3/20

F I

G09G 3/36

G02F 1/133 570

G09G 3/20 611E

G09G 3/20 621B

G09G 3/20 621C

テーマコード (参考)

2H093

5C006

5C080

審査請求 未請求 請求項の数 2 O L (全 20 頁) 最終頁に続く

(21) 出願番号 特願2004-129983 (P2004-129983)

(22) 出願日 平成16年4月26日 (2004.4.26)

(71) 出願人 000004329

日本ビクター株式会社

神奈川県横浜市神奈川区守屋町3丁目12番地

(74) 代理人 100085235

弁理士 松浦 兼行

(72) 発明者 古屋 正人

神奈川県横浜市神奈川区守屋町3丁目12番地 日本ビクター株式会社内

Fターム(参考) 2H093 NA15 NA33 NC16 NC22 NC29
ND01 ND04 ND32 ND34 ND60

最終頁に続く

(54) 【発明の名称】 液晶表示装置

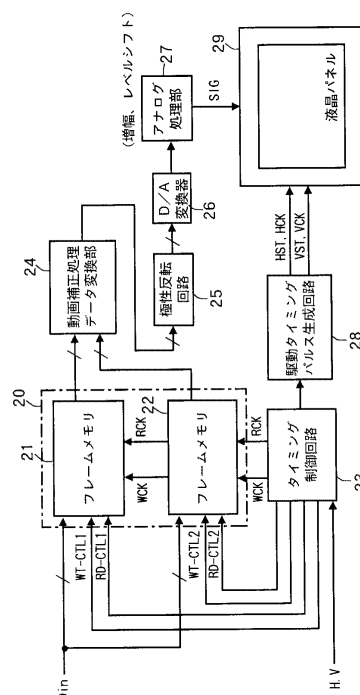
(57) 【要約】

【課題】 従来は、前フレームと現フレームの差情報を得るための比較動作及び補正データ生成と、サブフィールド展開シーケンスが個別に行われるため、これらに必要なメモリ回路及びその制御手段、データ演算手段の規模が大きく、制御も煩雑なものとなる。

【解決手段】 フレームレート変換手段は、フレームメモリ21、22と、フレームメモリ21、22に第1及び第2の映像信号データを互いに独立して書き込んだ後、互いに独立して書き込み時のレートとは異なるレートで複数回並列に読み出すタイミング制御回路23と、フレームメモリ21、22から並列に読み出されたレート変換された第1及び第2の映像信号データ的一方を現フレームデータとして、かつ、他方を前フレームデータとして受け、これらのフレームデータの信号レベルに差分を生じたときに、変化を強調する処理を施した補正処理映像データを生成する動画補正処理データ変換部24とからなる。

【選択図】

図1



【特許請求の範囲】

【請求項 1】

表示する映像信号に対応する映像信号データの垂直走査レートをフレームレート変換手段により変換し、フレームレート変換後の映像信号データをアナログ映像信号に変換し、かつ、その極性を垂直走査期間毎に反転してから液晶パネルに供給して表示させる液晶表示装置であって、

前記フレームレート変換手段は、

連続する 2 つの第 1 及び第 2 のフレーム期間に対応する各垂直走査期間の第 1 及び第 2 の映像信号データを互いに独立して蓄積し、互いに独立して読み出す第 1 及び第 2 のメモリ手段と、

10

前記第 1 及び第 2 のメモリ手段に別々に前記第 1 及び第 2 の映像信号データを互いに独立して書き込んだ後、互いに独立して書込み時のレートとは異なるレートで複数回並列に読み出す書込み / 読み出し手段と、

前記第 1 及び第 2 のメモリ手段から並列に読み出されたレート変換された第 1 及び第 2 の映像信号データの一方を現フレームデータとして、かつ、他方を前フレームデータとして受け、これらのフレームデータの信号レベルに差分を生じたときに、変化を強調する処理を施した補正処理映像データを生成する補正処理変換手段と

を有し、前記補正処理映像データをアナログ映像信号に変換し、かつ、その極性を垂直走査期間毎に反転してから前記液晶パネルに供給して表示させることを特徴とする液晶表示装置。

20

【請求項 2】

表示する映像信号に対応する映像信号データの垂直走査レートをフレームレート変換手段により変換し、フレームレート変換後の映像信号データをアナログ映像信号に変換し、かつ、その極性を垂直走査期間毎に反転してから液晶パネルに供給して表示させる液晶表示装置であって、

前記フレームレート変換手段は、

偶数ラインデータと奇数ラインデータを互いに独立して蓄積し、互いに独立して読み出す第 1 及び第 2 のメモリ手段と、

連続する 2 つの第 1 及び第 2 のフレーム期間に対応する各垂直走査期間の第 1 及び第 2 の映像信号データのうち、一方の映像信号データの偶数ラインデータと他方の映像信号データの奇数ラインデータを前記第 1 及び第 2 のメモリ手段に別々に互いに独立して書き込んだ後、互いに独立して書込み時のレートとは異なるレートで複数回並列に読み出す書込み / 読み出し手段と、

30

前記第 1 及び第 2 のメモリ手段から並列に読み出されたレート変換された前記偶数ラインデータと前記奇数ラインデータの一方を現フィールドデータとし、かつ、他方を前フィールドデータとして受け、これら異なるフィールドに対応した 2 つのデータから、信号レベルに差分を生じたときに、変化を強調する処理を施した補正処理映像データを生成する補正処理変換手段と

を有し、前記補正処理映像データをアナログ映像信号に変換し、かつ、その極性を垂直走査期間毎に反転してから前記液晶パネルに供給して表示させることを特徴とする液晶表示装置。

40

【発明の詳細な説明】

【技術分野】

【0001】

本発明は液晶表示装置に係り、特に投射型液晶ディスプレイ等に好適なアクティブマトリクス型液晶表示装置に関する。

【背景技術】

【0002】

近年、コンピュータ、通信、放送、情報記録メディア等の技術進展と並行して、これら

50

の映像情報を大画面・高精細に表示するディスプレイへの要望が高まっている。これを実現するものとして、アクティブマトリクス型液晶表示装置が実用化されている。

【 0 0 0 3 】

図 1 2 はこのアクティブマトリクス型液晶表示装置の一例の基本構成図を示す。同図において、複数の列信号電極 (D 1、D 2、・・・、D k) 及び複数の行走査電極 (G 1、G 2、・・・、G m) が互いに直交する方向に形成され、それらの各交差部には表示画素 P I X が形成されている。すなわち、複数の表示画素 P I X は m 行 k 列の二次元マトリクス状に配列されている。

【 0 0 0 4 】

列信号電極駆動回路 1 は水平シフトレジスタ 2 及びスイッチ回路群 S W より構成されている。水平シフトレジスタ 2 の各出力段はスイッチ回路群 S W の各制御端子に接続され、スイッチ回路群 S W の各スイッチ入力側端子は表示信号 S I G 入力端子に共通接続され、スイッチ回路群 S W の各スイッチ出力側端子は列信号電極 (D 1、D 2、・・・、D k) の各々に別々に接続されている。すなわち、列信号電極が k 個あれば、スイッチ回路群 S W は k 個のスイッチ回路からなる。 10

【 0 0 0 5 】

水平シフトレジスタ 2 は、図示しない駆動タイミング生成回路より水平スタート信号 H S T と水平クロック信号 H C K が供給され、水平シフトレジスタ 2 の各出力段よりスイッチ回路群 S W の各制御端子に対し、順次オンパルスを送出し、スイッチ回路群 S W の各スイッチ回路を順次オン状態とすることにより、表示信号入力線からの表示信号 S I G に対応する列信号電極 D に順次サンプリングする。 20

【 0 0 0 6 】

行走査電極駆動回路 3 はシフトレジスタ回路で構成され、そのシフトレジスタ回路の各出力段が列信号電極 (D 1、D 2、・・・、D k) の各々に 1 対 1 に対応して接続されている。行走査電極駆動回路 3 を構成するシフトレジスタ回路には、駆動タイミング生成回路 (図示せず) より垂直スタート信号 V S T 及び垂直クロック信号 V C K が供給され、対応する行走査電極 G に対して順次行選択パルスを送出することにより、各行の複数の表示画素 P I X が 1 行ずつ順次選択される。

【 0 0 0 7 】

列信号電極 D (すなわち、D 1、D 2、・・・、D k) と行走査電極 G (すなわち、G 1、G 2、・・・、G m) の各交差部には表示画素 P I X が配置されている。この表示画素 P I X のそれぞれは、図 1 3 に示すように、スイッチングトランジスタ T r と、補助容量 C s と、(図示しない) 表示画素電極と、液晶表示体 L C M とで構成されている。行走査電極 G の行選択パルスが供給されると、対応する行の表示画素のスイッチングトランジスタ T r がオンとなり、列信号電極 D にサンプリングした表示信号がスイッチングトランジスタ T r を介して補助容量 C s に蓄積されると共に、液晶表示体 L C M に供給されてこれを駆動する。補助容量 C s はスイッチングトランジスタ T r がオフの期間での液晶駆動電圧を保持し、高デューティ駆動を実現する目的で構成される。 30

【 0 0 0 8 】

図 1 4 はアクティブマトリクスパネルの駆動部の一例の構成図を示す。同図に示すように、駆動部は 1 フレーム分の映像データを蓄積可能なフレームメモリ 5、極性反転回路 6、D / A 変換器 7、アナログ処理部 8、タイミング制御回路 9 及びパネル駆動タイミング生成回路 1 0 の各ブロックで構成される。 40

【 0 0 0 9 】

以下、図 1 4 をもとに液晶表示装置の駆動部の構成と動作について説明する。入力映像データ D i n は、フレームメモリ 5 に供給される。フレームメモリ 5 は、映像データの書き込みと読み出しを独立制御可能な構成で、例えば一般的な F I F O (First-In First-Out) メモリを適用することができる。

【 0 0 1 0 】

タイミング制御回路 9 は入力側データ、及び同期信号 H、V に同期した書き込みクロッ 50

ク信号 W C K、書き込み制御信号 W T - C T L (F I F O メモリでは、W E、R S T W 信号がこれに相当する) をフレームメモリ 5 に供給する。その結果、1 フレーム分の映像データがフレームメモリ 5 に記憶、蓄積される。

【 0 0 1 1 】

一方、タイミング制御回路 9 からは、同時にフレームメモリ 5 に対して、読み出しの基準クロック R C K、読み出し制御信号 R D - C T L (F I F O メモリでは、R E、R S T R 信号がこれに相当する) が供給される。フレームメモリ 5 の読み出し動作は書き込み動作に対し、例えば 2 倍速のレートに設定され、この場合、フレームメモリ 5 に蓄積した 1 フレームの映像データが各々 2 回ずつ読み出される。

【 0 0 1 2 】

フレームメモリ 5 から 2 倍速レートで読み出された映像データは、極性反転回路 6 で 1 垂直走査期間毎に極性反転された後、D / A 変換器 7 でアナログ信号に変換される。アナログ処理部 8 は、D / A 変換器 7 から出力されたアナログ映像信号を、液晶パネル 1 1 の表示特性に応じて、黒レベル設定や増幅等の処理を行い、駆動用映像信号 (表示信号) S I G として液晶パネル 1 1 に入力する。

【 0 0 1 3 】

一方、駆動タイミングパルス生成回路 1 0 は、フレームメモリ 5 の読み出し制御と同期して液晶パネル 1 1 のアドレス動作に必要なタイミングパルス信号 (すなわち、前述した H S T、H C K、V S T、V C K) を生成して液晶パネル 1 1 に供給する。

【 0 0 1 4 】

図 1 5 (a)、(b) は入力映像データ D i n と液晶パネル 1 1 に入力する駆動用映像信号 (表示信号) S I G の動作タイミング模式図を示す。液晶パネル 1 1 は信頼性低下、焼き付き防止の必要から交流電圧で駆動する必要がある、図 1 5 (b) に示すように一定周期毎に極性反転した表示信号を入力する必要がある。そのため、液晶の電圧応答のバランスが正極性電圧と負極性電圧で非対称な場合、明るさのちらつき (フリッカー) として感知されてしまう。

【 0 0 1 5 】

フリッカーの低減手段としては、表示信号電圧の極性反転をライン毎、ドット毎に行い、フリッカーを視覚的に平均化する駆動方法があるが、液晶パネル 1 1 の画素が高密度化、微細化した場合、ライン反転、ドット反転駆動では、画素間電位差の影響により表示コントラストが大きく劣化する問題がある。

【 0 0 1 6 】

これに対し、図 1 2 ~ 図 1 4 で説明した従来の液晶表示装置の構成例と駆動方法では、1 垂直走査期間分の入力映像データをフレームメモリ 5 に蓄積し、2 倍速フレーム信号に変換し、2 倍速フレーム信号に対して垂直走査期間毎の極性反転を行うため、交流駆動によるフリッカーを視覚的に感知されない周波数に変換することができる。この駆動方法は、特に高密度画素を特徴とした反射型液晶表示パネル (L C O S = Liquid Crystal On Silicon) の駆動方式として広く採用されている方式である。

【 0 0 1 7 】

以上、アクティブマトリクス型液晶表示装置の基本的な構成及び動作について説明した。液晶表示装置は大画面・高画質を実現するディスプレイ方式として優れた特徴を有する。しかしながら、その課題として、液晶の応答速度に起因する動画での解像度劣化の問題がある。

【 0 0 1 8 】

液晶パネルの応答速度、すなわち動画特性改善のアプローチとしては、液晶部の厚さを必要な光変調効果を維持できる範囲でできるだけ小さくすることで、液晶パネルそのものの応答速度を向上する方法がある。しかしながら、液晶部の厚さを小さくすると、均一な液晶セル厚を確保することがより困難となり、液晶パネルの生産性低下が避けられない。また、液晶材料の選択には光変調効果のパラメータ (屈折率、誘電率等) 以外に信頼性への配慮等が必要であり、その選択肢は必ずしも広くない。

10

20

30

40

50

【0019】

これに対し、特に液晶の応答特性が中間輝度間での遷移で顕著に低下することに着目し、駆動信号に信号処理を適用することで、動画応答特性を向上する方法が提案されている（例えば、特許文献1及び非特許文献1参照）。図16は従来の液晶表示装置の動画応答補正処理ブロックの一例のブロック図を示す。同図に示すように、動画応答補正処理ブロックは、入力映像データを1フレーム分蓄積し遅延させるフレームメモリ13と、フレームメモリ13から読み出した前フレームの映像データ S_{n-1} 及び現フレームの映像データ S_n の両方を参照し、補正データ S_n' を生成する動画補正処理（データ変換）部14より構成される。

【0020】

図17及び図18は、図16に示した液晶表示装置の動画応答補正処理ブロックの補正処理動作に関して、その概要を表す模式図である。図17は表示輝度変化が暗→明に立ち上がる場合を、図18は表示輝度変化が明→暗に立ち下がる場合を図示している。

【0021】

図17(a)、図18(a)に示すように、表示信号のレベルが前フレームの信号レベル S_{n-1} から現フレームの信号レベル S_n に変化するとき、動画応答補正処理を適用しない条件では、図17(b)、図18(b)に破線Aで示すように、液晶が変化毎前の輝度レベル I_{n-1} から、目標とする輝度レベル I_n に到達するまでに比較的長い応答時間を必要とし、これに起因して動画像のぼけが感知される。

【0022】

一方、動画応答補正処理では、前フレームの信号レベル S_{n-1} と現フレーム信号レベル S_n の2つの情報から、現フレームに対する補正データ S_n' を決定する。すなわち、前フレーム信号 S_{n-1} と現フレーム信号 S_n 間に変化があった場合には、図17(a)、図18(a)に示すように、その変化をより強調する方向の補正信号 S_n' を生成し、現フレーム信号 S_n のかわりに補正信号 S_n' を現フレーム信号とする。

【0023】

この補正処理によって、液晶の応答特性は図17(b)、図18(b)に例えばBで示すように改善され、液晶を1フレーム期間中に目標輝度レベル I_n にまで応答させることができる。なお、補正データの生成手段としては、例えば前フレーム信号（データ） S_{n-1} と前フレーム信号（データ） S_n をアドレスとして参照し、第3のデータ S_n' を読み出すルックアップテーブルメモリを用いることができる。また、より簡略化した方法としては下式で示すように、フレーム信号間の差分（ $S_n - S_{n-1}$ ）に係数Kを乗算し、現フレーム信号 S_n に加算する処理によっても補正効果を得ることができる。

【0024】

$$S_n' = S_n + K \cdot (S_n - S_{n-1})$$

ところで、以上述べた従来技術による液晶表示装置においては、動画特性向上を目的とした信号処理を適用する上で、以下の課題があった。

【0025】

第1に、前フレームと現フレームの2つのフレーム情報が必要となるため、画像データを1フレーム分蓄積、遅延させる専用のフレームメモリ、及びその制御手段を備えることが原則であり、回路規模やコストの増大、メモリ制御の煩雑さが問題となる。特に、反射型液晶表示装置等では動画補正の有無によらず、フリッカーの無い交流駆動を実現する目的でフレームレート変換メモリを用いており、動画補正処理を適用する上ではフレームレート変換メモリの他に、前後フレーム間データ比較用のメモリを追加する必要がある、これらのメモリ群の構成及び制御を統合して簡素に実現することが望まれている。

【0026】

第2に、従来技術文献に開示されている液晶表示装置の動画特性補償においては、補償信号を映像の1フレーム期間を基本単位として液晶パネルに供給するため、十分な応答速度を得るために補正量を大きくしていくと、1フレーム期間中に液晶応答レベルが本来の目標輝度レベルに対して過応答となり、動画像の変化部（エッジ）に輝度が逆転した偽輪

10

20

30

40

50

郭が発生し、表示品位を損ねることが問題となる。

【 0 0 2 7 】

図 1 7 (b) 及び図 1 8 (b) において、液晶応答 C は動画応答補償が過補償となった場合の特性を示している。これらの例では、液晶の表示輝度が目標値に対してオーバーシュートしているため、これら過補正の状態では、図 1 9 に下段で示したように動画部のエッジに輝度反転が発生し、表示品位が損なわれる。上記課題に対しては、1 フレーム信号を複数のサブフィールドに分解し、サブフィールド単位で動画補正の演算処理を制御することで解決する方法が提案されている (例えば、特許文献 2 参照) 。

【 0 0 2 8 】

【特許文献 1】特開 2 0 0 2 - 1 3 1 7 2 1 号公報

10

【特許文献 2】特開 2 0 0 3 - 2 4 1 7 2 1 号公報

【非特許文献 1】R.I.マッカートニー (R.I.McCartney) 著, 「A Liquid Crystal Display Response Time Compensation Feature Integrated into an LCD Panel Timing Controller」, (米国), SID03 DIGEST 48.3, p.1350-1353

【発明の開示】

【発明が解決しようとする課題】

【 0 0 2 9 】

しかしながら、上記の特許文献 2 記載の方法では、前フレームと現フレームの差情報を得るための比較動作及び補正データ生成と、サブフィールド展開シーケンスが個別に行われるため、これらに必要なメモリ回路及びその制御手段、データ演算手段の規模が大きく、それらの制御も煩雑なものとなる。

20

【 0 0 3 0 】

また、フレームレート変換等、フレームメモリを用いた他の信号処理と併用する場合、複数のフレームメモリを個別に制御する方法には無駄が多く、これらを統合する構成及び駆動制御方法が望まれている。

【 0 0 3 1 】

本発明は以上の点に鑑みなされたもので、メモリ構成や制御手段を煩雑化せずに動画特性を向上する補正処理が可能な液晶表示装置を提供することを目的とする。

【 0 0 3 2 】

また、本発明の他の目的は、動画過補正の問題に対して、より良い特性が得られる補正を行い得る液晶表示装置を提供することにある。

30

【 0 0 3 3 】

更に、本発明の他の目的は、動画補正に必要とするフレームメモリの容量を削減し得る液晶表示装置を提供することにある。

【課題を解決するための手段】

【 0 0 3 4 】

上記目的を達成するため、第 1 の発明の液晶表示装置は、表示する映像信号に対応する映像信号データの垂直走査レートをフレームレート変換手段により変換し、フレームレート変換後の映像信号データをアナログ映像信号に変換し、かつ、その極性を垂直走査期間毎に反転してから液晶パネルに供給して表示させる液晶表示装置であって、フレームレート変換手段は、連続する 2 つの第 1 及び第 2 のフレーム期間に対応する各垂直走査期間の第 1 及び第 2 の映像信号データを互いに独立して蓄積し、互いに独立して読み出す第 1 及び第 2 のメモリ手段と、第 1 及び第 2 のメモリ手段に別々に第 1 及び第 2 の映像信号データを互いに独立して書き込んだ後、互いに独立して書き込み時のレートとは異なるレートで複数回並列に読み出す書き込み / 読み出し手段と、第 1 及び第 2 のメモリ手段から並列に読み出されたレート変換された第 1 及び第 2 の映像信号データの一方を現フレームデータとして、かつ、他方を前フレームデータとして受け、これらのフレームデータの信号レベルに差分を生じたときに、変化を強調する処理を施した補正処理映像データを生成する補正処理変換手段とを有し、補正処理映像データをアナログ映像信号に変換し、かつ、その極性を垂直走査期間毎に反転してから液晶パネルに供給して表示させることを特徴とする。

40

50

【 0 0 3 5 】

この発明は、第 1 及び第 2 のメモリ手段を用いて、フレーム反転駆動におけるフリッカレス駆動に必要なフレーム倍速処理と、動画応答補償の差分情報を得ることができる。また、前フレームデータと現フレームデータが、倍速フレームの各サイクルについて同時並列的に得られるため、倍速フレームでフレーム間データ比較が可能である。

【 0 0 3 6 】

また、上記の目的を達成するため、第 2 の発明の液晶表示装置は、表示する映像信号に対応する映像信号データの垂直走査レートをフレームレート変換手段により変換し、フレームレート変換後の映像信号データをアナログ映像信号に変換し、かつ、その極性を垂直走査期間毎に反転してから液晶パネルに供給して表示させる液晶表示装置であって、フレームレート変換手段は、偶数ラインデータと奇数ラインデータを互いに独立して蓄積し、互いに独立して読み出す第 1 及び第 2 のメモリ手段と、連続する 2 つの第 1 及び第 2 のフレーム期間に対応する各垂直走査期間の第 1 及び第 2 の映像信号データのうち、一方の映像信号データの偶数ラインデータと他方の映像信号データの奇数ラインデータを第 1 及び第 2 のメモリ手段に別々に互いに独立して書き込んだ後、互いに独立して書き込み時のレートとは異なるレートで複数回並列に読み出す書き込み / 読み出し手段と、第 1 及び第 2 のメモリ手段から並列に読み出されたレート変換された偶数ラインデータと奇数ラインデータの一方を現フィールドデータとし、かつ、他方を前フィールドデータとして受け、これら異なるフィールドに対応した 2 つのデータから、信号レベルに差分を生じたときに、変化を強調する処理を施した補正処理映像データを生成する補正処理変換手段とを有し、補正処理映像データをアナログ映像信号に変換し、かつ、その極性を垂直走査期間毎に反転してから液晶パネルに供給して表示させることを特徴とする。

【 0 0 3 7 】

この発明では、第 1 及び第 2 のメモリ手段を用いて、順次走査信号をインターレース化して表示データのフレームレート変換及び、前、現フレームデータ比較による動画補正処理を同時に実現することができる。また、必要なメモリ容量を第 1 の発明に比し 1 / 2 に削減できる。

【 発明の効果 】

【 0 0 3 8 】

本発明によれば、第 1 及び第 2 のメモリ手段を用いて、フレーム反転駆動におけるフリッカレス駆動に必要なフレーム倍速処理と、動画応答補償の差分情報を得ることができるため、メモリ構成や制御手段を煩雑化せずに、フレームレート変換後のデータを単位として高精度な液晶表示装置の動画特性を向上する補正処理ができる。また、動画応答補償処理をフレームレート変換メモリの出力で行う構成を採用しているため、補正の時間単位を短くでき、より効果的な動画応答補正が実現できる。

【 0 0 3 9 】

また、本発明によれば、前フレームデータと現フレームデータが、倍速フレームの各サイクルについて同時並列的に得られるため、倍速フレームでフレーム間データ比較が可能であるため、従来の液晶表示装置における動画過補正の問題に対して、より良い特性が得られる。

【 0 0 4 0 】

更に、本発明によれば、第 1 及び第 2 のメモリ手段を用いて、順次走査信号をインターレース化して表示データのフレームレート変換及び、前、現フレームデータ比較による動画補正処理を同時に実現することができる。また、必要なメモリ容量を第 1 の発明に比し 1 / 2 に削減できる。

【 発明を実施するための最良の形態 】

【 0 0 4 1 】

次に、本発明を実施するための最良の形態について図面と共に説明する。図 1 は本発明になる液晶表示装置の第 1 の実施の形態のブロック図を示す。入力映像データ D_{in} は、フレームメモリブロック 20 を構成する第 1 のフレームメモリ 21 と第 2 のフレームメモ

10

20

30

40

50

リ 2 2 にそれぞれ供給される。これら 2 つのフレームメモリ 2 1 及び 2 2 には、タイミング制御回路 2 3 から個別にメモリ制御信号線群 (WT - CTL 1、RD - CTL 1) と (WT - CTL 2、RD - CTL 2) が供給され、互いに書き込みと読み出しの制御を独立して制御可能な構成とされている。

【0042】

また、フレームメモリ 2 1 及び 2 2 はそれぞれ映像データの書き込みと読み出しを独立制御可能な構成で、これには例えば一般的な F I F O (First-In First-Out) メモリを適用できる。2 つのフレームメモリ 2 1 及び 2 2 の出力データバスは、動画補正処理データ変換部 2 4 に共通接続されている。動画補正処理データ変換部 2 4 は、フレームメモリ 2 1 及び 2 2 の双方の読み出し映像データを入力とし、これらの読み出し映像データから動画補正処理された表示データを生成し出力する。 10

【0043】

動画補正処理データ変換部 2 4 から出力された表示データは、極性反転回路 2 5 で 1 垂直走査期間毎に極性反転された後、D / A 変換器 2 6 でアナログ信号に変換される。アナログ処理部 2 7 は、D / A 変換器 2 6 から出力されたアナログ映像信号を、液晶パネル 2 9 の表示特性に応じて、黒レベル設定や増幅等の処理を行い、駆動用映像信号 (表示信号) S I G として液晶パネル 2 9 に入力する。

【0044】

なお、液晶パネル 2 9 は従来と同様の構成であり、図 1 3 に示したスイッチングトランジスタ Tr のようなスイッチング素子と表示電極を含む単位画素を、二次元マトリクス状に複数配列した駆動回路基板と、共通電極を形成した透光性基板と、前記駆動回路基板と透光性基板との間に挟持された液晶とを備えた構成である。 20

【0045】

一方、タイミング制御回路 2 3 は入力側データ、及び同期信号 H、V に同期した書き込みクロック信号 W C E、書き込み制御信号 WT - CTL 1、WT - CTL 2 (F I F O メモリでは、WE、R S T W 信号がこれに相当する) をフレームメモリ 2 1 及び 2 2 に供給する。このメモリ書き込み動作は、2 つのフレームメモリ 2 1 及び 2 2 に対し、入力フレーム期間毎に相補的になるように制御する。すなわち、入力の第 1 フレーム期間の映像データはフレームメモリ 2 1 に書き込み、第 2 フレームの映像データはフレームメモリ 2 2 に書き込み、以下、それを交互に繰り返す。 30

【0046】

一方、フレームメモリ 2 1 及び 2 2 の読み出しは、例えば書き込みの 2 倍のレートで行い、フレームメモリ 2 1 及びフレームメモリ 2 2 の各々は書き込みデータを 2 倍速信号にフレームレート変換して読み出すフレームレート変換メモリとして機能する。これら 2 つのフレームメモリ 2 1 及び 2 2 の読み出し動作は、タイミング制御回路 2 3 からの制御信号 RD - CTL 1、RD - CTL 2 (F I F O メモリでは、RE、R S T R 信号がこれに相当する) によって制御され、2 つのフレームメモリ 2 1 及び 2 2 の出力データバスには 2 つのフレームメモリ 2 1 及び 2 2 の読み出し映像データが並列的に出力される。

【0047】

駆動タイミングパルス生成回路 2 8 は、フレームメモリ 2 1 及び 2 2 の読み出し制御と同期して、液晶パネル 2 9 のアドレス動作に必要なタイミングパルス信号 (H S T、H C K、V S T、V C K) を生成して液晶パネル 2 9 に供給する。 40

【0048】

次に、本実施の形態における 2 つのフレームメモリ 2 1 及び 2 2 の書き込み、読み出し動作について、図 2 のタイミング模式図を参照して更に詳細に説明する。フレーム F_{n-1} の映像データ入力期間はメモリ制御信号 WT - CTL 1 による書き込み制御がアクティブとなり、この期間の入力映像データ D_{in} は第 1 のフレームメモリ 2 1 に図 2 (a) に模式的に示すように書き込まれる。この間、第 2 のフレームメモリ 2 2 の書き込み動作は図 2 (c) に模式的に示すように休止し、同図 (d) に示すように、前フレームで既に書き込んだ F_{n-2} のデータの読み出しのみを行う。 50

【 0 0 4 9 】

第 1 のフレームメモリ 2 1 では、フレーム F_{n-1} の映像データ書き込みが入力フレーム期間の半ばに達した時点で、図 2 (b) に模式的に示すように、制御信号 $RD - CTL 1$ により読み出しを開始し、フレーム F_{n-1} の映像データが 2 倍レートで読み出される。このフレーム F_{n-1} の映像データの読み出しは、第 1 のフレームメモリ 2 1 の記憶映像データがフレーム F_{n+1} に更新されるまで、図 2 (b) に A 1、B 1、C 1、D 1 で表すように 4 回繰り返される。

【 0 0 5 0 】

同様に、次のフレーム F_n の映像データ入力期間は、メモリ制御信号 $WT - CTL 2$ による書き込み制御がアクティブとなり、この期間の入力映像データ Din は図 2 (c) に模式的に示すように、第 2 のフレームメモリ 2 2 に書き込まれる。この間、第 1 のフレームメモリ 2 1 の書き込み動作は図 2 (a) に模式的に示すように休止し、前フレームで既

10

【 0 0 5 1 】

第 2 のフレームメモリ 2 2 では、フレーム F_n の映像データ書き込みが入力フレーム期間の半ばに達した時点で、図 2 (d) に模式的に示すように制御信号 $RD - CTL 2$ により読み出しを開始し、フレーム F_n の映像データが 2 倍レートで読み出される。このフレーム F_n の読み出しは第 2 のフレームメモリ 2 2 の記憶映像データがフレーム F_{n+2} に更新されるまで、図 2 (d) に A 2、B 2、C 2、D 2 で表すように 4 回繰り返される。

【 0 0 5 2 】

ここで、図 2 (d) に模式的に示す第 2 のフレームメモリ 2 2 によるフレーム F_n の映像データ読み出し期間に着目すると、4 回の読み出しサイクルのうち A 2、B 2 で示す前半期間では、図 2 (b) に模式的に示すように、第 1 のフレームメモリ 2 1 によるフレーム F_{n-1} の映像データの後半期間 C 1、D 1 の読み出しが同時並列的に行われている。

20

【 0 0 5 3 】

図 1 の動画補正処理データ変換部 2 4 は、第 2 のフレームメモリ 2 2 によるフレーム F_n の前半期間 A 2、B 2 の読み出し映像データを現フレームデータ、第 1 のフレームメモリ 2 1 による後半期間 C 1、D 1 のフレーム F_{n-1} の読み出し映像データを前フレームデータとして、これら異なるフレームに対応した 2 つの映像データから、信号レベルに差分を生じた (= 動きがあった) 映像データの組み合わせに対して、変化を強調する処理を実施した映像データを生成し、後段の極性反転回路 2 5 に表示データとして送出する。

30

【 0 0 5 4 】

第 2 のフレームメモリ 2 2 による F_n の読み出しの後半期間 C 2、D 2 では、今度はフレーム F_{n+1} に対する前フレームデータとして動画補正処理データ変換部 2 4 に利用される。このときの現フレームデータは、第 1 のフレームメモリ 2 1 による前半期間のフレーム F_{n+1} の読み出し映像データである。

【 0 0 5 5 】

以上の動作を繰り返すことによって、表示データのフレームレート変換及び、前、現フレームデータ比較による動画補正処理を同時に実現することができる。これにより、本実施の形態によれば、フレーム反転駆動におけるフリッカレス駆動に必要なフレーム倍速処理と動画応答補償処理を統合されたメモリ構成及び制御で実現することができる。

40

【 0 0 5 6 】

次に、本実施の形態における動画補正処理動作について、図 3、図 4 及び図 5 の模式図と共に説明する。図 3 ~ 図 5 はいずれも第 $n - 1$ フレームから第 n フレームについて、表示データに変化が発生した表示部分における補正処理の概要を示しており、図 3 (a)、(b)、図 4 (a)、(b) 及び図 5 (a)、(b) は、それぞれ液晶表示輝度が低輝度から高輝度に変化する場合を、図 3 (c)、(d)、図 4 (c)、(d) 及び図 5 (c)、(d) は、それぞれ液晶表示輝度が高輝度から低輝度に変化する場合に対応している。なお、ここでは液晶駆動信号電圧振幅が小さい側で黒表示となる「ノーマリーブラックモード」動作を想定しているが、信号電圧振幅と表示輝度の関係が逆転する「ノーマリーホワ

50

イト」であってもその基本は共通である。

【 0 0 5 7 】

図 3 は 2 倍速フレーム変換した第 $n - 1$ フレームと第 n フレームのメモリ読み出し映像データから変換した補正映像データ S_n ' による動画強調処理を極性反転した 2 倍速フレーム F_{n-1} と F_n の垂直走査期間 2 回にわたって適用する例を示す図である。液晶の応答は基本的には電圧極性依存性がないため、図 3 の補正動作では、1 フレーム分の情報表示期間にわたって補正信号が印加される。

【 0 0 5 8 】

図 4 は 2 倍速フレーム変換した第 $n - 1$ フレームと第 n フレームのメモリ読み出し映像データから変換した補正データ S_n ' は 2 倍速フレーム F_{n-1} の垂直走査期間 1 回のみに適用し、2 倍速フレーム F_n では表示データとして、第 n フレームの映像データそのものを適用する例を示す図である。

10

【 0 0 5 9 】

本例によれば、駆動信号電圧が 2 倍速変換の前半、すなわち 1 フレーム分の情報表示期間の $1/2$ の期間に限定して強調処理される。そのため、データ変換における強調処理の程度を強めに設定しても従来例で述べた過補償による輝度反転エッジが発生しにくい点に加え、1 フレーム表示時間より短い時間で液晶が目標とする輝度に達するように動画補正を行うことが可能となる。

【 0 0 6 0 】

図 5 は 2 倍速フレーム変換した第 $n - 1$ フレームと第 n フレームのメモリ読み出し映像データから変換した補正データ S_n ' 1 は第 1 の 2 倍速フレーム F_{n-1} の垂直走査期間の 1 回目に適用し、第 2 の 2 倍速フレーム F_n では、第 $n - 1$ フレームと第 n フレームのメモリ読み出し映像データから変換した補正データ S_n ' 2 を適用する例を示す図である。すなわち、この図 5 の例では、2 倍速フレーム F_{n-1} と F_n の各々の垂直走査期間に対して別の動画処理データを与える。

20

【 0 0 6 1 】

本発明の第 1 の実施の形態によれば、前フレームと現フレームの映像データが、2 倍速フレームの各サイクルについて同時並列的に得られるため、各 2 倍速フレームでフレーム間データ比較が可能のため、2 倍速フレーム毎に異なった処理を適用できる。図 5 では、2 倍速フレーム前半の F_{n-1} で液晶の応答が目標レベルを上回る程度に過補償とし、後半の F_n で前半の過補償の影響を打ち消すように、定常状態では目標値を下回るような逆補償データを与えている。このような処理によって、更に液晶の応答を高速化すると共に、過補償による反転エッジ発生を抑えた応答補償が可能となる。

30

【 0 0 6 2 】

図 5 で説明した補正動作では、2 倍速フレーム F_{n-1} と F_n の各々の垂直走査期間に対して別の動画処理データを与える。これを可能とする動画補正処理用データ変換部 2 4 の構成の各例について図 6 及び図 7 のブロック図と共に説明する。

【 0 0 6 3 】

図 6 は動画補正処理用データ変換部の第 1 の実施の形態のブロック図を示す。図 6 に示す第 1 の実施の形態の動画補正処理用データ変換部 2 4 a は、フレームメモリ 2 1 及び 2 2 から供給される映像データ S_{n-1} と S_n をそれぞれ 2 入力とする 2 つのルックアップテーブル (LUT) 2 4 1、2 4 2 には各々異なる変換データテーブルが記録されている。

40

【 0 0 6 4 】

LUT 2 4 1 及び 2 4 2 の各々から出力された変換データは、データセレクタ (MUX) 2 4 3 に入力され、ここで選択信号 SEL によってこれら 2 つの変換データのどちらか一方が選択して出力される。選択信号 SEL によるデータ切り換えを、2 倍速フレーム F_{n-1} と F_n について行うことで、2 倍速フレームを単位としたデータ変換の切り換えを実現することができる。

【 0 0 6 5 】

50

図7は動画補正処理用データ変換部の第2の実施の形態のブロック図を示す。図7に示す第2の実施の形態の動画補正処理用データ変換部24bは、フレームメモリ21、22から供給されるデータ S_{n-1} と S_n の差分を求める引算器245を備え、引算器245により得られた差分情報に対し所定の係数 K を乗算器246で乗算し、その乗算結果を加算器247で元データ S_n と加算する処理を行う。制御信号SELは2倍速フレーム毎に乗算器246の乗算係数を異なった値となるような切り換え制御を行う。

【0066】

以上説明したように、本発明の第1の実施の形態によれば、フレーム反転駆動におけるフリッカレス駆動に必要なフレーム倍速処理と、動画応答補償処理を統合されたメモリ構成及び簡易なメモリ制御で実現することができる。また、動画応答補償処理をフレームレート変換メモリの出力で行う構成を採用しているため、補正の時間単位を短くでき、より効果的な動画応答補正が実現できる。

10

【0067】

次に、本発明になる液晶表示装置の第2の実施の形態について説明する。図8は本発明になる液晶表示装置の第2の実施の形態のブロック図を示す。同図中、図1と同一構成部分には同一符号を付し、その説明を省略する。図8において、入力映像データDinは、フレームメモリブロック30を構成する、それぞれ1画面分の表示データ容量の1/2の容量を有する2つの1/2フレームメモリ31及び32に供給される。これら2つの1/2フレームメモリ31及び32には、タイミング制御回路33から個別にメモリ制御信号線群(WTCTL1、RDCTL1)と(WTCTL2、RDCTL2)が供給され、互いに書き込みと読み出しの制御を独立して制御可能な構成とされている。

20

【0068】

また、1/2フレームメモリ31及び32はそれぞれ映像データの書き込みと読み出しを独立制御可能な構成で、これには例えば一般的なFIFO(First-In First-Out)メモリを適用できる。2つの1/2フレームメモリ31及び32の出力データバスは、動画補正処理データ変換部35に共通接続されると共に、データ合成回路34に共通接続されている。

【0069】

本実施の形態の特徴は、メモリブロック30を1画面分の表示データ容量の1/2の容量を有する、2つの1/2フレームメモリ31及び32で構成した点にある。一般に、NTSC、HDTVに代表されるテレビジョン信号規格は、飛び越し走査(インターレース)形態であり、これらのテレビジョン信号における動画表示の実質的な単位は全フレーム走査線情報の内の奇数ラインで構成された奇数フィールド、または偶数ラインのみで構成された偶数フィールドとなる。

30

【0070】

これにより、入力映像データDinとしてインターレース方式のテレビジョン信号を想定した場合、本実施の形態のように2つの1/2フレームメモリ31及び32各々の容量を1/2フレーム(すなわち、1フィールド)として各フィールド入力に対して第1の実施の形態と同様のメモリ制御及び処理を行うことにより、第1の実施の形態とほぼ同様の効果を実現できる。更に、第2の実施の形態においては、入力映像データDinとして順次走査(プログレッシブ)信号入力に対応することを特徴とする。

40

【0071】

次に、本実施の形態における2つの1/2フレームメモリ31及び32の書き込み、読み出し動作について、図9のタイミング模式図を参照して更に詳細に説明する。入力映像データDinは順次走査信号(プログレッシブ信号)であるものとする。フレーム F_{n-1} の映像データ入力期間はメモリ制御信号WTCTL1による書き込み制御がアクティブとなり、この期間の入力映像データDinは図9(a)に模式的に示すように、偶数(EVEN)ラインのみを選択的に(奇数ライン期間のデータを間引いて)第1の1/2フレームメモリ31(第1ブロック)に書き込むように制御する。この間、第2の1/2フレームメモリ32(第2ブロック)の書き込み動作は図9(c)に模式的に示すように休止

50

し、同図 (d) に示すように、前フレームで既にかき込んだ奇数ラインデータからなる F_{n-2} の映像データの読み出しのみを行う。

【 0 0 7 2 】

第 1 の 1 / 2 フレームメモリ 3 1 では、フレーム F_{n-1} の偶数ラインデータ書き込みが入力フレーム期間の半ばに達した時点で、図 9 (b) に模式的に示すように、制御信号 $RD - CTL 1$ により読み出しを開始し、フレーム F_{n-1} の偶数ラインデータが 2 倍レートで読み出される。このフレーム F_{n-1} の読み出しは第 1 の 1 / 2 フレームメモリ 3 1 の記憶映像データがフレーム F_{n+1} の偶数ラインデータに更新されるまで、図 9 (b) に A 1、B 1、C 1、D 1 で模式的に示すように 4 回繰り返される。

【 0 0 7 3 】

同様に、次のフレーム F_n の映像データ入力期間は、メモリ制御信号 $WT - CTL 2$ による書き込み制御をアクティブとし、この期間の入力映像データ Din は奇数 (ODD) ラインのみを選択的に (偶数ライン期間のデータを間引いて) 第 2 の 1 / 2 フレームメモリ 3 2 に、図 9 (c) に模式的に示すように書き込む制御を行う。この間、第 1 の 1 / 2 フレームメモリ 3 1 の書き込み動作は図 9 (a) に示すように休止し、前フレームで既にかき込んだ F_{n-1} の偶数ラインデータの読み出しのみを行う。

【 0 0 7 4 】

第 2 の 1 / 2 フレームメモリ 3 2 では、フレーム F_n の奇数ラインデータの書き込みが入力フレーム期間の半ばに達した時点で、図 9 (d) に模式的に示すように制御信号 $RD - CTL 2$ により読み出しを開始し、記憶されているフレーム F_n の奇数ラインデータが 2 倍レートで読み出される。このフレーム F_n の読み出しは第 2 のフレームメモリ 3 2 の記憶データがフレーム F_{n+2} の奇数ラインデータに更新されるまで、図 9 (d) に A 2、B 2、C 2、D 2 で模式的に示すように 4 回繰り返される。

【 0 0 7 5 】

ここで、第 2 の 1 / 2 フレームメモリ 3 2 によるフレーム F_n の奇数ラインデータの読み出し期間に着目すると、奇数ラインデータ 4 回の読み出しサイクルのうち、図 9 (d) に模式的に示す前半期間 A 2、B 2 では、第 1 の 1 / 2 フレームメモリ 3 1 によるフレーム F_{n-1} の偶数ラインデータ 4 回の読み出しサイクルのうち、同図 (b) に模式的に示す後半期間 C 1、D 1 の読み出しが同時並列的に行われている。

【 0 0 7 6 】

図 8 に示す動画補正処理データ変換部 3 5 では、1 / 2 フレームメモリ 3 2 による前半期間 A 2、B 2 におけるフレーム F_n の奇数ライン読み出しデータを現フィールドデータとし、かつ、1 / 2 フレームメモリ 3 1 による後半期間 C 1、D 1 におけるフレーム F_{n-1} の偶数ライン読み出しデータを前フィールドデータとして、これら異なるフィールドに対応した 2 つのデータから、信号レベルに差分を生じた (= 動きがあった) データの組み合わせに対して、変化を強調する処理を施したデータを生成し、後段の処理ブロックに表示データとして送出する。

【 0 0 7 7 】

以上の動作を繰り返すことによって、順次走査信号をインターレース化して表示データのフレームレート変換及び、前、現フレームデータ比較による動画補正処理を同時に実現する。本実施の形態によれば、フレーム反転駆動におけるフリッカレス駆動に必要なフレーム 2 倍速処理と動画応答補償処理を統合されたメモリ構成及び制御で実現することができ、必要なメモリ容量を第 1 の実施の形態に比し 1 / 2 に削減できる。

【 0 0 7 8 】

次に、本実施の形態に対応した液晶表示パネルのアドレス方式例について図 1 0 と共に説明する。インターレース化された表示信号をフレーム相当のライン数を有する液晶パネルで良好に表示する手段として、図 1 0 に示す「 2 ライン組違い駆動」がある。

【 0 0 7 9 】

この表示手段では、奇数行に対応した表示信号入力 1、3、5、7、・・・に対し、水平走査期間毎の液晶パネルの垂直走査行選択を (L 1 , L 2)、(L 3 , L 4)、(L 5

10

20

30

40

50

、L 6)、・・・の形態で2ライン同時に行う。次に、偶数行に対応した表示信号入力2、4、6、8、・・・に対し、水平走査期間毎の液晶パネルの垂直走査行選択を(L 2、L 3)、(L 4、L 5)、(L 6、L 7)、・・・の形態で、奇数ライン走査時と1ラインずれた2ラインの組み合わせで同時に行う。

【0080】

この表示手段では、順次走査に対して垂直解像度がやや劣化傾向となるが、インターレース信号を良好に表示できる。上記の第2の実施の形態においては、液晶パネル駆動として、順次駆動と2ライン組違い駆動の両方の駆動モードに対応可能な液晶パネルを用いることが望ましい。

【0081】

第2の実施の形態の構成においては、図9等と共に説明した動画処理を適用せず、順次走査信号のままフレームレート変換(フレーム2倍速処理)のみを行うように動作を切り換えることが可能である。図11は順次走査信号のままフレームレート変換のみを行うときの動作模式図である。以下に図11の駆動方法におけるメモリ制御及び動作について説明する。

【0082】

フレームF_nの映像データ入力期間ではメモリ制御信号WT-CTL1とWT-CTL2による書き込み制御を共にアクティブとし、第1ブロックである1/2フレームメモリ31に対しては、図11(a)に模式的に示すように偶数(EVEN)ラインデータを書き込むように制御し、かつ、第2ブロックである1/2フレームメモリ32に対しては、同図(c)に模式的に示すように奇数(ODD)ラインデータを書き込むように制御する。これにより、順次走査信号の走査線データを間引くことなく、2つの1/2フレームメモリ31及び32にフレームF_nの映像データを書き込むことができる。

【0083】

映像データの読み出しは入力の2倍レートで、2つの1/2フレームメモリ31及び32について同時並列的に行われ、図11(d)にA4、B4で模式的に示すように、フレームF_nの奇数行映像データは第2ブロックの1/2フレームメモリ32から、また、同図(b)にA3、B3で模式的に示すように、偶数行映像データは第1ブロックの1/2フレームメモリ31から、各々フレームレート変換されて2回出力される。

【0084】

再び図8に戻って説明するに、データ合成回路34は、上記2つの1/2フレームメモリ31及び32から読み出された奇数ラインと偶数ラインの各映像データを入力として受け、2倍速化された順次走査信号に再合成する。この場合の表示信号は液晶パネル11を2ライン組違い駆動ではなく、順次走査駆動として表示する。これにより、静止画の垂直解像度低下がない表示特性が得られる。

【0085】

この第2の実施の形態では、順次走査信号を図9と共に説明したインターレース化してフレーム倍速処理と動画補償処理を共に実施する第1のモードと、図11と共に説明した順次走査信号のままフレーム2倍速処理のみを行う第2のモードを選択的に切り換えることが可能である。図8の制御信号MODEはこれらの2つのモード選択に必要なメモリ制御タイミングと出力データの切り換えを行うためのものである。

【0086】

すなわち、制御信号MODEにより、上記の第1のモードでは、動画補正処理データ変換部35から取り出された表示信号を選択するようにデータセクタ36が切り替えられ、上記の第2のモードでは、データ合成回路34から取り出された表示信号を選択するようにデータセクタ36が切り替えられる。データセクタ36により選択された表示信号は極性反転回路25に供給され、以降、第1の実施の形態と同様の処理が行われて液晶パネル29に供給されて表示される。

【0087】

以上述べたように、この第2の実施の形態では、フレームレート変換及び動画補正に必

10

20

30

40

50

要なメモリ容量を1/2に削減することができる。また、動画特性のウェイトが高い映像については、動画処理を適用してインターレース表示する上記の第1のモード（動画処理補正モード）を選択し、静止画解像度を優先したい場合には、動画処理を適用せずプログレッシブ表示する上記の第2のモード（順次走査モード）を選択する切り換えが可能である。これら2つの動作モードは表示映像に対して適宜選択できるものとする。

【0088】

本実施の形態によれば、第2のモードしか有さない既存の液晶表示装置における倍速変換メモリの構造、容量をそのまま利用し、動画補正処理に応用するインターレース（組み違い）表示を、多少の変更で可能であるという特長がある。

【0089】

なお、本発明は以上の実施の形態に限定されるものではなく、例えば、第2の実施の形態では2つのモードを切り替えるように説明したが、どちらか一方のモードのみを備えた構成であってもよいことは勿論である。

【図面の簡単な説明】

【0090】

【図1】本発明の液晶表示装置の第1の実施の形態のブロック図である。

【図2】図1中のフレームメモリの動作及びその制御説明用模式図である。

【図3】図1の動画補正処理の第1の例の説明図である。

【図4】図1の動画補正処理の第2の例の説明図である。

【図5】図1の動画補正処理の第3の例の説明図である。

【図6】図1中の動画補正処理部の第1の例のブロック図である。

【図7】図1中の動画補正処理部の第2の例のブロック図である。

【図8】本発明の液晶表示装置の第2の実施の形態のブロック図である。

【図9】図8中の1/2フレームメモリの第1のモードの動作及びその制御説明用模式図である。

【図10】液晶パネルの駆動方法の一例を説明する図である。

【図11】図8中の1/2フレームメモリの第2のモードの動作及びその制御説明用模式図である。

【図12】従来の液晶表示装置の液晶パネルの一例の構成図である。

【図13】従来の液晶表示装置の画素回路の一例の回路図である。

【図14】従来の液晶表示装置の駆動制御部の一例のブロック図である。

【図15】従来の液晶表示装置の入力信号と表示信号の模式図である。

【図16】従来の液晶表示装置の動画補正処理ブロックの一例のブロック図である。

【図17】従来の液晶表示装置の動画補正動作の一例の説明図である。

【図18】従来の液晶表示装置の動画補正動作の他の例の説明図である。

【図19】従来の液晶表示装置の動画補正動作の課題説明図である。

【符号の説明】

【0091】

20、30 メモリブロック

21、22 フレームメモリ

23、33 タイミング制御回路

24、24a、24b、35 動画補正処理データ変換部

25 極性反転回路

26 D/A変換器

27 アナログ処理部

28 駆動タイミングパルス生成回路

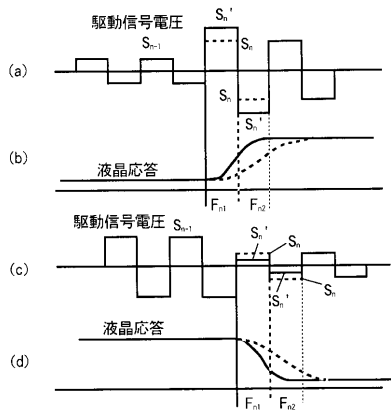
29 液晶パネル

31、32 1/2フレームメモリ

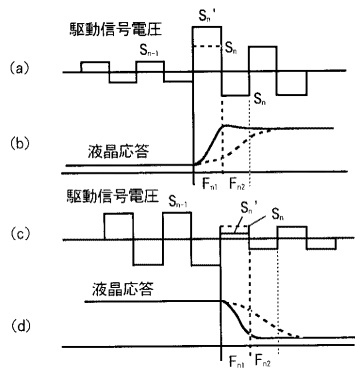
34 データ合成回路

36 データセクタ

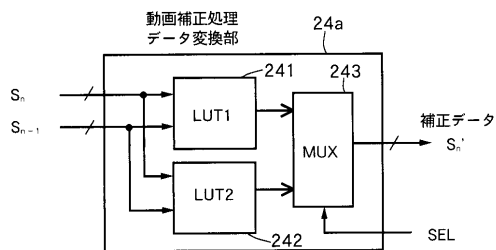
【図 3】



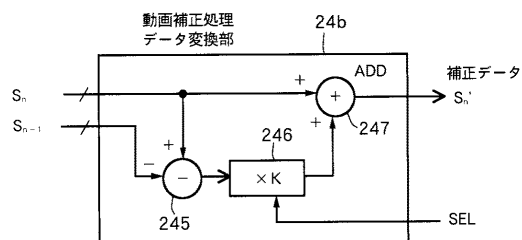
【図 4】



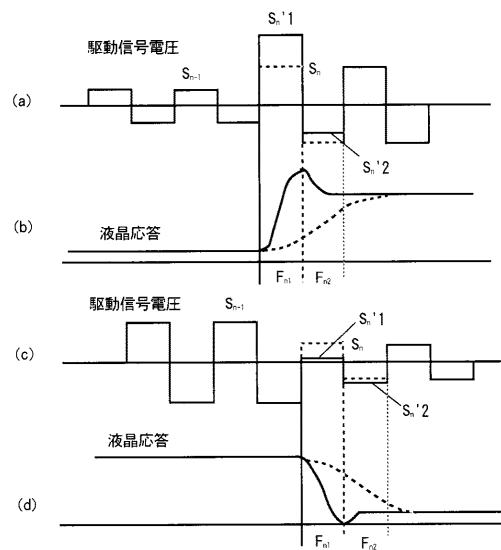
【図 6】



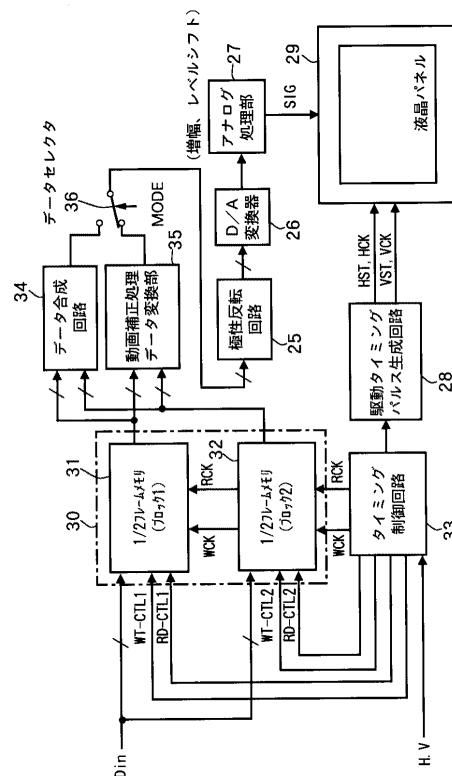
【図 7】



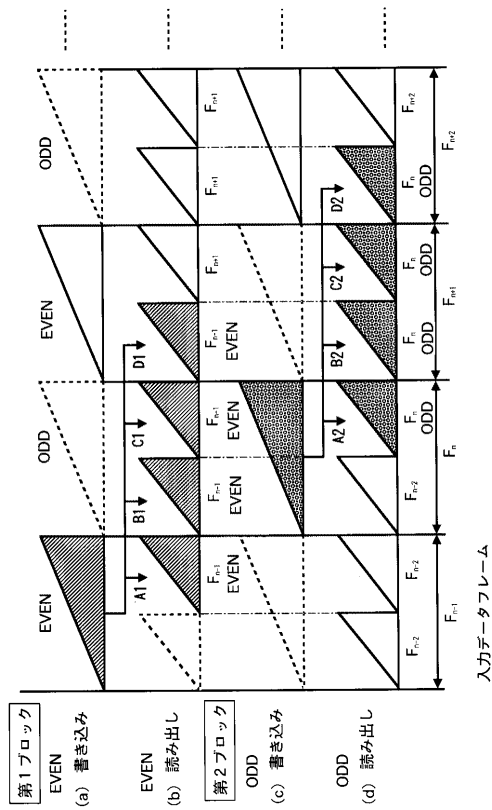
【図 5】



【図 8】



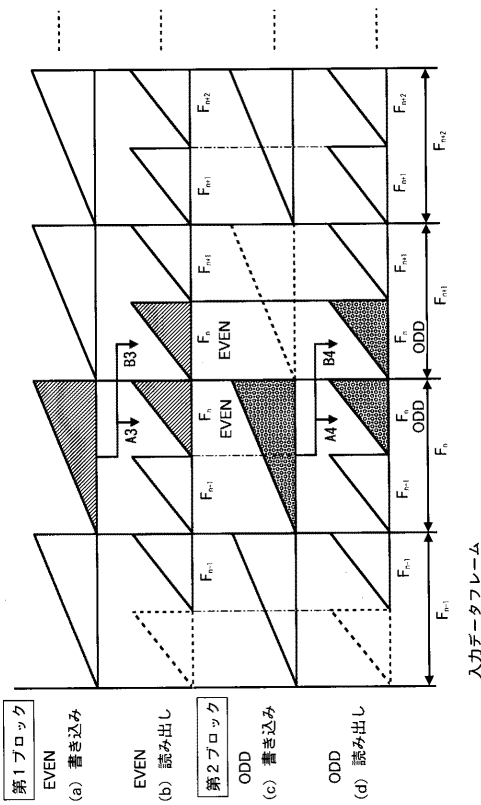
【図 9】



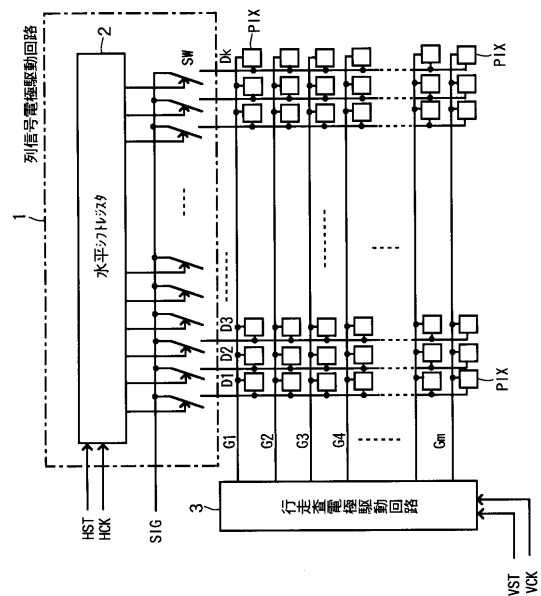
【図 10】

L 1	1		
L 2	1		2
L 3	3		2
L 4	3		4
L 5	5		4
L 6	5		6
L 7	7		6
L 8	7		8

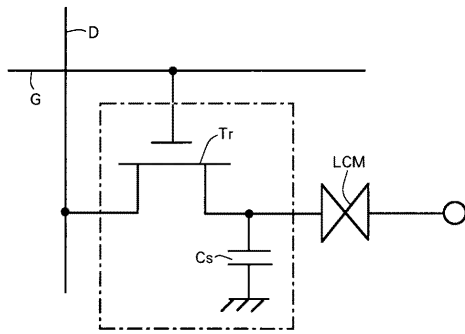
【図 11】



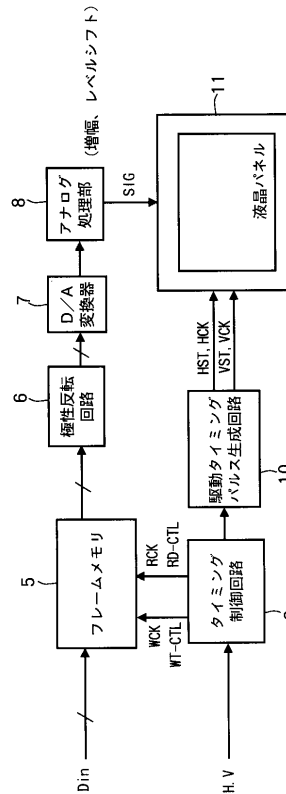
【図 12】



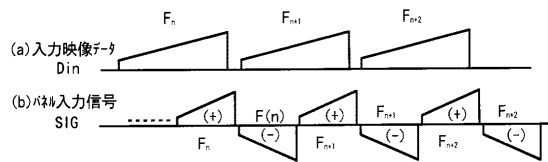
【図 13】



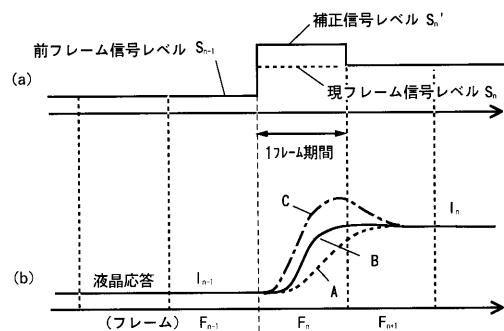
【図 14】



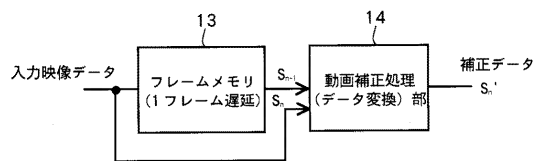
【図 15】



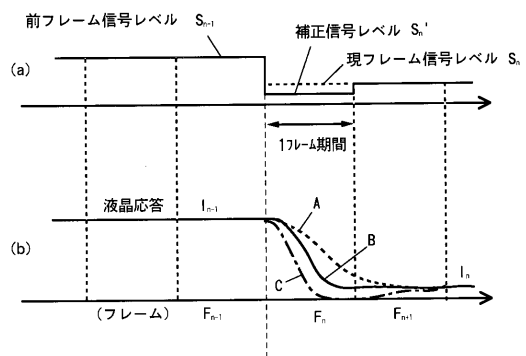
【図 17】



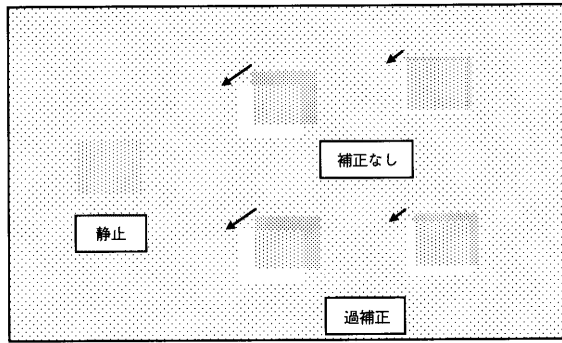
【図 16】



【図 18】



【図 19】



 フロントページの続き
(51) Int.Cl.⁷

F I

テーマコード(参考)

G 0 9 G	3/20	6 2 1 F
G 0 9 G	3/20	6 2 2 N
G 0 9 G	3/20	6 2 3 F
G 0 9 G	3/20	6 3 1 B
G 0 9 G	3/20	6 3 1 D
G 0 9 G	3/20	6 3 1 R
G 0 9 G	3/20	6 4 1 P
G 0 9 G	3/20	6 4 1 R
G 0 9 G	3/20	6 5 0 E
G 0 9 G	3/20	6 5 0 J
G 0 9 G	3/20	6 6 0 W

F ターム(参考) 5C006 AA01 AA02 AA16 AC28 AC29 AC30 AF03 AF04 AF05 AF06
 AF11 AF19 AF27 AF44 AF46 AF71 AF82 BB16 BC13 BC16
 BF02 BF24 BF28 EC11 FA04 FA14 FA16 FA18 FA23 FA29
 FA44
 5C080 AA10 BB05 CC07 DD06 DD08 DD22 EE01 EE19 EE29 FF11
 GG08 GG15 GG17 JJ02 JJ03 JJ04 KK43

【要約の続き】

专利名称(译)	液晶表示装置		
公开(公告)号	JP2005309326A	公开(公告)日	2005-11-04
申请号	JP2004129983	申请日	2004-04-26
[标]申请(专利权)人(译)	日本胜利株式会社		
申请(专利权)人(译)	日本有限公司Victor公司		
[标]发明人	古屋正人		
发明人	古屋 正人		
IPC分类号	G02F1/133 G09G3/20 G09G3/36		
FI分类号	G09G3/36 G02F1/133.570 G09G3/20.611.E G09G3/20.621.B G09G3/20.621.C G09G3/20.621.F G09G3/20.622.N G09G3/20.623.F G09G3/20.631.B G09G3/20.631.D G09G3/20.631.R G09G3/20.641.P G09G3/20.641.R G09G3/20.650.E G09G3/20.650.J G09G3/20.660.W		
F-TERM分类号	2H093/NA15 2H093/NA33 2H093/NC16 2H093/NC22 2H093/NC29 2H093/ND01 2H093/ND04 2H093/ND32 2H093/ND34 2H093/ND60 5C006/AA01 5C006/AA02 5C006/AA16 5C006/AC28 5C006/AC29 5C006/AC30 5C006/AF03 5C006/AF04 5C006/AF05 5C006/AF06 5C006/AF11 5C006/AF19 5C006/AF27 5C006/AF44 5C006/AF46 5C006/AF71 5C006/AF82 5C006/BB16 5C006/BC13 5C006/BC16 5C006/BF02 5C006/BF24 5C006/BF28 5C006/EC11 5C006/FA04 5C006/FA14 5C006/FA16 5C006/FA18 5C006/FA23 5C006/FA29 5C006/FA44 5C080/AA10 5C080/BB05 5C080/CC07 5C080/DD06 5C080/DD08 5C080/DD22 5C080/EE01 5C080/EE19 5C080/EE29 5C080/FF11 5C080/GG08 5C080/GG15 5C080/GG17 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/KK43 2H193/ZC15 2H193/ZE20		
外部链接	Espacenet		

摘要(译)

常规上，由于分别进行用于获得前一帧和当前帧之间的差信息的比较操作和校正数据生成以及子场扩展序列，因此它们所需的存储电路及其控制装置称为数据操作。手段的规模大并且控制变得复杂。帧速率转换单元彼此独立地，然后彼此独立地将写入时的速率写入帧存储器21和22以及第一和第二视频信号数据到帧存储器21和22。是定时控制电路23，其以不同的速率并行读取多次，并将已从帧存储器21和22并行读取的经过速率转换的第一和第二视频信号数据中的一个作为当前帧数据，以及运动图像校正处理数据转换单元24接收另一个作为前一帧数据，并且当这些帧数据的信号电平发生差异时，生成经过校正以强调变化的处理的校正后的处理视频数据。[选型图]图1

