

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-167228

(P2005-167228A)

(43) 公開日 平成17年6月23日(2005.6.23)

(51) Int. Cl. ⁷	F I	テーマコード (参考)
HO 1 L 21/336	HO 1 L 29/78 6 2 7 C	2 H 0 9 2
GO 2 F 1/1368	GO 2 F 1/1368	3 K 0 0 7
HO 1 L 21/288	HO 1 L 21/288 Z	4 M 1 0 4
HO 1 L 21/3205	HO 5 B 33/14 A	5 F 0 3 3
HO 1 L 29/786	HO 1 L 29/78 6 1 2 D	5 F 1 1 0

審査請求 未請求 請求項の数 14 O L (全 30 頁) 最終頁に続く

(21) 出願番号 特願2004-328382 (P2004-328382)
 (22) 出願日 平成16年11月12日 (2004.11.12)
 (31) 優先権主張番号 特願2003-386021 (P2003-386021)
 (32) 優先日 平成15年11月14日 (2003.11.14)
 (33) 優先権主張国 日本国 (JP)

(71) 出願人 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷398番地
 (72) 発明者 神野 洋平
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 藤井 巖
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 Fターム(参考) 2H092 HA04 HA06 JA26 JA33 JA40
 JB57 KA05 KA12 KA18 KA24
 KB13 KB24 MA05 MA08 MA12
 MA30 NA27
 3K007 AB18 BA06 DB03 FA00 FA01
 GA00

最終頁に続く

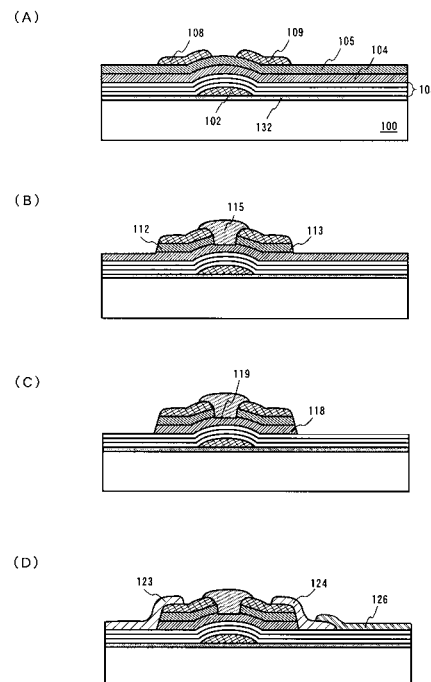
(54) 【発明の名称】 半導体素子及びその作製方法、並びに液晶表示装置及びその作製方法

(57) 【要約】

【課題】 T F T を逆スタガ構造とする場合には、半導体膜及びn型の不純物元素を含む半導体膜を基板全面に形成した後、レジストマスク等を用いてエッチングを行うことにより、島状の半導体領域を形成し、さらに、メタルマスク等を用いてn型の不純物元素を含む半導体膜を分離し、ソース領域及びドレイン領域を形成していた。このように、島状の半導体領域を形成する際には、レジストマスクを露光、現像工程や液滴吐出工程を経て形成する必要があり、工程数、材料の種類を増加を招いていた。

【解決手段】 本発明は、ソース領域及びドレイン領域を形成した後に、チャンネル領域となる部分をチャンネル保護膜として機能する絶縁膜で覆い、島状半導体膜を形成しているため、レジストマスクを設ける必要がなく、メタルマスクのみで半導体素子を作製することができるため、工程を簡略化することができる。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

基板上に形成されたチタン又は酸化チタンを含む層と、
前記層上に形成されたゲート電極層と、
前記ゲート電極層上に形成されたゲート絶縁膜と、
前記ゲート絶縁膜上に形成された半導体膜と、
前記半導体膜上に形成された一对の n 型不純物領域と、
前記一对の n 型不純物領域の間に形成され、かつ前記半導体膜上に形成された絶縁膜と

、
前記一对の n 型不純物領域上に形成された導電層と、
を有することを特徴とする半導体素子。 10

【請求項 2】

基板上に形成されたチタン又は酸化チタンを含む層と、
前記層上に形成されたゲート電極層と、
前記ゲート電極層上に形成されたゲート絶縁膜と、
前記ゲート絶縁膜上に形成された半導体膜と、
前記半導体膜上に形成された一对の n 型不純物領域と、
前記一对の n 型不純物領域の間に形成され、かつ前記半導体膜上に形成された、100
nm 以上の膜厚を有する絶縁膜と、

前記一对の n 型不純物領域上に形成された導電層と、
を有することを特徴とする半導体素子。 20

【請求項 3】

基板上に形成されたチタン又は酸化チタンを含む層と、
前記層上に形成されたゲート電極層と、
前記ゲート電極層上に形成されたゲート絶縁膜と、
前記ゲート絶縁膜上に形成された半導体膜と、
前記半導体膜上に形成された一对の n 型不純物領域と、
前記一对の n 型不純物領域の間に形成され、かつ前記半導体膜上に形成された絶縁膜と

、
前記一对の n 型不純物領域上に形成された導電層と、
を有し、 30

前記絶縁膜が形成された部分の半導体膜の膜厚は、他の半導体膜の膜厚よりも薄く、かつ、

前記絶縁膜が形成された部分の半導体膜の膜厚は、10 nm 以上であることを特徴とする半導体素子。

【請求項 4】

請求項 1 乃至 3 のいずれか一項において、

前記絶縁膜は、ポリイミド、アクリル、又はシリコンと酸素との結合で骨格構造が構成され、置換基に少なくとも水素を含む材料、若しくは置換基にフッ素、アルキル基、または芳香族炭化水素のうち少なくとも一種を有する材料からなることを特徴とする半導体素子。 40

【請求項 5】

基板上に第 1 の導電材料を含む組成物を吐出することによりゲート電極層を形成し、

前記ゲート電極層上にゲート絶縁膜を形成し、

前記ゲート絶縁膜上に半導体膜を形成し、

前記半導体膜上に一導電型の不純物元素を含む半導体膜を形成し、

前記一導電型の不純物元素を含む半導体膜上に、第 2 の導電材料を含む組成物を吐出することにより、ソース電極及びドレイン電極を形成し、

前記ソース電極及びドレイン電極をマスクとして、前記一導電型の不純物元素を含む半導体膜を除去することにより、ソース領域及びドレイン領域を形成し、 50

前記半導体膜のうちチャンネル領域となる部分の上方に、絶縁膜を形成し、

前記ソース電極、ドレイン電極、及び前記絶縁膜をマスクとして、前記半導体膜を除去することにより、島状半導体膜を形成することを特徴とする半導体素子の作製方法。

【請求項 6】

基板上の少なくともゲート電極層が形成される部分に対して、チタン又は酸化チタンを形成し、

前記チタン又は酸化チタンが形成された基板上に、第 1 の導電材料を含む組成物を吐出することによりゲート電極層を形成し、

前記ゲート電極層上にゲート絶縁膜を形成し、

前記ゲート絶縁膜上に半導体膜を形成し、

前記半導体膜上に一導電型の不純物元素を含む半導体膜を形成し、

10

前記一導電型の不純物元素を含む半導体膜上に、第 2 の導電材料を含む組成物を吐出することにより、ソース電極及びドレイン電極を形成し、

前記ソース電極及びドレイン電極をマスクとして、前記一導電型の不純物元素を含む半導体膜を除去することにより、ソース領域及びドレイン領域を形成し、

前記半導体膜のうちチャンネル領域となる部分の上方に、絶縁膜を形成し、

前記ソース電極、ドレイン電極、及び前記絶縁膜をマスクとして、前記半導体膜を除去することにより、島状半導体膜を形成することを特徴とする半導体素子の作製方法。

【請求項 7】

請求項 5 又は 6 のいずれか一項において、

20

前記絶縁膜は、ポリイミド、アクリル、又はシリコンと酸素との結合で骨格構造が構成され、置換基に少なくとも水素を含む材料、若しくは置換基にフッ素、アルキル基、または芳香族炭化水素のうち少なくとも一種を有する材料からなることを特徴とする半導体素子の作製方法。

【請求項 8】

基板上に形成されたチタン又は酸化チタンを含む層と、

前記層上に形成されたゲート電極層と、

前記ゲート電極層上に形成されたゲート絶縁膜と、

前記ゲート絶縁膜上に形成された半導体膜と、

前記半導体膜上に形成された一对の n 型不純物領域と、

30

前記一对の n 型不純物領域の間に形成され、かつ前記半導体膜上に形成された絶縁膜と、

前記一对の n 型不純物領域上に形成された導電層と、

前記導電層と接続された画素電極と、

を有することを特徴とする液晶表示装置。

【請求項 9】

基板上に形成されたチタン又は酸化チタンを含む層と、

前記層上に形成されたゲート電極層と、

前記ゲート電極層上に形成されたゲート絶縁膜と、

前記ゲート絶縁膜上に形成された半導体膜と、

40

前記半導体膜上に形成された一对の n 型不純物領域と、

前記一对の n 型不純物領域の間に形成され、かつ前記半導体膜上に形成された、100 nm 以上の膜厚を有する絶縁膜と、

前記一对の n 型不純物領域上に形成された導電層と、

前記導電層と接続された画素電極と、

を有することを特徴とする液晶表示装置。

【請求項 10】

基板上に形成されたチタン又は酸化チタンを含む層と、

前記層上に形成されたゲート電極層と、

前記ゲート電極層上に形成されたゲート絶縁膜と、

50

前記ゲート絶縁膜上に形成された半導体膜と、
 前記半導体膜上に形成された一对のn型不純物領域と、
 前記一对のn型不純物領域の間に形成され、かつ前記半導体膜上に形成された絶縁膜と

、
 前記一对のn型不純物領域上に形成された導電層と、
 前記導電層と接続された画素電極と、
 を有し、

前記絶縁膜が形成された部分の半導体膜の膜厚は、他の半導体膜の膜厚よりも薄く、かつ、

前記絶縁膜が形成された部分の半導体膜の膜厚は、10nm以上であることを特徴とする液晶表示装置。 10

【請求項11】

請求項8乃至10のいずれか一項において、

前記絶縁膜は、ポリイミド、アクリル、又はシリコンと酸素との結合で骨格構造が構成され、置換基に少なくとも水素を含む材料、若しくは置換基にフッ素、アルキル基、または芳香族炭化水素のうち少なくとも一種を有する材料からなることを特徴とする半導体素子。

【請求項12】

基板上に第1の導電材料を含む組成物を吐出することによりゲート電極層を形成し、

前記ゲート電極層上にゲート絶縁膜を形成し、 20

前記ゲート絶縁膜上に半導体膜を形成し、

前記半導体膜上に一導電型の不純物元素を含む半導体膜を形成し、

前記一導電型の不純物元素を含む半導体膜上に、第2の導電材料を含む組成物を吐出することにより、ソース電極及びドレイン電極を形成し、

前記ソース電極及びドレイン電極をマスクとして、前記一導電型の不純物元素を含む半導体膜を除去することにより、ソース領域及びドレイン領域を形成し、

前記半導体膜のうちチャンネル領域となる部分の上方に、絶縁膜を形成し、

前記ソース電極、ドレイン電極、及び前記絶縁膜をマスクとして、前記半導体膜を除去することにより、島状半導体膜を形成し、

前記ソース電極又はドレイン電極と電気的に接続される画素電極を形成することを特徴とする液晶表示装置の作製方法。 30

【請求項13】

基板上的少なくともゲート電極層が形成される部分に対して、チタン又は酸化チタンを形成し、

前記チタン又は酸化チタンが形成された基板上に、第1の導電材料を含む組成物を吐出することによりゲート電極層を形成し、

前記ゲート電極層上にゲート絶縁膜を形成し、

前記ゲート絶縁膜上に半導体膜を形成し、

前記半導体膜上に一導電型の不純物元素を含む半導体膜を形成し、

前記一導電型の不純物元素を含む半導体膜上に、第2の導電材料を含む組成物を吐出することにより、ソース電極及びドレイン電極を形成し、 40

前記ソース電極及びドレイン電極をマスクとして、前記一導電型の不純物元素を含む半導体膜を除去することにより、ソース領域及びドレイン領域を形成し、

前記半導体膜のうちチャンネル領域となる部分の上方に、絶縁膜を形成し、

前記ソース電極、ドレイン電極、及び前記絶縁膜をマスクとして、前記半導体膜を除去することにより、島状半導体膜を形成し、

前記ソース電極又はドレイン電極と電気的に接続される画素電極を形成することを特徴とする液晶表示装置の作製方法。

【請求項14】

請求項12又は13のいずれか一項において、

前記絶縁膜は、ポリイミド、アクリル、又はシリコンと酸素との結合で骨格構造が構成され、置換基に少なくとも水素を含む材料、若しくは置換基にフッ素、アルキル基、または芳香族炭化水素のうち少なくとも一種を有する材料からなることを特徴とする液晶表示装置の作製方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、インクジェット法に代表される液滴吐出法を用いた半導体素子及びその作製方法、特に、液晶ディスプレイ、ELディスプレイに代表される表示装置に用いられる半導体素子及びその作製方法に関するものである。 10

【背景技術】

【0002】

半導体素子の作製において、設備の低コスト化、工程の簡略化を目的として、半導体素子に用いられる薄膜や配線のパターン形成に、液滴吐出装置を用いることが検討されている。

【0003】

その際、半導体素子を構成するゲート電極、走査線、信号線、画素電極等の各種配線等の形成にあたっては、液滴吐出装置のノズルから導電材料を溶媒に溶解又は分散させた組成物を、基板や膜の上方に吐出することによって該各種配線を直接描画するようにして形成する方法が用いられていた（特許文献1参照）。 20

【特許文献1】特開2003-126760

【発明の開示】

【発明が解決しようとする課題】

【0004】

しかし、アクティブマトリクス型の液晶ディスプレイ（LCD）や、ELディスプレイに代表される表示装置に用いられる薄膜トランジスタ（TFT）等の半導体素子を作製するにあたっては、従来の成膜工程及びパターンニング、エッチング工程の繰り返しによって作製されるTFTとは異なった、液滴吐出法に最適な構造及び工程の確立が求められている。特に、TFTが形成される基板のサイズが一辺数m以上のものへと移行して行くにつれて、液滴吐出法を用いて作製されるTFTの構造及び工程の簡略化が求められている。 30

【0005】

特に、上記TFTをチャンネル保護型、チャンネルエッチ型に代表される逆スタガ型（ボトムゲート型）の構造とする場合には、半導体膜及びn型の不純物元素を含む半導体膜を基板全面に形成した後、レジストマスク等を用いてエッチングを行うことにより、島状の半導体領域を形成し、さらに、メタルマスク等を用いてn型の不純物元素を含む半導体膜を分離し、ソース領域及びドレイン領域を形成していた。このように、島状の半導体領域を形成する際には、レジストマスクを露光、現像工程や液滴吐出工程を経て形成する必要があり、工程数、材料の種類を増加を招いていた。

【0006】

本発明は、このような問題点を解決すべくなされたものであり、積極的に液滴吐出法を用いるに適した半導体素子の作製方法を提案するものである。これによって、あらゆる面積の基板に対応でき、しかも、高スループット、高歩留まり、短縮されたタクトタイムで、安定性の高い半導体素子を作製することができる。 40

【課題を解決するための手段】

【0007】

上述した課題を解決すべく、本発明においては以下の構成を備えている。

【0008】

本発明に係る半導体素子の作製方法は、基板上に第1の導電材料を含む組成物を吐出することによりゲート電極層を形成し、前記ゲート電極層上にゲート絶縁膜を形成し、前記 50

ゲート絶縁膜上に半導体膜を形成し、前記半導体膜上に一導電型の不純物元素を含む半導体膜を形成し、前記一導電型の不純物元素を含む半導体膜上に、第2の導電材料を含む組成物を吐出することにより、ソース電極及びドレイン電極を形成し、前記ソース電極及びドレイン電極をマスクとして、前記一導電型の不純物元素を含む半導体膜を除去することにより、ソース領域及びドレイン領域を形成し、前記半導体膜のうちチャンネル領域となる部分の上方に、絶縁膜を形成し、前記ソース電極、ドレイン電極及び前記絶縁膜をマスクとして、前記半導体膜を除去することにより、島状半導体膜を形成することを特徴としている。

【0009】

すなわち、まず、基板上に液滴吐出法を用いてゲート電極層を形成し、さらにゲート絶縁膜、半導体膜、一導電型の不純物元素を含む半導体膜（以下、単に「一導電型半導体膜」という。）を、CVD法やスパッタ法等の薄膜形成法によって積層形成した後、液滴吐出法を用いてソース電極及びドレイン電極を形成する。次に、該ソース電極及びドレイン電極をマスクとして、露出した一導電型半導体膜をエッチング等によって除去することにより、ソース領域及びドレイン領域を形成する。次に、半導体膜のチャンネル領域となる部分が除去されるのを防止するため、液滴吐出法等で形成可能な絶縁膜で該部分を覆っておく。ここで、該絶縁膜はチャンネル保護膜として機能する。さらに、ソース電極、ドレイン電極及び該絶縁膜をマスクとして、露出した半導体膜をエッチング等によって除去することによって島状半導体膜を形成する。以上の工程を経て、外見上はチャンネル保護型を有する半導体素子を得ることができ、さらにソース電極又はドレイン電極に画素電極を接続し、液晶素子や有機EL等を用いた発光素子を設けることで、所望の液晶表示装置や、発光装置を得ることができる。

【0010】

また、本発明の他の構成としては、上記発明において、基板上に第1の導電材料を含む組成物を吐出する前に、基板上的少なくともゲート電極層が形成される部分に対して、前処理を行うことを特徴としている。前処理としては、チタン、酸化チタン等を含む層の形成、ポリイミド、アクリル、又はシリコンと酸素との結合で骨格構造が構成され、置換基に少なくとも水素を含む材料、若しくは置換基にフッ素、アルキル基、または芳香族炭化水素のうち少なくとも一種を有する材料からなる膜の形成、プラズマ処理等が挙げられる。なお、プラズマ処理の場合には、大気圧下で行うことが望ましい。

【0011】

また、本発明の他の構成としては、上記発明において、ソース領域及びドレイン領域を形成した後、前記ソース電極及びドレイン電極上に、第1の絶縁膜をCVD法又はスパッタ法によって形成し、前記半導体膜のうちチャンネル領域となる部分の上方で、かつ第1の絶縁膜上に、第2の絶縁膜を液滴吐出法によって形成し、チャンネル保護膜として機能する絶縁膜を2層構造とすることを特徴としている。ここで、第2の絶縁膜は、チャンネル保護膜として機能するのみならず、CVD法等によって基板全面に形成された第1の保護膜を除去する際のマスクとしても機能する。なお、第1の絶縁膜としては、珪素を含む絶縁膜を用いることができるが、好ましくは、窒化珪素膜を用いるのがよい。また、第2の絶縁膜としては、液滴吐出法で選択的に形成可能な絶縁膜であれば種類は問わないが、ポリイミド、アクリル、又はシリコンと酸素との結合で骨格構造が構成され、置換基に少なくとも水素を含む材料、若しくは置換基にフッ素、アルキル基、または芳香族炭化水素のうち少なくとも一種を有する材料からなる膜を用いることが望ましい。なお、該絶縁膜は2層構造に限らず、3層以上に積層させてもよい。

【0012】

ここで、シリコンと酸素との結合で骨格構造が構成され、置換基に少なくとも水素を含む材料、若しくは置換基にフッ素、アルキル基、または芳香族炭化水素のうち少なくとも一種を有する材料は、シロキサン系樹脂と呼ばれ、耐熱性平坦化膜又は耐熱性層間膜（H R I L ; Heat Resistant Interlayer）の一種である。以後、耐熱性平坦化膜、耐熱性層間膜、耐熱性樹脂又はH R I Lと言うときは、シロキサン系樹脂を含むものとする。

【0013】

なお、上記導電材料や絶縁膜を形成する際に用いる液滴吐出法としては、インクジェット法のみならず、形成する膜の性質に応じて、オフセット印刷法や、スクリーン印刷法を採用しても構わない。

【0014】

また、本発明に係る半導体素子は、基板上に形成されたチタン又は酸化チタンを含む層と、前記層上に形成されたゲート電極層と、前記ゲート電極層上に形成されたゲート絶縁膜と、前記ゲート絶縁膜上に形成された半導体膜と、前記半導体膜上に形成された一对のn型不純物領域と、前記一对のn型不純物領域の間に形成され、かつ前記半導体膜上に形成された絶縁膜と、前記一对のn型不純物領域上に形成された導電層と、を有することを特徴としている。

10

【0015】

好ましくは、前記絶縁膜は、チャンネル保護膜としての機能を果たすため、100nm以上の膜厚を有しているのがよい。また、該絶縁膜は積層構造としてもよい。例えば、下層を窒化珪素膜のようなCVD法やスパッタ法で形成可能な膜とし、上層をポリイミド、アクリルや、シロキサン等の耐熱性樹脂のような液滴吐出法で形成可能な膜とすることができ、また、上下層とも、液滴吐出法で形成可能な膜としてもよい。また、前記絶縁膜が形成された部分の半導体膜の膜厚は、好ましくは、10nm以上を有しているのが望ましい。

【発明の効果】

20

【0016】

従来は、島状半導体膜を形成してから一導電型半導体膜をエッチング除去し、ソース領域及びドレイン領域を形成していたため、島状半導体膜を形成する際に、レジストマスクを設けることが必須であった。それに対し本発明は、上記方法を用いて、ソース領域及びドレイン領域を形成した後に、チャンネル領域となる部分をチャンネル保護膜として機能する絶縁膜で覆い、島状半導体膜を形成しているため、レジストマスクを設ける必要がなく、工程を簡略化することができる。このように、本発明は、ソース電極及びドレイン電極のメタルマスクを用いて一導電型半導体膜を除去し、ソース領域及びドレイン領域を形成するというチャンネルエッチ型特有の方法と、その後、チャンネル領域が除去されるのを防ぐためにチャンネル保護膜を形成するというチャンネル保護型特有の方法とを混合させた、新たなタイプの半導体素子の形成手段を有することを特徴としている。そして、本発明は、上記構成を備えていることにより、レジストマスクを全く用いることなく、ソース電極及びドレイン電極のメタルマスクのみで半導体素子を作製することができる。

30

【0017】

また、基板上に第1の導電材料を含む組成物を吐出する前に、基板上的少なくともゲート電極層が形成される部分に対して、酸化チタン(TiO_x)形成等の前処理を行うことにより、基板と液滴吐出法によって吐出形成されたゲート電極層等の導電膜との密着性を高めることができる。

【0018】

また、前記絶縁膜が形成された部分の半導体膜の膜厚が、他の半導体膜の膜厚よりも薄くすることにより、チャンネルエッチ工程において、n型不純物領域をソース領域と、ドレイン領域に確実に分離することができ、また、前記絶縁膜が形成された部分の半導体膜の膜厚を、10nm以上とすることにより、十分に大きなチャンネル移動度を確保することができる。

40

【0019】

また、前記絶縁膜の膜厚を100nm以上とすることにより、チャンネル保護膜としての機能を高め、チャンネル領域の損傷を確実に防止することができ、移動度の高い安定した半導体素子を提供することができる。また、前記絶縁膜を、第1の絶縁膜と第2の絶縁膜の2層構造、あるいはそれ以上の多層構造とすることも、上記効果を確保する上で有効である。

50

【発明を実施するための最良の形態】

【0020】

本発明を用いた半導体素子、及びその作製方法について、図1を参照して説明する。

【0021】

まず、基板100上の少なくともゲート電極層が形成される部分に、チタン、酸化チタン等の所謂光触媒物質や、ポリイミド、アクリルや、シロキサン等の耐熱性樹脂を形成する。ここでは、酸化チタン膜132を形成した。又は、プラズマ処理を施してもよい。これらの前処理によって、後に導電材料を含む組成物を吐出することによって形成される導電膜と基板100との密着性を高めることができる。また、酸化チタンを形成した場合には、光の透過率を向上させることができる。酸化チタンは直接形成してもよいし、チタンを成膜した後に、導電膜を焼成する際に同時に焼成することによっても得ることができる。なお、チタン、酸化チタンの他にも、チタン酸ストロンチウム(SrTiO_3)、セレン化カドミウム(CdSe)、タンタル酸カリウム(KTaO_3)、硫化カドミウム(CdS)、酸化ジルコニウム(ZrO_2)、酸化ニオブ(Nb_2O_5)、酸化亜鉛(ZnO)、酸化鉄(Fe_2O_3)、酸化タングステン(WO_3)等の光触媒物質を形成してもよい。上記前処理は、基板と導電膜との密着性を向上させるため、できるだけ行うことが望ましい。

10

【0022】

次に、基板100上に、前記前処理を行った場合には、該処理が施された部分の上方に、第1の導電材料を含む組成物を吐出することによりゲート電極層102を形成する。ここで、ゲート電極層とは、少なくともTFTのゲート電極部を含む一層又は多層の導電体からなる層を指す。ゲート電極層は、該組成物を吐出した後、該組成物に対し100、3分間の乾燥を行い、さらに窒素又は酸素雰囲気下において、200~350で15分間~30分間の焼成を行うことにより形成するが、この条件に限定されるものではない。

20

【0023】

また、第1の導電材料としては、導電膜の機能に応じて種々の材料を選択することができるが、代表的なものとして、銀(Ag)、銅(Cu)、金(Au)、ニッケル(Ni)、白金(Pt)、クロム(Cr)、スズ(Sn)、パラジウム(Pd)、イリジウム(Ir)、ロジウム(Rh)、ルテニウム(Ru)、レニウム(Re)、タングステン(W)、アルミニウム(Al)、タンタル(Ta)、インジウム(In)、テルル(Te)、モリブデン(Mo)、カドミウム(Cd)、亜鉛(Zn)、鉄(Fe)、チタン(Ti)、シリコン(Si)、ゲルマニウム(Ge)、ジルコニウム(Zr)、バリウム(Ba)、アンチモン鉛、酸化スズ・アンチモン、フッ素ドーパ酸化亜鉛、炭素、グラファイト、グラッシーカーボン、リチウム、ベリリウム、ナトリウム、マグネシウム、カリウム、カルシウム、スカンジウム、マンガン、ジルコニウム、ガリウム、ニオブ、ナトリウム、ナトリウム-カリウム合金、マグネシウム/銅混合物、マグネシウム/銀混合物、マグネシウム/アルミニウム混合物、マグネシウム/インジウム混合物、アルミニウム/酸化アルミニウム混合物、リチウム/アルミニウム混合物等、ハロゲン化銀の微粒子等、又は分散性ナノ粒子、あるいは、透明導電膜として用いられる酸化インジウムスズ(ITO : Indium Tin Oxide)、酸化亜鉛(ZnO : Zinc Oxide)、ガリウムを添加した酸化亜鉛(GZO)、酸化インジウムに2~20%の酸化亜鉛を混合した酸化インジウム亜鉛(IZO : Indium Zinc Oxide)、有機インジウム、有機スズ、窒化チタン等を用いることができる。

30

40

【0024】

また、特に透明導電膜として用いられる材料に対しては、珪素又は酸化珪素を、上記導電材料に含有させて用いてもよい。例えば、ITOに酸化珪素を含有させた導電材料(以下、便宜的に「ITSO」と呼ぶ。)を用いることができる。また、これらの導電材料からなる層を積層させて所望の導電膜を形成してもよい。

【0025】

また、液滴吐出手段に用いるノズルの径は、0.1~50 μm (好適には0.6~26 μm)に設定し、ノズルから吐出される組成物の吐出量は0.00001pl~50pl

50

(好適には0.0001~10pl)に設定する。この吐出量は、ノズルの径の大きさに比例して増加する。また、被処理物とノズル吐出口との距離は、所望の箇所に滴下するために、できる限り近づけておくことが好ましく、好適には0.1~2mm程度に設定する。

【0026】

なお、吐出口から吐出する組成物は、比抵抗値を考慮して、金、銀、銅のいずれかの材料を溶媒に溶解又は分散させたものを用いることが好ましい。より好ましくは、低抵抗な銀又は銅を用いるとよい。但し、銅を用いる場合には、不純物対策のため、合わせてバリア膜を設けるとよい。溶媒は、酢酸ブチル、酢酸エチル等のエステル類、イソプロピルアルコール、エチルアルコール等のアルコール類、メチルエチルケトン、アセトン等の有機溶剤等を用いればよい。ここで、銅を配線として用いる場合のバリア膜としては、窒化シリコン、酸化窒化シリコン、窒化アルミニウム、窒化チタン、窒化タンタル(TaN: Tantalum Nitride)など窒素を含む絶縁性又は導電性の物質を用いると良く、これらを液滴吐出法で形成しても良い。

10

【0027】

なお、液滴吐出法に用いる組成物の粘度は300mPa・s以下が好適であり、これは、乾燥を防止し、吐出口から組成物を円滑に吐出できるようにするためである。なお、用いる溶媒や用途に合わせて、組成物の粘度、表面張力等は適宜調整するとよい。一例として、ITO、ITSO、有機インジウム、有機スズを溶媒に溶解又は分散させた組成物の粘度は5~50mPa・s、銀を溶媒に溶解又は分散させた組成物の粘度は5~20mPa・s、金を溶媒に溶解又は分散させた組成物の粘度は10~20mPa・sである。

20

【0028】

各ノズルの径や所望のパターン形状などに依存するが、ノズルの目詰まり防止や高精細なパターンの作製のため、導電材料の粒子の径はなるべく小さい方が好ましく、好適には粒径0.1μm以下が好ましい。組成物は、電解法、アトマイズ法又は湿式還元法等の公知の方法で形成されるものであり、その粒子サイズは、一般的に約0.5~10μmである。ただし、ガス中蒸発法で形成すると、分散剤で保護されたナノ粒子は約7nmと微細であり、またこのナノ粒子は、被覆剤を用いて各粒子の表面を覆うと、溶剤中に凝集がなく、室温で安定に分散し、液体とほぼ同じ挙動を示す。したがって、被覆剤を用いることが好ましい。

30

【0029】

また、一導電材料の周囲を他の導電材料で覆った粒子を含む組成物を吐出形成して、ゲート電極層を形成してもよい。この際、両導電材料の間にバッファ層を設けておくのが望ましい。例えば、Cuの周りをAgで覆った粒子において、CuとAgの間にNi又はNiBからなるバッファ層を設けた粒子構造が挙げられる。

【0030】

なお、導電材料を含む組成物の焼成工程において、分圧比で10~30%の酸素を混合させたガスを積極的に用いることにより、ゲート電極層を構成する導電膜の抵抗率を下げ、かつ、該導電膜の薄膜化、平滑化を図ることができる。ここで、上記焼成の前後における導電膜の変化の様子を、図8を用いて概説する。まず、図8(A)は、Agのような導電材料を含むナノペースト502を、ノズル501からガラス基板500上に吐出形成した状態を示している。ナノペーストは、導電材料を有機溶剤に分散又は溶解させたものであるが、他にも分散剤や、バインダーと呼ばれる熱硬化性樹脂が含まれている。特にバインダーに関しては、焼成時にクラックや不均一な焼きムラが発生するのを防止する働きを持つ。そして、乾燥又は焼成工程により、有機溶剤の蒸発、分散剤の分解除去及びバインダーによる硬化収縮が同時に進行することにより、ナノ粒子同士が融合し、ナノペーストが硬化する。この際、ナノ粒子は、数十~百数十nmまで成長し、近接する成長粒子同士で融着、及び互いに連鎖することにより、金属連鎖体を形成する。一方、残った有機成分の殆ど(約80~90%)は、金属連鎖体の外部に押し出され、結果として、金属連鎖体を含む導電膜503と、その外側を覆う有機成分からなる膜504が形成される(図8(

40

50

B))。そして、有機成分からなる膜504は、ナノペースト502を窒素及び酸素を含む雰囲気下で焼成する際に、気体中に含まれる酸素と、有機成分からなる膜504中に含まれる炭素や水素などが反応することにより、除去することができる。また、焼成雰囲気下に酸素が含まれていない場合には、別途、酸素プラズマ処理等によって有機成分からなる膜504を除去することができる(図8(C))。このように、ナノペーストを窒素及び酸素を含む雰囲気下で焼成、又は乾燥後酸素プラズマで処理することによって、有機成分からなる膜504は除去されるため、残存した金属連鎖体を含む導電膜503の平滑化、薄膜化、低抵抗化を図ることができる。

【0031】

なお、導電材料を含む組成物を減圧下で吐出することにより組成物中の溶媒が揮発するため、後の加熱処理(乾燥又は焼成)時間を短縮することもできる。 10

【0032】

また、上記乾燥及び焼成工程に加えて、さらに表面を平滑化、平坦化するための処理を行ってもよい。該処理としては、CMP(化学的機械的研磨)法や、該導電膜上に平坦性を有する絶縁膜を形成した後に、エッチングすることによって該導電膜を平坦化する方法(エッチバック法と呼ばれる。)等を用いることができる。

【0033】

なお、基板としては、ガラス基板、石英基板、アルミナなど絶縁物質で形成される基板、後工程の処理温度に耐え得る耐熱性を有するプラスチック基板等を用いることができる。この場合、酸化シリコン(SiO_x)、窒化シリコン(SiN_x)、酸化窒化シリコン(SiO_xN_y)($x > y$)、窒化酸化シリコン(SiN_xO_y)($x > y$)など($x, y = 1, 2, \dots$)、基板側から不純物などの拡散を防止するための下地絶縁膜を形成しておいてもよい。また、ステンレスなどの金属または半導体基板などの表面に酸化シリコンや窒化シリコンなどの絶縁膜を形成した基板なども用いることができる。 20

【0034】

次に、ゲート電極層上にゲート絶縁膜103を形成する。ゲート絶縁膜はプラズマCVD法又はスパッタリング法などの薄膜形成法を用い、窒化珪素、酸化珪素、窒化酸化珪素又は酸化窒化珪素を含む膜を、単層で、又は積層させて形成することが好ましい。ここでは、基板側から酸化珪素膜、窒化珪素膜、酸化珪素膜の3層構造としたが、この構造、材料、方法に限定されるものではない。 30

【0035】

次に、ゲート絶縁膜103上に、半導体膜104を形成する。半導体膜としては、アモルファス半導体、結晶性半導体、又はセミアモルファス半導体で形成する。いずれも、シリコン、シリコン・ゲルマニウム(SiGe)等を主成分とする半導体膜を用いることができる。また、半導体膜は、プラズマCVD法等によって形成することができる。なお、半導体膜の膜厚は、10~100nmとするのが望ましい。

【0036】

ここで、上記セミアモルファス半導体のうち、SAS(セミアモルファスシリコン)について簡単に説明する。SASは、珪化物気体をグロー放電分解することにより得ることができる。代表的な珪化物気体としては、 SiH_4 であり、その他にも Si_2H_6 、 SiH_2Cl_2 、 SiHCl_3 、 SiCl_4 、 SiF_4 などを用いることができる。この珪化物気体を水素、水素とヘリウム、アルゴン、クリプトン、ネオンから選ばれた一種または複数種の希ガス元素で希釈して用いることでSASの形成を容易なものとするすることができる。希釈率は10倍~1000倍の範囲で珪化物気体を希釈することが好ましい。勿論、グロー放電分解による被膜の反応生成は減圧下で行うが、圧力は概略0.1Pa~133Paの範囲で行えば良い。グロー放電を形成するための電力は1MHz~120MHz、好ましくは13MHz~60MHzの高周波電力を供給すれば良い。基板加熱温度は300度以下が好ましく、100~200度の基板加熱温度が推奨される。 40

【0037】

また、珪化物気体中に、 CH_4 、 C_2H_6 などの炭化物気体、 GeH_4 、 GeF_4 などのゲ 50

ルマニウム化気体を混入させて、エネルギーバンド幅を $1.5 \sim 2.4 \text{ eV}$ 、若しくは $0.9 \sim 1.1 \text{ eV}$ に調節しても良い。

【0038】

また、SASは、価電子制御を目的とした不純物元素を意図的に添加しないときに弱いn型の電気伝導性を示す。これは、アモルファス半導体を成膜するときよりも高い電力のグロー放電を行うため酸素が半導体膜中に混入しやすいためである。そこで、TFIのチャンネル形成領域を設ける第1の半導体膜に対しては、p型を付与する不純物元素を、この成膜と同時に、或いは成膜後に添加することで、しきい値制御をすることが可能となる。p型を付与する不純物元素としては、代表的には硼素であり、 B_2H_6 、 BF_3 などの不純物気体を $1 \text{ ppm} \sim 1000 \text{ ppm}$ の割合で珪化物気体に混入させると良い。例えば、p型を付与する不純物元素としてボロンを用いる場合、該ボロンの濃度を $1 \times 10^{14} \sim 6 \times 10^{16} \text{ atoms/cm}^3$ とすると良い。なお、上記SASでチャンネル形成領域を構成することにより $1 \sim 10 \text{ cm}^2/\text{V} \cdot \text{sec}$ の電界効果移動度を得ることができる。

10

【0039】

また、結晶性半導体膜は、アモルファス半導体膜をニッケル等の触媒を含む溶液で処理した後、 $500 \sim 750$ の熱結晶化工程によって結晶質シリコン半導体膜を得、さらにレーザー結晶化を行って結晶性の改善を施すことによって得ることができる。

【0040】

また、ジシラン (Si_2H_6) とフッ化ゲルマニウム (GeF_4) の原料ガスとして、LPCVD (減圧CVD) 法によって、多結晶半導体膜を直接形成することによっても、結晶性半導体膜を得ることができる。ガス流量比は、 $\text{Si}_2\text{H}_6/\text{GeF}_4 = 20/0.9$ 、成膜温度は $400 \sim 500$ 、キャリアガスとしてHe又はArを用いたが、これに限定されるものではない。

20

【0041】

次に、半導体膜104上に、n型半導体膜105を形成する。ここで、n型の不純物元素としては、砒素 (As)、燐 (P) を用いることができる。例えば、n型の半導体膜を形成する場合、 SiH_4 、 H_2 、 PH_3 (フォスフィン) の混合ガスを、プラズマCVD法を用いてグロー放電分解することによって、n型 (n+) のシリコン膜を形成することができる。また、n型半導体膜105の代わりに、硼素 (B) のようなp型不純物元素を含む半導体膜を用いてもよい。

30

【0042】

次に、n型半導体膜105上に、第2の導電材料を含む組成物を吐出することにより、ソース電極108及びドレイン電極109を形成する。第2の導電材料、導電粒子構造、吐出条件、乾燥、焼成条件等としては、上記第1の導電材料において示したもののの中から適宜採用することができる。なお、第1及び第2の導電材料や粒子構造は同じでもよいし、異なってもよい (以上、図1(A))。

【0043】

なお、図示しないが、n型半導体膜105上に、第2の導電材料を含む組成物を吐出する前に、n型半導体膜105と、ソース電極108及びドレイン電極109との密着性を向上させるための前処理を行ってもよい。これは、ゲート電極層102を形成する際の前処理と同様に行えばよい。

40

【0044】

次に、ソース電極108及びドレイン電極109をマスクとして、n型半導体膜105をエッチングし、ソース領域112、ドレイン領域113を形成する。ここでは、プラズマエッチングを採用し、エッチング用ガスとしては、 Cl_2 、 BCl_3 、 SiCl_4 もしくは CCl_4 などを代表とする塩素系ガス、 CF_4 、 SF_6 、 NF_3 、 CHF_3 などを代表とするフッ素系ガス、あるいは O_2 を用いたが、これらに限定されるものではない。なお、該エッチングは、大気圧プラズマを利用して行うこともできる。この際、エッチングガスとしては、 CF_4 と O_2 の混合ガスを用いるのがよい。なお、n型半導体膜105と、半導体膜104が、同じ半導体を用いている場合には、n型半導体膜105をエッチングする際

50

に半導体膜104もエッチング除去されてしまうので、エッチレートや時間には注意する必要がある。ただし、図1(B)に示すように、半導体膜104の一部がエッチングされていても、チャンネル領域の半導体膜の厚さが5nm以上、好ましくは10nm以上、さらに好ましくは50nm以上であれば、TFTとして十分な移動度を確保することができる。

【0045】

次に、半導体膜104のチャンネル領域となる部分の上方に、絶縁膜115を液滴吐出法によって形成する。絶縁膜115は、チャンネル保護膜として機能するため、吐出する組成物としては、シロキサン等の耐熱性樹脂、アクリル、ベンゾシクロブテン、ポリアミド、ポリイミド、ベンゾイミダゾール又はポリビニルアルコール等の耐エッチング性、絶縁性を有するものを選択する。好適には、シロキサン、ポリイミドを用いると良い。また、チャンネル領域をオーバーエッチングから保護するために、絶縁膜115の厚さは100nm以上、好ましくは200nm以上の厚さとするのが望ましい(以上、図1(B))。したがって、図1のように、絶縁膜115は、ソース電極108、ドレイン電極109上に盛り上がるように形成しても良い。

10

【0046】

次に、ソース電極108、ドレイン電極109及び絶縁膜115をマスクとして半導体膜104をエッチングし、島状半導体膜118を形成する。ここでは、プラズマエッチングを採用し、エッチング用ガスとしては、 Cl_2 、 BCl_3 、 $SiCl_4$ もしくは CCl_4 などを代表とする塩素系ガス、 CF_4 、 SF_6 、 NF_3 、 CHF_3 などを代表とするフッ素系ガス、あるいは O_2 を用いたが、これらに限定されるものではない。なお、該エッチングは、大気圧プラズマを利用して行うこともできる。この際、エッチングガスとしては、 CF_4 と O_2 の混合ガスを用いるのがよい。なお、島状半導体膜118のうちチャンネル領域119の上方には、チャンネル保護膜として機能する絶縁膜115が形成されているため、上記エッチング工程において、オーバーエッチングによる損傷を受けることがない。これによって、安定した特性と高移動度を有するチャンネル保護型(チャンネルストッパ型)TFTを、レジスタマスクを一切用いることなく作製することができる(以上、図1(C))。

20

【0047】

なお、さらに、ソース電極108、ドレイン電極109に接して、第3の導電材料を含む組成物を吐出しソース配線123、ドレイン配線124を形成し、さらに、ソース配線123又はドレイン配線124と画素電極126とを接続し、液晶素子や、有機化合物又は無機化合物を含む層からなる発光素子(代表的にはエレクトロルミネセンス(Electro Luminescence)を利用した発光素子)を設けることにより、上記工程により作製された半導体素子によって制御可能となるアクティブマトリクス型の液晶表示装置や、EL発光装置のような薄型ディスプレイを得ることができる。ここで、第3の導電材料、導電粒子構造、吐出条件、乾燥、焼成条件等としては、上記第1の導電材料において示したもののなかから適宜採用することができる。なお、第2及び第3の導電材料や粒子構造は同じでもよいし、異なってもよい。また、画素電極は、液滴吐出法によって形成するのが望ましく、材料としては、ITO、ITSO、ZnO、GZO、IZO、有機インジウム、有機スズ等の透光性導電膜を採用するのが望ましい(以上、図1(D))。

30

40

【0048】

なお、図示しないが、ソース配線123、ドレイン配線124、画素電極126を形成する際にも、下層との密着性を向上させるための前処理を行ってもよい。これは、ゲート電極層102を形成する際の前処理と同様に行えばよい。

【0049】

上述したとおり、本発明は、ソース領域112及びドレイン領域113を形成した後に、チャンネル領域となる部分をチャンネル保護膜として機能する絶縁膜115で覆い、島状半導体膜を形成しているため、レジスタマスクを設ける必要がなく、工程を簡略化することができる。このように、本発明は、ソース電極及びドレイン電極のメタルマスクを用いて一導電型半導体膜を除去し、ソース領域及びドレイン領域を形成するというチャンネルエッ

50

子型特有の方法と、その後、チャネル領域が除去されるのを防ぐためにチャネル保護膜を形成するというチャネル保護型特有の方法とを混合させた、新たなタイプの半導体素子の形成手段を有することを特徴としている。そして、本発明は、上記構成を備えていることにより、レジストマスクを全く用いることなく、ソース電極及びドレイン電極のメタルマスクのみで半導体素子を作製することができる。その結果、工程の簡略化、材料の節約によるコストの大幅な低減を図ることができ、特に、一辺が数m以上の大面積の基板を用いて半導体素子を作製する場合にも、低いコスト、高スループット、高歩留まり、短縮されたタクトタイムで、安定性の高い半導体素子を作製することができる。

【0050】

また、本発明に係る半導体素子は、基板上の少なくともゲート電極層が形成される部分に対して、酸化チタン形成等の処理が施されているため、基板と液滴吐出法によって吐出形成されたゲート電極層等の導電膜との密着性を高めることができる。

【0051】

また、前記絶縁膜が形成された部分の半導体膜の膜厚が、他の半導体膜の膜厚よりも薄くすることにより、チャネルエッチ工程において、n型不純物領域をソース領域と、ドレイン領域に確実に分離することができ、また、前記絶縁膜が形成された部分の半導体膜の膜厚が、5nm以上、好ましくは10nm以上とすることにより、十分に大きなチャネル移動度を確保することができる。

【0052】

また、本発明に係る半導体素子は、チャネル領域119上にチャネル保護膜として機能する絶縁膜115が形成されていることにより、半導体膜104をエッチングする際にチャネル領域119がオーバーエッチングによる損傷を受けることがないため、安定した特性と高移動度を有する半導体素子として機能する。また、前記絶縁膜の膜厚を100nm以上とすることにより、チャネル保護膜としての機能を高め、チャネル領域の損傷を確実に防止することができ、移動度の高い安定した半導体素子を提供することができる。また、前記絶縁膜を、第1の絶縁膜と第2の絶縁膜の2層構造、あるいはそれ以上の多層構造とすることも、上記効果を確保する上で有効である。

【実施例1】

【0053】

本実施例では、ゲート電極層を形成する前に、基板上に前処理を施す場合について説明する。

【0054】

第1の方法として、図1に示すように、酸化チタン膜132を直接形成することができる。酸化チタン膜132は、スピン塗布法、液滴吐出法、スプレー法、スパッタ法、CVD法等によって、基板全面に形成すればよい。その後、酸化チタン膜132上に、液滴吐出法によってゲート電極層102を形成するが、酸化チタン膜132が介在することによって、基板100とゲート電極層102の密着性を向上させることができる。なお、ゲート電極層102形成後、ゲート電極層の周囲に存在する酸化チタン膜は残存させてもよいし、エッチング等によって除去してもよい。エッチングする際は、大気圧下において行うのが望ましい。なお、酸化チタン膜の代わりに、チタン膜としてもよい。ゲート電極層102としては、ここでは、酸化チタン膜上にAg/Cuを積層形成したが、Cuのみ単層で形成してもよい。

【0055】

第2の方法として、酸化チタン膜を、液滴吐出法によって選択的に形成することができる。液滴吐出法としては、インクジェット法のほか、スクリーン印刷法や、オフセット印刷法を用いてもよい。また、ゾルゲル法を用いてもよい。その後、酸化チタン膜が形成された領域上、又はその内側に、液滴吐出法によってゲート電極層を選択的に形成する。なお、酸化チタン膜の代わりに、チタン膜としてもよい。

【0056】

第3の方法として、チタン膜をスピン塗布法、液滴吐出法、スプレー法、スパッタ法、

10

20

30

40

50

CVD法等によって基板全面に形成した後、液滴吐出法によってゲート電極層を構成する導電材料を含む組成物を選択的に形成する(図8(A))。そして、該組成物を乾燥、焼成する際に、チタン膜505も同時に酸化させることにより、該組成物の周囲には酸化チタン膜506を形成することができる。酸化チタン膜は透光性に優れており、例えば、図6(C)、図7(B)に示すようなボトムエミッション型の発光装置を作製する場合には、基板側に光を取り出すことになるため、酸化チタン膜を形成しておくことは有効な手段である。なお、チタン膜をスピン塗布法、液滴吐出法、スプレー法、スパッタ法、CVD法等によって基板全面に形成した後、ゲート電極層を構成する導電材料を含む組成物を選択的に吐出形成する前に、加熱処理を行い、酸化チタン膜を形成しておいてもよい。

【0057】

上記第1乃至第3の方法においては、チタン膜、酸化チタン膜の代わりにチタン酸ストロンチウム(SrTiO_3)、セレン化カドミウム(CdSe)、タンタル酸カリウム(KTaO_3)、硫化カドミウム(CdS)、酸化ジルコニウム(ZrO_2)、酸化ニオブ(Nb_2O_5)、酸化亜鉛(ZnO)、酸化鉄(Fe_2O_3)、酸化タングステン(WO_3)等の所謂光触媒物質、あるいは、酸化物にあっては酸化される前の物質(Zr 、 Nb 、 Zn 、 Fe 、 W 等)を形成してもよい。

【0058】

第4の方法として、ポリイミド、アクリルや、シロキサン等の耐熱性樹脂を形成することによっても、基板とゲート電極層間の密着性を向上させることができる。これらは、スピン塗布法、液滴吐出法、スプレー法等によって基板の全面又はゲート電極層が形成される部分に形成すればよい。全面に形成した場合には、ゲート電極層の周囲に存在する膜をエッチング、又はアッシング除去してもよい。

【0059】

第5の方法として、基板の全面又はゲート電極層が形成される部分にプラズマ処理を施すことによっても、密着性を向上させることができる。大気圧下におけるプラズマ処理を行うのが望ましいが、これに限定されるものではない。

【実施例2】

【0060】

本実施例では、チャンネル保護膜として機能する絶縁膜を2層構造とした場合について説明する。

【0061】

図1(B)で、ソース電極108及びドレイン電極109をマスクとして、n型半導体膜105をエッチングし、ソース領域112、ドレイン領域113を形成した状態(図2(A))において、窒化珪素膜133を、CVD法、スパッタ法等により全面に成膜する。

次に、半導体膜104のチャンネル領域となる部分の上方で、かつ、窒化珪素膜133上に、絶縁膜115を液滴吐出法によって形成する。絶縁膜115は、チャンネル保護膜としてでなく、窒化珪素膜133を除去する際のマスクとして機能するため、吐出する組成物としては、シロキサン等の耐熱性樹脂、アクリル、ベンゾシクロブテン、ポリイミド、ポリイミド、ベンゾイミダゾール又はポリビニルアルコール等の耐エッチング性、絶縁性を有するものを選択する。好適には、シロキサン、ポリイミドを用いると良い。また、チャンネル領域をオーバーエッチングから保護するために、窒化珪素膜133と絶縁膜115の膜厚は、合計で100nm以上、好ましくは200nm以上の厚さとするのが望ましい(以上、図2(B))。

【0062】

次に、絶縁膜115をマスクとして、窒化珪素膜133をエッチング除去し、チャンネル保護膜として機能する絶縁膜115、134を残す。絶縁膜134は当然ながら、窒化珪素膜からなる。ここでは、プラズマエッチングを採用し、エッチング用ガスとしては、 Cl_2 、 BCl_3 、 SiCl_4 もしくは CCl_4 などを代表とする塩素系ガス、 CF_4 、 SF_6 、 NF_3 、 CHF_3 などを代表とするフッ素系ガス、あるいは O_2 を用いたが、これらに限定

10

20

30

40

50

されるものではない。なお、該エッチングは、大気圧プラズマを利用してもよい。

【0063】

チャネル保護膜を2層とすることにより、チャネル保護膜としての機能を高め、チャネル領域の損傷を確実に防止することができ、移動度の高い安定した半導体素子を提供することができる。また、3層以上の構成としてもよい。また、下層は窒化珪素膜に限らず、他の珪素を含む絶縁膜を用いてもよい。また、絶縁膜115のように、液滴吐出法で形成可能な膜を選択的に積層させて形成してもよい。

【0064】

次に、ソース電極108、ドレイン電極109及び絶縁膜115、134をマスクとして半導体膜104をエッチングし、島状半導体膜118を形成する。なお、島状半導体膜118のうちチャネル領域119の上方には、チャネル保護膜として機能する絶縁膜115が形成されているため、上記エッチング工程において、オーバーエッチングによる損傷を受けることがない。これによって、安定した特性と高移動度を有するチャネル保護型(チャネルストッパ型)TFTを、レジストマスクを一切用いることなく作製することができる(以上、図2(C))。

10

【0065】

さらに、実施の形態に示したような方法によって、ソース電極108、ドレイン電極109に接して、第3の導電材料を含む組成物を吐出しソース配線123、ドレイン配線124を形成し、さらに、ソース配線123又はドレイン配線124と画素電極126とを接続し、液晶素子や、有機化合物又は無機化合物を含む層からなる発光素子を設けることにより、上記工程により作製された半導体素子によって制御可能となるアクティブマトリクス型の液晶表示装置や、EL発光装置のような薄型ディスプレイを得ることができる。(以上、図2(D))。

20

【実施例3】

【0066】

本実施例では、液滴吐出法とメッキ法を組み合わせ、導電膜を形成する方法について説明する。

【0067】

まず、Agを含む組成物を液滴吐出法で吐出形成する。この際、線幅が数 μm ~十数 μm と比較的細い場合に、太い配線を形成したい場合には、重ねて吐出形成する必要がある。しかし、Agを形成した後、Cuを含むメッキ液にAgが形成された基板を浸す、又は基板上にメッキ液を直接流すことによって、線幅を太くすることができる。特に、吐出形成後の組成物は凹凸が多いため、メッキしやすい。また、Agは高価であるので、Cuメッキを行うことにより、コスト削減にもつながる。なお、本実施例の方法で配線を形成する際の導電材料は、この種類に限定されるものではない。

30

【0068】

なお、Cuメッキを行った後、導電膜の表面は凹凸が多いため、NiB等のバッファ層を設け平滑化を行い、その後ゲート絶縁膜を形成するのが望ましい。

【実施例4】

【0069】

本実施例では、図3~5を参照して、本発明を用いたアクティブマトリクス型LCDパネルの作製方法について説明する。

40

【0070】

第1の方法は、図3(A)に示すように、本発明を用いて作製したTFT上に、平坦化膜151を液滴吐出法によって選択的に形成し、平坦化膜151が形成されていない領域に、ソース電極、ドレイン電極と接続されるソース配線、ドレイン配線152を液滴吐出法によって形成する方法である。なお、画素TFT654に接続されるソース又はドレイン配線は、図3(A)に示すように、画素電極を兼ねることもできる。勿論、画素電極を別途形成し、ソース又はドレイン配線と接続してもよい。なお、ソース、ドレイン電極、ソース、ドレイン配線は、すべて同じ導電材料を用いて形成してもよいし、異なる導電材

50

料を用いて形成してもよい。

【0071】

この方法は、平坦化膜中にコンタクトホールを形成するという概念を用いていないが、外見上コンタクトホールが形成されているように見える。なお、平坦化膜としては、アクリル、ポリイミド、ポリアミドなどの有機樹脂、またはシロキサン系材料を出発材料として形成されたSi-O結合とSi-CH_x結晶手を含む絶縁膜で形成することが好ましい。

【0072】

その後、TFT基板と対向基板155との間に液晶層154を挟持させ、シール材159で貼り合わせた状態を示している。TFT基板には柱状スペーサ158を形成する。柱状スペーサ158は画素電極上に形成されるコンタクト部のくぼみに合わせて形成するとよい。柱状スペーサ158は用いる液晶材料にも依存するが、3~10μmの高さで形成するのが望ましい。コンタクト部では、コンタクトホールに対応した凹部が形成されるので、この部分に合わせてスペーサを形成することにより液晶の配向の乱れを防ぐことができる。

10

【0073】

TFT基板には、配向膜153を形成しラビング処理を行う。対向基板155には透明導電膜156、配向膜157を形成する。その後、TFT基板および対向基板155をシール材により貼り合わせて液晶を注入し、液晶層154を形成する。以上のようにして、アクティブマトリクス駆動の液晶表示装置を完成させることができる。なお、液晶層154は、液晶を滴下することによって形成してもよい。特に1mを超える大面積のアクティブマトリクス基板を用いて液晶表示装置を作製する場合には、有効な手段である。

20

【0074】

なお、配向膜153、157や、柱状スペーサ158は、液滴吐出法を用いて選択的に形成してもよい。特に1mを超える大面積のアクティブマトリクス基板を用いて液晶表示装置を作製する場合には、有効な手段である。

【0075】

次に、端子部652について説明する。図1等からも分かるように、TFT素子部以外の領域には、ゲート絶縁膜が残存している。したがって、ゲート電極層と同時に形成された配線171とFPC628(Flexible Print Circuit)とを接続するためのコンタクトホールを開孔する必要がある。ここでは、コンタクトホールを開孔したい箇所の周囲を液滴吐出法で吐出形成された導電体172で覆い、該導電体をマスクとして、コンタクトホールを形成する。さらに、該コンタクトホール中に導電体172と同一又は異なる導電体173を液滴吐出法によって吐出し、導電体を埋め込むことにより、ゲート絶縁膜上に導電体172、173を形成することができる。さらに、導電体172、173と、FPC628とを、異方性導電膜627により公知の手法で端子電極626と貼り付けることにより、配線171とFPC628とを接続することができる。なお、端子電極626は、透明導電膜を用いて形成するのが望ましい。

30

【0076】

なお、FPC部のコンタクトホール開孔は、TFT作製時に行ってもよいし、ソース、ドレイン配線を形成すると同時に、導電体172又は173を形成することによって行ってもよい。液滴吐出法の利点の一つとして、所望の箇所に選択的に組成物を吐出できるという点があるため、一工程で従来の複数の工程を兼ねることができるようになるのが望ましい。

40

【0077】

以上の工程を経て、本発明によって作製されたTFTを用いたアクティブマトリクス型LCDパネルが完成する。該TFTは、上記実施の形態や実施例の方法を用いて作製することができる。また、ここでは、一画素につき1トランジスタの構成としたが、2以上のトランジスタを用いてもよい。また、TFTの極性は、n型でもp型でも採用することができる。また、n型TFTとp型TFTからなるCMOS構造としてもよい。これは、駆

50

動回路 T F T 6 5 3 においても同様である。C M O S 構造とする場合、各 T F T を接続する配線は、上記平坦化膜を選択的に形成した後、開孔部に導電材料を含む組成物を液滴吐出法で吐出することで形成することができる。

【 0 0 7 8 】

第 2 の方法は、図 3 (B) に示すように、本発明を用いて作製した T F T のソース、ドレイン電極上に、柱状の導電体 1 6 0 (ピラー、プラグ等とも呼ばれる。) を、液滴吐出法によって形成する方法である。ピラーの導電材料は、上述したゲート電極層等と同様のものを用いることができる。さらに、柱状の導電体 1 6 0 上に、平坦化膜 1 5 0 を液滴吐出法等によって形成する。平坦化膜としては、アクリル、ポリイミド、ポリアミドなどの有機樹脂、またはシロキサン系材料を出発材料として形成された S i - O 結合と S i - C H_x 結晶手を含む絶縁膜を、液滴吐出法で選択的に形成することが好ましい。

10

【 0 0 7 9 】

なお、ピラー上に平坦化膜が形成されている場合には、エッチバック法により、平坦化膜、ピラーの表面をエッチングし、図 3 (C) のように、表面が平坦なピラーを得ることができる。さらに、平坦化膜上に、ソース電極、ドレイン電極と接続されるソース配線、ドレイン配線 1 5 2 を液滴吐出法によって形成する。なお、画素 T F T 6 5 4 に接続されるソース又はドレイン配線は、図 3 (C) に示すように、画素電極を兼ねることもできる。勿論、画素電極を別途形成し、ソース又はドレイン配線と接続してもよい。なお、ソース、ドレイン電極、ピラー、ソース、ドレイン配線は、すべて同じ導電材料を用いて形成してもよいし、異なる導電材料を用いて形成してもよい。

20

【 0 0 8 0 】

その後、液晶素子を形成する工程は、第 1 の方法と同様である。なお、F P C 部のコンタクトホール開孔は、T F T 作製時に行ってもよいし、ピラーや、ソース、ドレイン配線を形成すると同時に、導電体 1 7 2 又は 1 7 3 を形成することによって行ってもよい。

【 0 0 8 1 】

第 3 の方法は、図 4 (A) に示すように、本発明を用いて作製した T F T のソース、ドレイン電極上に、平坦化膜 1 5 1 の材質に対して撥液性を有する柱状の絶縁体 (以下「ピラー絶縁体 1 6 1」という。) を液滴吐出法によって形成し、その周囲に平坦化膜 1 5 1 を形成する方法である。ピラー絶縁体の材料は、P V A (ポリビニルアルコール) 等の水溶性有機樹脂に C F₄ プラズマ等を施し、撥液性を持たせたものを用いることができる。平坦化膜としては、アクリル、ポリイミド、ポリアミドなどの有機樹脂、またはシロキサン系材料を出発材料として形成された S i - O 結合と S i - C H_x 結晶手を含む絶縁膜を、液滴吐出法で選択的に形成することが好ましい。ピラー絶縁体 1 6 1 の周囲に平坦化膜 1 5 1 を形成した後、ピラー絶縁体 1 6 1 は水洗処理や、エッチング等によって簡単に除去することができる。この際、エッチングによって除去する際には、コンタクトホール形状が逆テーパ状となるのを防ぐために、異方性エッチングとするのが望ましい。ここで、P V A 等のピラー絶縁体は絶縁性を有しているため、コンタクトホールの側壁にその一部が残存しても、特に問題は生じない。

30

【 0 0 8 2 】

その後、さらに、平坦化膜上に、コンタクトホールを介してソース電極、ドレイン電極と接続されるソース配線、ドレイン配線 1 5 2 を液滴吐出法によって形成する。なお、画素 T F T 6 5 4 に接続されるソース又はドレイン配線は、図 4 (B) に示すように、画素電極を兼ねることもできる。勿論、画素電極を別途形成し、ソース又はドレイン配線と接続してもよい。なお、ソース、ドレイン電極、ソース、ドレイン配線は、すべて同じ導電材料を用いて形成してもよいし、異なる導電材料を用いて形成してもよい。なお、上記ピラー絶縁体の除去工程によって、コンタクトホール形状が逆テーパ状となってしまった場合には、ソース、ドレイン配線を形成するにあたり、導電材料を含む組成物をピラー上に液滴吐出法で積層させることによって、コンタクトホールを埋めるように形成すればよい。

40

【 0 0 8 3 】

50

その後、液晶素子を形成する工程は、第1の方法と同様である。なお、FPC部のコンタクトホール開孔は、TFT作製時に行ってもよいし、ソース、ドレイン配線を形成すると同時に、導電体172又は173を形成することによって行ってもよい。

【0084】

第4の方法は、図5(A)に示すように、本発明を用いて作製したTFTのソース、ドレイン電極上に、平坦化膜151の材質に対して撥液性材料162を液滴吐出法、スピン塗布法、スプレー法等によって形成し、コンタクトホールを形成したい箇所に、PVAやポリイミド等からなるマスク163を形成し、PVA等をマスクとして撥液性材料162を除去し、残存した撥液性材料の周囲に平坦化膜151を形成するという方法である。撥液性材料162の材料としては、FAS(フルオロアルキルシラン)等のフッ素系シランカップリング剤を用いることができる。PVAやポリイミド等のマスク163は液滴吐出法で選択的に吐出すればよい。また、撥液性材料162は、O₂アッシングや大気圧プラズマによって除去することができる。また、マスク163は、PVAの場合は水洗処理によって、ポリイミドの場合には、N300剥離液によって簡単に除去することができる。

【0085】

コンタクトホールが形成される箇所に撥液性材料162を残した状態で(図5(B))、平坦化膜151を液滴吐出法やスピン塗布法等によって形成する。この際、コンタクトホールが形成される箇所には、撥液性材料162が存在するので、その上方に平坦化膜が形成されることはない。また、コンタクトホール形状が逆テーパとなる虞も生じない。平坦化膜としては、アクリル、ポリイミド、ポリアミドなどの有機樹脂、またはシロキサン系材料を出発材料として形成されたSi-O結合とSi-CH_x結晶手を含む絶縁膜を、液滴吐出法で選択的に形成することが好ましい。平坦化膜151を形成した後、撥液性材料162は、O₂アッシングや大気圧プラズマによって除去する。

【0086】

その後、さらに、平坦化膜上に、コンタクトホールを介してソース電極、ドレイン電極と接続されるソース配線、ドレイン配線152を液滴吐出法によって形成する。なお、画素TFT654に接続されるソース又はドレイン配線は、図5(C)に示すように、画素電極を兼ねることもできる。勿論、画素電極を別途形成し、ソース又はドレイン配線と接続してもよい。なお、ソース、ドレイン電極、ソース、ドレイン配線は、すべて同じ導電材料を用いて形成してもよいし、異なる導電材料を用いて形成してもよい。

【0087】

その後、液晶素子を形成する工程は、第1の方法と同様である。なお、FPC部のコンタクトホール開孔は、TFT作製時に行ってもよいし、ソース、ドレイン配線を形成すると同時に、導電体172又は173を形成することによって行ってもよい。

【0088】

なお、上記第1乃至第4の方法について、図3~5では図示しないが、基板とゲート電極層との間に、前処理によってTiO_x膜等を設け、密着性を高めてもよい。これは、ソース、ドレイン配線、ピラー、画素電極、導電体172、173等を形成する場合にも採用できる。前処理は、上記実施の形態、実施例に示したものを採用すればよい。

【0089】

また、図示しないが、ソース、ドレイン電極上に、TFT上方からの不純物の拡散等を防止するためのパッシベーション膜を形成しておくのが望ましい。パッシベーション膜は、プラズマCVD法又はスパッタリング法などの薄膜形成法を用い、窒化珪素、酸化珪素、窒化酸化珪素、酸化窒化珪素、酸化窒化アルミニウム、または酸化アルミニウム、ダイヤモンドライクカーボン(DLC)、窒素含有炭素(CN)、その他の絶縁性材料を用いて形成することができる。また、チャンネル保護膜と同様の材料を用いてもよいし、さらに、これらの材料を積層させて形成してもよい。なお、該パッシベーション膜は、絶縁体材料の微粒子を含む組成物を液滴吐出法によって吐出することによって形成することができる。

【0090】

なお、図示しないが、平坦化膜を設けずに、図1(D)のように画素電極を基板上に間接的に形成し、その上に配向膜を設けた構造としてもよい。この際、TFTはキャップ絶縁膜やパッシベーション膜で覆っておくのが望ましい。

【実施例5】

【0091】

本実施例では、図6を参照して、本発明を用いたアクティブマトリクス型ELパネルの作製方法について説明する。

【0092】

まず、図6(A)に示すように、上記実施の形態、実施例の方法によってTFTを作製し、少なくとも島状半導体膜の側面にステップカバレッジを向上させるための、絶縁体140(「エッジカバー」等と呼ばれる。)を形成する。さらに、TFTのソース電極108、ドレイン電極109に接してソース配線123、ドレイン配線124を形成し、ソース又はドレイン電極と画素電極126(通常、正孔注入電極(陽極))とを接続する。この際、配線下にはエッジカバーが存在するため、配線を良好なカバレッジで滑らかに形成することができるので、断線等を防止することができる(図6(B))。

【0093】

なお、画素電極126は積層構造としても良い。例えば、ITSOの積層構造を採用し、TFT側ITSOの酸化珪素濃度を低濃度(1~6原子%)に、発光素子側ITSOの酸化珪素濃度を高濃度(7~15原子%)にするのが良い。画素電極126は、その表面が平坦化されるように、CMP法、ポリビニルアルコール系の多孔質体で拭淨し、研磨しても良い。またCMP法を用いた研磨後に、画素電極126の表面に紫外線照射、酸素プラズマ処理などを行ってもよい。

【0094】

なお、画素電極126をエッチング形成した後の、レジスト剥離工程、ヒドロ洗淨(水洗)工程、紫外線照射工程等によって、画素電極126を構成する導電層の内部からインジウム、スズ又はそれらの酸化物を放出させることにより、該導電層の表面又は表面近傍の層内部に、珪素、酸化珪素、窒化珪素等と析出させ、それらを主成分とするバリア層を形成することができる。また、このバリア層は、珪素、酸化珪素、窒化珪素等を意図的に蒸着法、スパッタリング法等によって形成しても良い。これらのバリア層の存在によって、正孔注入電極の仕事関数が増加し、正孔注入性をより向上させることができる。

【0095】

さらに、TFT、配線、画素電極の一部の上方を、液滴吐出法によって選択的に形成された隔壁(バンク、土手等とも呼ばれる。)で覆う。隔壁141としては、アクリル、ポリイミド、ポリアミドなどの有機樹脂、またはシロキサン系材料を出発材料として形成されたSi-O結合とSi-CH_x結晶手を含む絶縁膜で形成することが好ましい。

【0096】

次に、隔壁141の開口部において画素電極126と接するように、有機化合物を含む層(電界発光層ともいう。以下「有機化合物層142」という。)を形成する。有機化合物層142は、単数の層で構成しても良いし、複数の層を積層させて構成しても良い。例えば、(1)陽極\ホール注入層\ホール輸送層\発光層\電子輸送層\陰極、(2)陽極\ホール注入層\発光層\電子輸送層\陰極、(3)陽極\ホール注入層\ホール輸送層\発光層\電子輸送層\電子注入層\陰極、(4)陽極\ホール注入層\ホール輸送層\発光層\ホールブロッキング層\電子輸送層\陰極、(5)陽極\ホール注入層\ホール輸送層\発光層\ホールブロッキング層\電子輸送層\電子注入層\陰極、等の素子構成とすることができる。

【0097】

次に、有機化合物層142を覆うように、電子注入電極143(陰極)を形成する。電子注入電極143は、仕事関数が小さい公知の材料、例えば、Ca、Al、CaF、Mg、Ag、AlLi等を用いることができる。隔壁141の開口部において、画素電極126と有機化合物層142と電子注入電極143が重なり合うことで、発光素子146が形成

される。電子注入電極 1 4 3 上には、パッシベーション膜 1 4 4 が設けられている（以上、図 6（C））。

【0098】

なお、上記発光素子は、一对の電極間にキャリア輸送特性の異なる有機化合物又は無機化合物を含む発光層を積層し、一方の電極からは正孔を注入し、他方の電極からは電子を注入できるように形成され、一方の電極から注入された正孔と、他方の電極から注入された電子とが再結合して発光中心を励起して、それが基底状態に戻るときに光を放出する現象を利用した素子である。発光層への正孔及び電子の注入性は、電極を形成する材料の仕事関数（金属や半導体の表面から、一個の電子をその表面のすぐ外側に取り出すのに必要な最小のエネルギー）の大小をもって一つの指標とされ、正孔を注入する側の電極には仕事関数が高いことが好ましく、電子を注入する側の電極には仕事関数が低い材料が望まれている。

10

【0099】

対向基板 1 4 5 上に、波長板、偏光板、反射防止膜を形成するのがよい。波長板としては、 $\lambda/4$ 、 $\lambda/2$ の順に形成し、遅相軸を設定する。

【0100】

なお、図 6（C）の状態まで完成したら、さらに外気に曝されないように気密性が高く、脱ガスの少ない保護フィルム（ラミネートフィルム、紫外線硬化樹脂フィルム等）やカバー材でパッケージング（封入）することが好ましい。

【実施例 6】

20

【0101】

実施例 5 では、図 6 に示すボトムエミッション型発光装置において、本発明を適用した場合について説明したが、本実施例では、図 7（A）に示すトップエミッション型発光装置、図 7（C）に示すデュアルエミッション型発光装置において、本発明を適用した場合について説明する。

【0102】

まず、デュアルエミッション型発光装置の場合から説明する。この場合、正孔注入電極の材料としては、実施例 5 と同様に、ITO、ITSO、ZnO、IZO、GZO 等の透明導電膜を用いることもできる。また、画素電極 1 2 6 として ITSO を用いる場合には、濃度の異なる酸化珪素を含む ITSO を積層させることによって形成してもよい。好ましくは、下部 ITSO 層（ソース又はドレイン配線側）の酸化珪素濃度を低濃度に、上部 ITSO 層（発光層側）の酸化珪素濃度を高濃度にするのがよい。これにより、TFE との接続間の低抵抗を維持しつつ、EL 層への正孔注入効率を高めることができる。勿論、他の材料と ITSO の積層構造（例えば、下部 ITO 層と上部 ITSO 層の積層構造）としてもよいし、他の材料同士を積層させてもよい。

30

【0103】

一方、電子注入電極 1 4 3 としては、発光層からの光を透過させるべく、1 ~ 10 nm の薄アルミニウム膜、もしくは Li を微量に含むアルミニウム膜等を用いることにより、上下に発光素子からの光を取り出すことのできるデュアルエミッション型発光装置が得られる（図 7（C））。

40

【0104】

なお、図 7 において、1 4 1 は隔壁、1 4 2 は有機化合物層、1 4 4 はパッシベーション膜、1 4 5 は対向基板、1 4 6 は発光素子である。

【0105】

次に、トップエミッション型発光装置の場合について、図 7（A）を参照して説明する。一般的には、図 7（B）のボトムエミッション型における正孔注入電極として機能する画素電極 1 2 6 と電子注入電極 1 4 3 を入れ替え、さらに有機化合物を含む層を逆積みとし、電流制御用 TFE の極性を反転させることにより（ここでは、n チャネル型 TFE を用いる。）、基板と反対側（上側）に発光素子からの光を取り出すことのできるトップエミッション型発光装置が得られる。また図 7（A）のように、電極及び有機化合物を含む

50

層を逆積みとした場合、画素電極 126 として、酸化珪素濃度の含有量に高低の差を設けた透光性酸化物導電層の積層構造を採用することにより、発光効率の向上、低消費電力化等の効果により、安定性の高い発光装置を得ることができる。ここで、電子注入電極 143 としては、光反射性のある金属電極等を用いればよい。

【実施例 7】

【0106】

実施例 4 の液晶表示パネル又は実施例 5、6 の EL パネルを用いた電子機器の一例として、図 9 に示すテレビ受像器、携帯書籍（電子書籍）、携帯電話を完成させることができる。

【0107】

図 9 (A) のテレビ受像器は、筐体 2001 に液晶又は EL 素子を利用した表示用モジュール 2002 が組みこまれ、受信機 2005 により一般のテレビ放送の受信をはじめ、モデム 2004 を介して有線又は無線による通信ネットワークに接続することにより一方向（送信者から受信者）又は双方向（送信者と受信者間、又は受信者間同士）の情報通信をすることもできる。テレビ受像器の操作は、筐体に組みこまれたスイッチ又は別体のリモコン装置 2006 により行うことが可能であり、このリモコン装置 2006 にも出力する情報を表示する表示部 2007 が設けられていても良い。

【0108】

また、テレビ受像器にも、主画面 2003 の他にサブ画面 2008 を第 2 の表示用モジュールで形成し、チャンネルや音量などを表示する構成が付加されていても良い。この構成において、主画面 2003 を視野角の優れた EL 表示用モジュールで形成し、サブ画面を低消費電力で表示可能な液晶表示用モジュールで形成しても良い。また、低消費電力化を優先させるためには、主画面 2003 を液晶表示用モジュールで形成し、サブ画面を EL 表示用モジュールで形成し、サブ画面は点滅可能とする構成としても良い。

【0109】

図 9 (B) は携帯書籍（電子書籍）であり、本体 3101、表示部 3102、3103、記憶媒体 3104、操作スイッチ 3105、アンテナ 3106 等を含む。

【0110】

図 9 (C) は携帯電話であり、3001 は表示用パネル、3002 は操作用パネルである。表示用パネル 3001 と操作用パネル 3002 とは接続部 3003 において接続されている。接続部 3003 における、表示用パネル 3001 の表示部 3004 が設けられている面と操作用パネル 3002 の操作キー 3006 が設けられている面との角度は、任意に変えることができる。さらに、音声出力部 3005、操作キー 3006、電源スイッチ 3007、音声入力部 3008、アンテナ 3009 を有している。

【実施例 8】

【0111】

本発明に係る半導体素子は、図 10 に示す液滴吐出システムによって形成するのがよい。まず、CAD、CAM、CAE 等の回路設計ツール 800 によって、回路設計が行われ、所望の薄膜及びアライメントマーカの配置箇所を決定する。

【0112】

次に、設計された薄膜及びアライメントマーカの配置箇所を含む薄膜パターンのデータ 801 は、記録媒体又は LAN (Local Area Network) 等の情報網を介して、液滴吐出装置を制御するコンピュータ 802 に入力される。そして、薄膜パターンのデータ 801 に基づいて、液滴吐出手段 803 が有するノズル（筒状の、先の細い穴から液体や気体を噴出させる装置）のうち、該薄膜を構成する材料を含む組成物を貯蔵し、又は該組成物を貯蔵するタンクと接続されている最適な吐出口径を有するノズルが決定され、続いて、液滴吐出手段 803 の走査経路（移動経路）が決定される。なお、予め最適なノズルが決まっている場合は、該ノズルの移動経路のみを設定すればよい。

【0113】

次に、該薄膜が形成される基板 804 上にフォトリソグラフィ技術やレーザー光を用

10

20

30

40

50

いて、アライメントマーカ－８１７を形成する。そして、アライメントマーカ－が形成された基板を液滴吐出装置内のステージ８１６に設置し、該装置に具備された撮像手段８０５によりアライメントマーカ－の位置を検出し、画像処理装置８０６を介して、コンピュータ８０２に位置情報８０７として入力される。コンピュータ８０２では、ＣＡＤ等により設計された薄膜パターンのデータ８０１と、撮像手段８０５によって得られるアライメントマーカ－の位置情報８０７とを照らし合わせて、基板８０４と液滴吐出手段８０３との位置合わせを行う。

【０１１４】

その後、コントローラ８０８によって制御された液滴吐出手段８０３が、決定された走査経路に従って、組成物８１８を吐出することにより、所望の薄膜パターン８０９が形成される。なお、組成物の吐出量は、吐出口の径を選択することにより、適宜調整することができるが、吐出口の移動速度、吐出口と基板との間隔、組成物の吐出速度、吐出空間の雰囲気、該空間の温度、湿度等のあらゆる条件によって微妙に異なってくるため、これらの条件も制御できるようにすることが望ましい。これらは、予め実験、評価によって最適な条件を求めておき、組成物の材料毎にデータベース化しておくのがよい。

10

【０１１５】

ここで、薄膜パターンデータとしては、例えば、液晶表示装置、ＥＬ表示装置等に用いられるアクティブマトリクス型ＴＦＴ基板の回路図等が挙げられる。図１０中の円内の回路図は、このようなアクティブマトリクス型ＴＦＴ基板に用いられる導電膜を模式的に示したものである。８２１は所謂ゲート配線、８２２はソース信号線（２ｎｄ配線）、８２３は画素電極又は正孔注入電極若しくは電子注入電極を指す。また、８２０は基板、８２４はアライメントマーカ－を示している。当然、薄膜パターン８０９は、薄膜パターン情報におけるゲート配線８２１に対応するものである。

20

【０１１６】

また、液滴吐出手段８０３は、ここでは、ノズル８１０、８１１、８１２が一体化された構成となっているが、これに限定されるものではない。また、各ノズルは、それぞれ複数の吐出口８１３、８１４、８１５を有している。上記薄膜パターン８０９は、ノズル８１０のうち、所定の吐出口８１３を選択することによって形成されたものである。

【０１１７】

なお、液滴吐出手段８０３は、あらゆる線幅の薄膜パターンの作製に対応できるように、また、タクトタイムを向上させるため、吐出口径、吐出量、又はノズルピッチの異なる複数のノズルを備えておくのが望ましい。また、吐出口の間隔はできる限り狭い方が望ましい。また、一辺が数ｍ以上の大面積の基板に対して、スループットの高い吐出を行うために、１ｍ以上の長さを有するノズルを備えておくことが望ましい。また、伸縮機能を備え、吐出口の間隔を自由に制御することができるようにしてもよい。また、高解像度、即ち、滑らかなパターンを描画するために、ノズル又はヘッドが斜めに傾くようにしておくのが望ましい。これによって、矩形状など、大面積の描画が可能となる。

30

【０１１８】

また、ヘッドのノズルピッチを変えたものを一つのヘッドに平行に備え付けてもよい。この場合、吐出口径は同じでもよいし、異ならせてもよい。また、上記のように、複数のノズルを用いた液滴吐出装置となる場合には、私用していないノズルを収納するための、待機場所を設けておく必要がある。この待機場所には、またガス供給手段とシャワーヘッドを設けることにより、組成物の溶媒と同じ気体の雰囲気下に置換することができるため、乾燥をある程度防止することができる。さらに、清浄な空気を供給し、作業領域の埃を低減するクリーンユニット等を備え付けてもよい。

40

【０１１９】

ただし、ノズル８０３の仕様上、吐出口の間隔が狭くできないときには、ノズルピッチが表示装置における画素の整数倍となるように設計するとよい。これによって、図１１（Ａ）、（Ｂ）のように、基板８０４をずらして組成物を基板８０４上に吐出することができる。また、撮像手段８０５としては、ＣＣＤ（電荷結合素子）のような光の強弱を電気

50

信号に変換する半導体素子を用いたカメラを用いればよい。

【0120】

上述した方法は、基板804を載せたステージ816を固定し、液滴吐出手段803を決定された経路に従って走査させることによって、薄膜パターン809を形成するものである。それに対して、液滴吐出手段803を固定し、薄膜パターンのデータ801に基づいて決定された経路に従って、ステージ816をXY方向に搬送させることによって、薄膜パターン809を形成してもよい。この際、液滴吐出手段803が複数のノズルを有している場合には、該薄膜を構成する材料を含む組成物を貯蔵し、又は該組成物を貯蔵するタンクと接続されている最適な吐出口径を有するノズルを決定する必要がある。

【0121】

なお、複数のノズルを用い、冗長機能を持たせてもよい。例えば、最初にノズル812（又は811）から組成物が吐出されるが、ノズル810からも、同一の組成物が吐出されるよう吐出条件を制御することにより、前方のノズル812において吐出口詰まり等の支障を来しても、後方のノズル810から組成物を吐出することができるため、少なくとも配線の断線等を防止することが可能となる。

【0122】

また、上述した方法は、ノズル810の所定の一つの吐出口のみを用いて薄膜パターン809を吐出形成するものであるが、形成する薄膜の線幅や膜厚に応じて、図12～図15に示すように、複数のノズルを用いて組成物を吐出してもよい。

【0123】

図12(A)～(D)、図13(A)～(C)は、基板240上に、例えば画素電極パターン244を形成する様子を示す。ここでは、 R_1 、 R_2 、 R_3 ($R_1 > R_2 > R_3$)の3種類のサイズのノズル251～253からなる液滴吐出手段241を用いる。まず、最大径のノズル251を用いて組成物245を吐出する。次に、該最大径ノズルでは描画できなかった箇所、又は特に凸凹が生じてしまった箇所に、該最大径ノズルよりも小さい径の吐出口を有するノズル252により、組成物246を選択的に吐出する。その後、必要に応じて、最小径のノズル253により、組成物247を選択的に吐出して、パターンの表面を平坦化する。この方法は、例えば画素電極等の比較的大きな導電体のパターンの作製に有効であり、表面に凸凹が生じることなく、平坦化が実現されたパターンを作製することができる。

【0124】

図14は、基板240上に配線のパターン248を形成する様子を示したものである。液滴吐出手段としては、前述したノズル251～253を用いた。これらのノズルから吐出される液滴261～263は、その吐出量が異なっているため、図示するように、線幅を変えたパターンを簡単に形成することができる。

【0125】

図15(A)～(C)は、開口部213に組成物を順次吐出、充填し、例えば導電膜を形成する方法を示したものである。210は基板、211は半導体又は導体、212は絶縁体であり、絶縁体212には開口部213が設けられている。組成物は、前述した各行で吐出口を一軸方向に配列した複数のノズル251～253が、複数行配列された液滴吐出手段を用いて吐出する。開口部は、下から上に向かって径が大きくなる。したがって、まず、径が R_3 の吐出口を有するノズル253を用いて、開口部213の下層部分を組成物により充填する。次に、径が R_2 の吐出口を有するノズル252を用いて、開口部213を中央部分まで組成物により充填する。最後に、径が R_1 の吐出口を有するノズル251を用いて、開口部213の上層部分を組成物により充填する。本方法によれば、開口部に組成物が充填され、平坦化された導電層を形成することができる。従って、アスペクト比が高い開口部が設けられた絶縁体12にも、ポイドが生じることなく、平坦化された配線を形成することができる。

【0126】

10

20

30

40

50

薄膜や配線の形成に用いられる液滴吐出システムにおいて、上記のごとく、薄膜パターンを示すデータを入力する入力手段と、前記データに基づいて、前記薄膜を構成する材料を含む組成物を吐出するためのノズルの移動経路を設定する設定手段と、基板上に形成されたアライメントマーカを検出するための撮像手段と、前記ノズルの移動経路を制御する制御手段とを有する構成とすることにより、液滴吐出時におけるノズル又は基板の移動経路を的確に制御する必要がある。液滴吐出システムを制御するコンピュータに組成物吐出条件制御プログラムを読み込ませることにより、吐出する組成物やそのパターンに応じて、ノズル又は基板移動速度、組成物の吐出量・噴射距離・噴射速度、吐出環境の雰囲気・温度・湿度、基板加熱温度などの諸条件も的確に制御することができる。

【0127】

10

これによって、所望の太さ、厚さ、形状を有する薄膜や配線を、短いタクトタイム、高スループットの下で、所望の箇所に精度良く作製することができ、ひいては、それらの薄膜や配線を用いて作製したTFTのような半導体素子、該半導体素子を用いて作製した液晶ディスプレイ、有機ELディスプレイのような発光装置、LSI等の製造歩留まりを向上させることができる。特に、本発明を用いることにより、任意の場所に薄膜や配線のパターンを形成でき、形成するパターンの太さ、厚さ、形状も調整できるので、一辺が数m以上にも及ぶ大面積の半導体素子基板等も、低コストで歩留まり良く製造することができる。

【産業上の利用可能性】

【0128】

20

本発明は、上記方法を用いて、ソース領域及びドレイン領域を形成した後に、チャンネル領域となる部分をチャンネル保護膜として機能する絶縁膜で覆い、島状半導体膜を形成しているため、レジストマスクを設ける必要がなく、工程を簡略化することができる。このように、本発明は、ソース電極及びドレイン電極のメタルマスクを用いて一導電型半導体膜を除去し、ソース領域及びドレイン領域を形成するというチャンネルエッチ型特有の方法と、その後、チャンネル領域が除去されるのを防ぐためにチャンネル保護膜を形成するというチャンネル保護型特有の方法とを混合させた、新たなタイプの半導体素子の形成手段を有することを特徴としている。そして、本発明は、上記構成を備えていることにより、レジストマスクを全く用いることなく、ソース電極及びドレイン電極のメタルマスクのみで半導体素子を作製することができる。したがって、本発明に係る半導体素子、及びその作製方法は、液滴吐出法を積極的に利用しうる最適の構造、プロセスを提供するものとして有意である。

30

【図面の簡単な説明】

【0129】

【図1】本発明を用いたTFTの工程概略図

【図2】本発明を用いたTFTの工程概略図

【図3】本発明を用いた液晶表示パネルの工程概略図

【図4】本発明を用いた液晶表示パネルの工程概略図

【図5】本発明を用いた液晶表示パネルの工程概略図

【図6】本発明を用いたELパネルの工程概略図

40

【図7】本発明を利用したトップエミッション型、ボトムエミッション型、デュアルエミッション型発光装置についての説明図

【図8】酸化チタン膜の作製方法を説明する図

【図9】本発明を用いた電子機器の一例を説明する図

【図10】液滴吐出システムの構成を示す図

【図11】画素ピッチのn倍のピッチのノズルを用い、偶数、奇数番目の配線を分けて吐出形成する実施形態の説明図

【図12】異なる口径を有する複数のノズルで画素電極を吐出形成する実施形態の説明図

【図13】異なる口径を有する複数のノズルで平坦な配線を吐出形成する実施形態の

50

説明図

【図14】異なる口径を有する複数のノズルで異なる線幅の配線を吐出形成する実施形態の説明図

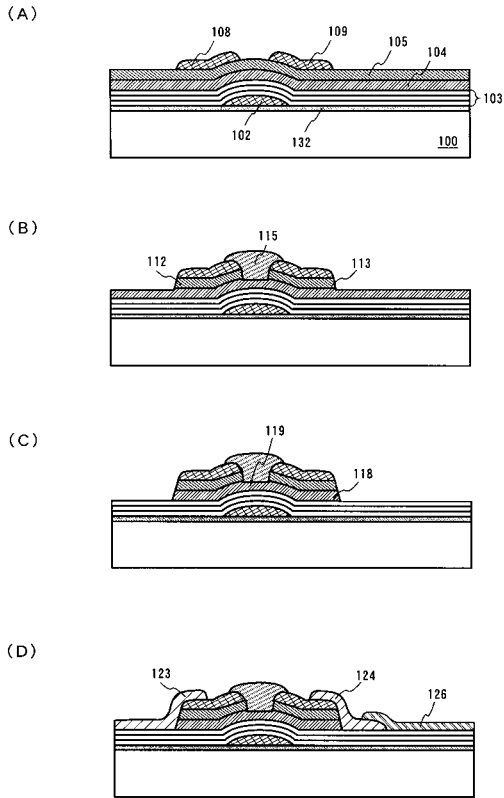
【図15】異なる口径を有する複数のノズルで開孔部に導電材料を吐出充填する実施形態の説明図

【符号の説明】

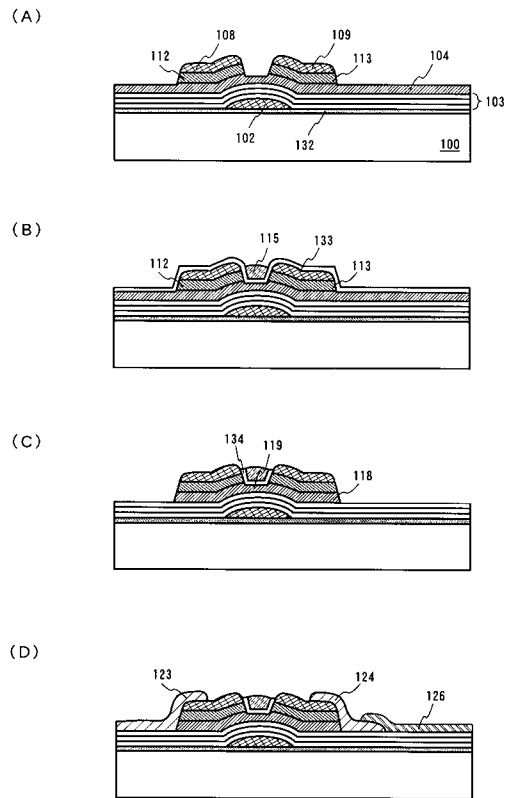
【0130】

100	基板	
102	ゲート電極層	
103	ゲート絶縁膜	10
104	半導体膜	
105	n型半導体膜	
108	ソース電極	
109	ドレイン電極	
112	ソース領域	
113	ドレイン領域	
115	絶縁膜	
118	島状半導体領域	
119	チャネル領域	
123	ソース配線	20
124	ドレイン配線	
126	画素電極	
132	酸化チタン膜	
134	絶縁膜	
140	絶縁体	
141	隔壁	
142	有機化合物層	
143	電子注入電極	
144	パッシベーション膜	
145	対向基板	30
146	発光素子	
151	平坦化膜	
152	ドレイン配線	
153	配向膜	
154	液晶層	
155	対向基板	
156	透明導電膜	
157	配向膜	
158	柱状スペーサ	
159	シール剤	40
160	柱状の導電体	
161	ピラー絶縁体	
162	撥液性材料	
163	マスク	
171	配線	
172	導電体	
173	導電体	

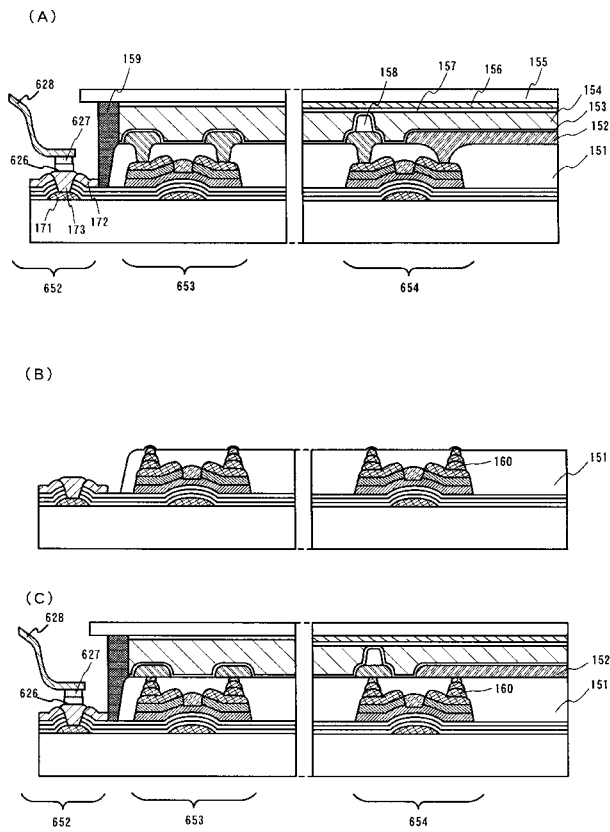
【図 1】



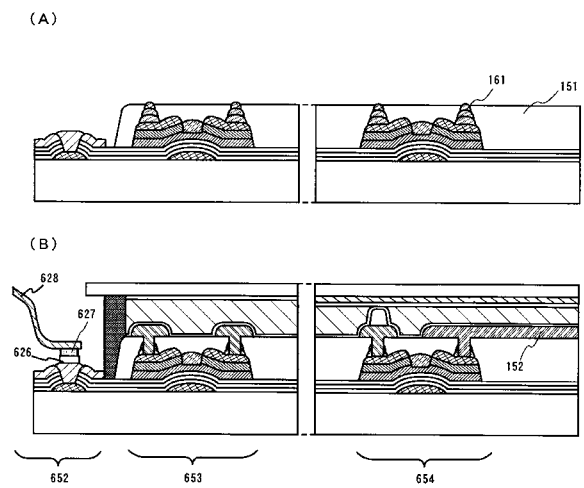
【図 2】



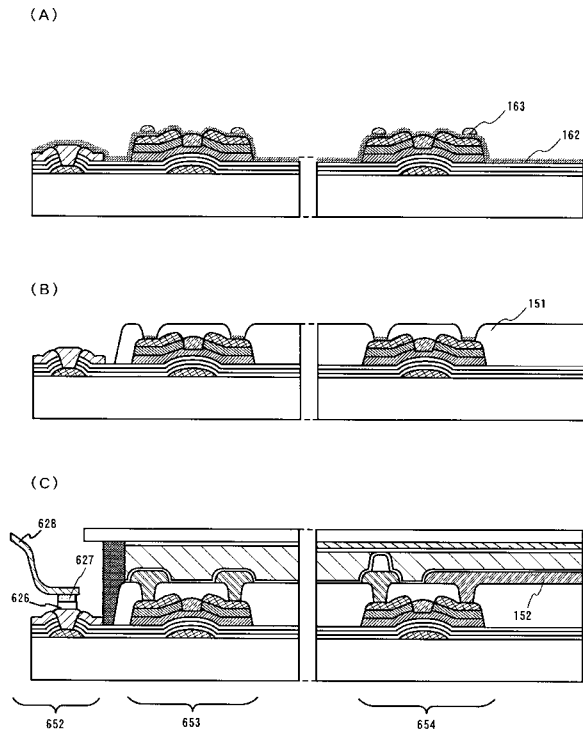
【図 3】



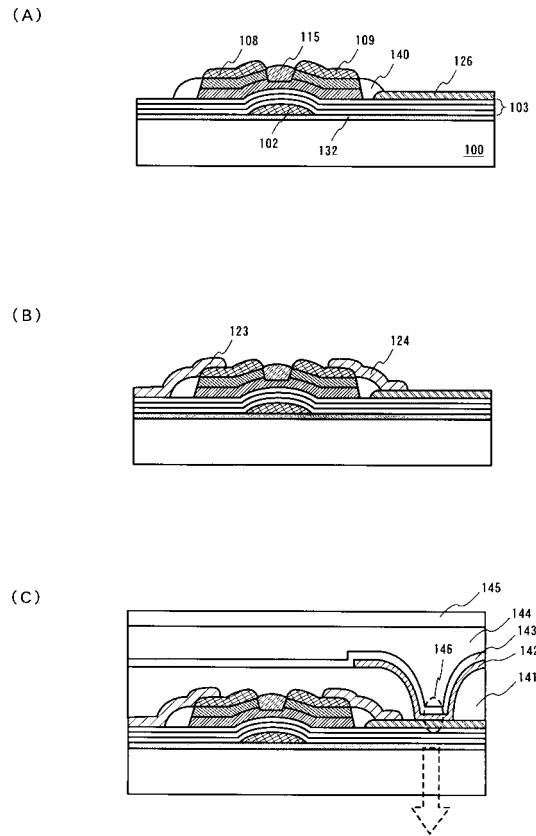
【図 4】



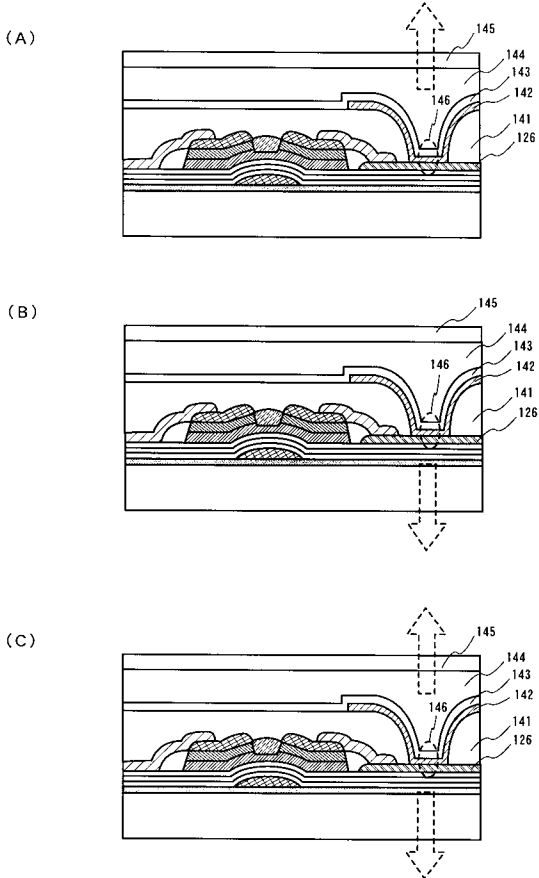
【図5】



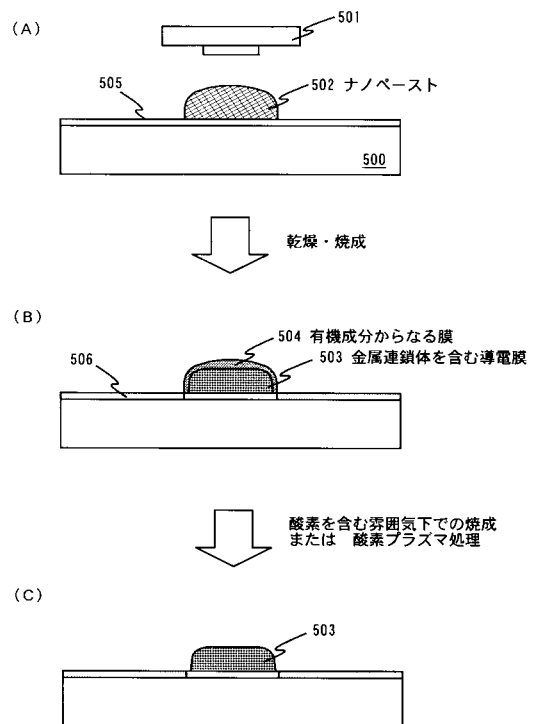
【図6】



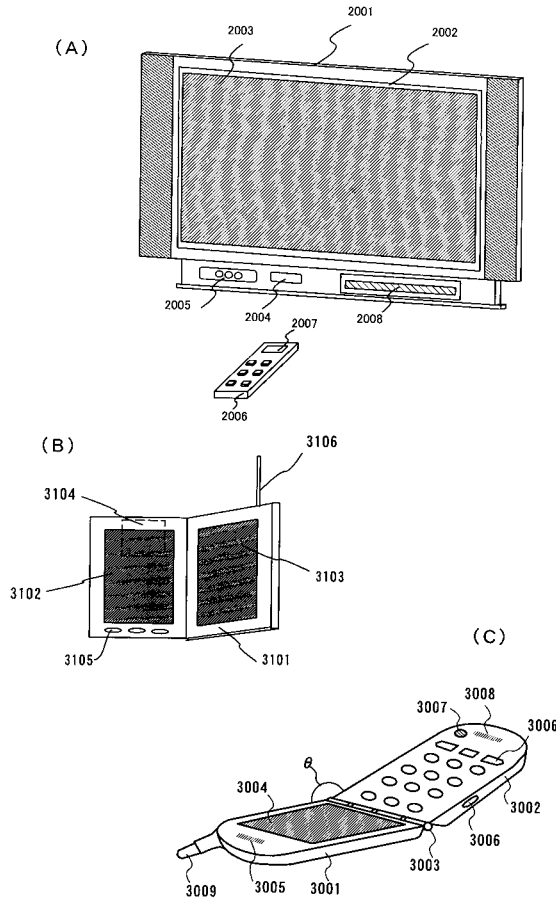
【図7】



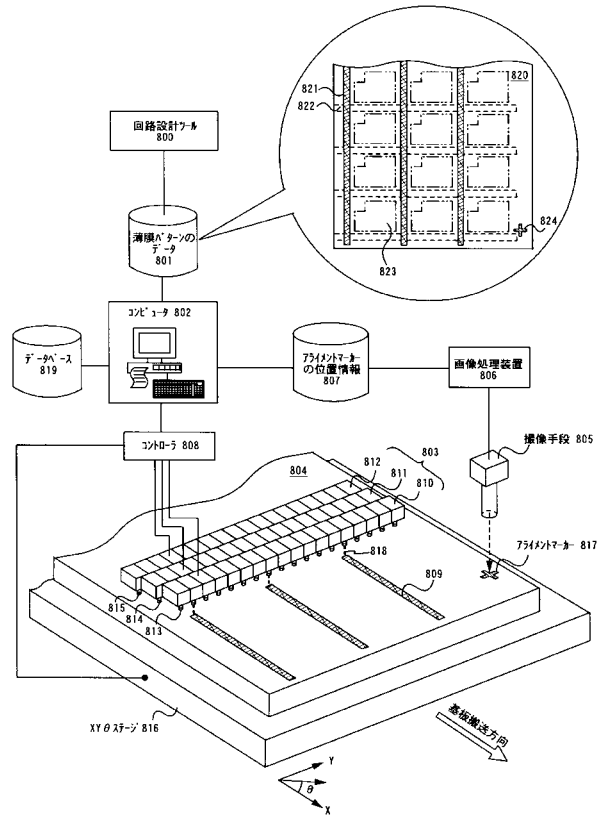
【図8】



【図9】

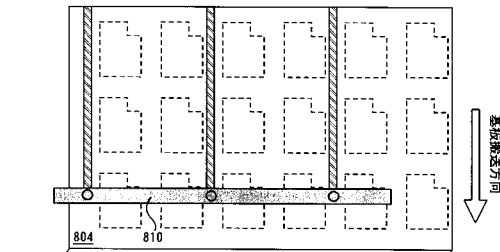


【図10】

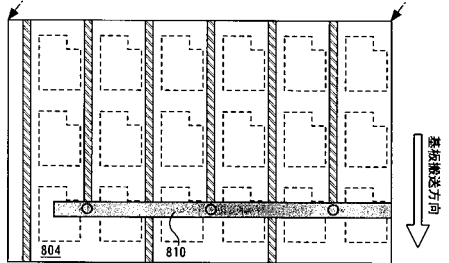


【図11】

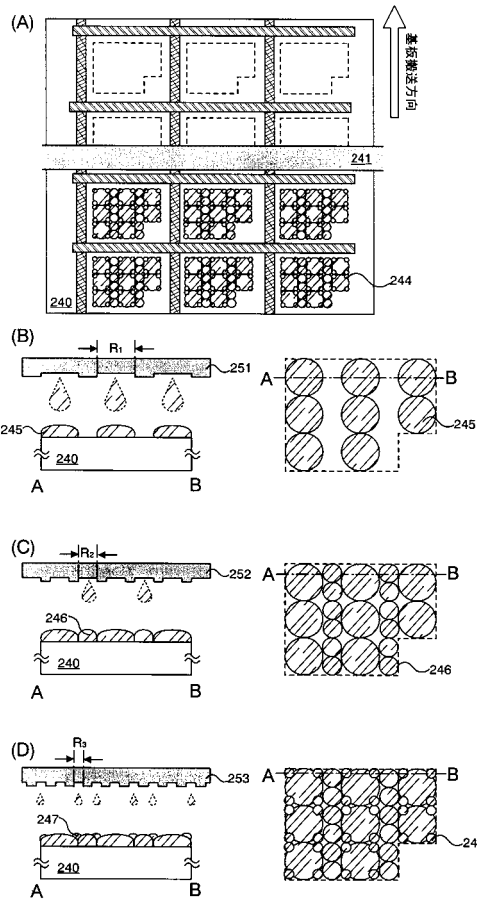
(A) 奇数行目を描画



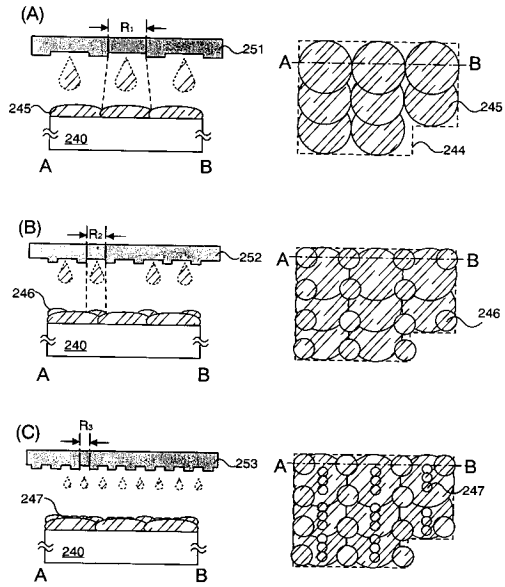
(B) 奇数行目を描画



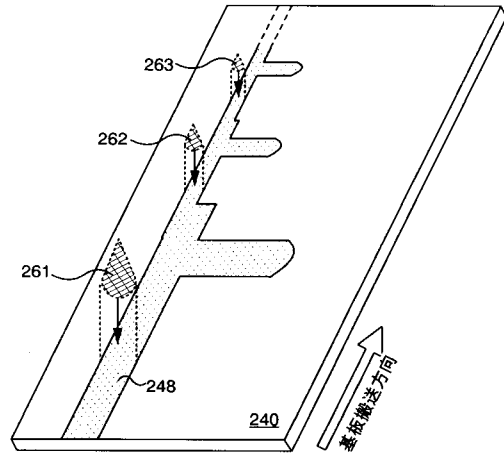
【図12】



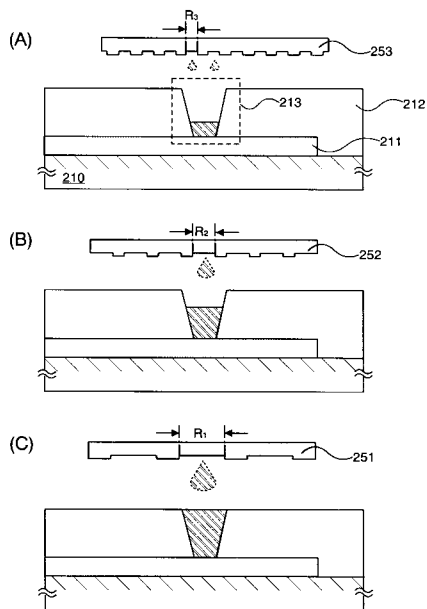
【 図 1 3 】



【 図 1 4 】



【 図 1 5 】



フロントページの続き

(51)Int.Cl.⁷

H 0 5 B 33/14

F I

H 0 1 L 29/78

6 1 9 A

H 0 1 L 21/88

B

テーマコード(参考)

Fターム(参考) 4M104 AA01 AA03 AA09 BB01 BB02 BB04 BB05 BB06 BB07 BB08
 BB09 BB13 BB14 BB16 BB17 BB18 BB30 CC01 CC05 DD21
 DD24 DD51 DD52 DD53 DD77 DD78 EE06 EE12 EE18 GG09
 GG10 GG14 HH08
 5F033 GG03 HH08 HH11 HH13 HH14 HH18 HH19 HH20 HH21 HH33
 MM05 MM13 PP26 PP27 PP28 QQ31 QQ48 QQ73 XX33 XX34
 5F110 AA16 AA28 BB02 BB04 CC07 DD01 DD02 DD03 DD13 DD14
 DD15 EE01 EE02 EE04 EE06 EE07 EE08 EE14 EE42 EE47
 EE48 FF02 FF03 FF04 FF10 FF28 FF30 GG01 GG02 GG06
 GG13 GG14 GG15 GG25 GG32 GG34 GG45 GG47 HK02 HK04
 HK06 HK07 HK09 HK10 HK22 HK25 HK32 HK35 HK41 HL14
 NN03 NN05 NN13 NN14 NN15 NN24 NN27 NN33 NN34 NN35
 NN71 NN72 PP03 PP10 PP29 PP34 QQ02 QQ19

【要約の続き】

专利名称(译)	半导体器件及其制造方法，液晶显示器件及其制造方法		
公开(公告)号	JP2005167228A	公开(公告)日	2005-06-23
申请号	JP2004328382	申请日	2004-11-12
[标]申请(专利权)人(译)	株式会社半导体能源研究所		
申请(专利权)人(译)	半导体能源研究所有限公司		
[标]发明人	神野洋平 藤井 巖		
发明人	神野 洋平 藤井 巖		
IPC分类号	G02F1/1368 H01L21/288 H01L21/3205 H01L21/336 H01L21/77 H01L21/84 H01L27/12 H01L29/423 H01L29/786 H01L51/50 H05B33/14		
CPC分类号	H01L29/66765 H01L27/12 H01L27/1285 H01L27/1292 H01L29/42384 H01L29/78603 H01L29/78696		
FI分类号	H01L29/78.627.C G02F1/1368 H01L21/288.Z H05B33/14.A H01L29/78.612.D H01L29/78.619.A H01L21/88.B		
F-TERM分类号	2H092/HA04 2H092/HA06 2H092/JA26 2H092/JA33 2H092/JA40 2H092/JB57 2H092/KA05 2H092/KA12 2H092/KA18 2H092/KA24 2H092/KB13 2H092/KB24 2H092/MA05 2H092/MA08 2H092/MA12 2H092/MA30 2H092/NA27 3K007/AB18 3K007/BA06 3K007/DB03 3K007/FA00 3K007/FA01 3K007/GA00 4M104/AA01 4M104/AA03 4M104/AA09 4M104/BB01 4M104/BB02 4M104/BB04 4M104/BB05 4M104/BB06 4M104/BB07 4M104/BB08 4M104/BB09 4M104/BB13 4M104/BB14 4M104/BB16 4M104/BB17 4M104/BB18 4M104/BB30 4M104/CC01 4M104/CC05 4M104/DD21 4M104/DD24 4M104/DD51 4M104/DD52 4M104/DD53 4M104/DD77 4M104/DD78 4M104/EE06 4M104/EE12 4M104/EE18 4M104/GG09 4M104/GG10 4M104/GG14 4M104/HH08 5F033/GG03 5F033/HH08 5F033/HH11 5F033/HH13 5F033/HH14 5F033/HH18 5F033/HH19 5F033/HH20 5F033/HH21 5F033/HH33 5F033/MM05 5F033/MM13 5F033/PP26 5F033/PP27 5F033/PP28 5F033/QQ31 5F033/QQ48 5F033/QQ73 5F033/XX33 5F033/XX34 5F110/AA16 5F110/AA28 5F110/BB02 5F110/BB04 5F110/CC07 5F110/DD01 5F110/DD02 5F110/DD03 5F110/DD13 5F110/DD14 5F110/DD15 5F110/EE01 5F110/EE02 5F110/EE04 5F110/EE06 5F110/EE07 5F110/EE08 5F110/EE14 5F110/EE42 5F110/EE47 5F110/EE48 5F110/FF02 5F110/FF03 5F110/FF04 5F110/FF10 5F110/FF28 5F110/FF30 5F110/GG01 5F110/GG02 5F110/GG06 5F110/GG13 5F110/GG14 5F110/GG15 5F110/GG25 5F110/GG32 5F110/GG34 5F110/GG45 5F110/GG47 5F110/HK02 5F110/HK04 5F110/HK06 5F110/HK07 5F110/HK09 5F110/HK10 5F110/HK22 5F110/HK25 5F110/HK32 5F110/HK35 5F110/HK41 5F110/HL14 5F110/NN03 5F110/NN05 5F110/NN13 5F110/NN14 5F110/NN15 5F110/NN24 5F110/NN27 5F110/NN33 5F110/NN34 5F110/NN35 5F110/NN71 5F110/NN72 5F110/PP03 5F110/PP10 5F110/PP29 5F110/PP34 5F110/QQ02 5F110/QQ19 2H192/AA24 2H192/BC31 2H192/CB05 2H192/CB71 2H192/CB83 2H192/CC32 2H192/FA65 2H192/HA01 2H192/HA23 2H192/HA27 2H192/HA88 2H192/HA91 3K107/AA01 3K107/BB01 3K107/CC45 3K107/DD47 3K107/DD90 3K107/EE04 3K107/FF15		
优先权	2003386021 2003-11-14 JP		
其他公开文献	JP4667012B2 JP2005167228A5		
外部链接	Espacenet		

摘要(译)

要解决的问题：当TFT具有倒置交错结构时，通过在基板的整个表面上形成半导体膜和包含n型杂质元素的半导体膜，然后使用抗蚀剂掩模等进行蚀刻来形成岛状半导体。形成区域，并且使用金属掩模等分离包含n型杂质元素的半导体膜以形成源极区域和漏极

区域。如上所述，当形成岛状半导体区域时，必须通过曝光，显影工艺和液滴排出工艺来形成抗蚀剂掩模，从而导致工艺数量和材料类型的增加。根据本发明，在形成源极区和漏极区之后，要用作沟道区的部分被用作沟道保护膜的绝缘膜覆盖以形成岛状半导体膜；因此，提供了抗蚀剂掩模。由于没有必要并且仅可以用金属掩模来制造半导体元件，所以可以简化工艺。[选型图]图1

